



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

G02F 1/136 (2006.01)

(45) 공고일자	2007년02월22일
(11) 등록번호	10-0685312
(24) 등록일자	2007년02월14일

(21) 출원번호	10-2000-0009502
(22) 출원일자	2000년02월25일
심사청구일자	2005년02월24일

(65) 공개번호	10-2001-0084454
(43) 공개일자	2001년09월06일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
-----------	--------------------------------------

(72) 발명자	안병철 경상북도구미시도량2동77번지파크맨션103-808
----------	-----------------------------------

(74) 대리인	김영호
----------	-----

(56) 선행기술조사문현	KR1019980042148 A *
* 심사관에 의하여 인용된 문현	KR1019980076705 A *

**심사관 : 임동재**

전체 청구항 수 : 총 28 항

**(54) 액정표시패널 및 그의 제조방법**

**(57) 요약**

본 발명은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되게 형성된 박막트랜지스터와, 상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되게 형성되어 화소영역을 한정하는 게이트라인 및 데이터라인과, 상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과, 상기 소오스 및 드레인전극의 일부분과 중첩되게 상기 활성층 상에 박막트랜지스터를 덮도록 형성된 보호층과, 상기 보호층 상에 형성된 차광층과, 상기 화소전극 상에 상기 보호층 및 차광층을 덮도록 형성된 제 1 배향막으로 구성된 하판과; 상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 화소영역과 대응하는 영역에 형성된 칼라필터와, 상기 제 2 투명기판의 전면에 상기 칼라필터를 덮도록 형성된 공통전극과, 상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과; 상기 하판과 상판 사이에 주입된 액정을 구비한다.

따라서, 하판에 형성되는 보호층 또는 보호층 및 차광층의 2개 층에 의해 별도의 스페이서 없이 상판과의 이격 거리를 일정하게 유지시킬 수 있으며, 하판에 형성되는 차광층에 의해 상판에 블랙매트릭스가 필요하지 않게 되며, 또한, 접촉홀 없이 화소전극과 드레인전극을 직접 연결하므로 공정을 감소시킬 수 있다.

**대표도**

도 2

## 특허청구의 범위

### 청구항 1.

제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되게 형성된 박막트랜지스터와,

상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되어 화소영역을 정의하는 게이트라인 및 데이터라인과,

상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과,

상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층 및, 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면에 형성된 보호층과,

상기 보호층 상에 형성된 차광층과,

상기 화소전극, 보호층 및 차광층 위에 형성된 제 1 배향막으로 구성된 하판과;

상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 화소영역과 대응하는 영역에 형성된 칼라필터와,

상기 제 2 투명기판의 전면에 상기 칼라필터를 덮도록 형성된 공통전극과,

상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과;

상기 하판과 상판 사이에 주입된 액정을 구비하는 것을 특징으로 하는 액정표시패널.

### 청구항 2.

제 1 항에 있어서,

상기 보호층은 아크릴(acryl)계 유기화합물, 폴리이미드(polyimide), 사이토프(cytop), BCB(benzocyclobutene) 또는 PFCB(perfluorocyclobutane)의 고저항 유기 절연물질 중 어느 하나를 포함하는 것을 특징으로 하는 액정표시패널.

### 청구항 3.

제 1 항에 있어서,

상기 보호층은 질화실리콘 또는 산화실리콘의 무기 절연물질 중 어느 하나를 포함하는 것을 특징으로 하는 액정표시패널.

### 청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 보호층은  $2\sim3\mu\text{m}$ 의 두께로 형성되는 것을 특징으로 하는 액정표시패널.

### 청구항 5.

제 1 항에 있어서,

상기 차광층은 광을 흡수하는 블랙카본(black carbon) 및 광반응성 성분이 포함된 폴리아크릴(polyacryl)을 포함하는 것을 특징으로 하는 액정표시패널.

### 청구항 6.

제 5 항에 있어서,

상기 차광층은  $2\sim3\mu\text{m}$ 의 두께로 형성되는 것을 특징으로 하는 액정표시패널.

### 청구항 7.

제 1 항에 있어서,

상기 보호층 및 차광층은 상기 하판과 상판 사이의 합착 간격을 일정하게 유지하는 것을 특징으로 하는 액정표시패널.

### 청구항 8.

제 1 항에 있어서,

상기 제 1 배향막은  $500\sim800\text{\AA}$ 의 두께를 가지며 폴리아미드(polyamid)로 형성되는 것을 특징으로 하는 액정표시패널.

### 청구항 9.

제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되게 형성된 박막트랜지스터와,

상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되게 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과,

상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과,

상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층 및, 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면인 제1 영역 및 상기 소오스전극과 드레인전극과 데이터라인에 대응하는 제2 영역에 형성됨과 아울러 상기 제1 영역보다 상기 제2 영역이 보다 얇게 형성된 보호층과,

상기 제1 영역에 형성된 상기 보호층 상에 형성된 차광층과,

상기 화소전극, 보호층 및 차광층 위에 형성된 제 1 배향막으로 구성된 하판과;

상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 화소영역과 대응하는 영역에 형성된 칼라필터와,

상기 제 2 투명기판 상의 전면에 상기 칼라필터를 덮도록 형성된 공통전극과,

상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과;

상기 하판과 상판 사이에 주입된 액정을 구비하는 액정표시패널.

### 청구항 10.

제 9 항에 있어서,

상기 보호층은 상기 활성층과 대응되는 제1 영역에서는  $2\sim3\mu\text{m}$ 의 두께를 가지며 상기 소오스 및 드레인전극과 데이터라인과 중첩되는 제2 영역에서는  $0.2\sim1\mu\text{m}$ 의 두께를 가지는 것을 특징으로 하는 액정표시패널.

### 청구항 11.

제 9 항에 있어서,

상기 보호층 및 상기 차광층은 상기 하판과 상판 사이의 합착 간격을 일정하게 유지하는 것을 특징으로 하는 액정표시패널.

### 청구항 12.

제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되게 형성된 박막트랜지스터와,

상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되어 화소영역을 정의하는 게이트라인 및 데이터라인과,

상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과,

상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층 및, 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면에 형성된 보호층과,

상기 화소전극, 보호층 및 차광층 위에 형성된 제 1 배향막으로 구성된 하판과;

상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 박막트랜지스터와 대응하는 영역에 형성된 블랙매트릭스와,

상기 제 1 투명기판의 상기 화소영역과 대응하는 상기 제 2 투명기판에 형성된 칼라필터와,

상기 제 2 투명기판 상의 전면에 형성된 공통전극과,

상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과;

상기 하판과 상판 사이에 주입된 액정을 구비하는 것을 특징으로 하는 액정표시패널.

### 청구항 13.

제 12 항에 있어서,

상기 보호층은 상기 하판과 상판 사이의 합착 간격을 일정하게 유지하는 것을 특징으로 하는 액정표시패널.

### 청구항 14.

제 13 항에 있어서,

상기 보호층은  $4\sim6\mu\text{m}$ 의 두께로 형성되는 것을 특징으로 하는 액정표시패널.

### 청구항 15.

제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 화소영역을 결  
의하는 게이트라인 및 데이터라인에 의해 인접하는 것과 전기적으로 연결되는 박막트랜지스터를 형성하는 단계와,

상기 화소영역에 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와,

상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층과, 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활  
성층과 인접하는 부분의 표면에 형성된 보호층 및 상기 보호층 상에 차광층을 형성하는 단계와,

상기 화소전극, 보호층 및 차광층 위에 배향막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 16.

제 15 항에 있어서,

상기 보호층 및 상기 차광층을 형성하는 단계는,

보호층을 상기 화소전극이 형성된 제 1 투명기판 상에 전면도포하는 단계와,

상기 보호층 상에 차광층을 제 1 투명기판 상에 전면도포하는 단계와,

상기 차광층을 사진(photo) 방법으로 상기 소오스 및 드레인전극의 일부분과 중첩되며 상기 박막트랜지스터의 활성층을  
덮도록 패터닝하는 단계와,

상기 패터닝된 차광층을 마스크로 사용하여 상기 보호층이 노출된 영역을 선택적으로 식각하는 단계를 포함하는 것을 특  
징으로 하는 액정표시패널의 제조방법.

### 청구항 17.

제 15 항에 있어서,

상기 보호층은 아크릴(acryl)계 유기화합물, 폴리이미드(polyimide), 사이토프(cytop), BCB(benzocyclobutene) 또는  
PFBC(perfluorocyclobutane)의 고저항 유기 절연물질 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시패널의 제  
조방법.

### 청구항 18.

제 15 항에 있어서,

상기 보호층은 질화실리콘 또는 산화실리콘의 무기 절연물질 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시패널  
의 제조방법.

### 청구항 19.

제 17 항 또는 제 18 항에 있어서,

상기 보호층은  $2\sim3\mu\text{m}$ 의 두께로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 20.

제 15 항에 있어서,

상기 차광층은 광을 흡수하는 블랙카본(black carbon) 및 광반응성 성분이 포함된 폴리아크릴(polyacryl)로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 21.

제 19 항에 있어서,

상기 차광층은  $2\sim3\mu\text{m}$ 의 두께로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 22.

제 15 항에 있어서,

상기 보호층 및 차광층의 두께의 합은 하판과 상판 사이의 합착 간격보다 두껍게 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 23.

제 16 항에 있어서,

상기 보호층은  $\text{SF}_6$  또는  $\text{SF}_4$  가스에  $\text{O}_2$ 가스가 혼합된 가스를 사용하여 식각되는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 24.

제 15 항에 있어서,

상기 배향막은  $500\sim800\text{\AA}$ 의 두께를 가지며 폴리아미드(polyamid)로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

### 청구항 25.

제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 화소영역을 정의하는 게이트라인 및 데이터라인에 의해 인접하는 것과 전기적으로 연결되는 박막트랜지스터를 형성하는 단계와,

상기 화소영역에 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와,

상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층과 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면인 제1 영역 및 상기 소오스전극과 드레인전극과 데이터라인에 대응하는 제2 영역에 형성되는 보호층 및 상기 제1 영역과 중첩되는 영역에 차광층을 형성하는 단계와,

상기 화소전극, 보호층 및 차광층 위에 배향막을 형성하는 단계를 포함하며,

상기 제1 영역의 두께는 상기 제2 영역의 두께보다 두꺼운 것을 특징으로 하는 액정표시패널의 제조방법.

## 청구항 26.

제 25 항에 있어서,

상기 보호층 및 상기 차광층을 형성하는 단계는,

상기 보호층을 상기 화소전극이 형성된 제 1 투명기판 상에 전면도포하는 단계와,

상기 보호층 상에 상기 차광층을 제 1 투명기판에 도포하는 단계와,

상기 차광층을 사진(photo) 방법을 이용하여 상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층과 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면인 제1 영역은 제거되지 않도록 하며, 상기 소오스전극과 드레인전극과 데이터라인에 대응하는 제2 영역은 보호층이 노출되도록 패터닝하는 단계와,

상기 패터닝된 차광층을 마스크로 사용하여 상기 보호층을 선택적으로 식각하여 상기 소오스 및 드레인전극과 상기 데이터라인에 대응하는 상기 제2 영역 상에 상기 보호층이 소정 두께를 가지고 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

## 청구항 27.

제 25 항에 있어서,

상기 보호층의 제1 영역은  $2\sim3\mu\text{m}$ 의 두께를 가지며 상기 제2 영역은  $0.2\sim1\mu\text{m}$ 의 두께를 가지고 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

## 청구항 28.

제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 화소영역을 정의하는 게이트라인 및 데이터라인에 의해 인접하는 것과 전기적으로 연결되는 박막트랜지스터를 형성하는 단계와,

상기 화소영역에 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와,

상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층 및 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면에 보호층을 형성하는 단계와,

상기 화소전극, 보호층 및 차광층 위에 배향막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

**명세서**

### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시패널에 관한 것으로서, 특히, 박막트랜지스터 어레이가 형성된 하판과 칼라필터가 형성된 상판이 일정한 간격을 갖는 액정표시패널 및 그의 제조방법에 관한 것이다.

액정표시패널은 하판, 상판, 그리고, 하판과 상판이 합착되어 생성되는 공간에 주입된 액정으로 구성된다.

하판은 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 구성된 박막트랜지스터(Thin Film Transistor)가 화소(pixel) 전극과 전기적으로 연결되어 각각의 화소를 이루는 화소어레이와 구동회로가 형성된다. 그리고, 상판은 투명기판 상에 칼라필터와 차광층으로 이용되는 블랙매트릭스가 형성된다.

액정표시패널을 제조함에 있어서 하판과 상판의 별도의 공정에 의해 제조되어 하판의 화소전극과 상판의 칼라필터가 마주하도록 하여 소정 간격을 유지하여 공간을 갖도록 실링제(sealant)에 의해 합착되며, 이 공간 내에 액정을 주입한다.

도 1은 종래 기술에 따른 액정표시패널의 단면도이다.

종래 기술에 따른 액정표시패널은 하판(10) 및 상판(40)과, 하판(10)과 상판(40) 사이의 공간에 채워진 액정(45)으로 구성된다.

상기에서 하판(10)은 제 1 투명기판(11) 상에 게이트전극(13), 게이트절연막(17), 활성층(19), 오믹접촉층(21), 소오스 및 드레인전극(23)(25)으로 구성된 박막트랜지스터(Thin Film Transistor)가 형성된다. 상기에서 게이트전극(13)은 게이트라인(15)에 의해 종 또는 횡으로 다수 개의 박막트랜지스터가 연결되며, 소오스전극(23)은 데이터라인(26)에 의해 횡 또는 종으로 다수 개의 박막트랜지스터가 연결된다.

게이트절연막(17) 상에 상술한 구조의 박막트랜지스터를 덮는 보호층(27)이 형성되며, 이 보호층(27)에 드레인전극(25)을 노출시키는 접촉홀(29)이 형성된다.

그리고, 보호층(27) 상에 접촉홀(29)을 통해 드레인전극(25)과 접촉되어 전기적으로 연결되는 투명한 화소전극(31)이 형성된다.

보호층(27) 상에 화소전극(31)을 덮는 제 1 배향막(33)이 형성된다.

상판(40)은 제 2 투명기판(35) 상에 블랙매트릭스(37)와 칼라필터(도시되지 않음)가 형성된다. 상기에서 블랙매트릭스(37)는 하판(10)의 박막트랜지스터와 대응하는 부분, 또는, 박막트랜지스터와 대응하는 부분을 포함하는 게이트라인(15) 및 데이터라인(26)과 대응하는 부분에 형성된다. 그리고, 칼라필터(도시되지 않음)는 레드(R), 그린(G) 또는 블루(B)의 광을 필터링하여 통과시키는 것으로 화소전극(31)과 대응되게 형성된다.

제 2 투명기판(35) 상의 전면에 투명한 공통전극(39)이 형성되며, 이 공통전극(39) 상에 제 2 배향막(41)이 형성된다.

상술한 구조의 하판(10)과 상판(40)은 박막트랜지스터와 블랙매트릭스(37)가 마주하도록 합착된다. 상기에서 하판(10)과 상판(40) 사이가 일정 간격을 갖도록 하는 스페이서(43)가 형성된다. 상기에서 스페이서(43)는 유기 절연물질로 형성된다. 스페이서(43)는 하판(10)의 게이트라인(15)과 데이터라인(26)이 교차하는 부분에 형성되어 하판(10)과 상판(40) 사이의 간격을 일정하게 유지시킨다. 상기에서 스페이서(43)는 하판(10) 또는 상판(40)에 형성될 수 있다.

액정(45)은 하판(10)과 상판(40)을 합착한 후 생성되는 공간에 주입된다.

상술한 바와 같이 종래 기술에서 액정표시패널은 하판 또는 상판의 게이트라인과 데이터라인이 교차하는 부분에 형성된 스페이서에 의해 합착된 하판과 상판 사이의 간격을 일정하게 유지시켰다.

그러나, 종래 기술에 따른 액정표시패널은 하판에 박막트랜지스터를 보호하는 보호층과 합착된 하판과 상판 사이의 간격을 일정하게 유지하는 스페이서가 별도로 필요하며, 상판에 광을 차단하기 위한 블랙매트릭스가 필요하므로 구조와 공정이 복잡해지는 문제점이 있었다. 또한, 화소전극을 드레인전극과 연결하기 위한 접촉홀을 형성하여야 하므로 공정이 복잡해지는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상판에 광을 차단하기 위한 블랙매트릭스가 필요하지 않은 액정표시패널을 제공함에 있다.

본 발명의 다른 목적은 보호층에 의해 상판과 하판 사이의 간격을 일정하게 유지시킬 수 있는 액정표시패널을 제공함에 있다.

본 발명의 또 다른 목적은 접촉홀을 형성하지 않고 화소전극과 드레인전극을 연결하여 공정을 감소시킬 수 있는 액정표시패널의 제조방법을 제공함에 있다.

### 발명의 구성

상기 목적들을 달성하기 위한 본 발명의 제 1 실시예에 따른 액정표시패널은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 형성된 박막트랜지스터와, 상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되며 형성되어 화소영역을 한정하는 게이트라인 및 데이터라인과, 상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과, 상기 소오스 및 드레인전극의 일부분과 중첩되며 상기 활성층 상에 박막트랜지스터를 덮도록 형성된 보호층과, 상기 보호층 상에 형성된 차광층과, 상기 화소전극 상에 상기 보호층 및 차광층을 덮도록 형성된 제 1 배향막으로 구성된 하판과; 상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 화소영역과 대응하는 영역에 형성된 칼라필터와, 상기 제 2 투명기판의 전면에 상기 칼라필터를 덮도록 형성된 공통전극과, 상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과; 상기 하판과 상판 사이에 주입된 액정을 구비한다.

본 발명의 제 2 실시예에 따른 액정표시패널은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 형성된 박막트랜지스터와, 상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되며 형성되어 화소영역을 한정하는 게이트라인 및 데이터라인과, 상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과, 상기 박막트랜지스터의 활성층과 대응하는 영역 및 상기 소오스 및 드레인전극과 상기 데이터라인 상에 형성됨과 아울러 상기 박막트랜지스터의 활성층과 대응하는 영역보다 상기 소오스 및 드레인전극과 상기 데이터라인 상에서 보다 얇게 형성된 보호층과, 상기 박막트랜지스터의 활성층과 대응하는 영역에 형성된 상기 보호층 상에 형성된 차광층과, 상기 화소전극 상에 상기 보호층 및 차광층을 덮도록 형성된 제 1 배향막으로 구성된 하판과; 상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 화소영역과 대응하는 영역에 형성된 칼라필터와, 상기 제 2 투명기판 상의 전면에 상기 칼라필터를 덮도록 형성된 공통전극과, 상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과; 상기 하판과 상판 사이에 주입된 액정을 구비한다.

본 발명의 제 3 실시예에 따른 액정표시패널은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 형성된 박막트랜지스터와, 상기 박막트랜지스터의 게이트전극 및 소오스전극과 각각 연결되며 형성되어 화소영역을 한정하는 게이트라인 및 데이터라인과, 상기 게이트절연층 상의 화소영역에 상기 드레인전극과 접촉되어 전기적으로 연결되는 화소전극과, 상기 소오스 및 드레인전극의 일부분과 중첩되며 상기 활성층 상에 박막트랜지스터를 덮도록 형성된 보호층과, 상기 화소전극 상에 상기 보호층을 덮도록 형성된 제 1 배향막으로 구성된 하판과; 상기 제 1 투명기판과 대향하는 제 2 투명기판 상에 상기 박막트랜지스터와 대응하는 영역에 형성된 블랙매트릭스와, 상기 제 1 투명기판의 상기 화소영역과 대응하는 상기 제 2 투명기판에 형성된 칼라필터와, 상기 제 2 투명기판 상의 전면에 형성된 공통전극과, 상기 공통전극 상에 형성된 제 2 배향막으로 구성된 상판과; 상기 하판과 상판 사이에 주입된 액정을 구비한다.

상기의 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 액정표시패널의 제조방법은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 화소영역을 한정하는 게이트라인 및 데이터라인에 의해 인접하는 것과 전기적으로 연결되는 박막트랜지스터를 형성하는 단계와, 상기 화소영역에 상기 드레인전극과 접촉되며 화소전극을 형성하는 단계와, 상기 소오스 및 드레인전극의 일부분과 중첩되며 상기 박막트랜지스터의 활성층을 덮는 보호층 및 상기 보호층 상에 차광층을 형성하는 단계와, 상기 화소전극 상에 상기 보호층 및 차광층을 덮는 배향막을 형성하는 단계를 포함한다.

본 발명의 제 2 실시예에 따른 액정표시패널의 제조방법은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 화소영역을 한정하는 게이트라인 및 데이터라인에 의해 인접하는 것과 전기적

으로 연결되는 박막트랜지스터를 형성하는 단계와, 상기 화소영역에 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와, 상기 소오스 및 드레인전극의 일부분과 중첩되며 상기 박막트랜지스터의 활성층을 덮는 영역은 두께운 두께를 가지며, 상기 소오스 및 드레인전극과 데이터라인과 대응하는 영역은 얇은 두께를 가지는 보호층 및 상기 두께운 두께의 보호층이 형성되는 영역과 중첩되는 영역에 차광층을 형성하는 단계와, 상기 화소전극 상에 상기 보호층 및 차광층을 덮는 배향막을 형성하는 단계를 포함한다.

본 발명의 제 3 실시예에 따른 액정표시패널의 제조방법은 제 1 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층과 소오스 및 드레인전극으로 구성되며 화소영역을 한정하는 게이트라인 및 데이터라인에 의해 인접하는 것과 전기적으로 연결되는 박막트랜지스터를 형성하는 단계와, 상기 화소영역에 상기 드레인전극과 접촉되게 화소전극을 형성하는 단계와, 상기 소오스 및 드레인전극의 일부분과 중첩되며 상기 박막트랜지스터의 활성층을 덮는 보호층을 형성하는 단계와, 상기 화소전극 상에 상기 보호층을 덮는 배향막을 형성하는 단계를 포함한다.

삭제

삭제

삭제

삭제

삭제

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2는 본 발명의 제 1 실시예에 따른 액정표시패널의 단면도이다.

본 발명의 제 1 실시예에 따른 액정표시패널은 하판(50) 및 상판(80)과, 하판(50)과 상판(80) 사이의 공간에 채워진 액정(81)으로 구성된다.

상기에서 하판(50)은 제 1 투명기판(51) 상에 게이트전극(53), 게이트절연막(57), 활성층(59), 오믹접촉층(61), 소오스 및 드레인전극(63)(65)으로 구성된 박막트랜지스터(Thin Film Transistor)가 형성된다. 상기에서 게이트전극(53)은 게이트라인(55)에 의해 종 또는 횡으로 다수 개의 박막트랜지스터가 연결되며, 소오스전극(63)은 데이터라인(66)에 의해 횡 또는 종으로 다수 개의 박막트랜지스터가 연결된다. 상기에서 게이트라인(55)과 데이터라인(66)은 교차되며 각각 박막트랜지스터의 게이트전극(53) 및 소오스전극(63)과 연결되게 형성되어 화소영역을 한정한다.

게이트절연층(57) 상의 화소영역에 드레인전극(65)과 접촉되어 전기적으로 연결되는 투명한 화소전극(67)이 형성된다.

그리고, 소오스 및 드레인전극(63)(65)의 일부분과 중첩되게 활성층(59) 상에 박막트랜지스터를 덮도록 패터닝된 보호층(68) 및 차광층(79)이 형성된다. 상기에서 보호층(68)은 아크릴(acryl)계 유기화합물, 폴리이미드(polyimide), 사이토프(cytop), BCB(benzocyclobutene) 및 PFCB(perfluorocyclobutane) 등의 고저항 유기 절연물질 또는 질화실리콘 및 산화실리콘 등의 무기 절연물질로 2~3 $\mu\text{m}$  정도의 두께로 형성된다. 또한, 차광층(79)은 광을 흡수하는 블랙카본(black carbon)과 광반응성 성분이 포함된 폴리아크릴(polyacryl) 등의 고분자 재료로 2~3 $\mu\text{m}$  정도의 두께로 형성된다. 이때, 상기 소오스전극과 드레인전극사이로 노출되어 있는 활성층과 상기 소오스전극과 드레인전극 중 상기 노출되어 있는 활성층과 인접하는 부분의 표면, 즉, 상기 활성층 중 소오스 및 드레인전극의 일부분과 중첩되는 부분은 제1 영역이라 하며, 상기 소오스전극과 드레인전극과 데이터라인에 대응하는 영역은 제2 영역이라 한다.

상기에서 보호층(68) 및 차광층(79)은 각각 박막트랜지스터 보호 및 차광 역할을 하면서 하판(50)과 상판(80) 사이의 합착간격을 일정하게 유지시키는 스페이서 기능을 한다. 또한, 보호층(68)은 박막트랜지스터를 보호하면서 차광층(79)에 포함된 도전성 재료인 카본 성분에 의해 박막트랜지스터의 오프 전류(off current)가 증가되는 것을 방지한다.

그리고, 상술한 구성의 하판(50)의 전 표면에 화소전극(67), 보호층(68) 및 차광층(79)을 덮는 제 1 배향막(69)이 형성된다. 상기에서 제 1 배향막(69)은 폴리아미드(polyamid)로 500~800Å 정도의 두께로 형성된다.

상판(80)은 제 2 투명기판(71) 상의 화소영역과 대응하는 부분에 레드(R), 그린(G) 또는 블루(B)의 광을 필터링하여 통과시키는 칼라필터(도시되지 않음)가 형성된다. 상기에서 하판(50)의 박막트랜지스터 상에 차광층(79)이 형성되므로 별도의 블랙매트릭스가 필요하지 않게 된다.

제 2 투명기판(71) 상의 전면에 투명한 공통전극(75)이 형성되며, 이 공통전극(75) 상에 제 2 배향막(77)이 형성된다. 상기에서 제 2 배향막(77)은 제 1 배향막(69)과 동일한 폴리아미드(polyamid)로 500~800Å 정도의 두께로 형성된다.

상술한 구성의 하판(50)과 상판(80)은 박막트랜지스터와 칼라필터(도시되지 않음)가 마주하도록 합착된다. 상기에서 하판(50)과 상판(80)은 스페이서로 사용되는 보호층(68) 및 차광층(79)에 의해 일정 간격을 갖는다.

액정(81)은 하판(50)과 상판(80)을 합착한 후 생성되는 공간에 주입된다.

도 3은 본 발명의 제 2 실시예에 따른 액정표시패널의 단면도이다.

본 발명의 제 2 실시예에 따른 액정표시패널은 도 2에 도시된 제 1 실시예에 따른 액정표시패널과 보호층(68)만 다르고 나머지 다른 부분은 동일한 구조를 갖는다. 그러므로, 도 3은 도 2와 동일한 부분은 동일한 참조 번호를 부여한다.

상기에서 보호층(68)은 박막트랜지스터의 활성층(59)과 대응하는 부분이 2~3μm 정도의 두께를 가지며 소오스 및 드레인전극(63)(65)과 데이터라인(66) 상에도 0.2~1μm 정도의 두께로 잔류되게 형성된다. 그러므로, 보호막(68)은 박막트랜지스터의 활성층(59)이 차광층(79)과 접촉되는 것을 방지하여 오프 전류(off current)가 증가되는 것을 방지하면서 소오스 및 드레인전극(63)(65)과 데이터라인(66)의 부식 및 누설 전류를 방지한다.

상술한 본 발명의 제 1 및 제 2 실시예에 따른 액정표시장치는 보호층(68) 및 차광층(79)이 박막트랜지스터 상에 형성되어 하판(50)과 상판(80) 사이의 간격을 일정하게 유지시키므로 별도의 스페이서가 필요하지 않으며, 또한, 차광층(79)에 의해 상판(80)에 별도의 블랙매트릭스가 필요하지 않게 된다.

도 4는 본 발명의 제 3 실시예에 따른 액정표시패널의 단면도이다.

본 발명의 제 3 실시예에 따른 액정표시패널은 도 2에 도시된 제 1 실시예에 따른 액정표시패널에서 보호층(68)으로만 하판(50)과 상판(80) 사이의 간격을 유지시키고, 상판(80)에 블랙매트릭스(73)가 형성된 것만 다르고 나머지 다른 부분은 동일한 구조를 갖는다. 그러므로, 도 4는 도 2와 동일한 부분은 동일한 참조 번호를 부여한다.

상기에서 보호층(68)은 박막트랜지스터 상에 4~6μm 정도의 두께로 형성된다. 그러므로, 제 1 배향막(69)은 상술한 구성의 하판(50)의 전 표면에 화소전극(67) 및 보호층(68)을 덮도록 형성된다.

그리고, 블랙매트릭스(73)는 상판(80)의 제 2 투명기판(71) 상에 하판(50)의 박막트랜지스터와 대응하는 부분 또는 박막트랜지스터를 포함하는 게이트라인(55) 및 데이터라인(66)과 대응하는 부분에 형성된다.

도 5a 내지 도 5d는 도 2도에 도시된 액정표시장치의 하판(50)의 제조 공정도이다.

도 5a를 참조하면, 제 1 투명기판(51) 상의 게이트전극(53), 게이트절연막(57), 활성층(59), 오믹접촉층(61), 소오스 및 드레인전극(63)(65)으로 구성된 다수 개의 박막트랜지스터들이 게이트라인(55) 및 데이터라인(66)에 의해 인접하는 것들과 전기적으로 연결되게 구성된다.

상술한 구조 전 표면에 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO) 등의 투명한 전도성물질을 증착한다. 이 때, 투명한 전도성물질은 소오스 및 드레인전극(63)(65)과 데이터라인(66)에 직접 접촉된다. 상기에서 투명한 전도성물질을 드레인전극(65) 상에 접촉홀을 형성하지 않고 직접 접촉하므로 공정이 단순해진다.

그리고, 투명한 전도성물질을 드레인전극(65)과 접촉되고 화소영역에만 잔류하도록 습식 식각을 포함하는 포토리쏘그래피 방법으로 패터닝하여 화소전극(67)을 형성한다. 이 때, 화소전극(67)을 인접하는 데이터라인(66)과 접촉되지 않도록 형성한다.

도 5b를 참조하면, 화소전극(67) 상에 박막트랜지스터를 덮도록 아크릴(acryl)계 유기화합물, 폴리이미드(polyimide), 사이토프(cytop), BCB(benzocyclobutene) 또는 PFCB(perfluorocyclobutane) 등의 고저항 유기 절연물질을  $2\sim3\mu\text{m}$  정도의 두께로 도포하여 보호층(68)을 형성한다. 상기에서 보호층(68)을 질화실리콘 또는 산화실리콘 등의 무기 절연물질을 증착하여 형성할 수도 있다.

보호층(68) 상에 광을 흡수하는 블랙카본(black carbon)과 광반응성 성분이 포함된 폴리아크릴(polyacryl) 등의 고분자 재료를  $2\sim3\mu\text{m}$  정도의 두께로 도포하여 차광층(79)을 형성한다. 상기에서 보호층(68) 및 차광층(79)은 두께의 합이 하판과 상판 사이의 간격보다 커야한다.

그리고, 차광층(79)을 통상의 사진(photo) 공정으로 보호층(68)이 노출되도록 패터닝하여 박막트랜지스터와 대응하는 부분에만 잔류되도록 한다.

도 5c를 참조하면, 패터닝된 차광층(79)을 마스크로 사용하여 보호층(68)의 노출된 부분을 식각한다. 상기에서 보호층(68)을  $\text{SF}_6$  또는  $\text{SF}_4$  가스에  $\text{O}_2$  가스가 혼합된 가스로 선택적으로 식각한다. 이 때, 보호층(68) 뿐만 아니라 차광층(79)의 소정 두께도 제거된다.

상기에서 잔류하는 보호층(68) 및 차광층(79)은 상판(80)과 하판(50)의 간격을 일정하게 유지하는 스페이서 역할을 하며, 또한, 차광층(79)은 상판(80)에 블랙매트릭스를 형성하지 않아도 되게 한다.

도 5d를 참조하면, 상술한 구조 상의 전 표면에 화소전극(67), 보호층(68) 및 차광층(79)을 덮는 제 1 배향막(69)을 형성한다. 상기에서 제 1 배향막(69)을 폴리아미드(polyamid)를 스크린 프린터로  $500\sim800\text{\AA}$  정도의 두께로 인쇄하여 형성한다.

도 6a 내지 도 6c는 도 3에 도시된 액정표시장치의 하판(50)의 제조 공정도이다.

도 6a를 참조하면, 도 5a에 도시된 바와 같이 제 1 투명기판(51) 상의 게이트전극(53), 게이트절연막(57), 활성층(59), 오믹접촉층(61), 소오스 및 드레인전극(63)(65)으로 구성된 다수 개의 박막트랜지스터들을 게이트라인(55) 및 데이터라인(66)에 의해 인접하는 것들과 전기적으로 연결되게 형성하고, 화소전극(67)을 드레인전극(65)과 접촉되고 화소영역에만 잔류하도록 화소전극(67)을 형성한다.

그리고, 화소전극(67) 상에 박막트랜지스터를 덮도록 아크릴(acryl)계 유기화합물, 폴리이미드(polyimide), 사이토프(cytop), BCB(benzocyclobutene) 또는 PFCB(perfluorocyclobutane) 등의 고저항 유기 절연물질을  $2\sim3\mu\text{m}$  정도의 두께로 도포하여 보호층(68)을 형성한다. 상기에서 보호층(68)을 질화실리콘 또는 산화실리콘 등의 무기 절연물질을 증착하여 형성할 수도 있다.

보호층(68) 상에 광을 흡수하는 블랙카본(black carbon)과 광반응성 성분이 포함된 폴리아크릴(polyacryl) 등의 고분자 재료를  $2\sim3\mu\text{m}$  정도의 두께로 도포하여 차광층(79)을 형성한다. 상기에서 보호층(68) 및 차광층(79)은 두께의 합이 하판과 상판 사이의 간격보다 커야한다.

그리고, 차광층(79)을 하프 톤(half) 마스크를 사용하는 사진(photo) 공정으로 패터닝한다. 이 때, 차광층(79)은 박막트랜지스터와 대응하는 부분은 패터닝되지 않고, 소오스 및 드레인전극(63)(65)과 데이터라인(66)과 대응하는 부분은  $0.2\sim1\mu\text{m}$  정도의 두께만 잔류되도록 하며, 나머지 화소영역은 보호층(68)이 노출되도록 한다.

도 6b를 참조하면, 패터닝된 차광층(79)을 마스크로 사용하여 보호층(68)의 노출된 부분을  $\text{SF}_6$  또는  $\text{SF}_4$  가스에  $\text{O}_2$  가스가 혼합된 가스로 화소영역의 화소전극(67)이 노출되도록 선택적으로 식각한다. 이 때, 보호층(68) 뿐만 아니라 차광층(79)의 소정 두께도 제거되는 데, 화소영역 상의 보호층(68)이 식각되는 동안 차광층(79)의 소오스 및 드레인전극(63)(65)과 데이터라인(66)에 대응하는 부분 상에 얇게 잔류하는 부분도 제거된다.

그러므로, 보호층(68)은 소오스 및 드레인전극(63)(65)에 데이터라인(66)과 대응하는 부분도 노출되어 식각된다. 따라서, 보호층(68)은 화소영역에서 화소전극(67)이 노출되며 소오스 및 드레인전극(63)(65)과 데이터라인(66)에 대응하는 부분은 소정 두께, 예를 들면,  $0.2\sim1\mu\text{m}$  정도의 두께가 잔류하게 된다.

상기에서 소오스 및 드레인전극(63)(65)과 데이터라인(66)에 대응하는 부분에 잔류하는 보호층(68)은 소오스 및 드레인전극(63)(65)과 데이터라인(66)의 부식 및 누설 전류를 방지한다.

도 6c를 참조하면, 상술한 구조 상의 전 표면에 화소전극(67), 보호층(68) 및 차광층(79)을 덮는 제 1 배향막(69)을 형성한다. 상기에서 제 1 배향막(69)을 폴리아미드(polyamid)를 스크린 프린터로 500~800Å 정도의 두께로 인쇄하여 형성한다.

도 7a 내지 도 7b는 도 4도에 도시된 액정표시장치의 하판(50)의 제조 공정도이다.

도 7a를 참조하면, 도 5a에 도시된 바와 같이 제 1 투명기판(51) 상의 게이트전극(53), 게이트절연막(57), 활성층(59), 오믹접촉층(61), 소오스 및 드레인전극(63)(65)으로 구성된 다수 개의 박막트랜지스터들을 게이트라인(55) 및 데이터라인(66)에 의해 인접하는 것들과 전기적으로 연결되게 형성하고, 화소전극(67)을 드레인전극(65)과 접촉되고 화소영역에만 잔류하도록 화소전극(67)을 형성한다.

그리고, 화소전극(67) 상에 박막트랜지스터를 덮도록 아크릴(acryl)계 유기화합물, 폴리이미드(polyimide), 사이토프(cytop), BCB(benzocyclobutene) 또는 PFCB(perfluorocyclobutane) 등의 고저항 유기 절연물질을 4~6μm 정도의 두께로 도포하여 보호층(68)을 형성한다. 상기에서 보호층(68)을 질화실리콘 또는 산화실리콘 등의 무기 절연물질을 증착하여 형성할 수도 있다.

그리고, 보호층(68)을 SF<sub>6</sub> 또는 SF<sub>4</sub> 가스에 O<sub>2</sub>가스가 혼합된 가스를 사용하는 건식 식각을 포함하는 포토리쏘그래피 방법으로 박막트랜지스터와 대응하는 부분에만 잔류되도록 패터닝한다.

도 7b를 참조하면, 상술한 구조 상의 전 표면에 화소전극(67) 및 보호층(68)을 덮는 제 1 배향막(69)을 형성한다. 상기에서 제 1 배향막(69)을 폴리아미드(polyamid)를 스크린 프린터로 500~800Å 정도의 두께로 인쇄하여 형성한다.

상술한 도 7a 내지 도 7b에 의해 형성된 하판(50)은 차광층이 없으므로 도 4에 도시된 바와 같이 상판(80)에 블랙매트릭스(73)이 형성되어야 한다.

상술한 바와 같이 본 발명에 따른 액정표시패널은 하판에 적어도 박막트랜지스터와 대응하는 부분에 형성되는 보호층 또는 보호층 및 차광층의 2개 층이 상판과의 이격 거리를 만큼 높게 형성되며, 또한, 화소전극을 보호층을 형성하기 전에 형성하므로 별도의 접촉홀을 통하지 않고 드레인전극과 직접 접촉시킨다.

### 발명의 효과

따라서, 본 발명은 하판에 적어도 박막트랜지스터와 대응하는 부분에 형성되는 보호층 또는 보호층 및 차광층의 2개 층에 의해 별도의 스페이서 없이 상판과의 이격 거리를 일정하게 유지시킬 수 있으며, 하판에 형성되는 차광층에 의해 상판에 광을 차단하기 위한 블랙매트릭스가 필요하지 않게 된다. 또한, 접촉홀을 형성하지 않고 화소전극과 드레인전극을 직접 연결하므로 공정을 감소시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여 져야만 할 것이다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 액정표시패널의 단면도

도 2는 본 발명의 제 1 실시예에 따른 액정표시패널의 단면도

도 3은 본 발명의 제 2 실시예에 따른 액정표시패널의 단면도

도 4는 본 발명의 제 3 실시예에 따른 액정표시패널의 단면도

도 5a 내지 도 5d는 도 2도에 도시된 액정표시장치의 하판의 제조 공정도

도 6a 내지 도 6c는 도 3도에 도시된 액정표시장치의 하판의 제조 공정도

도 7a 내지 도 7b는 도 4도에 도시된 액정표시장치의 하판의 제조 공정도

< 도면의 주요 부분에 대한 부호의 설명 >

50 : 하판 51 : 제 1 투명기판

53 : 케이트전극 55 : 케이트라인

57 : 케이트절연막 59 : 활성층

61 : 오믹접촉층 63, 65 : 소오스 및 드레인전극

66 : 데이터라인 67 : 화소전극

68 : 보호층 69 : 제 1 배향막

71 : 제 2 투명기판 73 : 블랙매트릭스

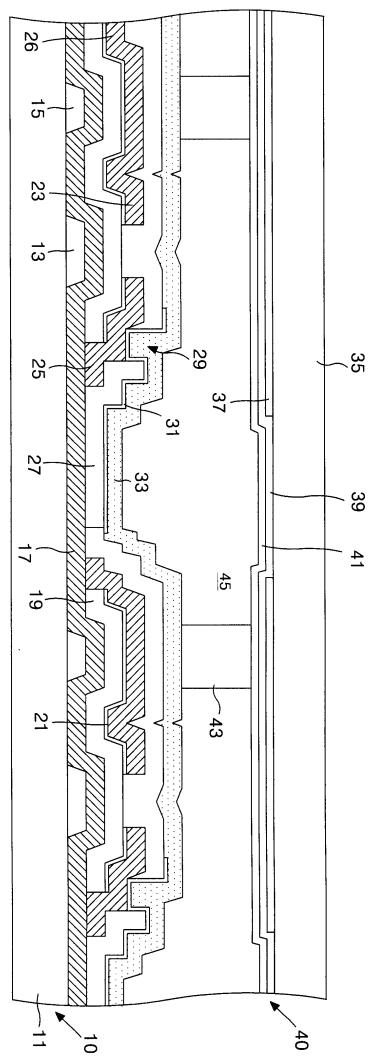
75 : 공통전극 77 : 제 2 배향막

79 : 차광층 80 : 상판

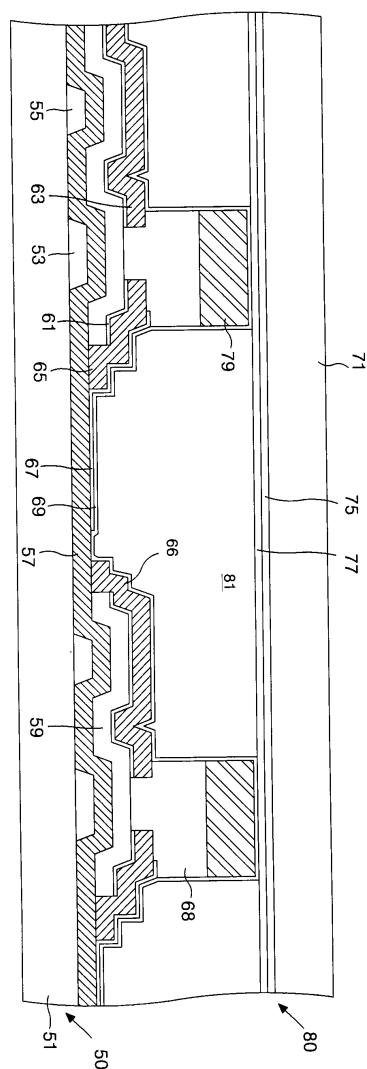
81 : 액정

도면

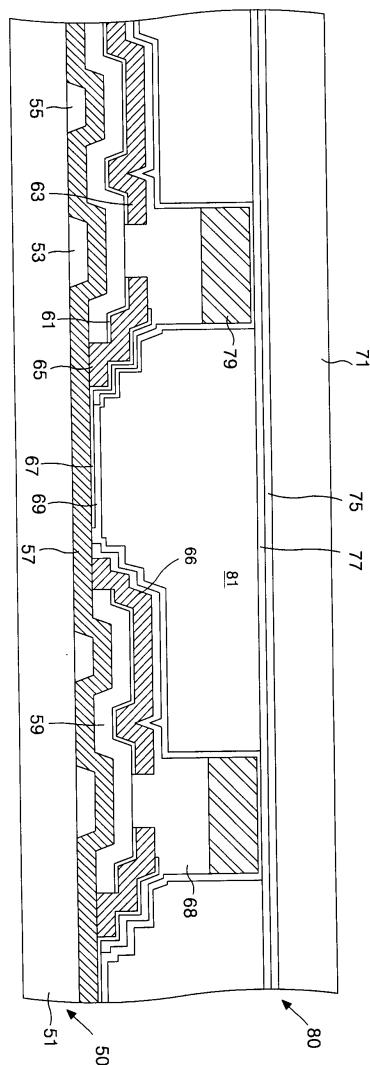
도면1



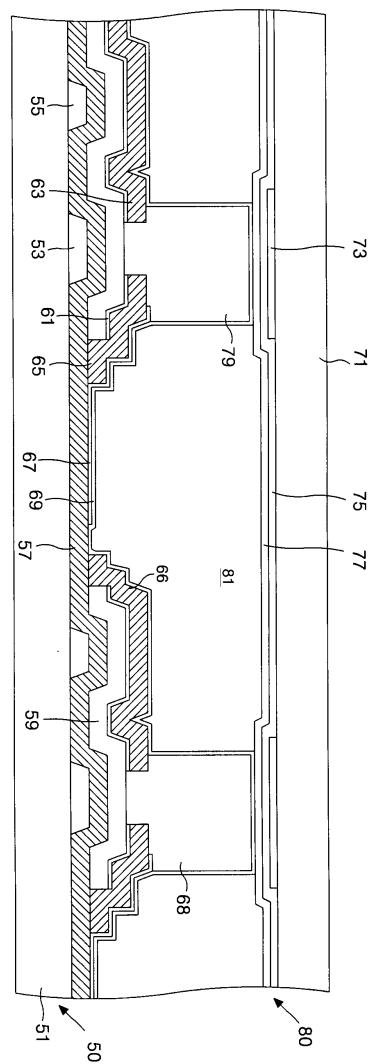
도면2



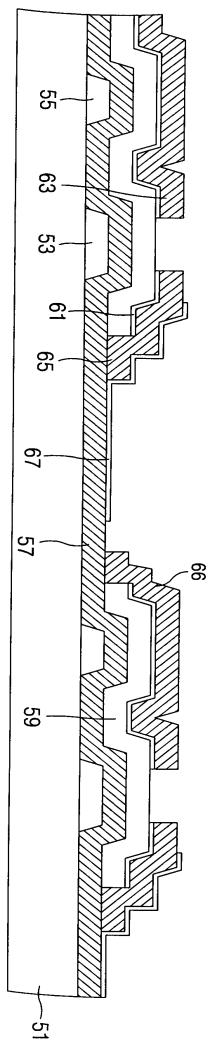
도면3



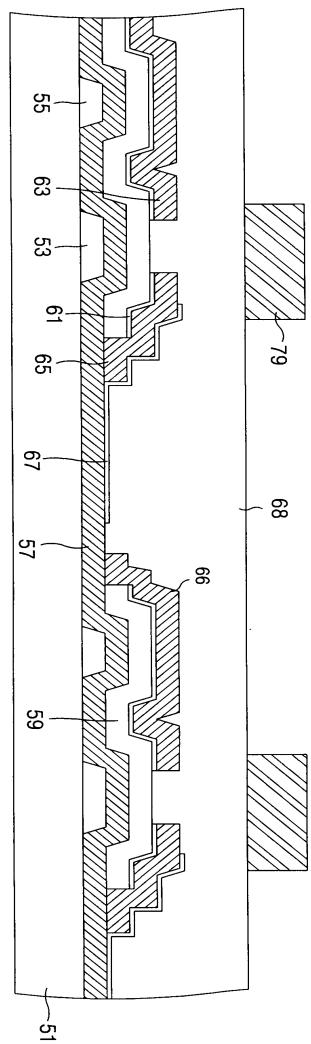
도면4



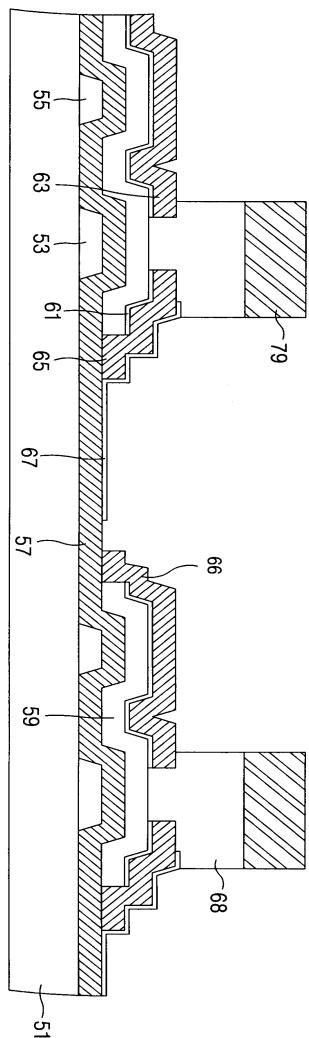
도면5a



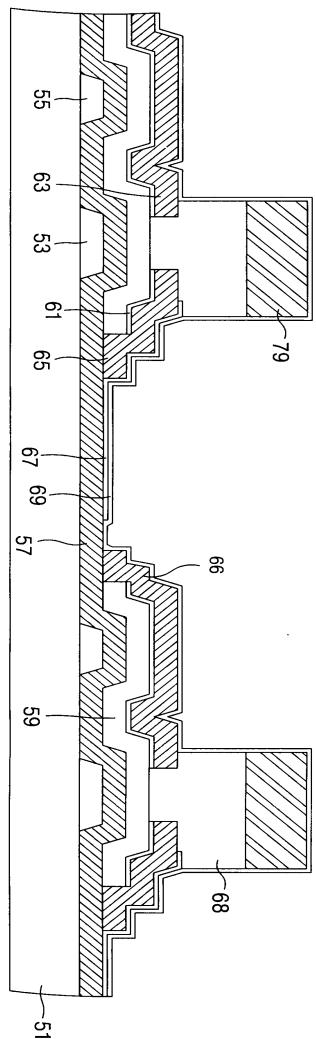
도면5b



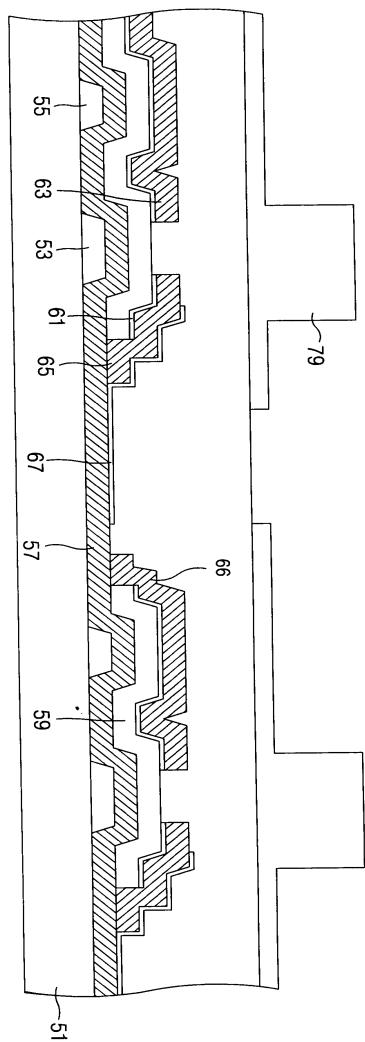
도면5c



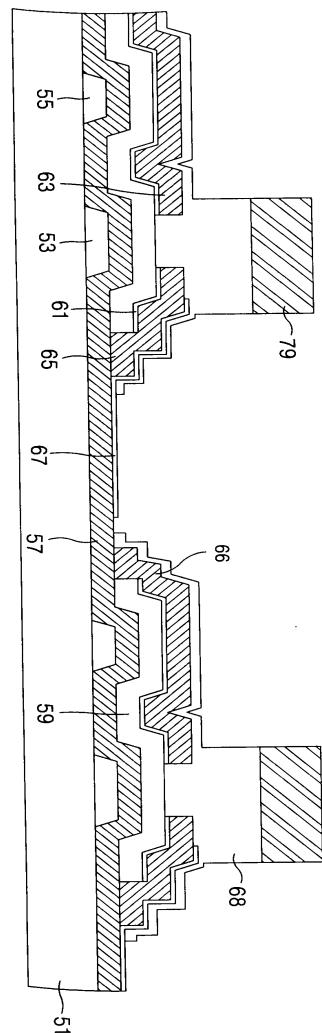
도면5d



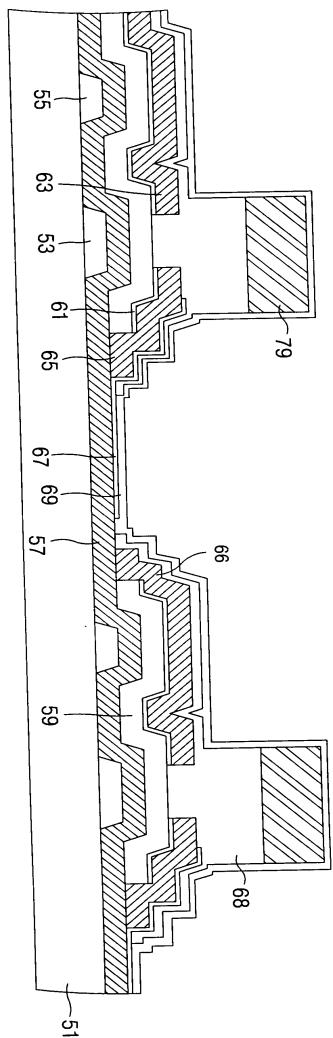
도면6a



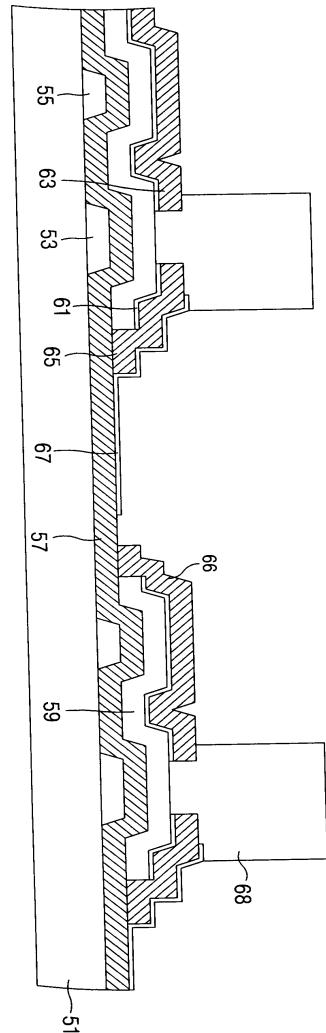
도면6b



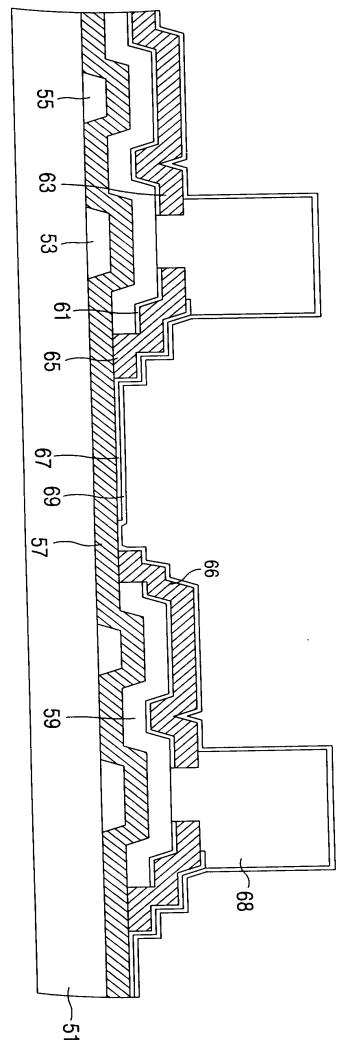
도면6c



도면7a



도면7b



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	<a href="#">KR100685312B1</a>	公开(公告)日	2007-02-22
申请号	KR1020000009502	申请日	2000-02-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN BYUNGCHUL		
发明人	AHN,BYUNGCHUL		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1339 G02F1/1368		
CPC分类号	G02F1/13394 G02F1/133512 G02F1/1368		
代理人(译)	KIM , YOUNG HO		
其他公开文献	KR1020010084454A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明包括第一透明基板中的栅电极，栅极绝缘层，有源层，欧姆接触层以及在与下板中的像素区域对应的区域上形成的滤色器之间注入的液晶。形成在保护层上的保护层和形成在保护层上的保护层和形成在像素电极上的第一取向层，以覆盖保护层和光学屏蔽层：和面对第二透明基板的第一透明基板，有源层上的薄膜晶体管与像素电极的一部分重叠，该部分与薄膜晶体管上的像素区域接触，该像素区域由源极和漏极以及栅极线构成形成为连接到薄膜晶体管的栅电极和源电极并限制像素reg的数据线离子栅极绝缘层与漏电极连接并且与源极和漏极电极连接，上板由公共电极构成，其形成为覆盖第二透明基板的前侧上的滤色器和形成的第二取向层在公共电极上：和下板和上板。因此，黑色矩阵不需要上板，在下板上形成保护层或在下板上形成光学屏蔽层，与上板的间隔距离可以有规律地保持2个单元层的光学屏蔽层和保护层没有单独的垫片。并且由于直接连接像素电极和漏电极而没有接触孔，因此可以减少该过程。

