

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

G02F 1/133 (2006.01)

(45) 공고일자 2006년10월13일  
 (11) 등록번호 10-0632819  
 (24) 등록일자 2006년09월29일

(21) 출원번호 10-2000-0004635	(65) 공개번호 10-2000-0062512
(22) 출원일자 2000년01월31일	(43) 공개일자 2000년10월25일

(30) 우선권주장 99-76800	1999년03월19일	일본(JP)
---------------------	-------------	--------

(73) 특허권자 샤프 가부시키가이샤
일본 오사카후 오사카시 아베노구 나가이케조 22방 22고

(72) 발명자 장홍용
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
시끼가이샤내

모리따케이조
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부
시끼가이샤내

(74) 대리인 문두현
문기상

**심사관 : 이동윤**

---

**(54) 리페어 가능한 액정표시장치 및 그 제조방법**

---

**요약**

본 발명은 액티브 매트릭스형 액정표시장치 및 그 제조방법에 관한 것으로, 결합을 용이하게 리페어 할 수 있는 액정표시장치를 제공한다. 본 발명에 따른 액정표시장치는, 절연표면을 갖는 제 1 기판과; 상기 제 1 기판의 중앙부 상에 배치되며, 행렬 형상으로 배치된 복수의 화소와, 행방향으로 나열된 화소를 활성화하는 복수의 주사선과, 열방향으로 나열된 화소 중 활성화된 화소에 화상 정보를 전달하는 복수의 신호선을 포함하는 표시부와; 상기 제 1 기판의 표시부 외측 영역인 주변부의 제 1 행방향 단부 상에 형성되며 상기 주사선을 구동하는 신호를 발생하는 주사선 구동회로와, 상기 제 1 기판의 주변부의 제 1 열방향 단부 상에 형성되며 상기 신호선을 구동하는 신호를 발생하는 신호선 구동회로와, 상기 제 1 기판의 주변부의 일부 상에 형성되며 상기 주사선 구동회로 및 상기 신호선 구동회로의 적어도 일부와 실질적으로 동일한 구성을 갖는 리페어회로를 구비한다.

**대표도**

도 1

**색인어**

리페어회로, 액정표시장치

### 명세서

#### 도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 액정표시장치의 구성을 개략적으로 나타내는 평면도, 블록도, 등가회로도.

도 2는 도 1에 나타내는 액정표시장치의 표시부의 화소 구성을 개략적으로 나타내는 단면도 및 평면도.

도 3은 도 1에 나타내는 액정표시장치에 이용되는 아날로그 스위치의 구성을 나타내는 등가 회로도 및 평면도.

도 4는 도 1의 액정표시장치의 신호선 구동회로의 구성을 개략적으로 나타내는 블록도.

도 5는 도 1에 나타내는 액정표시장치의 주사선 구동회로의 구성을 나타내는 등가 회로도.

도 6은 아날로그 스위치의 결합 리페어를 개략적으로 나타내는 등가 회로도.

도 7은 여러 가지 아날로그 스위치의 구성을 나타내는 등가 회로도.

도 8은 도 7에 나타내는 아날로그 스위치의 조정 방법을 나타내는 등가 회로도.

도 9는 회로의 리페어 방법을 개략적으로 나타내는 등가 회로도.

도 10은 분할점 순차형 액정표시장치의 구성을 개략적으로 나타내는 평면도.

도 11은 도 10에 나타내는 액정표시장치에 있어서의 결합 리페어를 나타내는 개략 평면도.

도 12는 도 10에 나타내는 액정표시장치의 변형예를 나타내는 개략 평면도.

도 13은 도 12에 나타내는 액정표시장치의 결합 리페어의 다른 방법을 나타내는 개략 평면도.

도 14는 블록 순차구동형 액정표시장치의 구성을 나타내는 개략 평면도.

도 15는 도 14에 나타내는 액정표시장치의 구동을 설명하기 위한 타이밍차트.

도 16은 도 14에 나타내는 액정표시장치에 결합 리페어 요소를 더한 구성의 개략 평면도.

도 17은 배선군의 리페어 방식을 나타내는 개략 평면도.

도 18은 리페어용 주사선 구동회로를 갖춘 액정표시장치의 개략 평면도.

도 19는 레이저광용 접속 포인트의 구성을 나타내는 평면도 및 단면도.

도 20은 레이저광용 접속 포인트의 구성을 개략적으로 나타내는 평면도 및 단면도.

도 21은 레이저광용 접속 포인트의 구성을 개략적으로 나타내는 평면도 및 단면도.

도 22는 레이저광에 의한 리페어 공정을 나타내는 단면도 및 평면도.

#### ※ 도면의 주요부분에 대한 부호의 설명 ※

S1: TFT 기판

S2: 공통 기판

DIS: 표시부

DD: 신호선 구동회로

GD: 주사선 구동회로

PE: 주변부

VL: 신호선

GL: 주사선

PX: 화소

RGD: 리페어용 주사선 구동회로

RDD: 리페어용 신호선 구동회로

RC: 리페어회로

SR: 쉬프트 레지스터

BF: 버퍼회로

SB: 쉬프트 레지스터 및 버퍼회로

AS: 아날로그 스위치

PL: 화상 데이터선

SC: 축적용량

RL: 리페어 배선

RCL: 리페어용 제어선

RPL: 리페어용 데이터선

RX: 접속 포인트

RCX: 접속된 접속 포인트

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은, 액정표시장치 및 그 제조방법에 관한 것으로, 특히 액티브 매트릭스형 액정표시장치 및 그 제조방법에 관한 것이다.

액티브 매트릭스형 액정표시장치에 있어서는, 표시부 내에 다수의 화소가 행렬형상으로 배치된다. 또, 각 화소는, 스위칭 소자와 화소 전극을 포함한다. 스위칭 소자로서, 비정질 실리콘을 이용한 박막 트랜지스터(TFT)가 이용되고 있다. 표시부에는, 각 화소의 TFT를 구동하기 위해서, TFT의 게이트 전극에 접속된 주사선 및 TFT의 소스 전극(한 쪽의 전류 전극이다. 편의상 소스 전극이라고 부른다.)에 접속된 신호선이 교차되어 배치된다.

액정표시장치는, TFT 기판과, TFT 기판에 대향하여 배치되는 공통전극 기판과, 양 기판간에 협지되는 액정층을 포함한다. 공통전극 기판은, 표시부 전면에 단일 공통전극을 가진다. 컬러 표시를 위하여, 한쪽의 기판 상에 컬러 필터를 형성하는 것도 행해진다.

비정질 TFT를 각 화소에 이용한 액정표시장치에 있어서는, 주사선 및 신호선의 제어 회로는 표시부가 형성되는 기판과는 다른 프린트기판 상에 형성되고, TAB 등을 이용해 TFT 기판에 접속되어 있다. TAB 상에도, IC 등의 제어 회로가 접속되어 있다.

액정표시장치에 있어서는, 약간의 접결함은 허용되지만, 선결함은 허용되지 않는다. 따라서, 주사선 또는 신호선의 1개라도 단선하면, 액정표시장치 전체가 불량품이 되어 버린다.

이러한 선결함을 리페어하기 위해서, 외부 회로 내에 리페어용 OP 앰프가 접속되고, 제어 회로가 접속되는 주사선 또는 신호선의 단부와 반대측에서, 선택된 주사선 또는 신호선과 접속할 수 있도록 구성되어 있다. 예를 들면, 1개의 주사선이 중간에서 단선되어 있는 경우, 주사선 구동회로로부터의 신호는 단선 위치까지밖에 전달되지 않는다. OP 앰프의 출력력을, 동일 주사선의 타단으로부터 공급하는 것에 의해서, 단선이 있는 주사선을 동일 신호로 구동할 수 있다. 신호선의 단선도 동일하게 취급할 수 있다.

리페어(repair)를 행하는 경우에는, 주사선, 신호선 등의 현역 배선과 리페어용 배선을 절연막을 통하여 교차하도록 배치하고, 교차부에 레이저광을 조사하여, 양 배선을 합선시킨다.

상술한 리페어 방법에 의하면, 1개의 배선의 결함을 리페어하기 위해서 1개의 외부 OP 앰프를 필요로 한다. 다수의 OP 앰프를 접속하려고 하면, 제조 원가가 높게 될 뿐만 아니라, OP 앰프를 배치하는 면적도 필요하게 되며, 설계상의 제약이 증가한다.

최근에, 유리기판 상에 형성한 비정질 실리콘막에 대해서, XeC1 레이저나 KrF 레이저 등의 레이저광을 조사하여, 비정질 실리콘막을 다결정 실리콘막으로 변환하는 기술이 개발되었다. 유리기판 상에 다결정 실리콘막을 형성하면 고성능의 TFT를 얻을 수 있다.

이러한 고성능의 TFT를 형성하는 경우, 유리기판 상에 표시부와 함께 주변 회로도 형성하는 것이 가능해진다. 유리기판 상에 표시부와 동시에 주변 회로를 일체화한 경우도, 외부에 부착된 IC의 OP 앰프를 사용해 결함을 리페어하는 것이 생각된다. OP 앰프 내의 단결정 실리콘을 이용한 MOSFET와 유리기판 상의 다결정 TFT와의 전기적 특성 또는 온도 특성은 크게 다르다. 이 때문에, 선결함을 실질적으로 문제없는 정도로 리페어하는 것이 곤란해질 수 있다.

절연층을 통하여 상하의 배선층을 교차시키고, 레이저 조사에 의해 상하 배선층을 합선시키는 경우, 양호한 합선을 발생시키는 조사 에너지는 비교적 높고, 그 마진은 비교적 좁다. 이 때문에, 리페어(repair) 성공률이 낮고, 잠재적인 불량을 일으킬 가능성도 있다.

### 발명이 이루고자 하는 기술적 과제

이상 설명한 것처럼, 액티브 매트릭스형 액정표시장치의 결함 리페어에는, 아직 여러 가지 문제가 있다.

본 발명의 목적은, 결함을 용이하게 리페어할 수 있는 액정표시장치를 제공하는 것이다.

본 발명의 다른 목적은, 주변 회로를 일체화하고, 또한 선결함을 일으키는 결함을 용이하게 리페어할 수 있는 액티브 매트릭스형 액정표시장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 주변 회로를 일체화하고, 또한 결함을 용이하게 리페어할 수 있는 액티브 매트릭스형 액정표시장치의 제조방법을 제공하는 것이다.

## 발명의 구성 및 작용

본 발명의 일 관점에 의하면, 절연 표면을 가지는 제1 기판과, 상기 제1 기판의 중앙부 상에 배치되고, 행렬 형상으로 배치된 복수의 화소와, 행방향으로 나열된 화소를 활성화하는 복수의 주사선과, 열방향으로 나열된 화소 중 활성화된 화소에 화상 정보를 전달하는 복수의 신호선을 포함하는 표시부와, 상기 제1 기판의 표시부 외측의 영역인 주변부의 제1 행방향 단부 상에 형성되어 상기 주사선을 구동하는 신호를 발생하는 주사선 구동회로와, 상기 제1 기판의 주변부의 제1 열방향 단부 상에 형성되어 상기 신호선을 구동하는 신호를 발생하는 신호선 구동회로와, 상기 제1 기판의 주변부의 일부 상에 형성되어 상기 주사선 구동회로 및 상기 신호선 구동회로의 적어도 일부와 실질적으로 동일한 구성을 갖는 리페어회로를 갖는 액정표시장치가 제공된다.

본 발명의 다른 관점에 의하면, 절연 표면을 가지는 제1 기판과; 상기 제1 기판의 중앙부 상에 배치되고, 행렬 형상으로 배치된 복수의 화소와, 행방향으로 나열된 화소를 활성화하는 복수의 주사선과, 열방향으로 나열된 화소 중 활성화된 화소에 화상 정보를 전달하는 복수의 신호선을 포함하는 표시 영역과; 상기 제1 기판의 표시 영역 외측의 영역인 주변부의 제1 행방향 단부 상에 형성되어 상기 주사선을 구동하는 신호를 발생하는 주사선 구동회로와; 상기 제1 기판의 주변부의 제1 열방향 단부 상에 형성되어 상기 신호선을 구동하는 신호를 발생하는 신호선 구동회로와; 상기 제1 기판의 주변부의 나머지의 영역의 일부 상에 형성되어 상기 주사선 구동회로 및 상기 신호선 구동회로의 적어도 일부와 실질적으로 동일한 구성을 갖는 리페어용 배선을 갖는 리페어회로를 갖는 TFT 기판을 형성하는 공정과, 상기 TFT 기판을 검사하는 공정과, 결함이 발견된 경우, 상기 리페어용 배선을 이용하여, 리페어회로를 활성화하는 리페어 공정을 포함하는 액정표시장치의 제조방법이 제공된다.

도 1은, 주변회로 일체화형 액티브 매트릭스 기판의 구성 및 리페어회로를 일체화한 액티브 매트릭스형 TFT 기판의 구성을 나타낸다.

도 1의 a는, 주변회로 일체화형 액티브 매트릭스 기판의 구성 예를 나타낸다. 유리기판(S1)의 중앙부에 표시부(DIS)가 형성된다. 표시부(DIS)의 주변에는, 주변부(PE)가 남는다. 이 주변부(PE)의 일부에, 주변 회로가 일체화되어 형성된다. 도시의 구성에 있어서는, 표시부의 일측의 장면을 따라 데이터 신호선 구동회로(DD)가 배치되고, 단면을 따라 주사선 구동회로(GD)가 배치되어 있다.

표시부(DIS)에 있어서는, 종방향으로 복수의 화상 신호선(VL)이 배치되고, 횡방향으로 복수의 주사선(GL)이 화상 신호선(VL)과 교차해 배치되어 있다. 신호선(VL)과 주사선(GL)의 각 교점에는, 화소(PX)가 접속된다.

도 1의 a의 구성에 있어서, 우단의 주변부 및 하단의 주변부에는, 회로가 형성되지 않는다. 그렇지만, 액정표시장치의 조립 등의 요구에 의해서, 이것들의 주변부를 생략할 수는 없다.

도 1의 b는, 도 1의 a의 액티브 매트릭스 기판에 리페어회로를 형성한 형태를 나타낸다. 주변부(PE)의 우단(右端) 영역에 주사선 구동회로(GD)와 동등의 회로 구성을 가지는 리페어용 주사선 구동회로(RGD)가 형성되고, 주변부 하단 영역에 신호선 구동회로(DD)와 동등의 구성을 가지는 리페어용 신호선 구동회로(RDD)가 형성된다. 또한, "동등"이라는 용어는, 제조 프로세스 상의 자유스러움을 허용하며, 회로로서 동일이라고 볼 수 있는 것을 가리키도록 이용되고 있다. 주사선 구동회로, 신호선 구동회로와 동등의 회로 구성을 가지는 리페어회로는, 특별한 제조 공정을 추가하지 않고도 제조할 수 있다.

도 1의 c는, 액티브 매트릭스 기판의 다른 구성 예를 나타낸다. 유리기판(S1)의 중앙부에 표시부(DIS)가 형성되고, 주변부의 장면을 따른 영역에는 1쌍의 신호선 구동회로(DD1, DD2)가 형성된다. 예를 들면, 홀수 번째의 신호선은 상측의 신호선 구동회로(DD1)에 의해 구동되고, 짝수 번째의 신호선은 하부의 신호선 구동회로(DD2)에 의해 구동된다.

유리기판(S1)의 주변부의 단면을 따른 1쌍의 주변 영역에도, 1쌍의 주사선 구동회로(GD1, GD2)가 형성된다. 1쌍의 주사선 구동회로(GD1, GD2)는 동일한 주사선을 양단에서 구동한다. 이 구성의 경우, 주변부의 비어있는 영역은 작다. 따라서, 신호선 구동회로(DD1, DD2)나 주사선 구동회로(GD1, GD2)와 동등한 구성을 가지는 리페어회로를 형성할 면적의 여유는 없다.

도 1의 d는, 도 1의 c의 구성에 기초를 두고, 리페어용 회로를 형성한 구성 예를 나타낸다. 리페어회로(RC1~RC4)는, 주변부의 각 코너 영역에 설치된다. 예를 들면, 리페어용 회로(RC1~RC4) 중에, 2개가 신호선 구동회로(DD1, DD2)의 일부와 동등의 구성을 가지며, 다른 2개가 주사선 구동회로(GD1, GD2)의 일부와 동등한 구성을 가진다.

주변 회로의 일부에 결함이 발생된 경우에는, 결함 부분을 리페어용 회로(RC1~RC4)의 일부로 대치하도록 배선의 접속을 변경한다. 어떠한 배선을 설치할지는, 뒤에 자세하게 설명한다.

도 1의 e는, 1화소의 구성예의 등가 회로도를 나타낸다. 화소(PX)는, 스위칭용 박막 트랜지스터TFT와, 화소 전극(XE)과 축적 용량(SC)을 포함한다. TFT의 소스 전극이 신호선(VL)에 접속되고, 게이트 전극이 주사선(GL)에 접속되며, 드레인 전극이 화소 전극(XE)에 접속된다. 화소 전극(XE)은, 축적 용량(SC)의 일측의 전극을 겹친다. 축적 용량(SC)의 타측 전극은, 절연막을 통하여 화소 전극(XE)과 대향 배치된 도전체로 형성된다. 축적 용량의 타측 전극은, 행방향 또는 열방향으로 연장하여 형성되고, 동일 전압에 접속된다.

표시부에 있어서, TFT에 결함이 생기면, 점결함이 발생된다. 신호선(VL)에 단선이 생기면, 신호선 구동회로(DD)로부터 단선 개소보다도 면 쪽에 선결함이 생긴다. 도 1의 a의 구성의 경우, 주사선(GL)에 단선이 생기면, 단선 개소보다 하류측의 주사선을 따라 선결함이 생긴다. 이러한 결함 중에서, 선결함은 반드시 리페어되지 않으면 안 되는 결함이다.

도 1의 f는, 주사선 구동회로(GD)의 구성을 개략적으로 나타낸다. 주사선 구동회로(GD)는, 쉬프트 레지스터(SR)와, 멀티플렉서(MLX)와, 멀티플렉서의 출력신호를 버퍼링하는 버퍼회로(BF)를 포함하고, 복수의 주사선에 대해 순차 선택되는 주사선을 쉬프트시키는 신호를 발생한다. 또한, 쉬프트 레지스터, 멀티플렉서, 버퍼를 통틀어 SMB 라 한다.

도 1의 g는, 신호선 구동회로의 구성을 개략적으로 나타낸다. 신호선 구동회로(DD)는 쉬프트 레지스터(SR), 버퍼회로(BF), 및 버퍼회로의 출력에 의해 온/오프 제어되는 아날로그 스위치(AS)를 포함한다. 쉬프트 레지스터(SR)와 버퍼회로(BF)를 통틀어 SB 라 한다.

아날로그 스위치(AS)는, 화상 데이터선(PL)에 공급되는 화상 신호를, 신호선(VL)에 선택적으로 전달하는 기능을 가진다. 신호선 구동회로(DD)는, 주사선 구동회로(GD)에 비하여 고속으로 동작하기 때문에, 비교적 결함이 생기기 쉽다. 특히, 아날로그 스위치(AS)는, 긴 채널폭을 가져서, 결함이 생기기 쉽다.

도 2는, 표시 영역에 있어서의 TFT의 구성예를 보다 상세하게 나타낸다. 도 2의 a는 단면도이고, 도 2의 b, c는 주사선(GL) 및 신호선(VL)을 형성한 단계의 평면도이다.

도 2의 a에 나타내는 것처럼, 유리기판(10)의 표면 상에, 필요에 따라서  $\text{SiO}_2$ 를 퇴적한 뒤, 센터상의 다결정 실리콘층(12)을 형성한다. 센터상 다결정 실리콘은, 먼저 비정질 실리콘층을 퇴적하고,  $\text{XeCl}$  레이저나  $\text{KrF}$  레이저 등의 레이저광을 조사하고, 레이저 어닐에 의하여 결정화를 생기게 하며, 그 후 패터닝함으로써 얻어진다. 예를 들면, 두께 40nm의 다결정 실리콘층이 형성된다.

다결정 실리콘층(12)의 형상은, 도 2의 b에 나타낸 바와 같이, 양단에서 폭이 큰 영역(12S, 12D)을 가지며, 그것들 사이를 스트라이프 형상의 영역이 결합하는 형상이다.

다결정 실리콘층(12)을 덮도록, 게이트 절연막(14)이 산화막, 질화막 등에 의해 형성된다. 예를 들면, 두께 200nm의  $\text{SiO}_2$  막이 형성된다. 게이트 절연막(14) 상에, 게이트 전극(16)이 형성된다. 게이트 전극은, 예를 들면 두께 300nm의 Al-Nd 합금층으로 형성된다.

도 2의 b에 나타내는 것처럼, 게이트 전극(16)은, 주사선(GL)과 동일 층으로 형성되고, 연속적으로 형성된다. 또한, 도 2의 b에 나타내는 공정까지의 사이에, 다결정 실리콘층(12)의 양단부 영역에 소망의 불순물을 도핑한다.

게이트 전극(16)을 덮도록, 층간절연막(18)이 형성된다. 예를 들면, 두께 500nm의  $\text{SiN}_x$  막이 형성된다. 층간절연막과 게이트 절연막(14)을 관통하여, 다결정 실리콘층(12)의 소스 영역(12S), 드레인 영역(12D)에 이르는 콘택홀이 형성된다. 이 콘택홀을 매립하고, 소스 전극(20S), 드레인 전극(20D)이 형성된다. 전극층은, 예를 들면 두께 80nm의 Ti층, 두께 250nm의 A1층, 두께 150nm의 Ti층의 적층으로 형성된다.

도 2의 c는, 소스 전극(20S)의 평면 형상을 나타낸다. 소스 전극(20S)은, 신호선(VL)과 동일층에서 연속적으로 형성된다. 또한, 드레인 영역상의 드레인 전극은 도시를 생략하고 있다. 그 후, 소스 전극(20S), 드레인 전극(20D)을 덮도록 수지, 스핀온유리(SOG) 등의 평탄화막(22)을 형성한다. 평탄화막(22)을 관통하여 드레인 전극(20D)에 이르는 콘택홀이 형성된다.

이 콘택홀을 덮도록 ITO 등으로 형성된 화소 전극(24)이 접속된다. 또한, 반사형 액정표시장치의 경우에는, ITO 대신에 반사율이 높은 금속전극이 이용된다. 화소 전극(24)을 형성한 뒤, 표면에 폴리이미드 등의 배향막(26)을 형성한다.

게이트 전극(16) 및 주사선(GL)은, 예를 들면 Al-Nd 합금으로 형성된다. 또, 소스 전극(20S) 및 신호선(VL)은, 예를 들면 Ti/A1/Ti의 적층구조로 형성된다. 이러한 2종류의 금속층은, 다른 레벨로 형성되기 때문에, 주변회로 영역에 있어서는 하층 배선층, 상층 배선층으로서 이용할 수 있다. 이러한 2종류의 배선층을 교차시키고, 레이저광을 조사하면, 양 배선층 모두 저용점의 A1 을 주성분으로 하고 있기 때문에, 비교적 용이하게 용융되며, 합선을 생기게 할 수 있다. 도 2에 나타낸 표시 영역내의 구성에 있어서는, 주사선(GL) 및 신호선(VL)의 단선이 선결함을 발생시키는 원인이 된다.

도 1의 g에 나타낸 것처럼, 신호선 구동회로의 출력단에는, 복수의 아날로그 스위치(AS)가 접속된다.

도 3은, 아날로그 스위치의 구성을 나타낸다. 아날로그 스위치는, 도 3의 a에 나타낸 바와 같이 p채널 MOS 트랜지스터 구조로 형성해도, 도 3의 b에 나타낸 바와 같이, n채널 MOS 트랜지스터 구조로 형성해도, 도 3의 c에 나타내는 바와 같이, CMOS 트랜지스터 구조로 형성해도 좋다. 이러한 구성 중에서, 도 3의 c에 나타내는 구성이 가장 바람직하다.

도 3의 d는, 도 3의 c에 나타내는 CMOS형 아날로그 스위치의 구성예를 나타낸다. 1쌍의 섬 형상 반도체층(30)이 형성되고, 그 위에 소스 전극, 게이트 전극, 드레인전극이 형성되어 있다. 화상 정보는, 공통 소스 전극(34)으로부터, 종방향으로 배치된 4개의 소스 전극(34n, 34p)에 전달된다. 좌우의 반도체층은, 각자 n채널 TFT 및 p채널 TFT를 형성하기 위한 것이고, 구성으로서는 동등하다. 각 TFT는, 양측에 소스 전극(34n, 34p)이 배치되고, 중앙에 드레인전극(36n, 36p)이 배치되며, 이것들의 중간에 게이트 전극(32n, 32p)이 배치된 구성이다.

다결정 실리콘은, 비정질 실리콘과 비교하여 이동도가 대폭적으로 향상하고 있다고 해도, 단결정실리콘과 비교하면 아직 이동도는 작다. 충분히 낮은 온 저항을 얻기 위하여, 각 TFT는, 채널폭을 넓게 하고, 또한 양측의 소스 영역에서 중앙의 드레인 영역으로 동시에 캐리어를 공급할 수 있는 구성으로 되어 있다. 좁은 간격을 두고 배치되는 전극의 길이가 길고, 그 수가 많기 때문에, 아날로그 스위치(AS)에 결함이 발생하는 확률은 높게 된다.

도 4는, 신호선 구동회로의 아날로그 스위치(AS)를 없앤 부분의 회로 구성을 나타내는 등가 회로도이다. n단의 플립플롭 회로(FF1~FFn)가 직렬로 접속되고, 전단의 플립플롭(FF)의 출력이 후단의 플립플롭(FF)의 입력에 접속되어 쉬프트 레지스터를 구성하고 있다. 쉬프트 레지스터의 출력은, 복수의 인버터를 직렬로 접속한 버퍼회로(BF)에 공급된다. 버퍼회로(BF)의 도중의 노드로부터, 분기 배선이 형성되고, CMOS형 아날로그 스위치에 대한 2개의 출력이 형성된다.

도 5는, 주사선 구동회로의 구성을 개략적으로 나타내는 등가 회로도이다. 도면의 상단에는, 양방향 스위치(SW)와, 1단의 쉬프트 레지스터(SR)가 나타나 있다. 이 쉬프트 레지스터(SR)의 출력은, 다음 단의 쉬프트 레지스터에 공급된다. 또, 쉬프트 레지스터(SR)의 출력은, 멀티플렉서(MLX)에 있어서 멀티플렉스 신호(MP1~MP4)와의 논리곱을 취하고, 4개의 주사신호를 발생한다. 4개의 주사신호는, 버퍼회로(BF)를 통하여 표시부(DIS)의 주사선에 공급된다. 주사선의 수가 600개인 경우, 쉬프트 레지스터는 150단이 설치된다.

도 6은, 아날로그 스위치 및 신호선(VL)의 결함 리페어 방법을 나타낸다. 예를 들면, 본래의 액티브 매트릭스 기판의 회로 구성이 도 1의 a에 나타낸 바와 같이, 표시부(DIS)에 인접하는 1개의 주변 영역에 신호선 구동회로(DD)가 형성되어 있는 경우를 고려한다.

도 6의 a에 나타낸 바와 같이, 화상 데이터선(PL)과 화상 신호선(VL) 사이에 아날로그 스위치(AS)가 배치되고, 이 아날로그 스위치(AS)의 제어 전극이 제어선(CL)에 의해 제어된다. 이러한 구성이 횡방향으로 복수 병렬로 배치되어 있어도 좋다.

리페어회로는, 신호선(VL)의 타단에 스위치(SW2)를 통하여 접속가능한 리페어용 아날로그 스위치(RAS)를 배치하고, 이 리페어용 아날로그 스위치(RAS)의 다른 쪽의 전류 전극을 리페어용 데이터선(RPL), 스위치(SW1)를 통하여 데이터선(PL)에 접속가능하게 하며, 리페어용 아날로그 스위치(RAS)의 제어 전극을 리페어용 제어선(RCL) 및 스위치(SW3)를 통하여 제어선(CL)에 접속가능하게 한다.

스위치(SW1, SW2, SW3)는 정상상태에서 오프이고, 아날로그 스위치(AS) 및 신호선(VL)이 정상적인 경우에는, 리페어용 아날로그 스위치(RAS)는 전기적으로 분리되어 있다.

도 6의 b에 나타내는 것처럼, 신호선(VL)의 중간에서 단선(B1)이 발생되었다고 하면, 신호선(VL)의 단선 개소B1 보다도 하류측에서는 화소에 화상 정보가 전달되지 않게 된다. 이 경우에, 스위치(SW1, SW2, SW3)를 닫고, 리페어용 아날로그 스위치(RAS)를 활성화하는 것에 의해서, 동일한 화상 데이터가 하부에서도 신호선(VL)에 전달할 수 있게 된다.

아날로그 스위치(AS)의 입력 배선의 개소(B2) 또는 제어선의 개소(B3)에 단선이 생겼을 때도 같은 리페어를 행하는 것에 의해서, 선결함을 방지할 수 있다. 아날로그 스위치가 복수 병렬 배치되고 있는 경우도, 리페어용 아날로그 스위치(RAS)가 어느 아날로그 스위치에도 접속가능한 구성으로 하면, 1개의 리페어용 아날로그 스위치(RAS)로 어느 아날로그 스위치 또는 신호선의 결함도 리페어할 수 있다.

도 6의 c는, 아날로그 스위치(AS)에 합선형 결함이 생긴 경우의 리페어 방법을 나타낸다. 이 경우에도, 도 6의 b의 경우와 동일하게 스위치(SW1, SW2, SW3)를 닫고, 리페어용 아날로그 스위치(RAS)를 활성화한다.

단, 합선형 결함의 경우, 리페어용 아날로그 스위치(RAS)가 오프인 동안에도, 아날로그 스위치(AS)는 신호선(VL)을 데이터선(PL) 또는 제어선(CL)에 접속해 버린다.

그래서, 아날로그 스위치(AS)의 입력측 배선 및 제어 배선을 개로시킨다. 이와 같이 하여, 본래의 아날로그 스위치(AS)가 기능하지 않게 하는 것에 의해서, 리페어용 아날로그 스위치(RAS)를 이용해 신호선(VL)을 정상적으로 동작시키는 것이 가능해진다.

또한, 스위치(SW1, SW2, SW3)는 교차하는 다층 배선층으로 형성할 수 있다. 또, 배선의 개로(開路)는, 배선에 레이저광을 조사하여, 단선시키는 것에 의해 행할 수 있다.

도 7은, 특성을 조정할 수 있는 아날로그 스위치의 구성을 나타낸다. 도 7의 a에 있어서, 4개의 아날로그 스위치(AS1~AS4)가 병렬로 접속되고, 동일한 제어선(CL)에 의해 제어되고 있다. 후술하는 것처럼, 4개의 아날로그 스위치는, 순차적으로 절단가능하게 접속되어 있고, 특성의 조정이 가능하다.

도 7의 b는, CMOS형 아날로그 스위치의 경우의 구성을 나타낸다. 4개의 n채널 아날로그 스위치(nAS1~nAS4)가 병렬로 접속되고, 동일한 제어선(nCL)에 의해 제어된다. 또, 4개의 p채널 아날로그 스위치(pAS1~pAS4)가, 병렬로 접속되고, 동일한 제어선(pCL)에 의해 제어된다. n채널 아날로그 스위치와 p채널 아날로그 스위치는, 또한 병렬로 접속되어 있다.

도 7의 c는, 상시 접속되어 있는 아날로그 스위치(AS1)에 병렬로, 리페어용 아날로그 스위치(AS2~AS4)가 배치되어 있는 구성을 나타낸다. 아날로그 스위치(AS2~AS4)는, 입출력이 개로되어 있고, 레이저 조사에 의해 임의로 접속할 수 있다.

도 7의 d는, 평상시에는 접속되어 있지 않은 아날로그 스위치를 갖춘 CMOS형 아날로그 스위치의 구성을 나타낸다. 평상시에는, 1개의 n채널 아날로그 스위치(nAS1) 및 1개의 p채널 아날로그 스위치(pAS1)만이 입출력간에 접속되어 있다. 이러한 아날로그 스위치(nAS1, pAS1)에 나란히, 리페어용 아날로그 스위치(nAS2~nAS4 및 pAS2~pAS4)가 형성되어 있다. 원(○)으로 표시된 레이저 조사영역을 레이저 조사하는 것에 의해서, 리페어용 아날로그 스위치의 배선을 입출력에 접속할 수 있다.

도 8은, 도 7에 나타내는 아날로그 스위치의 조정 방법을 나타낸다. 도 8의 a는, 도 7의 a에 나타내는 아날로그 스위치와 동일한 구성이다. 이 아날로그 스위치가, 다른 아날로그 스위치에 비하여 구동 능력이 높은 경우에는, 도 8의 b에 나타내는 것처럼, 1개의 아날로그 스위치(AS4)를 단절하거나, 도 8의 c에 나타내는 것처럼, 2개의 아날로그 스위치(AS3, AS4)를 단절하여 실효 채널폭을 감소시킨다. 동일하게, 3개의 아날로그 스위치(AS2~AS4)를 단절할 수도 있다.

도 8의 d는, 도 7의 c의 구성을 이용하여, 아날로그 스위치(AS1)만으로는 구동 능력이 부족한 경우, 아날로그 스위치(AS3)를 병렬로 접속하여 실효 채널폭을 넓게 하고, 구동 능력을 증가시키는 구성을 나타낸다. 개로되어 있던 배선간을 합선시키는 처리는, 레이저 조사에 의해 행할 수 있다. 또한, 리페어 아날로그 스위치(AS2, AS3, AS4)의 구동 능력을 다르게 해 두는 것에 의해서, 적정한 아날로그 스위치를 선택하여 섬세한 조정을 행하는 것도 할 수 있다.

도 8의 e는, 도 7의 d에 나타내는 CMOS형 아날로그 스위치의 특성 조정 공정을 나타낸다. 이 경우에도, 도 8의 d와 같이, 선택한 소망의 아날로그 스위치를 새롭게 접속하는 것에 의해, 처음부터 접속되어 있던 아날로그 스위치의 구동 능력 부족을 수정할 수 있다.

또한, 아날로그 스위치 이외의 신호선 구동회로나 주사선 구동회로 등에 있어서도, 단선이나 합선 등의 회로 불량이 생기는 경우가 있다. 이것들에 대처하기 위해서는, 적어도 1부의 회로를 2중으로 형성하고, 수시로 전환하여 사용할 수 있도록 하는 것이 바람직하다.

도 9는, 이러한 리페어 방법을 나타낸다.

도 9의 a에 있어서, 2단의 인버터회로(CA1, CA2)가 입력 단자(I3)와 출력 단자(OUT) 사이에 접속되고, 각각의 스위치(SW4, SW5)를 통하여 전원 단자(I1, I2)에 접속되어 있다. 이러한 회로와 별로, 동일한 구성을 가지는 2단의 인버터회로(CB1, CB2)가 형성되고, 전원 단자는, 스위치(SW4, SW5)의 평상시는 오픈 단자(VA, EB) 사이에 접속되고, 게이트 전극은 입력 단자(I3)에 접속된 배선과 절연층을 통하여 십자로 배치되어 있다. 또, 후단의 인버터(CB2)의 출력 단자도, 출력 단자(OUT)에 접속된 배선과 절연층을 통하여 십자로 배치되어 있다. 배선의 십자 배치는 TFT 기판상에 형성되고, 전환 스위치(SW4, SW5)는 TFT 기판에 접속된 프린트 기판 상에 설치되어 있다.

TFT 기판을 형성한 뒤, 기판검사를 행한다. 또는, 패널을 형성한 뒤, 패널 표시를 검사한다. 이러한 검사에 있어서 결함이 발견된 경우, 결함을 일으키고 있는 인버터회로를 단절시키고, 리페어용 인버터회로를 접속한다. 도시된 구성에 있어서는, 외부에 부착된 스위치(SW4, SW5)를 단자(VB, EB)측으로 바꾸고, TFT 기판상에 원(○)으로 나타낸 접속 개소를 레이저 조사에 의해 합선한다. 이러한 공정에 의해서, 2단 인버터(CA1, CA2) 대신에 리페어용 2단 인버터(CB1, CB2)가 입력 단자(I3)와 출력 단자(OUT) 사이에 접속된다.

또한, 이러한 회로 구성은 2단 인버터에만 한정하지 않는다는 것은 당업자에게 자명할 것이다.

도 9의 b는, 임의의 회로(CA)와 그 리페어회로(CB)를 병렬 배치한 구성을 나타낸다. 회로(CA)에 결함이 발견된 경우, 회로(CB)로 바꾸는 공정은 도 9의 a의 경우와 같다.

도 10은, 분할점 순차구동 방식의 액정표시장치를 나타낸다. 도에 있어서, 표시부(DIS)에는, 다수의 화소(PX)가 행렬형상으로 배치되어 있다. 각 화소(PX)를 구동하기 위하여, 횡방향으로 연장하는 복수의 제어선(GL)과, 종방향으로 연장하는 복수의 신호선(VL)이 배치되어 있다.

종방향으로 연장하는 신호선(VL)의 양단에는, 각각 아날로그 스위치(AS) 및 (RAS)이 접속되어 있다. 단, 하부에 접속된 아날로그 스위치(RAS)는 리페어용이고, 평상시는 입력 단자, 제어 단자가 오픈(개로) 상태이고, 아날로그 스위치로서 기능하지 않는다.

신호선 구동회로(DD)에 있어서, 쉬프트 레지스터 및 버퍼회로(SB)로부터, 4렬을 1단위로서 제어선(CL)이 종방향으로 도출되어 있다. 각 제어선(CL)은, 4개로 분기되고, 각각 대응하는 아날로그 스위치(AS)의 제어 단자에 접속된다. 아날로그 스위치(AS)는 4개씩 구동된다. 4개의 데이터 신호선(PL1~PL4)은, 4개씩의 아날로그 스위치의 입력 단자에 접속되고, 더 연장하여 화소부(DIS)의 주위를 돌아서, 평상시는 동작하고 있지 않은 리페어용 아날로그 스위치(RAS)의 입력선과 교차하는 데이터 리페어선(RPL1~RPL4)이 된다.

또한, 분기 전의 제어선(CL)과 교차하도록, 리페어선(RL1~RL4)이 배치되고, 표시부(DIS)의 주위를 돌아서, 도면 하부에 리페어용 아날로그 스위치(RAS)의 제어선을 4개 1단위로 한 리페어용 제어선(RCL1~RCLn)과 교차하고 있다. 리페어용 제어선(RL1~RL4)과 제어선(CL1~CLn) 및 리페어용 제어선(RC1~RCLn)과의 교점은, 각각 레이저 조사에 의한 접속 포인트(RXa 및 RXb)를 구성한다. 또, 리페어용 데이터선(RPL1~RPL4)과 리페어 아날로그 스위치(RAS)의 입력선의 각 교점은, 다른 접속 포인트(RXc)를 구성한다.

이제, 제어선(VL)의 1개(VLn1)가 도중의 개소(Bn)에서 단선했다고 생각하면, 도면의 상부에 배치된 아날로그 스위치(AS)로부터 공급되는 데이터 신호는, 단선(Bn)보다 하측의 신호선(VLn1)에는 전달되지 않고, 선결함이 발생되어 버린다.

이 때, 단선된 신호선(VLn1)에 접속되어 있는 리페어용 아날로그 스위치(RAS)를 활성화하고, 신호선 하부로부터 데이터 신호를 공급하면 선결함을 회복할 수 있다.

도면에서, 접속 포인트(RCXc, RCXb, RCXa)를 접속하면, 제어 선(CL<sub>n</sub>)의 제어 신호가, 접속 포인트(RCXa 및 RCXb)를 통하여 리페어용 아날로그 스위치(RAS)의 제어 단자에 인가되고, 데이터선(PL4)의 데이터 신호가, 접속 포인트(RCXc)를 통하여 리페어용 아날로그 스위치(RAS)의 입력 단자에 인가된다. 따라서, 단선(Bn)의 상하로부터 데이터 신호를 공급할 수 있다.

도 11은, 도 10에 나타낸 4분할점 순차구동 액정표시장치의 변형예를 나타낸다. 도 10과 다른 점은, 리페어용 아날로그 스위치(RAS)의 입력 단자측에 설치되어 있던 접속 포인트가, 고정적으로 접속된 접속노드가 되고, 대신에 리페어용 아날로그 스위치(RAS)와 신호선(VL)의 중간에 새로운 접속 포인트(RXc)가 설치되어 있는 점이다. 리페어용 아날로그 스위치(RAS)가 신호선(VL)으로부터 단절되어 있기 때문에, 아날로그 스위치(AS)의 부하가 줄어들게 된다.

도 10에서와 같이, 1개의 신호선(VLn1)에 단선(Bn)이 발생하였을 때, 접속 포인트(RCXa, RCXb, RCXc)를 접속하면, 대응하는 리페어용 아날로그 스위치(RAS)가 활성화되고, 화상 신호가 신호선(VLn1)의 하부로부터도 공급할 수 있다. 따라서, 단선(Bn)의 하부에 발생한 선결함을 회복할 수 있다.

도 12는, 4분할점 순차구동형 액정표시장치의 다른 구성예를 나타낸다. 도 10, 도 11의 구성에 있어서는, 각 신호선의 양단에 아날로그 스위치를 접속했다. 본 구성에 있어서는, 리페어용 아날로그 스위치(RAS)의 수를 감소시키고 있다.

4개의 데이터 신호선(PL1~PL4)은, 평상시 구동용 아날로그 스위치(AS)의 입력선과 필요한 접속을 형성한 뒤, 표시부(DIS)를 돌아 연장하여, 리페어용 데이터 배선(RPL1~RPL4)이 된다. 이 리페어용 데이터 배선(RPL1~RPL4)의 중간 지점에, 4개의 리페어용 아날로그 스위치(RAS)가 접속되어 있다. 리페어용 아날로그 스위치(RAS)의 수는, 리페어용 데이터 배선의 수와 동일하다. 리페어용 아날로그 스위치(RAS)의 출력측의 리페어용 데이터 배선은, 도면 하부에서 각 신호선의 연장부와 교차하고, 접속 포인트(RXc)를 형성한다.

또, 4개의 리페어 배선(RL1~RL4)이 분기 전의 제어선(CL1~CL<sub>n</sub>)과 교차하여 접속 포인트(RXA)를 형성하고, 화소부(DIS)의 주위를 돌아 연장하고, 리페어용 아날로그 스위치(RAS)의 제어선(RCL)과 교차하여, 접속 포인트(RXb)를 구성하고 있다. 신호선(VLn1)에 단선(Bn)이 발생되었을 때는, 접속 포인트(RCXa, RCXb, RCXc)를 접속하는 것에 의해서, 단선한 신호선(VLn1)의 하부에서도 화상 신호를 공급하고, 선결함을 회복할 수 있다.

또, 신호선의 단선이 아니라, 아날로그 스위치(AS)에 오픈형 결함이 생겼을 때에도, 동일한 처리에 의해 신호선(VL) 하부로부터 화상 신호를 공급할 수 있다. 예를 들면, 아날로그 스위치(AS)의 제어선 또는 입력선에 단선(Bc 또는 Bs)이 생겼을 때도, 접속 포인트(RCXa, RCXb, RCXc)를 접속하는 것에 의해서, 신호선(VL)에 하부로부터 화상 정보를 공급할 수 있다.

도 13은, 도 12의 구성에 있어서, 아날로그 스위치(AS)에 합선형 결함이 생긴 경우의 대응을 나타낸다. 아날로그 스위치(ASn)에 합선형 결함이 생긴 경우, 이 아날로그 스위치(ASn)를 신호선으로부터 분리하기 위하여, 아날로그 스위치(ASn)의 입력선, 출력선, 제어선을 절단점(Y1, Y2, Y3)으로 나타낸 바와 같이 레이저 조사 등에 의해 절단한다. 결함, 아날로그 스위치(ASn)는 회로로부터 완전하게 단절된다. 리페어용 아날로그 스위치의 접속은 전술한 실시예와 같다.

도 14는, 블록 선택 순차 액정표시장치의 구성을 나타낸다. 8·4형 주변 회로 일체화 다결정실리콘 액정 패널의 구성을 예로서 설명한다. 예를 들면, 표시부(DIS)에는 2400개의 신호선(VL)과 600개의 주사선(GL)이 종방향 및 횡방향으로 배열되고, 각 교점에 화소(PX)가 접속되어 있다.

2400개의 신호선은, 8개의 블록(BL1~BL8)으로 분할되어 있다. 즉, 1개의 블록(BL)에는 300개의 신호선이 포함된다. 이 300개의 신호선을, 홀수 번째의 신호선과 짝수 번째의 신호선으로 나누고, 홀수 번째의 신호선의 구동회로를 도면 상부에 배치하고, 짝수 번째의 신호선의 구동회로를 도면 하부에 배치한다. 블록 선택 신호선(BSL1~BSL8)은, 8개의 블록 중 1개의 블록을 선택하는 신호를 공급한다. 이 블록 선택 신호는, 각 블록의 아날로그 스위치(AS)의 제어선에 공통으로 공급된다.

화상 데이터 신호는, 표시부(DIS)의 상부에 배치된 150개의 홀수 화상 데이터선(PL1~PL299)과, 표시부(DIS)의 하부에 배치된 150개의 짝수 화상 데이터선(PL2~PL300)에 공급된다. 상부에 배치된 홀수 데이터선(PL)과 대응하는 홀수 번째의 신호선(VL)의 접속 영역에는, 아날로그 스위치(AS)가 접속된다. 이와 동일하게 짝수 번째의 신호선(VL)과 도면 하부에 배치된 150개의 짝수 데이터선(PL2~PL300)과의 사이에도 아날로그 스위치(AS)가 배치되어 있다.

또, 각 주사선(GL)은, 도면 좌우 양단에 있어서 주사선 구동회로(GD1, GD2)에 접속되고, 양측으로부터 주사신호를 받는다. 도 14에 있어서는, 아직 리페어회로는 도시되어 있지 않다.

도 15는, 도 14에 나타내는 블록 선택 순차구동 방식의 제어 신호의 타이밍차트를 나타낸다. 1수평 시간(H)은,  $25\mu\text{s}$ 의 시간 길이고, 1개의 주사선이 선택되고 있는 시간을 나타낸다. 1수평 시간(H) 내에, 8개의 블록 선택 시간(Tb)이 배치되어 있다. 최초의 블록 선택 시간에 있어서 블록(BL1)이 선택되고, 다음 블록 선택 시간에 있어서 2번째의 블록(BL2)이 선택된다. 8번째의 블록(BL8)을 선택한 뒤, 블랭킹(blanking) 기간( $T_{blk}=5.0\mu\text{s}$ )이 설정되어 있다. 각 블록 선택 시간에 있어서, 300개의 데이터 신호선(PL1~PL299, PL2~PL300)으로부터 화상 신호가 공급된다.

도 14의 구성에 있어서는, 화소부(DIS)의 장면을 따르는 상하의 주변 영역, 및 단면을 따르는 좌우의 주변 영역에 각각 구동회로가 배치되어 있다. 따라서, 리페어용 회로를 배치하는 면적은 제한된다.

도 16은, 도 14의 구성에 리페어용 회로 및 배선을 부가한 구성을 나타낸다. 또한, 도면의 간략화를 위하여, 도면 하부에 배치되는 짹수 데이터선(PL2~PL300)에 접속되는 리페어회로의 구성을 나타내고, 홀수 데이터선(PL1~PL299)에 대한 리페어회로는 도시를 생략한다. 양자의 구성은 동일하다.

아날로그 스위치(AS)는, CMOS형 구성이고, 그 제어를 위해서 n채널용 블록 선택 신호와, p채널용 블록 선택 신호를 필요로 한다. 이러한 블록 선택 신호를 다 같이, BSL로 나타낸다. 또한, 짹수 번째의 신호선에 대한 블록 선택 신호의 배선은, 도시를 생략하고 있다.

도면 상부에 배치된 아날로그 스위치(AS)의 출력단은, 하부로 연장하여 홀수 번째의 신호선에 접속되어 있다. 짹수 번째의 신호선은 하부로 연장하여, 도면 하부의 아날로그 스위치(AS)의 출력 단자에 접속되는 동시에, 상부로도 연장하여, 접속점을 구성하는 영역을 형성한다. 상부로 연장된 짹수 번째의 신호선과 교차하도록, 2개의 리페어 신호선(RPL1, RPL2)이 횡방향으로 배치되고, 접속 포인트(RX3)를 형성한 뒤, 홀수 아날로그 스위치(AS)와 나란히 배치된 2개의 리페어용 아날로그 스위치(RAS1, RAS2)의 출력단에 접속되어 있다. 이러한 리페어용 아날로그 스위치(RAS1, RAS2)의 입력 단자는, 도면의 종방향으로 연장하는 리페어용 데이터 배선(RPL1, RPL2)에 접속되고, 도면 하부에서 짹수 데이터선(PL2~PL300)과 교차하여, 교차부에서 접속 포인트(RX2)를 구성한다.

블록 선택 신호(BSL)의 배선이, 도면에 있어서는 하부로 연장하여, 접속점을 구성하는 영역을 형성하고 있다. 이 블록 선택 신호선과 교차하도록, 리페어용 제어선(RLn1, RLp1, RLn2, RLp2)이 횡방향으로 배치되어, 접속 포인트(RX1)를 형성하고 있다. 또한 접속 포인트(RX1)는, CMOS형 아날로그 스위치에 대응하여 p채널용, n채널용의 2종류가 설치되어 있다.

신호선(VL)에 단선이 발생된 경우, 단선 부분보다 앞부분의 신호선에는 화상 데이터가 전달되지 않게 된다.

짜수 번째의 신호선(VL)에 단선이 발생되었다고 하면, 도면 하부에 배치된 아날로그 스위치(AS)로부터의 신호는, 단선부(Bn) 보다 상측의 신호선(VL)에는 전달되지 않게 된다. 이 단선을 리페어용 아날로그 스위치(RAS1)를 이용해 리페어하는 것으로 한다.

리페어용 아날로그 스위치(RAS1)의 출력 단자에 접속된 리페어용 데이터선(RP1)과, 단선된 신호선(VL)의 교차부에 배치되는 접속 포인트(RCX3)를 접속한다. 또, 그 신호선(VL)에 대응하는 데이터선(PL300)과 리페어용 아날로그 스위치(RAS1)의 입력 단자에 접속된 리페어용 배선(RPL1)의 교차부의 접속 포인트(RCX2)를 접속한다. 또, 대응하는 블록 선택 신호선(BSL)과 리페어용 아날로그 스위치(RAS1)의 제어 단자에 접속된 리페어용 제어선(RLn1, RLp1)의 교차부의 접속 포인트(RCX1)를 접속한다.

이러한 리페어에 의해서, 데이터선(PL300)의 신호가, 접속포인트(RCX2), 리페어용 데이터선(RPL1), 리페어용 아날로그 스위치(RAS1)를 통하여 표시부 상측의 리페어용 데이터선(RPL1), 접속 포인트(RCX3)를 개입시켜서, 신호선(VL)의 상부로부터 공급된다.

또한, 짹수 신호선에 대해 2개의 리페어용 아날로그 스위치를 설치하는 경우를 설명했지만, 리페어용 아날로그 스위치 및 관련하는 배선의 수는 적당히 증감할 수 있다. 홀수 신호선에 대해서도 동등한 리페어 구성을 준비한다.

도 17은, 병렬로 접속된 배선군의 절단에 대처하는 리페어 방식을 나타낸다.

도 17의 a에 있어서는, 다수의 배선(WL)이 횡방향으로 병렬로 배치되어 있다. 이러한 배선군에, 단선이 발생되었을 때에 도 리페어할 수 있는 리페어 구성을 나타낸다. 리페어 배선(RL)은, 배선군(WL)의 양단에서 배선군(WL)과 교차하고, 도면 상부에서 서로 접속되어 있다. 배선군(WL)과 리페어 배선(RL)과의 각 교점은 접속 포인트(RX)를 구성한다. 최상의 배선(WL)에 단선이 생긴 경우, 예를 들면 1개의 리페어 배선(RL)과 해당 배선(WL)과의 교점에 있어서의 2개의 접속 포인트(RCX)를 접속하고, 단선부(Bn)에서 절단된 배선(WL)의 좌우를 리페어배선(RL)으로 접속한다.

도 17의 a의 구성에 있어서는, 리페어 배선(RL)을 그 모양으로 배치했지만, 다른 형태로 같은 기능을 완수할 수도 있다.

도 17의 b는, 리페어 배선의 다른 구성을 나타낸다. 횡방향으로 배치된 다수의 배선군(WL) 중에, 리페어 배선(RLT)을 혼재시킨다. 또, 이러한 배선군(WL)과 교차하도록, 좌우 단부에 복수의 리페어 배선(RL)을 종방향으로 배치하고, 횡방향의 배선(WL)과 종방향의 리페어용 배선(RL)의 각 교점에 접속 포인트(RX)를 형성한다. 종방향의 리페어용 배선(RL)은, 횡방향의 소정의 리페어 배선(RLT)과 미리 접속되어 있다.

도 17의 b에 있어서 최상의 배선(WL)에 단선(Bn)이 생긴 경우, 예컨대 2개의 접속 포인트(RCX)를 접속한다. 그러면, 단선(Bn) 양측의 배선은, 접속 포인트(RCX), 종방향 리페어용 배선(RL) 및 횡방향 리페어 배선(RLT)을 통하여 접속된다. 이와 같이 하여, 병렬로 배치된 배선의 단선을 리페어할 수 있다.

도 16의 구성에 나타내는 것처럼, 표시부(DIS)의 양측에 주사선 구동회로(GD)를 설치하고, 각 주사선을 양측에서 구동하면 주사선에 단선이 발생되어도 선결함은 생기지 않는다. 그렇지만, 2조의 주사선 구동회로를 상시 구동하면, 전력 소비가 증대된다. 주사선을 한쪽 편에서 구동하는 경우, 도 17에 나타내는 것 같은 리페어용 배선을 이용할 수 있다.

도 18은, 표시부의 양측에 주사선 구동회로를 형성하지만, 평상시에는 각 주사선을 한 쪽에서 구동하고, 단선이 발생되었을 때는 리페어하는 것이 가능한 구성을 나타낸다. 표시부(DIS)에는, 횡방향으로 복수의 주사선(GL)이 배치되어 있다. 각 주사선은, 표시부의 좌측에 배치된 주사선 구동회로(GD)에 의해 구동된다.

표시부(DIS)의 우측에, 리페어용 주사선 구동회로(RGD)가 배치되고, 각 주사선과의 접속 위치에 접속 포인트(RX)가 형성되어 있다. 접속 포인트(RX)를 접속하면, 리페어용 주사선 드라이버(RGD)가 주사선(GL)에 접속된다. 리페어용 주사선(RGD)은, 스위치(SW1, SW2)를 통하여 전원(VDD, GND)에 접속되어 있다. 스위치(SW1, SW2)는 TFT 기판과는 별도의 프린트기판 상에 설치되어 있다.

주사선(GL)에 단선(Bn)이 발생되었을 때는, 외부에서의 제어 신호에 의해 스위치(SW1, SW2)를 닫고, 리페어 주사선 구동회로(RGD)를 활성화한다. 또, 단선이 생긴 주사선(GL)에 대응하는 접속 포인트(RX)를 접속한다.

이러한 리페어를 행하면, 단선(BM)이 생긴 주사선은, 좌우 양측의 주사선 드라이버(GD, RGD)에 의해 구동되고, 선결함의 발생을 방지할 수 있다.

주사선(GL)에 단선이 발생된 경우를 설명했지만, 주사선 구동회로(GD)내의 쉬프트 레지스터나 버퍼회로에 단선 등의 고장이 발생된 경우에도 동일하게 대처할 수 있다.

이하, 접속 포인트의 구성을 설명한다.

도 19는, 접속 포인트의 일반적인 구성을 개략적으로 나타낸다. 도 19의 a는 평면도이고, 도 19의 b는 단면도이다. 기판(S1)상에서 1쌍의 배선(WL1, WL2)이 전기적으로는 분리된 상태로 대향 배치되어 있다. 배선(WL1, WL2)을 덮도록 절연층(IS)이 형성되어 있다. 리페어 배선(RWL)은, 콘택홀을 통하여 배선(WL2)과 접속되고, 다른 파선(WL1)의 상부에서 접속 포인트(RX)를 구성한다. 이 접속 포인트(RX)에 대해서, 레이저광(L)을 조사한다. 리페어용 배선(RWL)이 레이저광(L)을 흡수하고, 과열되는 것에 의해 절연층(IS)이 파괴되어, 리페어용 배선(RWL)이 하부의 배선(WL1)과 접속된다.

도 19에 나타낸 구성에서는, 1쌍의 배선을 접속하기 위한 레이저광의 조사조건의 마진이 좁다. 레이저광의 조사에 의한 접속을 보다 확실하게 하기 위한 구성은 이하에 설명한다.

도 20은, 접속을 용이하게 한 접속 포인트의 구성을 나타낸다. 도 20의 a는 1개의 형태를 나타내고, 도 20의 b, c는 다른 형태를 나타낸다.

도 20의 a에 있어서는, 종방향으로 연장하는 배선(WL1)과 횡방향으로 연장하는 배선(WL2)이 교차부를 형성하고 있다. 이 교차부는, 접속 포인트(RX)를 구성한다. 각 배선은, 접속 포인트(RX)에서 폭이 넓게 형성된다. 이러한 구성에 의해서, 접속 포인트(RX)가 과열되었을 때, 배선(WL1, WL2)에 전달되는 방열량이 제한되고, 접속 포인트의 과열이 용이하게 수행될 수 있고, 접속이 보다 확실해진다.

도 20의 b에 있어서는, 하측에 배치되는 WL1이 양측으로 돌출한 빗살모양 형상을 가진다. 이 배선(WL2) 상에, 절연층을 통하여 상측 배선(WL1)이 배치되어 있다. 절연층(IS)은, 하측 배선(WL2)의 형상을 따른 표면을 가진다. 이 경우에, 하측 배선(WL2)의 어깨부에서는 절연층(IS)의 두께가 상대적으로 얇게 된다. 또, 하측 배선(WL2)의 어깨부가 상측 배선(WL1)의 하향 돌출부와 대향하여 배치된다. 따라서, 상하 배선층(WL1, WL2)이 비교적 좁은 거리를 사이에 두고 대향 배치되는 영역에 열이 집중하기 쉽고, 절연층(IS)을 용이하게 파괴하여, 상하 배선층(WL1, WL2)이 접속하기 쉽게 된다.

도 21은, 3 매의 마스크로 형성할 수 있는 레이저 접속 포인트의 구성을 나타낸다. 도 21의 a는 평면도이고, 도 21의 b 내지 d는 그 제조 프로세스를 나타내는 단면도이다.

도 21의 a에 나타내는 것처럼, 하층 배선(WL1)과 상층 배선(WL2)이 교차되어 배치되어 있다. 하층 배선(WL1)과 상층 배선(WL2) 사이에는, 오목부(40)를 갖는 절연막이 개재된다. 절연막이 오목부(40)를 갖기 때문에, 배선의 교차부의 접속 포인트(RX)가 과열되었을 때, 오목부(40)를 중심으로 절연막이 파괴되고, 상하 배선이 합선된다.

도 21의 b 내지 d는, 이러한 오목부를 가지는 절연막을 형성하는 방법을 나타낸다.

도 21의 b에 나타내는 것처럼, 기판(41) 상에 하층 배선(WL1)을 형성한다. 하층 배선(WL1)의 패터닝에 제1 마스크가 사용된다. 하층 배선(WL1)을 덮도록, 예를 들면  $\text{SiN}_x$ 의 절연층(42)이 형성된다. 절연층(42) 상에, 도면에 나타낸 바와 같이 오목부를 가지는 레지스트 마스크(43)가 형성된다. 이러한 레지스트 마스크는, 예를 들면 디자인룰(design rule) 이하의 직경을 가지는 패턴을 노광에 의해 형성할 수 있다. 예를 들면, 디자인룰이  $3\mu\text{m}$ 인 경우, 직경  $2\mu\text{m}$ 의 홀을 노광한다. 디자인룰 이하의 홀은 완전하게 해상할 수 없고, 하프 홀로서 노광된다.

이러한 레지스트 마스크(43)를 이용하고, 그 아래의 절연막(42)을 예를 들면  $\text{CF}_4/\text{O}_2$ 의 혼합 가스를 이용한 반응성 이온식각(RIE)에 의해 이방성 식각한다. 레지스트 마스크가 얇은 부분에서는, 조기에 레지스트 마스크가 소비되고, 그 아래의 절연막(42)이 식각된다.

도 21의 c는, 식각 결과인 절연막(42)의 형상을 나타낸다. 절연막(42)은, 레지스트 마스크(43)의 볼록부에 대응하는 오목부를 가진다. 그 후, 이 절연막(42) 상에 상층 배선(WL2)을 성막하고, 패터닝한다.

도 21의 d는, 이와 같이 하여 형성되는 적층배선 구조를 개략적으로 나타낸다. 절연막(42)이 오목부를 가지기 때문에, 이 오목부에서 상층 배선(WL2)은 하층 배선(WL1)을 향해 돌출한 형상이 된다. 상측으로부터 레이저광(L)을 조사하는 것에 의해서, 상층 배선(WL2)이 가열되고, 오목부에서 보다 용이하게 절연막(42)이 파괴되고, 상하 배선층의 합선이 형성된다.

예를 들면, 하층 배선층(WL1)으로서 Al-Nd 합금을 이용하고, 상층 배선으로서 두께 80nm의 Ti막, 두께 50nm의 A1막, 두께 150nm의 Ti막의 적층을 이용하고, 층간절연막(42)으로서 두께 500nm의  $\text{SiN}_x$  막을 이용할 수 있다.

또한, 도 20의 c, d에 있어서, 상층 배선의 표면을 평坦하게 도시하고 있지만, 실제로는 하면의 요철(오목/볼록부)에 맞게 상면에도 요철이 형성된다. 이러한 요철은, 입사하는 레이저광의 흡수 효율을 올리는데 유효할 것이다.

도 22는, 액정표시장치 제조 공정에 있어서의 리페어 공정을 개략적으로 나타낸다.

도 22의 a는, TFT 기판(S1)을 형성한 뒤, 기판상에 형성한 회로의 검사를 행하고, 결함이 발견된 경우에 레이저광(L)을 조사하여 결함을 리페어하는 공정을 나타낸다. TFT 기판(S1)은, 아직 공통 기판과 조합되어 있지 않고, TFT 기판(S1)의 상면으로부터 직접 레이저광(L)을 조사할 수 있다.

도 22의 b는, 액정 셀을 형성한 뒤의 리페어 공정을 나타낸다. TFT 기판(S1)과 공통 기판(S2)을 제조한 뒤, 양자를 대향하여 붙이고, 액정 셀이 형성된다. 1쌍의 기판을 붙인 뒤에, 내부 회로의 검사를 하고, 결함이 발견된 경우에 리페어 공정을 행한다. 또한, 검사 리페어는 액정(LC)이 주입되기 전에 행해도, 주입된 뒤에 행해도 좋다.

대향 기판이 붙여질 수 있기 때문에, TFT 기판의 리페어는 TFT 기판의 이면으로부터 레이저광(L)을 조사하는 것에 의해 행한다. 공통 기판(S2)에 손상을 주지 않는 조건으로 설정할 필요가 있다.

표시를 검사하기 위해서는 액정을 주입한 뒤에 검사를 행하는 것이 필요하다. 기판 간에 액정이 주입되고 있는 경우에는, 액정층 내에 버블 등이 발생되지 않도록 조건을 설정하는 것이 바람직하다.

도 22의 c는, 레이저 리페어 공정을 개략적으로 나타낸다. 레이저광(L)은 광학계(50)를 통하여 하측으로 조사된다. 유리기판(S)은, 그 상면에 4조의 TFT 기판을 형성하고 있다. 기판(S)을 테이블에 의해 2차원적으로 주사하고, 상측에서 레이저광(L)을 조사하여 결합의 리페어를 행한다.

이상 실시예를 따라 본 발명을 설명했지만, 본 발명은 이것들에 제한되는 것이 아니다. 예를 들면 여러 가지 변경, 개량, 편성이 가능하다는 것은 당업자에게 자명할 것이다.

### 발명의 효과

전술한 본 발명에 따르면, 액정표시장치에 결합이 발견된 경우에 이를 용이하게 리페어할 수 있게 된다. 즉, 주변 회로를 일체로 형성하여, 선결함을 일으키는 결합을 용이하게 리페어할 수 있는 액티브 매트릭스형 액정표시장치 및 그 제조방법이 제공된다.

### (57) 청구의 범위

#### 청구항 1.

절연 표면을 갖는 제1 기판과,

상기 제1 기판의 중앙부 위에 배치되고, 행렬(行列)형상으로 배치된 복수의 화소와,

행방향으로 나열된 화소를 활성화하는 복수의 주사선과,

열방향으로 나열된 화소 중 활성화된 화소에 화상 정보를 전달하는 복수의 신호선을 포함하는 표시부와,

상기 제1 기판의 표시부 외측의 영역인 주변부의 제1 행방향 단부(端部) 위에 형성되고, 상기 주사선을 구동하는 신호를 발생하는 주사선 구동회로와,

상기 제1 기판의 주변부의 제1 열방향 단부 위에 형성되고, 상기 신호선을 구동하는 신호를 발생하는 신호선 구동회로와,

상기 제1 기판의 주변부 위에서의, 상기 주사선 구동회로 및 상기 신호선 구동회로와 다른 위치에 형성되고, 상기 주사선 구동회로 및 상기 신호선 구동회로의 일부와 동일한 구성을 갖는 리페어회로를 갖고,

상기 리페어회로는 상기 주사선 구동회로 및 상기 신호선 구동회로에 접속된 주사선 및 신호선의 일단(一端)과는 반대측의 터단(他端)에, 상기 주사선을 구동하는 신호 및 상기 신호선을 구동하는 신호를 입력가능하게 되어 있는 액정표시장치.

#### 청구항 2.

제 1 항에 있어서,

상기 신호선 구동회로는 화상 데이터를 전달하는 복수의 데이터선과, 상기 신호선과 동수(同數)의 아날로그 스위치로서, 각각이 입력 단자, 출력 단자, 제어 단자를 가지며, 상기 입력 단자와 출력 단자가 대응하는 데이터선과 대응하는 신호선의 일단에 접속된 복수의 아날로그 스위치를 포함하고,

상기 리페어 회로는 상기 아날로그 스위치와 동등한 적어도 1개의 예비 아날로그 스위치를 포함하고, 예비 아날로그 스위치의 입력 단자와 출력 단자가 상기 데이터선의 1개와 상기 신호선의 1개의 타단에 접속가능하게 구성되어 있는 액정표시장치.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

**청구항 18.**

삭제

**청구항 19.**

제 1 항에 있어서,

병렬로 배치되고, 각각이 입력 단자, 출력 단자, 제어 단자를 갖는 복수의 아날로그 스위치와,

상기 복수의 아날로그 스위치를, 전기적으로 분리된 상태로부터 병렬 접속된 상태로, 또는 병렬 접속된 상태로부터 전기적으로 분리된 상태로 변환가능한 배선군(群)을 더 갖는 액정표시장치.

**청구항 20.**

절연 표면을 갖는 제1 기판과; 상기 제1 기판의 중앙부 위에 배치되고, 행렬형상으로 배치된 복수의 화소와, 행방향으로 나열된 화소를 활성화하는 복수의 주사선과, 열방향으로 나열된 화소 중 활성화된 화소에 화상 정보를 전달하는 복수의 신호선을 포함하는 표시 영역과; 상기 제1 기판의 표시 영역 외측의 영역인 주변부의 제1 행방향 단부(端部) 위에 형성되고, 상기 주사선을 구동하는 신호를 발생하는 주사선 구동회로와; 상기 제1 기판의 주변부의 제1 열방향 단부 위에 형성되고, 상기 신호선을 구동하는 신호를 발생하는 신호선 구동회로와; 상기 제1 기판의 주변부 위에서의, 상기 주사선 구동회로 및 상기 신호선 구동회로와 다른 위치에 형성되고, 상기 주사선 구동회로 및 상기 신호선 구동회로의 일부와 동일한 구성과, 리페어용 배선을 갖고, 상기 주사선 구동회로 및 상기 신호선 구동회로에 접속된 주사선 및 신호선의 일단(一端)과는 반대 측의 타단(他端)에, 상기 주사선을 구동하는 신호 및 상기 신호선을 구동하는 신호를 입력가능하게 되어 있는 리페어회로를 갖는 TFT 기판을 제작하는 공정과,

상기 TFT 기판을 검사하는 공정과,

결함이 발견된 경우, 상기 리페어용 배선을 이용하여, 리페어회로를 활성화하는 리페어 공정을 포함하는 액정표시장치의 제조방법.

**청구항 21.**

삭제

**청구항 22.**

삭제

**청구항 23.**

삭제

**청구항 24.**

삭제

**청구항 25.**

절연 표면을 갖는 제1 기판과; 상기 제1 기판의 중앙부 위에 배치되고, 행렬형상으로 배치된 복수의 화소와, 행방향으로 나열된 화소를 활성화하는 복수의 주사선과, 열방향으로 나열된 화소 중 활성화된 화소에 화상 정보를 전달하는 복수의 신호선을 포함하는 표시 영역과; 상기 제1 기판의 표시 영역 외측의 영역인 주변부의 제1 행방향 단부(端部) 위에 형성되고, 상기 주사선을 구동하는 신호를 발생하는 주사선 구동회로와; 상기 제1 기판의 주변부의 제1 열방향 단부 위에 형성되고, 상기 신호선을 구동하는 신호를 발생하는 신호선 구동회로와; 상기 제1 기판의 주변부 위에서의, 상기 주사선 구동회로 및 상기 신호선 구동회로와 다른 위치에 형성되고, 상기 주사선 구동회로 및 상기 신호선 구동회로의 일부와 동일한 구성과, 리페어용 배선을 갖고, 상기 주사선 구동회로 및 상기 신호선 구동회로에 접속된 주사선 및 신호선의 일단(一端)과는 반대

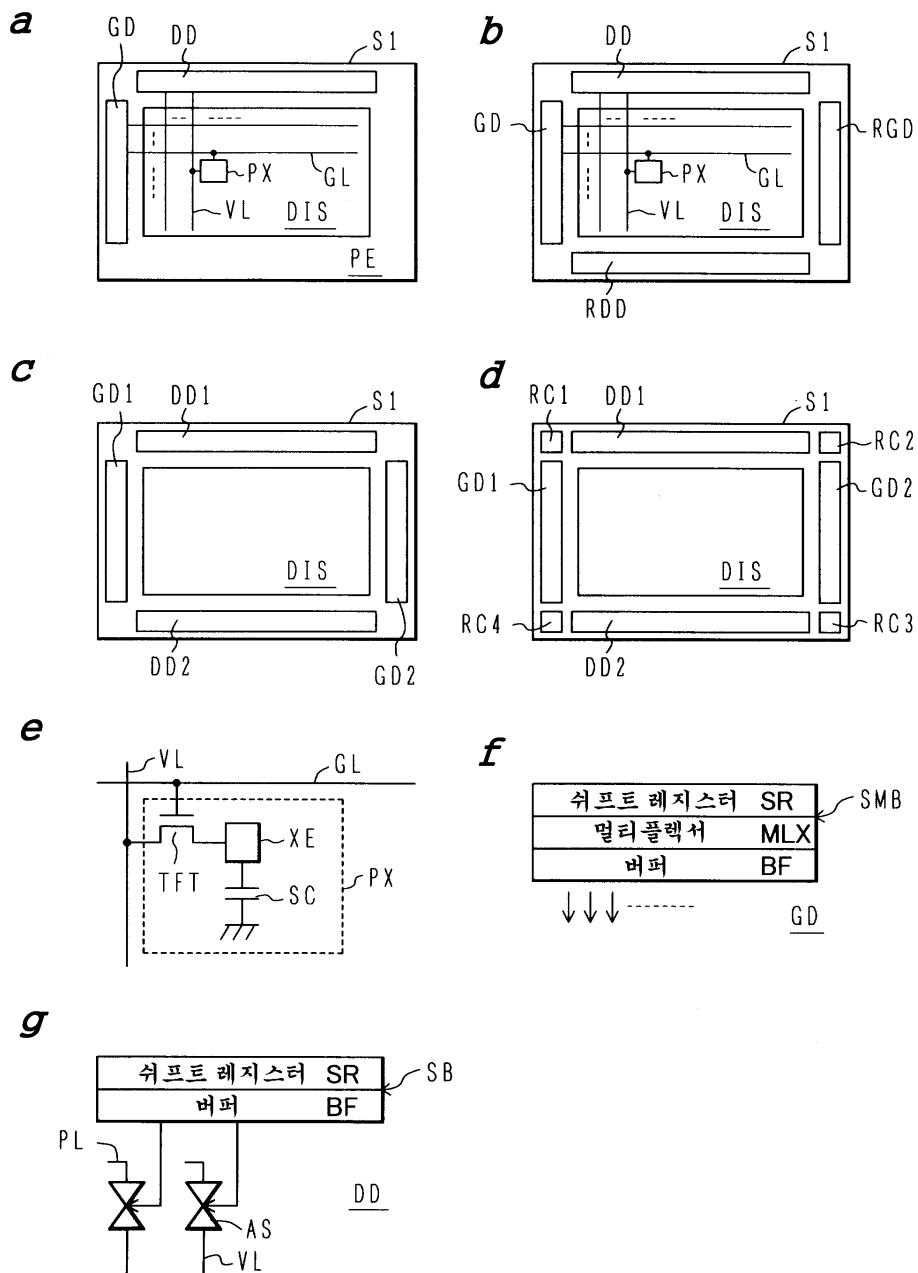
측의 타단(他端)에, 상기 주사선을 구동하는 신호 및 상기 신호선을 구동하는 신호를 입력가능하게 되어 있는 리페어회로와; 병렬로 배치되고, 각각이 입력 단자, 출력 단자, 제어 단자를 갖는 트랜지스터로 이루어지는 복수의 아날로그 스위치와; 상기 복수의 아날로그 스위치를, 전기적으로 분리된 상태로부터 병렬 접속된 상태로, 또는 병렬 접속된 상태로부터 전기적으로 분리된 상태로 변환가능한 배선군을 갖는 박막 트랜지스터 기판을 형성하는 공정과,

상기 박막 트랜지스터 기판을 검사하는 공정과,

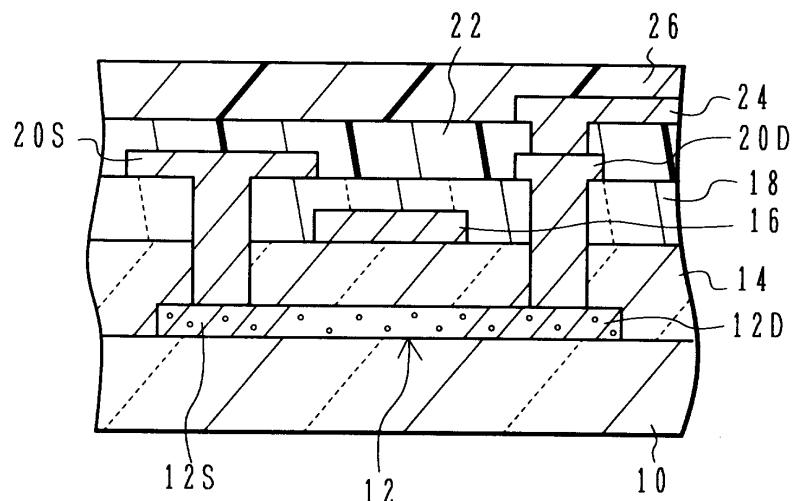
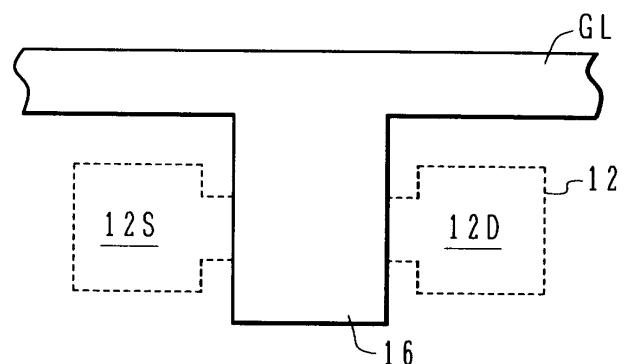
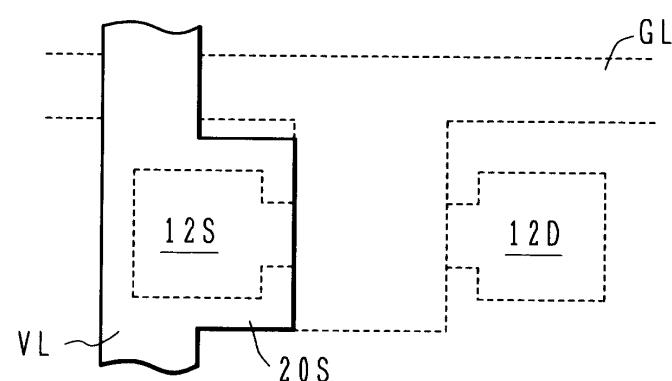
결함이 발견된 경우, 상기 배선군에 레이저광을 조사하고, 상기 아날로그 스위치의 채널폭을 조정하는 공정을 포함하는 액정표시장치의 제조방법.

도면

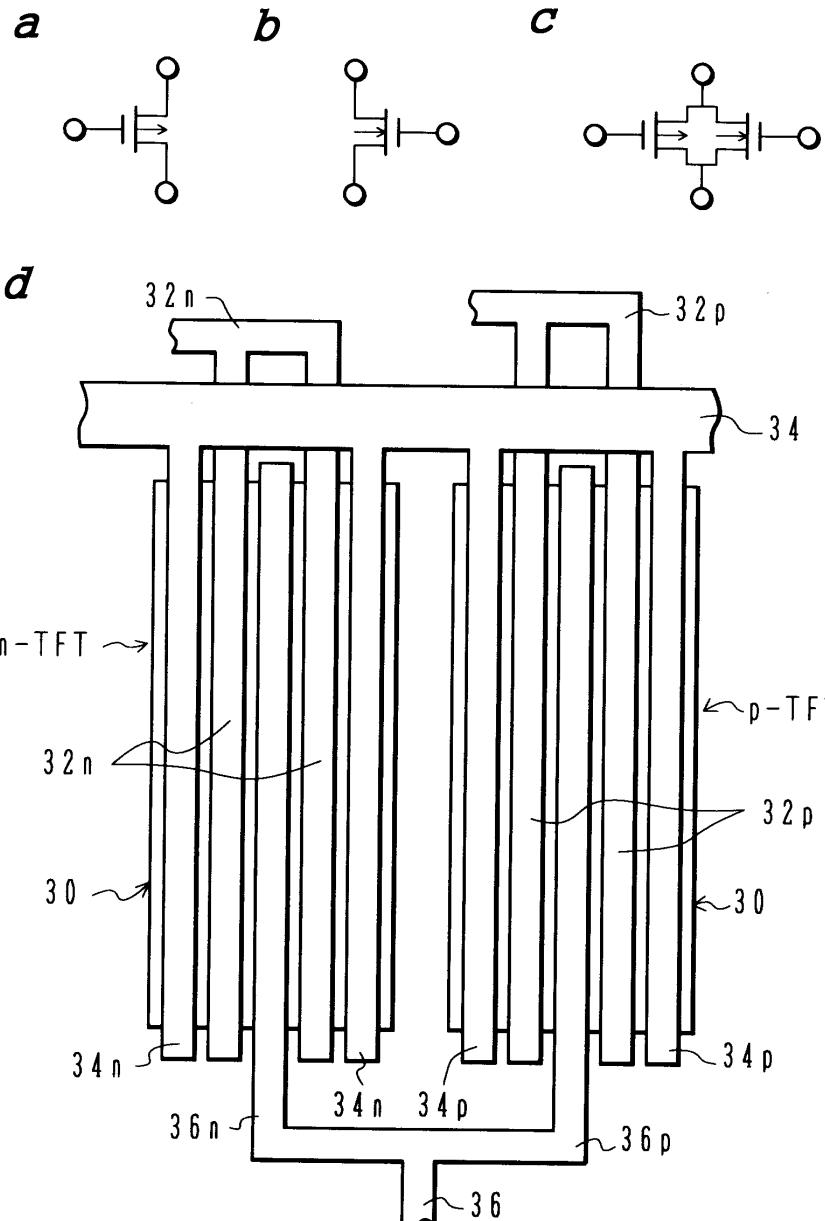
도면1



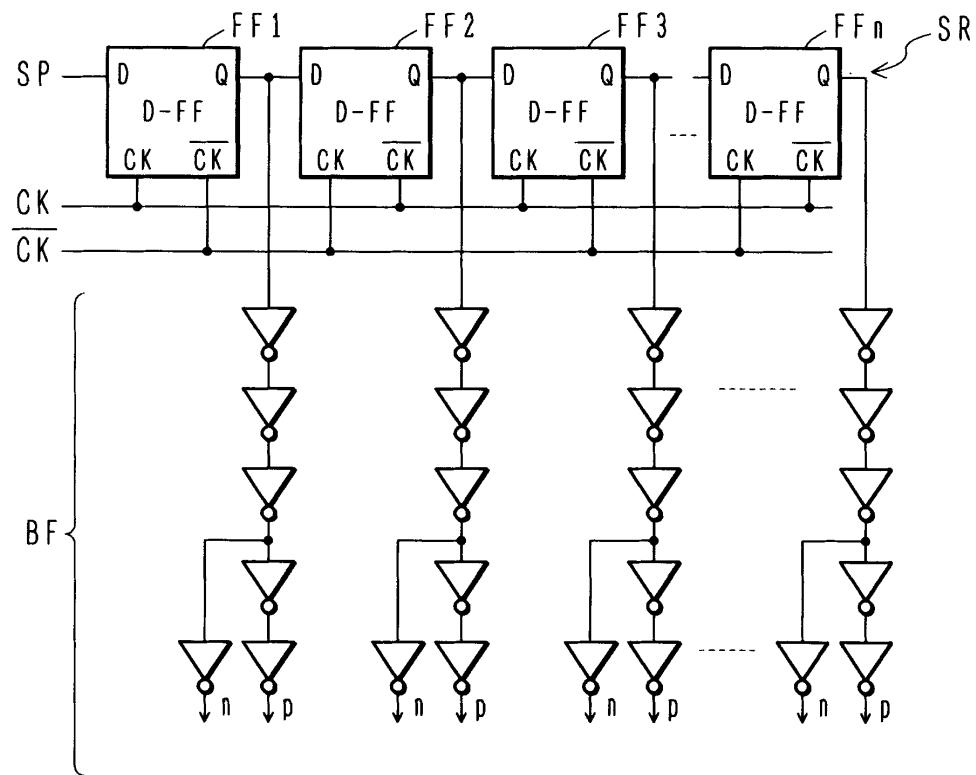
## 도면2

**a****b****c**

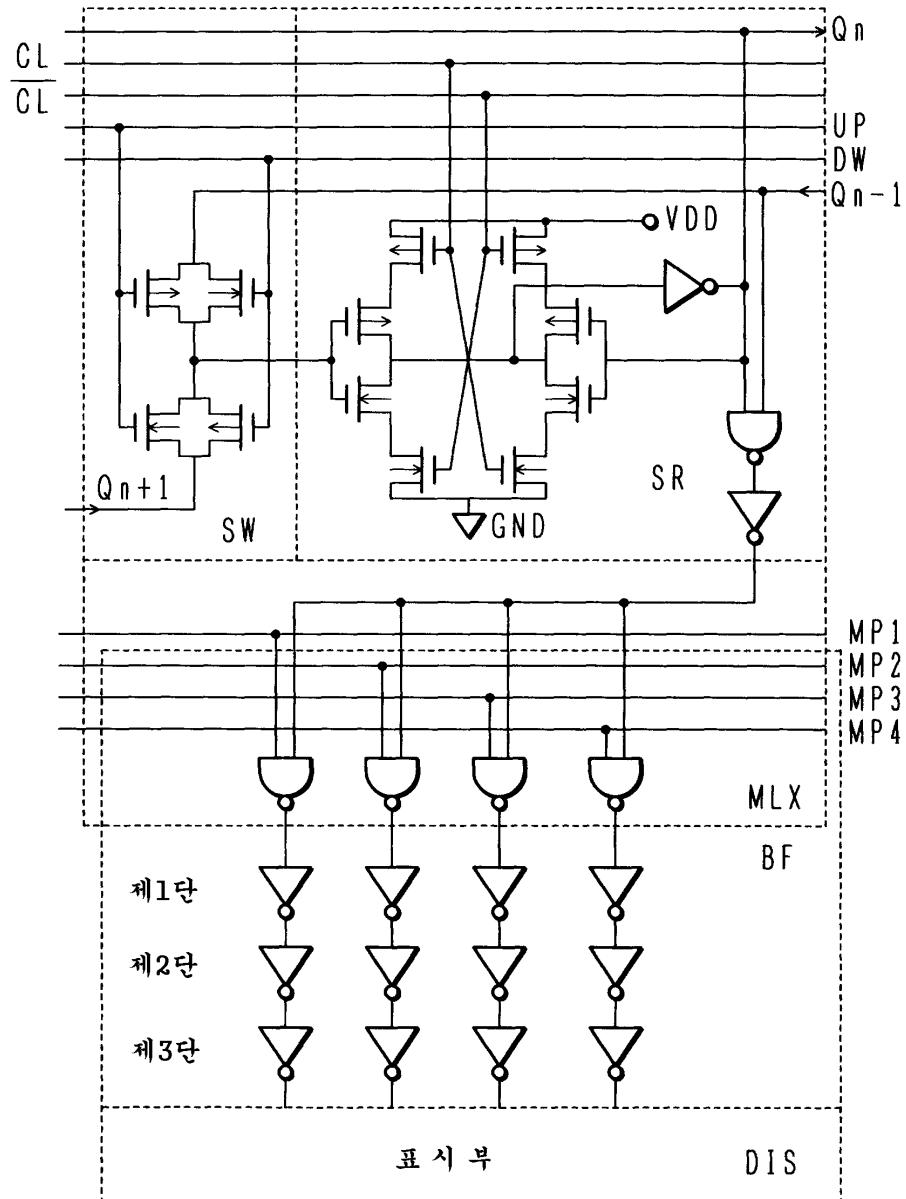
도면3



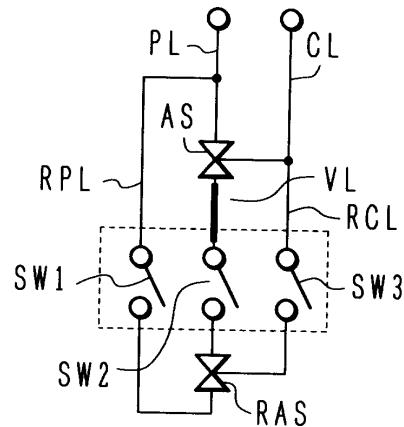
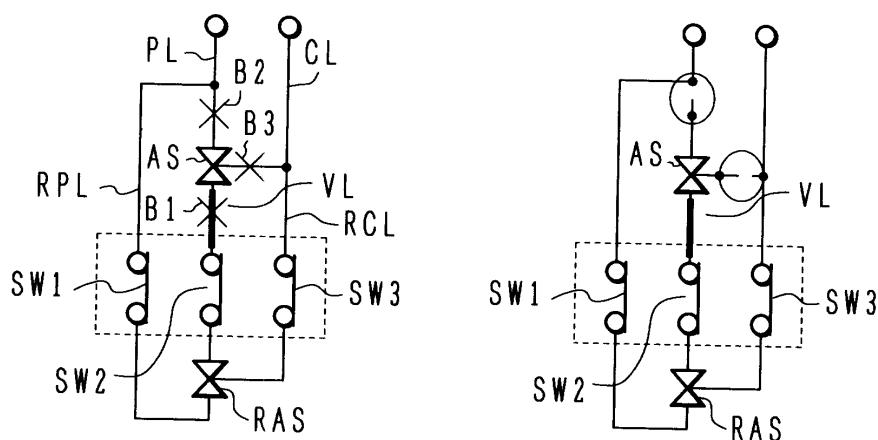
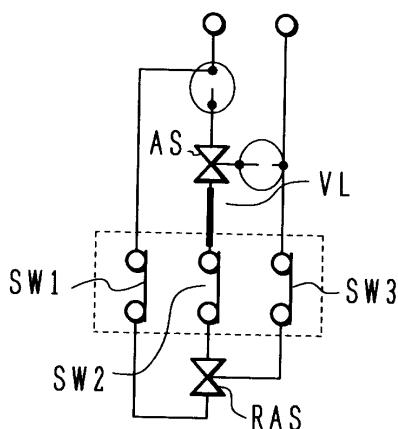
도면4



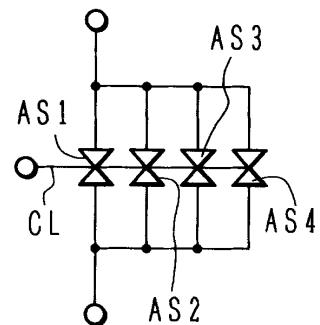
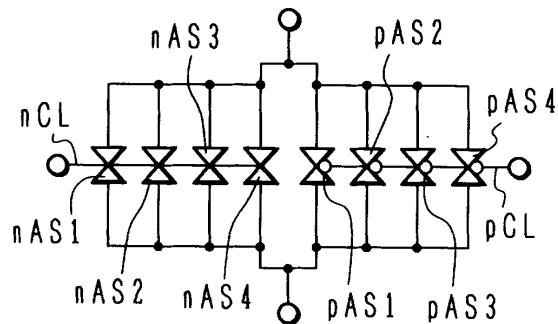
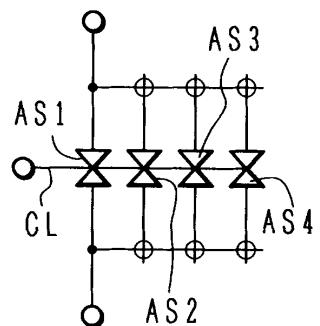
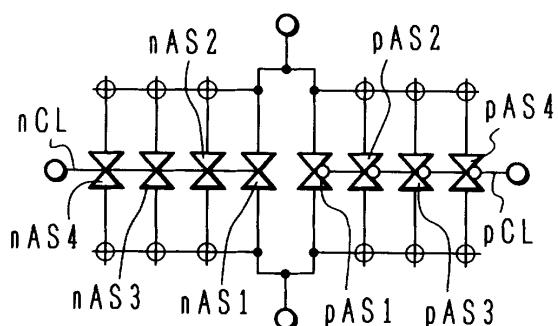
도면5



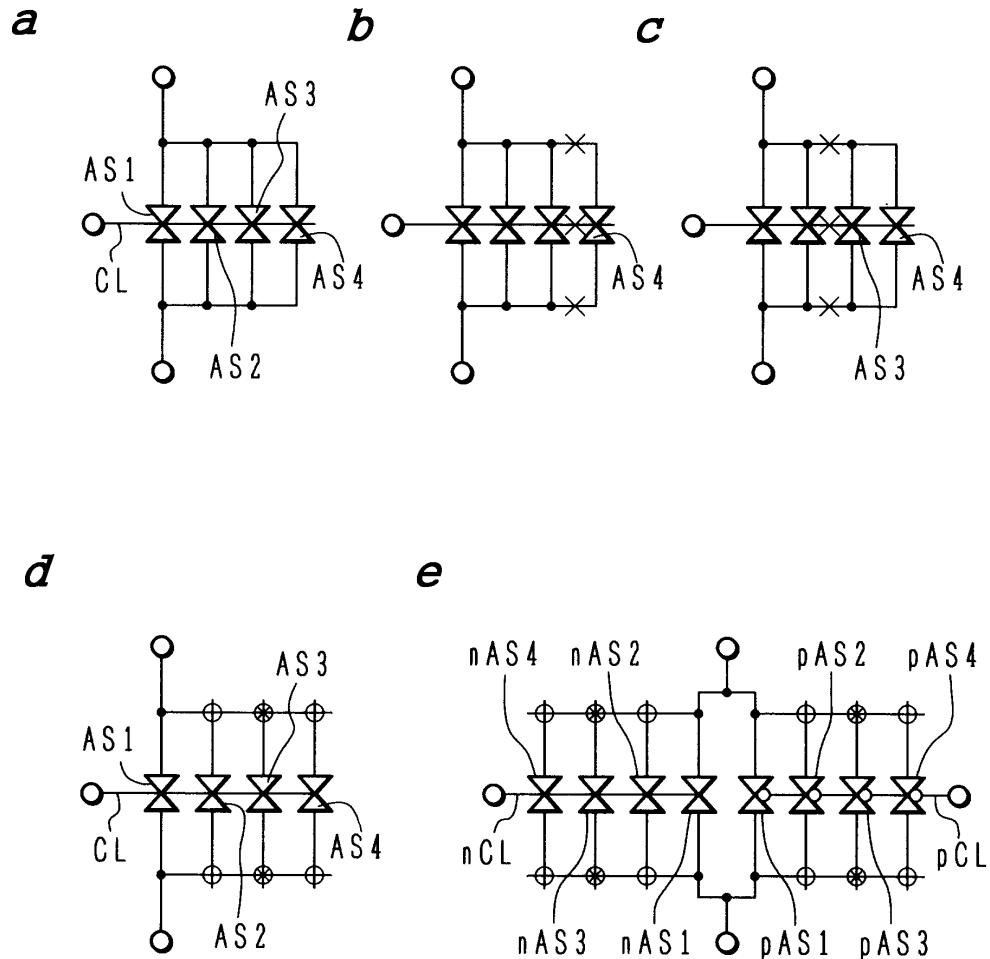
도면6

**a****b****c**

## 도면7

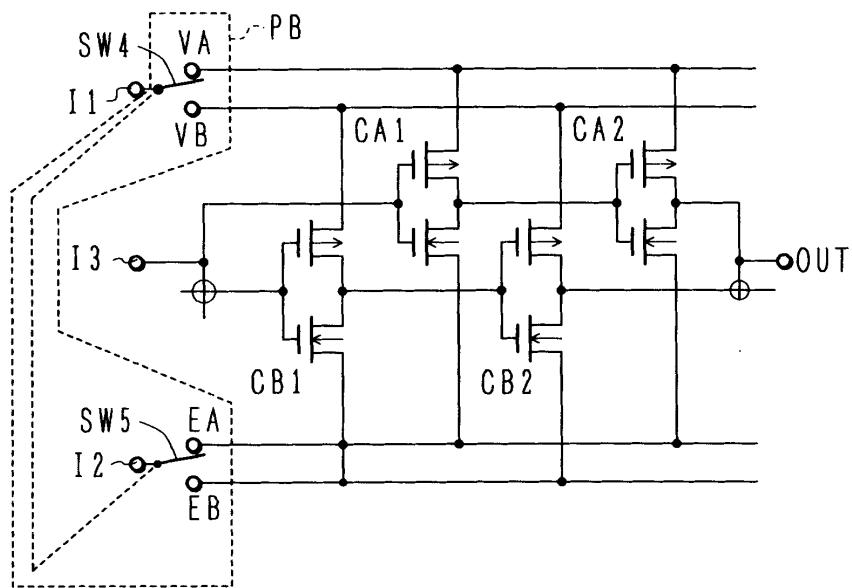
**a****b****c****d**

도면8

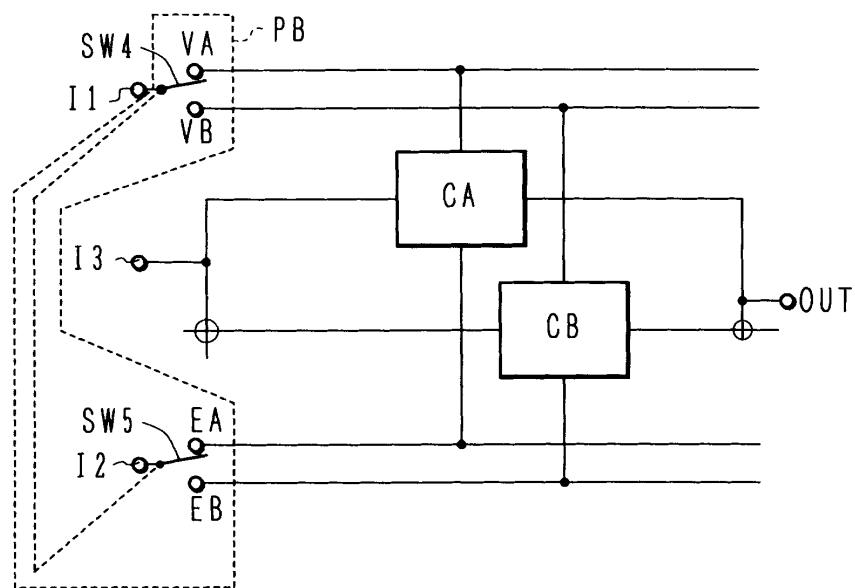


### 도면9

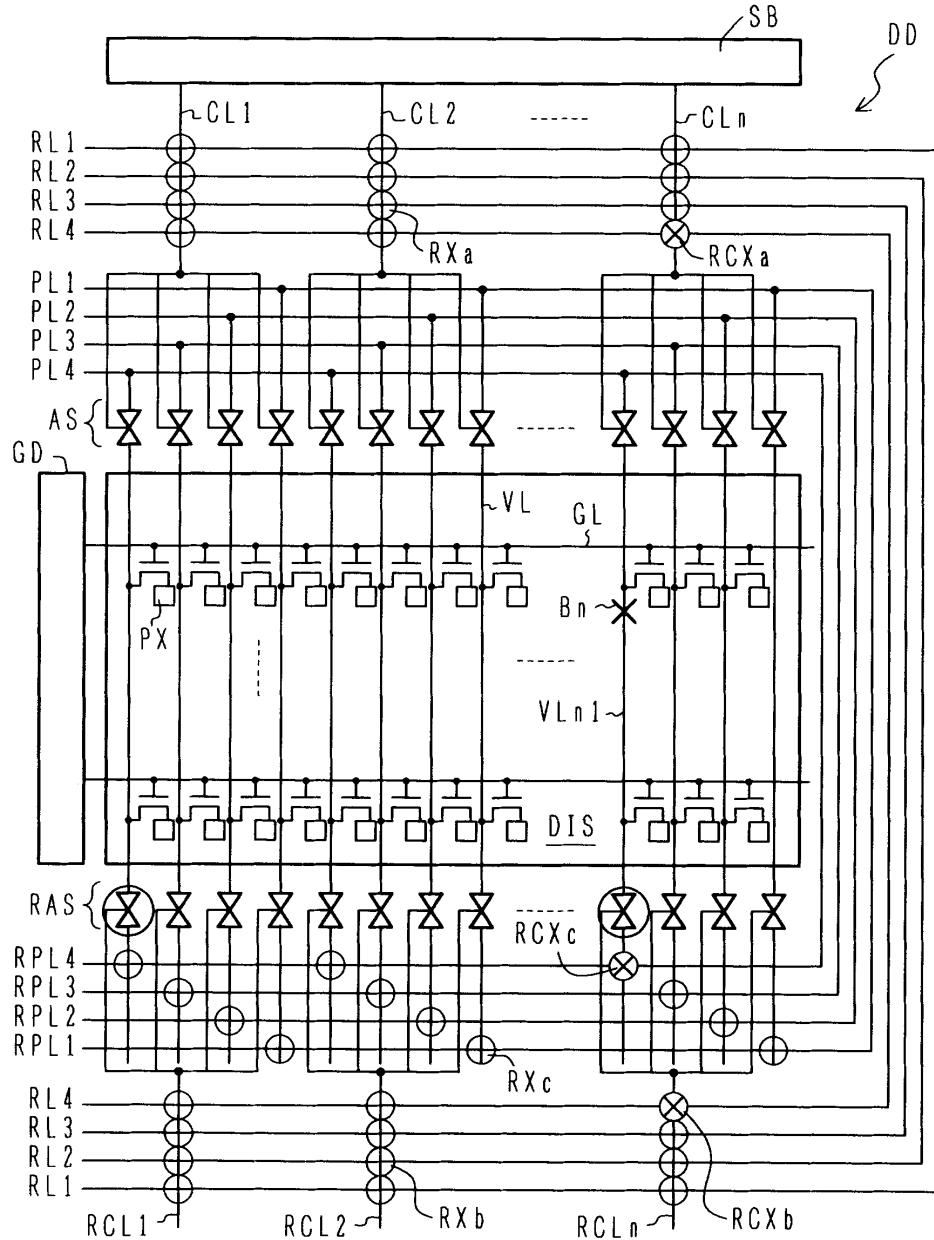
a



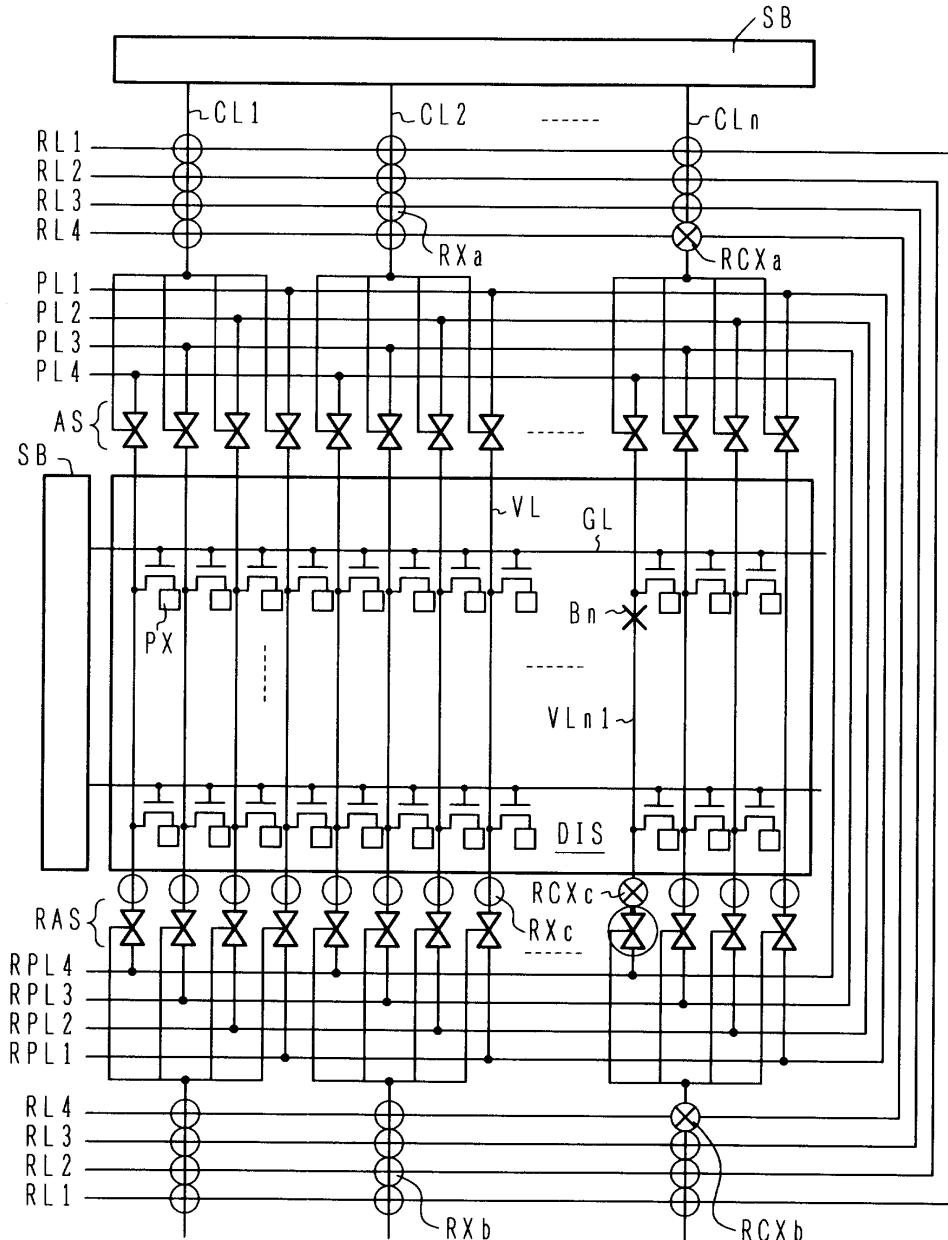
b



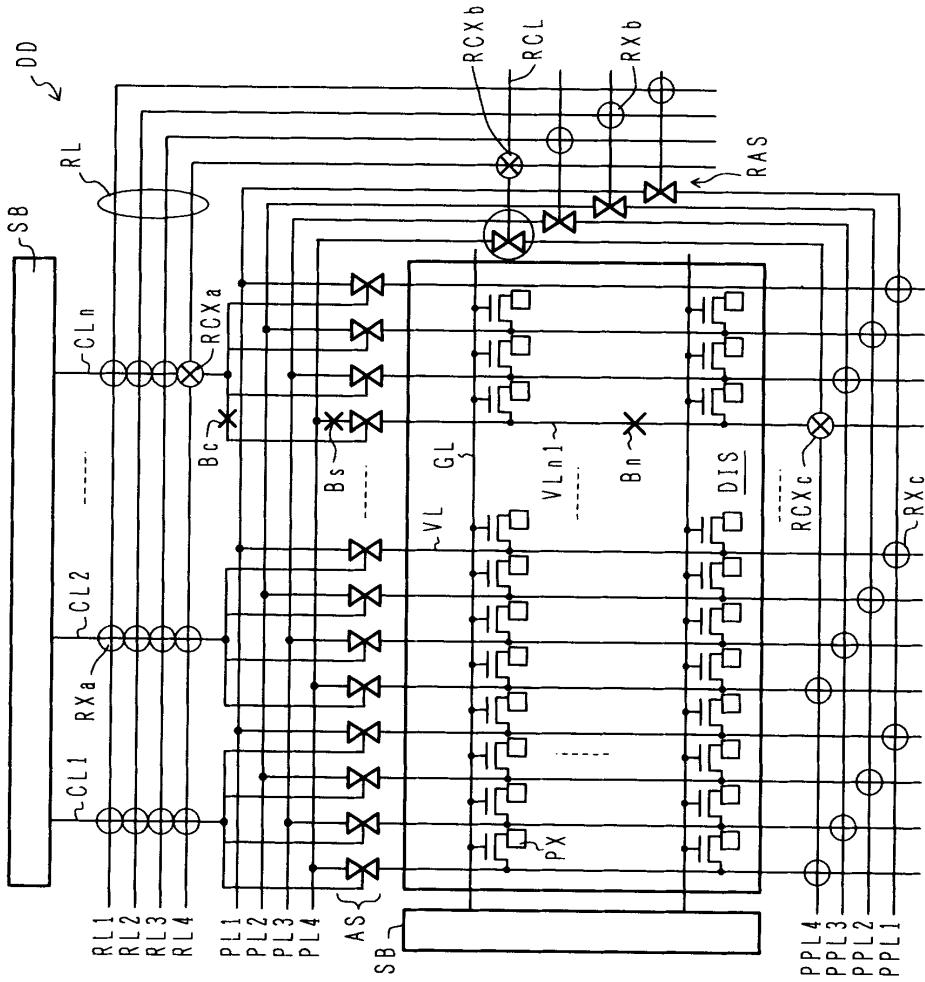
도면10



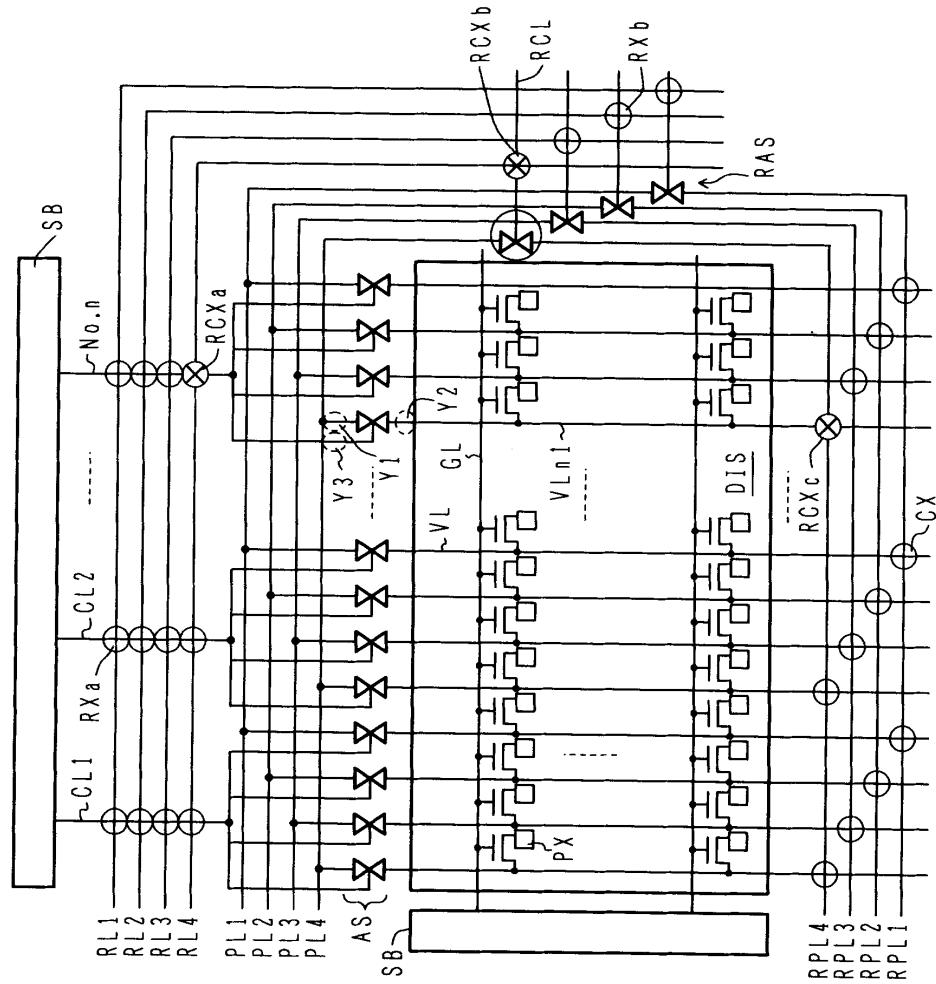
도면11



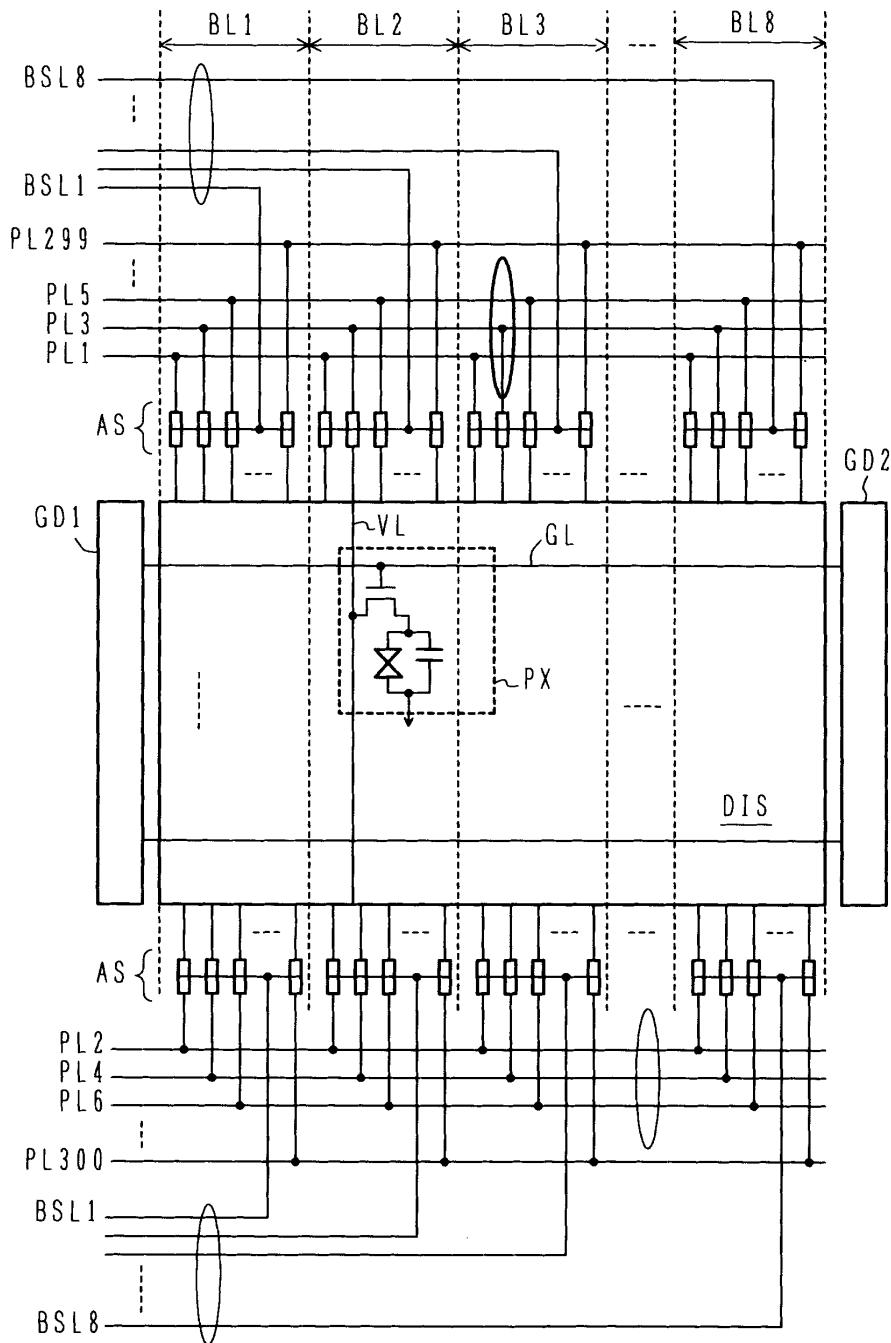
도면12



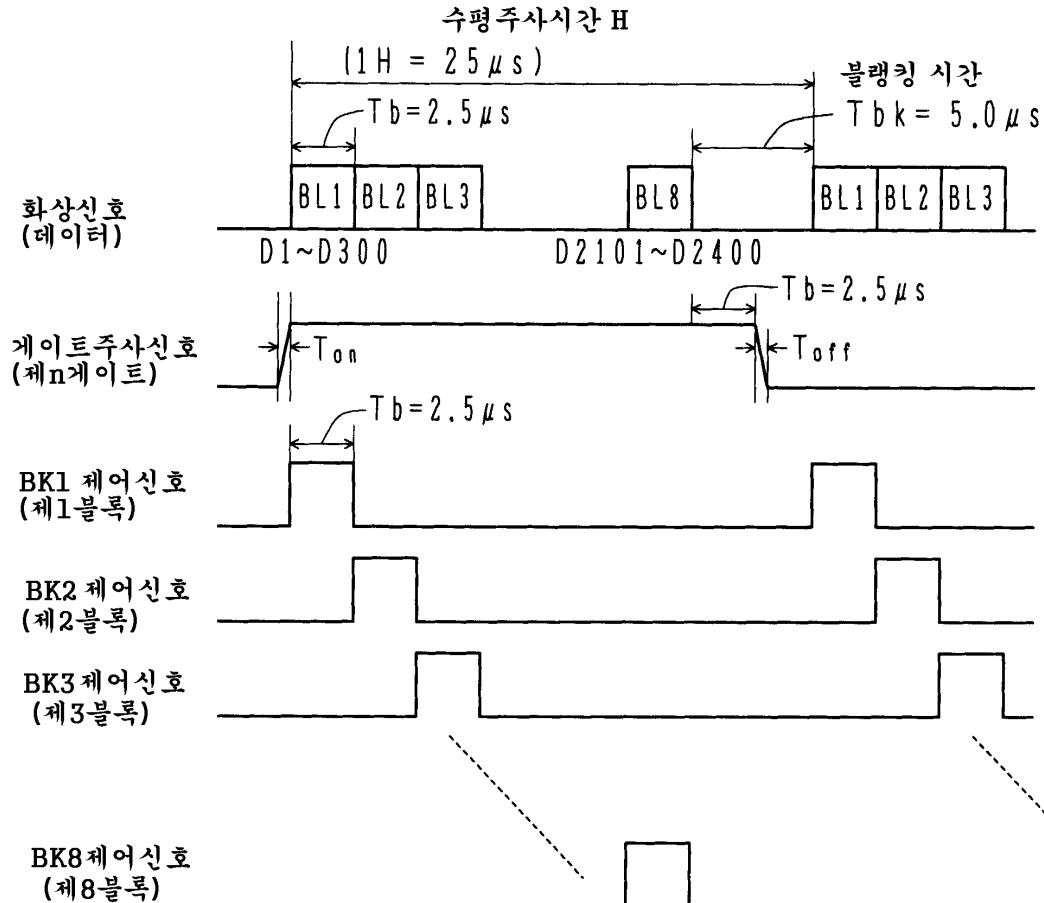
도면13



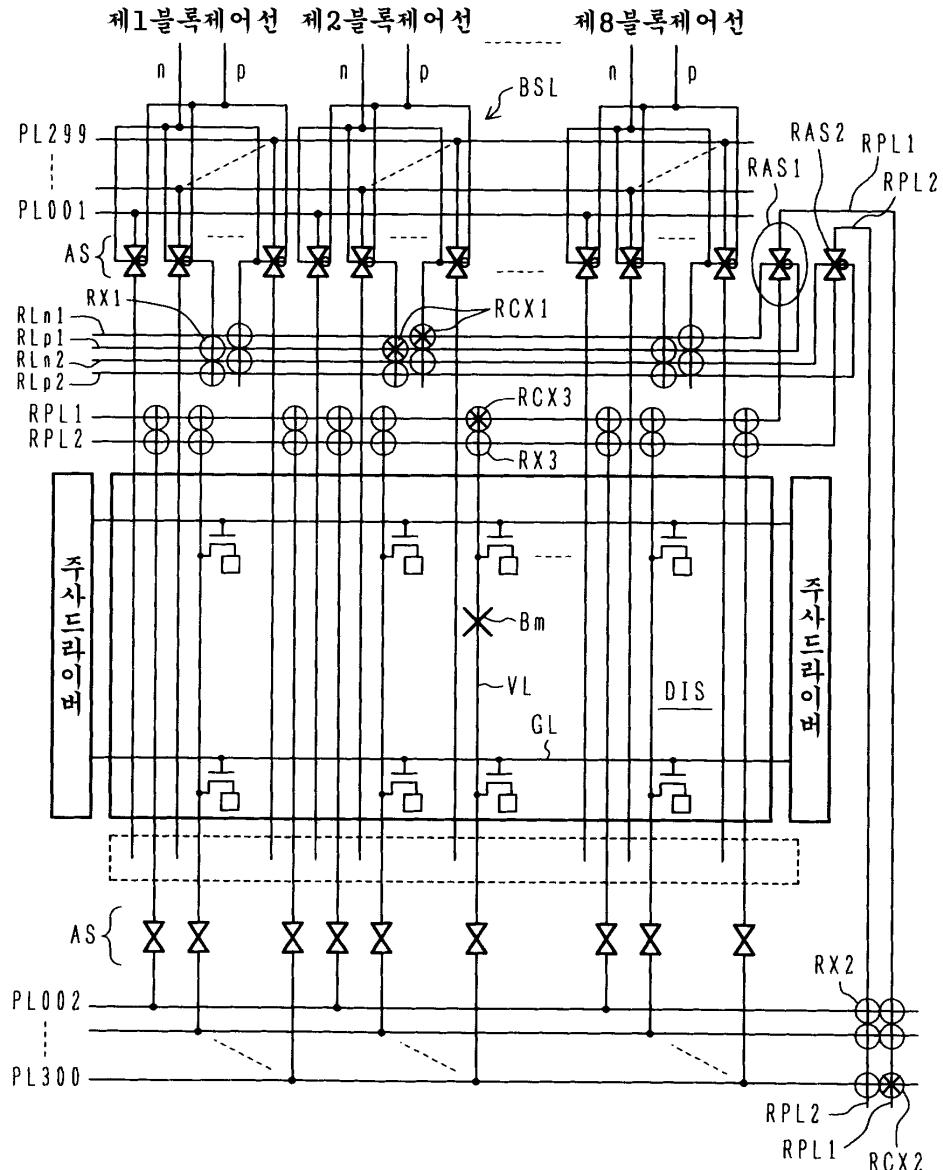
도면14



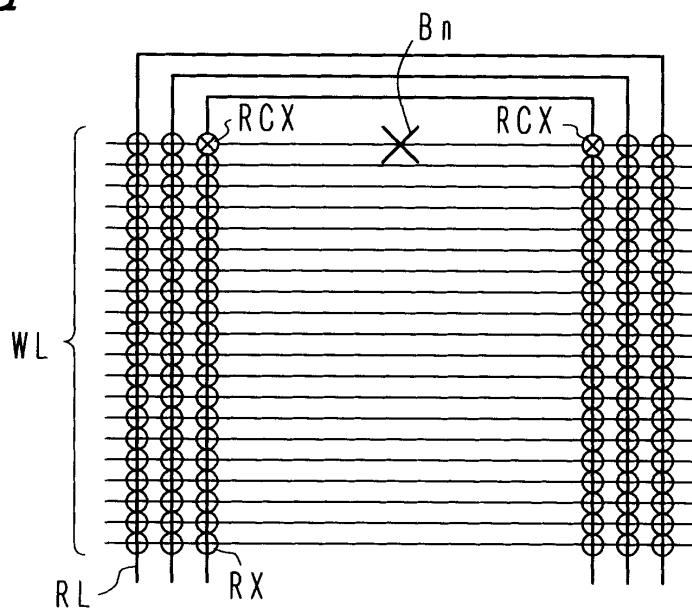
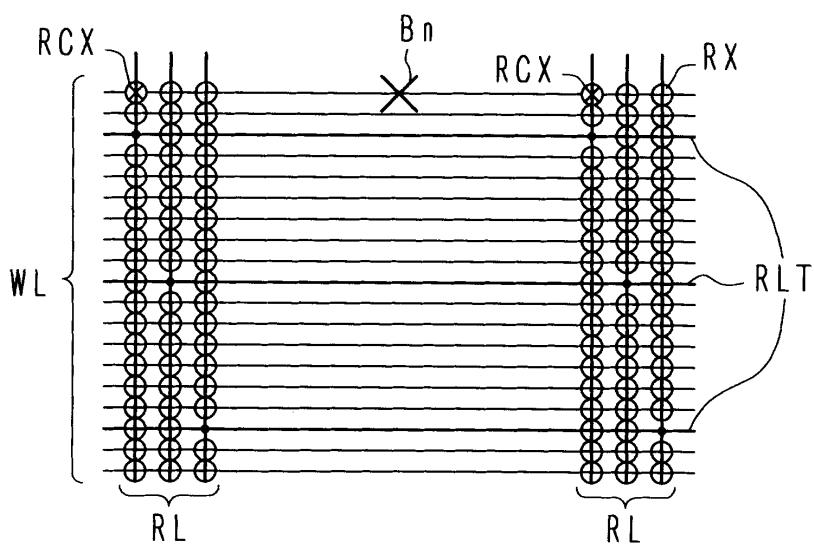
도면15



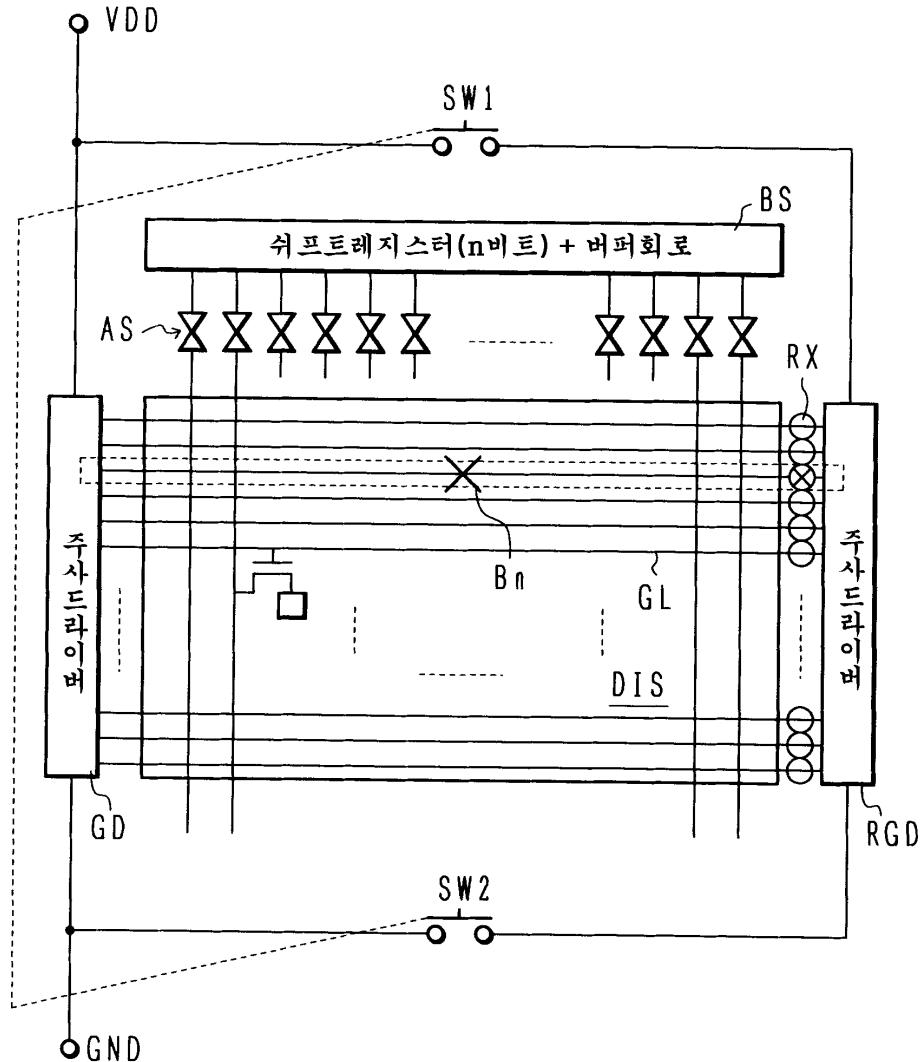
## 도면16



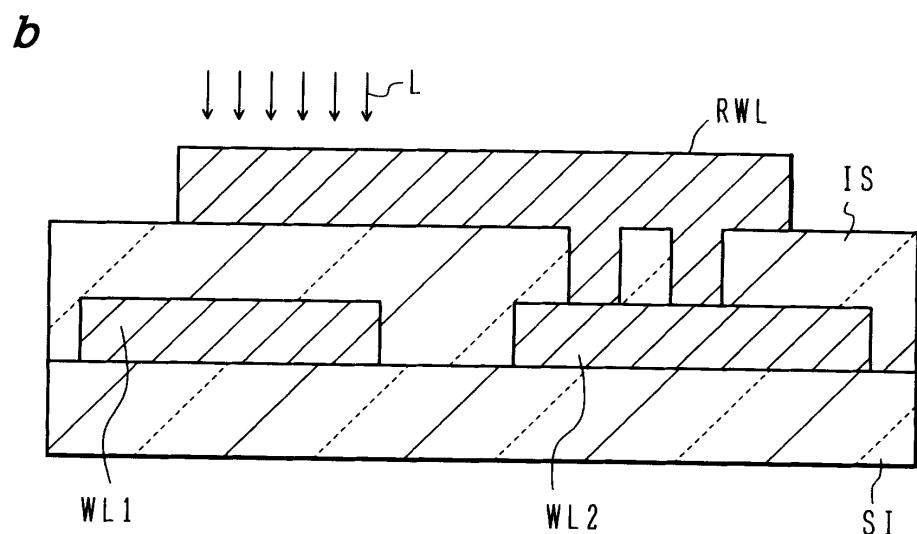
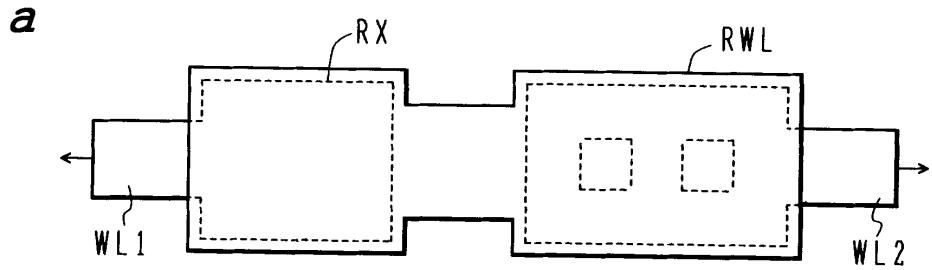
도면17

**a****b**

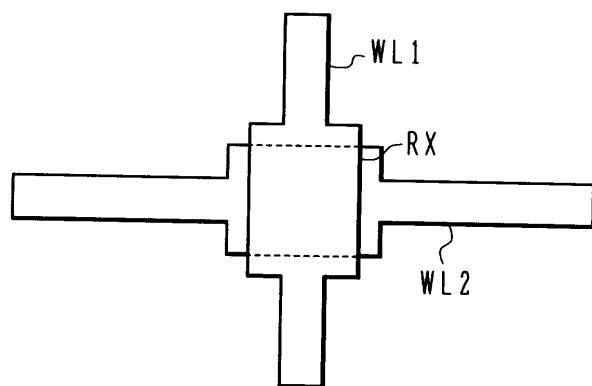
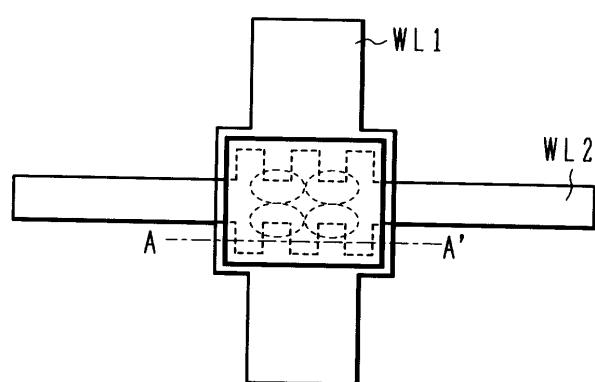
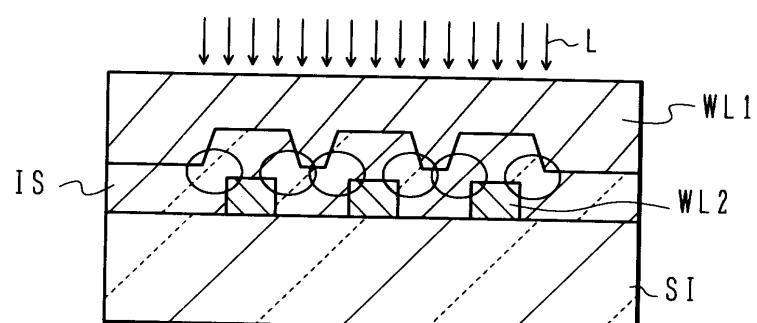
도면18



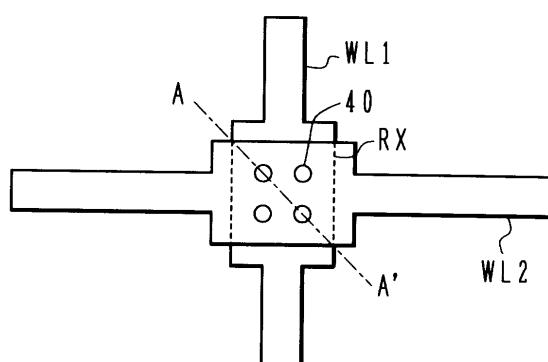
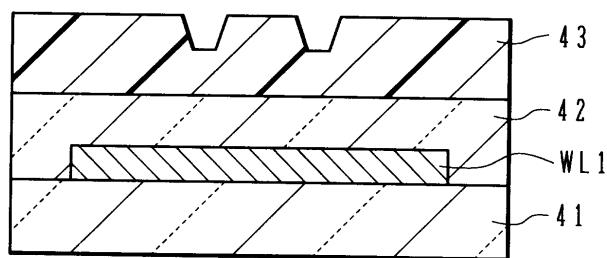
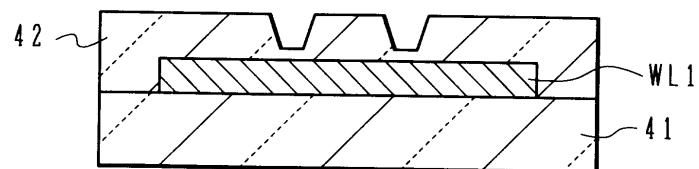
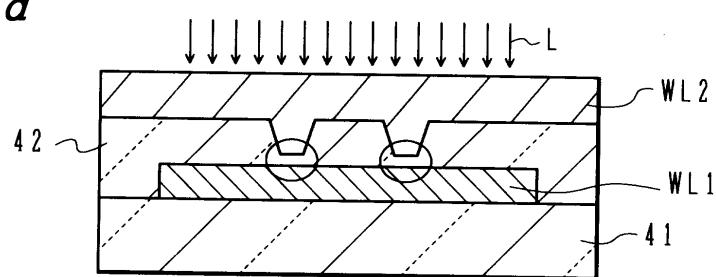
도면19



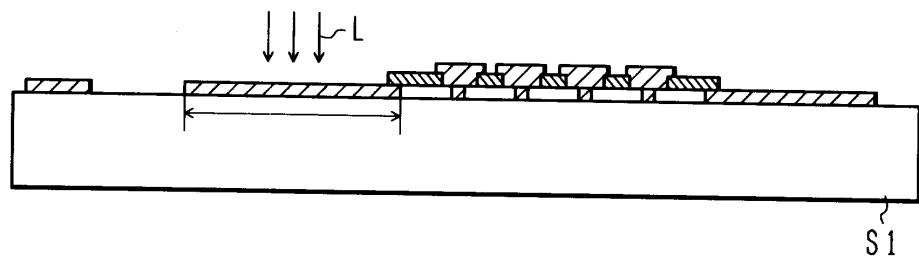
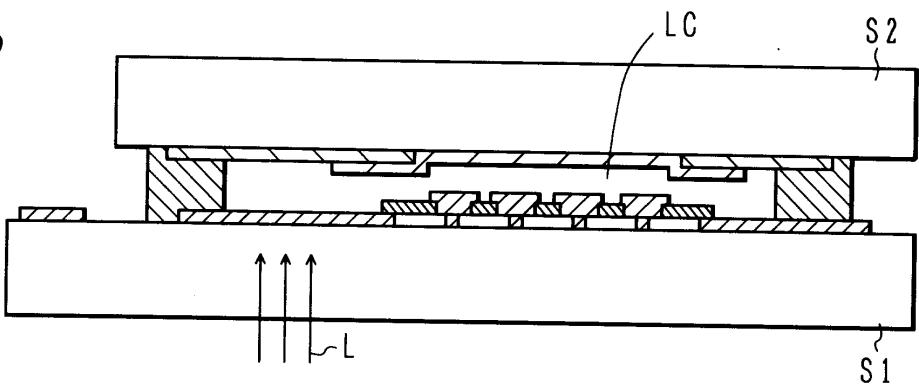
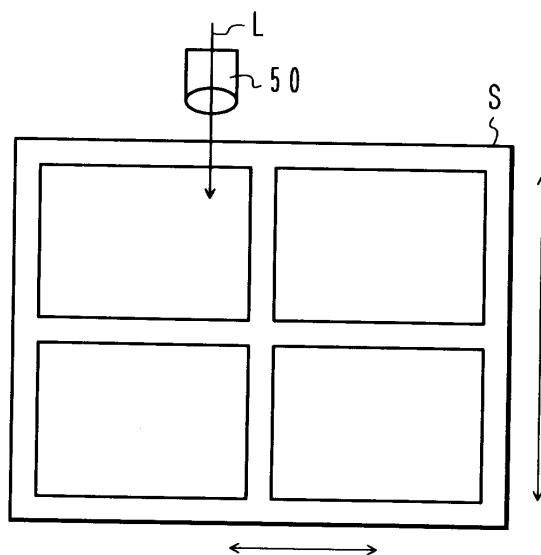
도면20

*a**b**c*

## 도면21

**a****b****c****d**

## 도면22

**a****b****c**

专利名称(译)	可修复的液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR100632819B1</a>	公开(公告)日	2006-10-13
申请号	KR1020000004635	申请日	2000-01-31
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	ZHANG HONGYONG 장홍용 MORITA KEIZO 모리타케이조		
发明人	장홍용 모리타케이조		
IPC分类号	G02F1/133 G02F1/1345 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136259 G02F2001/136263 G02F2001/136268 G02F2001/136272		
代理人(译)	MOON , Ki桑		
优先权	1999076800 1999-03-19 JP		
其他公开文献	KR1020000062512A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明涉及有源矩阵型液晶显示装置及其制造方法，提供一种易于修复变形的液晶显示器。根据本发明的液晶显示器包括具有绝缘表面的第一基板;显示单元包括多个像素，多个扫描线激活枚举到行写入方向的像素，以及多个信号线;扫描线驱动电路形成有用于驱动扫描线的信号，它形成在外围单元的第一行写入方向端，称为第一基板的显示单元外部区域，作为外围单元的某个相位在所产生的扫描线驱动电路的周边单元的第一列方向端，第一基板和第一基板上形成信号线驱动电路，该信号线驱动电路产生用于驱动信号线的信号;以及具有至少一部分信号线驱动电路的修复电路，基本上是相同的元件。多个像素布置在第一基板的中心部分上并且布置成行和列形状。多个信号线将图像信息传送到列举到列方向的像素中激活的像素。修复电路和液晶显示器。

