

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 G02F 1/136

(45) 공고일자 2005년09월28일
 (11) 등록번호 10-0518051
 (24) 등록일자 2005년09월22일

(21) 출원번호	10-2002-0001373	(65) 공개번호	10-2002-0060602
(22) 출원일자	2002년01월10일	(43) 공개일자	2002년07월18일

(30) 우선권주장 JP-P-2001-00004161 2001년01월11일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
 일본 가나가와Ken 가와사끼시 나카하라구 시모누마베 1753

(72) 발명자 사카모토미치아키
 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내

오카모토마모루
 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내

키무라시게루
 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내

쿠로하쇼우이치
 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내

히데히라마사노부
 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내

호리에요시타카
 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내

이시노타카유키
 일본국카고시마켄이즈미시오노하라마치2080카고시마닛쁜텐끼가부시
 끼가이샤내

야마모토유지
 일본국카고시마켄이즈미시오노하라마치2080카고시마닛쁜텐끼가부시
 끼가이샤내

나카타신이치
 일본국카고시마켄이즈미시오노하라마치2080카고시마닛쁜텐끼가부시
 끼가이샤내

(74) 대리인 최달용

심사관 : 임동재

(54) 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법

요약

액정 디스플레이 장치는 TFT 기판, 대향 기판 및 이들 기판 사이에 배치된 액정층으로 이루어지고, TFT 기판은 그 투명 기판 상에 게이트 라인, 데이터 라인 및 TFT를 구비하고, 또한, 이들을 피복하도록 패시베이션막이 마련된다. 패시베이션막 상에는 칼라 필터가 마련되고, 블랙 매트릭스는 TFT의 위쪽과 데이터 라인 위쪽에 대응하는 영역에서 칼라 필터 상에 마련된다. 또한, 1 내지 $3\mu\text{m}$ 정도의 막두께를 갖는 제 1의 오버코트층이 블랙 매트릭스를 피복하도록 마련된다. 또한, 대략 $0.5\mu\text{m}$ 의 막두께를 갖는 제 2의 오버코트층이 콘택트홀을 제외한 전면에 마련된다. 또한, 제 2의 오버코트층 상의 픽셀 형성 영역 상에 픽셀 전극이 마련된다.

내포도

도 2

색인어

CF 온 TFT, COT, 액정 디스플레이 장치

명세서

도면의 간단한 설명

도 1은 일본 특개평 제 8-122824호에 상술된 종래의 CF 온 TFT의 구성을 도시하는 단면도.

도 2는 본 발명의 제 1의 실시예에 따른 액정 디스플레이 장치의 구성을 도시하는 회로도.

도 3은 제 1의 실시예의 칼라 필터, 블랙 매트릭스 및 오버코트층의 위치 관계를 도시하는 평면도.

도 4는 제 1의 실시예의 칼라 필터, 블랙 매트릭스 및 오버코트층의 위치 관계를 도시하는 평면도.

도 5는 제 1의 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 6a 내지 도 6e는 제 1의 실시예에 따른 액정 디스플레이 장치의 제조 방법을 공정 순으로 도시하는 단면도.

도 7은 본 발명의 제 2의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 8은 본 발명의 제 3의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 9는 본 발명의 제 4의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 10은 본 발명의 제 5의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 11은 제 5의 실시예에 따른 스페이서의 위치를 나타내는 평면도.

도 12는 본 발명의 제 6의 실시예에 따른 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 13은 본 발명의 수정예에 따른 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 14는 본 발명의 제 7의 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도.

도 15a 내지 도 15e는 제 7의 실시예의 액정 디스플레이 장치의 제조 방법을 공정 순으로 도시하는 단면도.

도 16은 본 발명의 제 8의 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도.

◆도면의 주요 부분에 대한 부호의 설명◆

1 : TFT 기판 2 : 대향 기판

3 : 액정층 4 : 투명 절연 기판

5 : 게이트 라인 5a : 게이트 단자

5b : 게이트 전극 6 : 게이트 절연체

7 : 데이터 라인 7a : 데이터 단자

8a : 드레인 전극 8b : 소스 전극

9 : 패시베이션막 10 : 칼라 필터

11 : 블랙 매트릭스 12 : 제 1의 오버코트층

13 : 제 2의 오버코트층 14 : 픽셀 전극

15 : 반도체층 16 : 대향 전극

17 : TFT 18 : 픽셀 커패시터

19 : 콘택트홀 20 : 주상 스페이서

21 : 그레이-톤 마스크 22 : 차광막

23 : 확산셀 24 : 평탄화막

25 : 오버코트층 25a : 후막(thick film)의 오버코트층

25b : 박막(thin film)의 오버코트층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

발명의 분야

본 발명은 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법에 관한 것이다. 특히, 본 발명은 동일 기판 상에 TFT(박막 트랜지스터) 등과 같은 스위칭 소자와 CF(color filter; 칼라 필터) 둘 다를 형성하는 CF 온 TFT 구조(CF on TFT structure)의 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법에 관한 것이다.

관련 기술의 설명

최근, 스위칭 소자로서 박막 트랜지스터 등을 사용하는 능동 매트릭스형 액정 디스플레이 장치의 개발이 진행되고 있다. 능동 매트릭스형 액정 디스플레이 장치는 박막 트랜지스터 등과 같은 스위칭 소자가 상부에 형성되는 TFT 기판과, 대향 전극이 상부에 형성되는 대향 기판, 및 이들 기판 사이에 놓여진 액정으로 구성된다. TFT 기판은 게이트 전극, 게이트 절연막, 반도체 층, 및 소스/드레인 전극으로 구성된 박막 트랜지스터와, 매 픽셀마다 형성된 픽셀 전극, 이들을 피복하는 패시베이션막, 배향막, 및 외부 회로를 접속하기 위한 단자 등을 구비한다. 또한, 대향 기판은 박막 트랜지스터와 배선층을 향하는 입사광을 차단하기 위한 블랙 매트릭스와, 칼라 디스플레이를 수행하는 RGB(적색, 녹색, 청색)의 각 칼라의 칼라 필터와, ITO(Indium Tin Oxide) 등으로 만들어진 투명 전극 및 배향막 등을 구비한다. 또한, 두 기판 사이에서 소정의 간격만큼 캡을 유지하기 위한 스페이서가 두 기판 사이에 놓여진다.

이러한 능동 매트릭스형 액정 디스플레이 장치에 있어서, 디스플레이 품질을 향상시키기 위해서는, 고정밀도가 요구된다. 이 때문에, 고밀도의 픽셀을 달성할 필요가 있다. 그러나, 상기 상술된 칼라 필터와 블랙 매트릭스가 대향 기판측에 정렬되는 구조의 액정 디스플레이 장치에 있어서는, 조립 공정에서 두 기판 사이의 위치 정합에서 오차가 발생하기 때문에, 미리 마진을 고려하여 칼라 필터와 블랙 매트릭스를 다소 크게 형성할 필요가 있다. 이 때문에, 픽셀 면적에 대한 개구부의 면적의 비율, 즉 개구율을 크게 하는 것이 어려우며, 이것은 픽셀을 고밀도로 하는데 방해가 된다.

따라서, 칼라 필터와 블랙 매트릭스의 마진을 줄이면서 개구율을 향상시키기 위해서는, 박막 트랜지스터 등과 같은 스위칭 소자를 형성하는 TFT 기판측에 칼라 필터와 블랙 매트릭스를 형성하는 방법, 소위 CF 온 TFT가 제안되었다. 예를 들면, 일본 특개평 제 2-54217호와 일본 특개평 제 3-237432호는 CF 온 TFT를 개시한다.

CF 온 TFT에 있어서, 칼라 필터와 블랙 매트릭스가 TFT 기판 상에 형성되기 때문에, TFT 기판과 대향 기판 사이의 위치 정합 마진을 고려할 필요는 없다. 따라서, 제조 공정을 간단히 할 수 있고 픽셀의 개구율 향상을 달성할 수 있다.

그러나, CF 온 TFT에 있어서, 픽셀 전극이 칼라 필터 상에 형성되기 때문에, 칼라 필터 등의 요철을 반영하여 단차(段差)가 발생한다. 그리고, 이 단차에 의해 액정의 배향에 교란이 발생하며, 이 단차가 디스크리네이션(disclination)이나 역경사도메인(reverse tilt domain) 등과 같은 결함을 발생시키는 문제점이 있다.

이러한 문제점을 해결하기 위한 일본 특개평 제 8-122824호에서는, 칼라 필터와 블랙 매트릭스의 요철을 메우기 위해서 칼라 필터와 블랙 매트릭스의 패턴화를 수행한 후 평탄화된 막을 형성하는 방법을 개시한다. 도 1은 일본 특개평 제 8-122824호에 개시된 종래의 CF 온 TFT의 구성을 도시하는 단면도이다. 일본 특개평 제 8-122824호에서는 스위칭 소자로서 다결정 실리콘 TFT(p-Si TFT)를 사용하는 기술을 개시하고 있지만, 본 발명에서는, 설명의 간략화를 위해, 스위칭 소자로서 채널-에치형 비정질 실리콘 TFT(channel-etch type a-Si TFT)를 사용하는 것으로 하여 설명한다.

도 1에 도시된 바와 같이, 일본 특개평 제 8-122824호에 개시된 액정 디스플레이 장치에 있어서, 게이트 전극(5b)은 투명 절연 기판(4a) 상에 형성되고, 게이트 전극(5b)을 피복하도록 게이트 절연체(6)가 형성된다. 반도체층(15)은 게이트 절연체(6) 위에서 게이트 전극(5b)과 중첩하도록 형성된다. 또한, 게이트 전극(5b)의 중앙부에서 분리된 소스 전극(8b)과 드레인 전극(8b)은 오직 콘택트층(도시되지 않음)을 통해 반도체층(15)에 접속되어, 박막 트랜지스터가 형성된다. 또한, 패시베이션막(9)은 박막 트랜지스터를 피복하도록 형성된다.

CF 온 TFT 구조의 액정 디스플레이 장치에 있어서, 칼라 필터(10)와 블랙 매트릭스(11)는 패시베이션막(9) 상에 형성되고, 그 상부에 픽셀 전극(14)이 오버코트층을 통해 형성된다. 도 1에 도시된 액정 디스플레이 장치에 있어서, 칼라 필터(10)와 블랙 매트릭스(11)에 의해 형성된 단차를 평탄화하기 위해서, 두꺼운 평탄화막(24)이 마련된다. 이 때문에, 칼라 필터(10)와 블랙 매트릭스(11)가 평탄화막(24)에 완전히 매립되는 것을 특징으로 한다. 또한, 평탄화막(24)과 패시베이션막(9)을 관통하는 콘택트홀(19)이 형성되고, 그 후, 투명 도전막으로 이루어진 픽셀 전극(14)이 형성되어, 픽셀 전극(14)이 소스 전극(8b)에 연결된다.

한편, 투명 절연 기판(4a)에 대향하는 투명 절연 기판(4b)의 표면 상에 대향 전극(16)이 형성된다. 또한, 액정(도시되지 않음)이 투명 절연 기판(4a)과 투명 절연 기판(4b) 사이에 채워진다.

CF 온 TFT의 형성 공정에 있어서, 박막 트랜지스터의 차광막으로서 감광성 수지로 이루어진 광학적 밀도(OD; Optical Density)가 3 정도인 높은 차광 특성을 갖는 미세 패턴의 블랙 매트릭스를 형성할 필요가 있다. 여기서 OD는 입사하는 광

량을 T0이라 하고 투과된 광량을 T1이라 할 때 $OD = -\log_{10}(T1/T0)$ 로 정의된 값이다. 이러한 구성에 있어서, 블랙 매트릭스가 노광되는 경우, 블랙 매트릭스의 표면 근처만이 노광되어, 기부(base section)에 대한 접착력이 낮아진다는 문제점이 있다.

일본 특허 공개 공보 제 2000-013571호는 기부(base section)가 될 칼라 필터 상에 광전도성 수지 블랙 매트릭스를 제공하면서 노광을 수행하도록 하는 방식으로 미세 패턴을 형성하는 기술을 개시하고 있다. 이 방법에 따르면, 높은 OD 블랙 매트릭스층의 표면 근처만이 노광되더라도, 기부가 될 칼라 필터와 블랙 매트릭스층 사이의 접착력이 양호하기 때문에, 블랙 매트릭스를 기부와 분리하지 않으면서 미세 패턴을 형성하는 것이 가능하다.

그러나, 상기 상술된 종래 기술에서는 아래에 지적된 것과 같은 문제점이 있다. 상기 상술된 평탄화 기술에 따르면, 평탄화막(24)은 TFT 기판에 형성된 단차를 피복하도록 도포된다. 일반적으로, 칼라 필터(10)와 블랙 매트릭스(11)의 막두께는 1 내지 $2\mu\text{m}$ 정도이기 때문에, 블랙 매트릭스(11)와 칼라 필터(10)가 중첩될 때 2 내지 $3\mu\text{m}$ 정도의 단차가 생성된다. 따라서, 단차가 평탄화막(24)에 의해 피복되는 경우, 단차의 1.5배 정도의 막두께가 필요하게 되어, 평탄화막(24)으로서 3 내지 $4.5\mu\text{m}$ 정도의 막두께가 필요 되어진다. 결과적으로, 평탄화막(24)의 막두께가 두꺼워진다.

평탄화막(24)의 재료로서 광전도성 아크릴 수지, 특히 포지티브형 광전도성 아크릴 수지가 사용되는 경우, 이 아크릴 수지에서 파장이 400 내지 500nm 근처인 광의 투과율이 $1\mu\text{m}$ 의 막두께에서 95% 정도이기 때문에, $3\mu\text{m}$ 의 막두께를 갖는 평탄화막(24) 전체의 투과율은 85% 정도가 된다. 이 때문에, 액정 디스플레이 장치의 광 투과율이 열화하는 문제점이 발생하고, 화이트 밸런스가 무너지는 문제점이 발생한다. 따라서, 두꺼운 평탄화막(24)에 의해 실효 투과율이 낮아지기 때문에, 블랙 매트릭스(11)와 칼라 필터(10)의 단차는 완전히 평탄화되지 않지만, 단차에 의해 생성된 디스크리네이션이 블랙 매트릭스를 사용하는 것에 의해 차광되어, 몇몇 경우에서는, 실효 투과율이 높게 된다.

한편, 평탄화막(24)을 전혀 마련하지 않는 경우, 칼라 필터(10)와 블랙 매트릭스(11)는 그 후의 패턴화 공정에서 사용되는 박리액 등에 의해 팽윤되어 단부로부터의 박리가 생성된다. 또한, 칼라 필터(10)나 블랙 매트릭스(11)상에 평탄화막(24)과 같은 아크릴 등의 재료로 이루어진 박막이 형성되어, 오버코트층으로서만 이용하는 경우, 다음과 같은 문제점이 나타난다. 일반적으로 오버코트층은 스픬코트법에 의해 도포된다. 그러나, 칼라 필터(10)나 블랙 매트릭스(11)의 단차가 지나치게 크기 때문에, 칼라 필터(10)나 블랙 매트릭스(11)의 단차가 큰 부분의 표면에는 거의 도포할 수 없다. 이 때문에, 오버코트층 형성 후의 공정, 예를 들면 광 씬 전극 형성 공정 중의 레지스트 박리 공정에서, 블랙 매트릭스가 팽윤하여 단부로부터 박리가 생기는 불량이 발생한다.

이와 같이, CF 온 TFT 구조를 이용하면, TFT 기판과 대향 기판의 위치 맞춤의 마진을 줄이면서 개구율을 향상시킬 수는 있지만, 칼라 필터(10)나 블랙 매트릭스(11)에 의해 TFT 기판의 표면 상에 큰 단차가 생기게 된다. 이 단차를 메우기 위해 두꺼운 평탄화막(24)을 형성하면, 평탄화막(24)에 의한 광 흡수에 의해 투과율이 저하하게 되어, 개구율 향상의 효과가 상쇄되어 버린다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 투과율을 저감시키지 않으면서 칼라 필터나 블랙 매트릭스를 확실히 보호할 수 있는 CF 온 TFT 구조의 액티브 매트릭스형 액정 디스플레이 장치 및 그 제조 방법을 제공하는 것이다. 또한, 본 발명의 다른 목적은 스페이서를 별도 마련하는 일 없이 TFT 기판과 대향 기판의 갭을 고정밀도이며 또한 간편하게 규정할 수 있는 액티브 매트릭스형 액정 디스플레이 장치 및 그 제조 방법을 제공하는 것이다.

본 발명에 따른 능동 매트릭스형 액정 디스플레이 장치는 서로 대향되어 배치된 제 1 및 제 2의 투명 절연 기판과, 상기 제 2의 투명 기판에 대향 상태로 상기 제 1의 투명 기판의 표면 상에 형성되며 서로 직교하는 다수의 게이트 라인과 데이터 라인과, 상기 제 1의 투명 기판의 표면에 마련되며, 게이트 전극이 상기 게이트 라인에 연결되고 소스/드레인 전극의 하나가 상기 데이터 라인에 연결되는 박막 트랜지스터와, 상기 박막 트랜지스터가 상부에 형성되는 트랜지스터 형성 영역과 상기 데이터 라인이 상부에 형성되는 데이터 라인 형성 영역을 제외하고 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸이는 영역인 광 씬 영역에 적어도 마련되는 칼라 필터와; 상기 박막 트랜지스터와 상기 칼라 필터 둘 다의 적어도 단부를 피복하도록 마련되는 오버코트층을 포함한다. 상기 오버코트층은 상기 광 씬 영역 상에 적어도 형성되는 박막 부분 및 상기 트랜지스터 형성 영역에 형성되거나 또는 상기 트랜지스터 형성 영역과 상기 데이터 라인 형성 영역 둘 다에 형성되며, 상기 박막 부분의 막두께보다 더 두꺼운 두께를 갖는 후막(thick film) 부분을 포함한다. 능동 매트릭스형 액정 디스플레이 장

치는 상기 픽셀 영역에 마련되며 상기 소스/드레인 전극의 나머지에 연결되는 픽셀 전극과, 상기 제 1의 투명 기판에 대향 상태로 상기 제 2의 투명 기판의 표면에 마련되는 대향 전극, 및 상기 제 1의 투명 기판과 상기 제 2의 투명 기판 사이에 마련되는 액정을 더 포함한다.

본 발명에 있어서, 오버코트층은 후막 부분과 박막 부분으로 구성된다. 이 때, 후막 부분은 트랜지스터 형성 영역에 배치되고, 이에 의해, 트랜지스터 형성 영역에 구성된 대상을 확실히 보호할 수 있고, 박막 부분을 픽셀 영역 상에 배치하도록 하여 광 투과율을 향상시킬 수 있다.

또한, 데이터 라인 형성 영역 상에 오버코트층의 후막 부분을 배치하여 데이터 라인과 픽셀 전극 사이의 간격을 크게 할 수 있다. 이러한 구성을 통해, 데이터 라인과 픽셀 전극 사이의 결합 용량을 줄일 수 있게 되어, 디스플레이 품질을 향상시킬 수 있다.

상기 오버코트층은 제 1의 오버코트층과 제 2의 오버코트층으로 형성되고, 상기 박막 부분은 상기 제 2의 오버코트층으로만 이루어지고 상기 후막 부분은 상기 제 1의 오버코트층을 상기 제 2의 오버코트층 위에 적층하여 형성된다. 또한, 상기 제 1의 오버코트층은 상기 픽셀 영역에 개구부를 구비하고, 상기 칼라 필터는 상기 개구부 내에 형성되며, 상기 제 2의 오버코트층은 상기 제 1의 오버코트층과 상기 칼라 필터 상에 형성된다.

이러한 구성을 통해, 칼라 필터와 제 1의 오버코트층은 서로 중첩되지 않으며, 따라서 칼라 필터의 단부에서 단차의 생성을 억제할 수 있다. 결과적으로, 액정 디스플레이 장치의 디스플레이 품질이 향상된다.

능동 매트릭스형 액정 디스플레이 장치는 상기 박막 트랜지스터와 오버코트층의 상기 후막 부분 둘 다에 의해 형성된 볼록부와 상기 대향 전극 사이에 스페이서를 구비한다. 이러한 구성을 통해, 제 1의 오버코트층을 스페이서로서 적극적으로 활용하는 것이 가능해져서, 상부에 형성되는 주상 스페이서의 높이가 감소될 수 있다. 결과적으로, 주상 스페이서가 무너지는 결함을 방지하게 되어, 제 1의 투명 기판과 제 2의 투명 기판 사이의 갭을 고정밀도로 그리고 간단하게 제어할 수 있게 된다.

상기 박막 트랜지스터와 오버코트층의 상기 후막 부분 둘 다에 의해 형성된 상기 볼록부는 상기 대향 전극과 접촉한다. 이러한 구성을 통해, 주상 스페이서를 형성하는 공정을 생략할 수 있다.

본 발명에 따른 능동 매트릭스형 액정 디스플레이 장치 제조 방법은, 제 1의 투명 기판의 표면 상에 서로 직교하는 다수의 게이트 라인과 데이터 라인을 형성하는 단계와, 게이트 전극이 상기 게이트 라인에 연결되고 소스/드레인 전극의 하나가 상기 데이터 라인에 연결되는 박막 트랜지스터를 상기 표면 상에 형성하는 단계와, 상기 박막 트랜지스터가 상부에 형성되는 트랜지스터 형성 영역과 상기 데이터 라인이 상부에 형성되는 데이터 라인 형성 영역을 제외하고 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸이는 영역인, 적어도, 픽셀 영역 상에 칼라 필터를 형성하는 단계와, 박막 부분이 적어도 상기 픽셀 영역의 상에 배치되며 상기 박막 부분의 막두께보다 더 두꺼운 두께를 갖는 후막 부분이 상기 트랜지스터 형성 영역 상에 또는 상기 트랜지스터 형성 영역과 상기 데이터 라인 형성 영역의 두 영역 상에 배치되는 오버코트층을 상기 박막 트랜지스터와 상기 칼라 필터 둘 다의 적어도 단부를 피복하도록 형성하는 단계와, 상기 소스/드레인 전극의 나머지에 연결되는 픽셀 전극을 상기 픽셀 영역 상에 형성하는 단계와, 제 2의 투명 기판의 표면 상에 대향 전극을 형성하는 단계와, 상기 박막 트랜지스터가 상부에 형성되어 있는 상기 제 1의 투명 기판의 표면과 상기 대향 전극이 상부에 형성되어 있는 상기 제 2의 투명 기판의 표면이 서로 대향되도록 상기 제 1의 투명 기판과 상기 제 2의 투명 기판을 배치하는 단계, 및 상기 제 1의 투명 기판과 상기 제 2의 투명 기판 사이에 액정을 채우는 단계를 포함한다.

또한, 상기 오버코트층을 형성하는 단계는 제 1의 오버코트층을 선택적으로 형성하는 단계, 및 제 2의 오버코트층을 선택적으로 형성하는 단계를 구비하고, 상기 오버코트층을 형성하는 단계는 박막 부분 상에 제 2의 오버코트층만 형성하고 제 1의 오버코트층 및 제 2의 오버코트층을 후막 부분 상에 형성한다. 또한, 제 1의 오버코트층을 선택적으로 형성하는 단계와 제 2의 오버코트층을 선택적으로 형성하는 단계 둘 다는 스픈 도포 방법을 사용하여 도포 재료를 도포하여 도포막을 형성하는 단계, 및 상기 도포막의 패턴화를 수행하는 단계를 포함하고, 상기 제 2의 오버코트층을 형성하는 도포 재료의 점도는 상기 제 1의 오버코트층을 형성하는 도포 재료의 점도보다 더 낮다. 또는, 제 1의 오버코트층을 선택적으로 형성하는 단계와 제 2의 오버코트층을 선택적으로 형성하는 단계 각각은 스픈 도포 방법에 의해 도포 재료를 도포하여 도포막을 형성하는 단계, 및 상기 도포막을 패턴화하는 단계를 포함하고, 상기 제 2의 오버코트층을 형성하는 단계에서의 회전수는 상기 제 1의 오버코트층을 형성하는 단계에서의 회전수보다 증가한다. 이 방법에 의해, 후막 부분과 박막 부분을 구비하는 오버코트층을 간단한 방법으로 형성할 수 있다.

또한, 상기 오버코트층을 형성하는 단계는 도포층을 형성하는 단계와, 노광량을 매부분마다 상이하게 하여 상기 도포층의 노광을 수행하는 단계, 및 상기 도포층의 현상을 수행하여 상기 도포층을 선택적으로 제거하도록 상기 도포층의 패턴화를 수행하여 후막 부분과 박막 부분을 형성하는 단계를 구비한다. 또한, 상기 도포층의 노광 수행 단계는 차광부, 반투과부, 및 투과부를 구비하는 마스크를 사용하여 매부분마다 노광량을 상이하게 한다. 이들 방법에 의하면, 도포, 노광 및 현상을 한 번씩 수행하는 것에 의해 후막 부분과 박막 부분을 갖는 오버코트층을 형성할 수 있다.

본 발명에 따른 능동 매트릭스형 액정 디스플레이 장치의 다른 제조 방법은: 제 1의 투명 기판의 표면 상에 서로 직교하는 다수의 게이트 라인과 데이터 라인을 형성하는 단계와, 게이트 전극이 상기 게이트 라인에 연결되고 소스/드레인 전극의 하나가 상기 데이터 라인에 연결되는 박막 트랜지스터를 상기 표면 상에 형성하는 단계와, 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸인 영역에서 상기 박막 트랜지스터가 상부에 형성되는 트랜지스터 형성 영역과 상기 데이터 라인이 상부에 형성되는 데이터 라인 형성 영역의 두 영역에 제 1의 오버코트층을 형성하는 단계와, 상기 박막 트랜지스터가 상부에 형성되는 트랜지스터 형성 영역과 상기 데이터 라인이 상부에 형성되는 데이터 라인 형성 영역을 제외하고 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸이는 영역인, 적어도, 굑셀 영역 상에 칼라 필터를 형성하는 단계와, 상기 박막 트랜지스터와 상기 칼라 필터 둘 다의 적어도 단부를 광복하도록 제 2의 오버코트층을 형성하는 단계와, 상기 소스/드레인 전극의 나머지에 연결되는 굑셀 전극을 상기 굑셀 영역 상에 형성하는 단계와, 제 2의 투명 기판의 표면 상에 대향 전극을 형성하는 단계와, 상기 박막 트랜지스터가 상부에 형성되어 있는 상기 제 1의 투명 기판의 표면이 상기 대향 전극이 상부에 형성되어 있는 상기 제 2의 투명 기판의 표면이 서로 대향되도록 상기 제 1의 투명 기판과 상기 제 2의 투명 기판을 배치하는 단계, 및 상기 제 1의 투명 기판과 상기 제 2의 투명 기판 사이에 액정을 채우는 단계를 포함한다.

발명의 구성 및 작용

본 발명에 따른 능동 매트릭스형 액정 디스플레이 장치의 양호한 실시예는 게이트 라인, 데이터 라인 및 TFT가 상부에 형성되는 TFT 기판 상에 칼라 필터, 데이터 라인 상부층과 TFT 상부층에 형성된 블랙 매트릭스 및 굑셀 전극이 마련된 CF 온 TFT 구조 기반의 액정 디스플레이 장치이다. 또한, 후막의 제 1의 오버코트층과 박막의 제 2의 오버코트층이 블랙 매트릭스 상에 정렬된다. 이 때, 박막의 제 2의 오버코트층만이 디스플레이 영역의 칼라 필터 상에 정렬되고, 블랙 매트릭스는 후막의 제 1의 오버코트층에 의해 확실히 보호되며 입사광의 약화는 박막의 제 2의 오버코트층에 의해 저지되어, 광의 실효 투과율의 향상을 도모할 수 있다.

본 발명의 실시예가 첨부된 도면을 참조하여 상세히 설명될 것이다.

제 1의 실시예

먼저, 본 발명의 제 1의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 2 내지 도 5와 도 6a 내지 도 6e를 참조하여 설명될 것이다. 도 2는 제 1의 실시예의 액정 디스플레이 장치의 구성을 도시하는 회로도이고, 도 3과 도 4는 본 실시예의 특징인 칼라 필터, 블랙 매트릭스 및 오버코트층의 위치 관계를 도시하는 평면도이다. 또한, 도 5는 제 1의 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이고, 도 6a 내지 도 6e는 제 1의 실시예에 따른 액정 디스플레이 장치의 제조 방법을 공정 순으로 도시하는 단면도이다.

도 2에 도시된 바와 같이, 본 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치에 있어서, 게이트 라인(5)과 데이터 라인(7)은 투명 절연 기판(도시되지 않음) 상에서 게이트 라인(5)과 데이터 라인(7)이 서로 직교하도록 정렬된다. 또한, TFT(17)는 이들 배선의 대응부에 대응하도록 형성된다. 게이트 라인(5)은 TFT(17)의 게이트 전극에 연결되는데, 여기서 광셀에 대응하는 TFT(17)는 게이트 라인(5)으로부터 게이트 전극에 입력되는 주사 신호에 의해 구동된다. 또한, 데이터 라인(7)은 TFT(17)의 드레인 전극에 접속되어, 데이터 신호를 드레인 전극으로 입력시킨다. 또한, 광셀 전극은 TFT(17)의 소스 전극에 연결되고, 광셀 커패시터(18)는 대향 기판 상에 형성된 대향 전극과 광셀 전극 사이의 액정층(3)에 의해 형성된다. 게이트 라인(5)과 데이터 라인(7)은 게이트 단자(5a)와 데이터 단자(7a)에 각각 연결된다.

다음에, 본 실시예의 액정 디스플레이 장치의 칼라 필터(10), 블랙 매트릭스(11), 제 1의 오버코트층(12) 및 제 2의 오버코트층(13)의 위치 관계가 도 3 및 도 4를 참조하여 설명될 것이다. 도 3 및 도 4가 광셀부의 구성을 도시하지만, 각각의 층이 동일한 도면에 도시되면, 중첩 관계가 불명확해지기 때문에, 게이트 라인(5), 데이터 라인(7)과 블랙 매트릭스(11), 제 1 및 제 2의 오버코트층(12, 13) 사이의 위치 관계는 도 3에 도시되고, 게이트 라인(5), 데이터 라인(7)과 칼라 필터(10), 블랙 매트릭스(11) 사이의 위치 관계는 도 4에 도시된다.

도 3 및 도 4에 도시된 바와 같이, 블랙 매트릭스(11)는 TFT(17), 및 데이터 라인(7) 상에 형성되는데, 여기서 블랙 매트릭스는 TFT(17)의 차광, 및 배선 주변의 누광(light leakage)의 차광 역할을 한다. 그 다음, 블랙 매트릭스(11)를 피복하도록 제 1의 오버코트층(12)이 마련되어, 블랙 매트릭스(11)를 보호한다. 또한, 블랙 매트릭스(11), 칼라 필터(10) 및 제 1의 오버코트층(12)을 피복하도록 제 2의 오버코트층(13)이 마련된다. 픽셀 전극(도시되지 않음)은 제 2의 오버코트층(13)의 콘택트홀(19)을 통해 소스 전극(8b)에 연결된다.

본 실시예의 제 1의 오버코트층(12)과 제 2의 오버코트층(13)은 TFT 기판의 상부층을 평탄화하기 위한 것이 아니며, 오히려, 제 1의 오버코트층(12)과 제 2의 오버코트층(13)은 TFT 기판의 볼록부가 되도록 블랙 매트릭스(11) 상에 두껍게 형성되고, 칼라 필터(10) 상에 얇게 형성된다. 이 때문에, 블랙 매트릭스(11) 또는 칼라 필터(10)의 단차가 오버코트층(12, 13)에 의해 평탄화되지 않기 때문에, 액정 배향의 오정렬에 의해 야기되어 생성되는 디스플레이션을 숨길 필요가 있다. 따라서, 블랙 매트릭스(11)와 픽셀 전극 간의 중첩 폭으로서 2 내지 $5\mu\text{m}$ 정도가 얹어져야 하는 것이 적절하다.

다음에, 본 실시예의 능동 매트릭스형 액정 디스플레이 장치의 구조가 도 5를 참조하여 설명될 것이다. 도 5에 도시된 바와 같이, 본 실시예의 TFT(1) 기판에서, 투명 절연 기판(4a) 상에 게이트 전극(5b)이 형성되고, 이들을 피복하도록 게이트 절연체(6)가 형성된다. 게이트 전극(5b)과 중첩하도록 반도체층(15)이 게이트 절연체(6) 위에 마련되고, 반도체층(15)의 중앙부에서 분리된 드레인 전극(8a), 소스 전극(8b)은 오믹 콘택트층(도시되지 않음)을 통해 반도체층(15)에 연결된다. 또한, 소스 전극(8b)과 드레인 전극(8a) 사이의 오믹 콘택트층은 에칭에 의해 제거되어 채널부를 마련한다. 이렇게 하여, TFT(17)가 형성된다. 또한, TFT(17)를 피복하도록 패시베이션막(9)이 형성되고, RGB 각 칼라의 칼라 필터(10)가 패시베이션막(9) 상의 각 픽셀의 디스플레이 영역과 TFT 영역에 정렬된다. 또한, 차광용 블랙 매트릭스(11)는 TFT 영역 내의 반도체층(15)과 데이터 라인(7) 상에 형성된다.

또한, 블랙 매트릭스(11) 상에는, 블랙 매트릭스(11)를 피복하기 위한 후막의 제 1의 오버코트층(12)이 블랙 매트릭스(11)의 외형(outer shape)을 따라 마련된다. 제 1의 오버코트층(12)은 하기에 상술될 제 2의 오버코트층(13)에 의해 피복되지 않은 부분을 피복하기 위해 형성되며, 그 막두께는 예를 들면 블랙 매트릭스(11)를 피복할 수 있는 막두께인 1 내지 $3\mu\text{m}$ 가 적절하다. 또는, 하기에 상술될 제 2의 실시예에서 지적되는 바와 같이, 기판 사이의 갭이 제 1의 오버코트층(12)을 사용하여 조정되는 경우, 제 1의 오버코트층(12)을 더 두껍게 형성하는 것이 바람직하다.

또한, 박막의 제 2의 오버코트층(13)은 칼라 필터(10)와 블랙 매트릭스(11) 상에 마련된 제 1의 오버코트층(12)을 피복하도록 마련되어, 칼라 필터(10)가 보호된다. 제 2의 오버코트층(13)의 막두께는 칼라 필터(10)의 투과율의 저하를 억제하기 위해서 얇은 것이 바람직하며, 따라서 예를 들면, 막두께는 약 $0.5\mu\text{m}$ 인 것이 바람직하다.

소스 전극(8b)에 도달하는 콘택트홀(19)은 제 2의 오버코트층(13)과 패시베이션막(9) 상에 형성된다. 또한, ITO 등과 같은 투명 도전 재료로 형성된 픽셀 전극(14)이 제 2의 오버코트층(13) 상에 형성된다. TFT(17)가 스위칭 소자로서 사용되는 경우, 소스 전극(8b)은 픽셀 전극(14)으로의 연결을 위한 인출 전극으로서 기능하며, 픽셀 전극(14)은 콘택트홀(19)을 통해 소스 전극(8b)에 연결된다. 또한, R, G, B 각 칼라층의 칼라 필터(10)는 패시베이션막(9) 상의 픽셀 디스플레이 영역에 대응하는 부분에 마련되지만, 콘택트홀(19)의 주변부에는 칼라 필터(10)가 형성되지 않는다.

이렇게 하여, TFT 기판(1)은 투명 절연 기판(4a), 데이터 라인(7), TFT(17), 패시베이션막(9), 칼라 필터(10), 블랙 매트릭스(11), 제 1의 오버코트층(12) 및 제 2의 오버코트층(13)으로 구성된다. 또한, 투명 절연 기판(4b)은 상부에 TFT(17)가 형성되어 있는 투명 절연 기판(4a)에 대향하여 마련된다. TFT 기판(1)에 대향하는 투명 절연 기판(4b)의 표면에는 대향 전극(16)이 형성되어 있다. 대향 기판(2)은 투명 절연 기판(4b)과 대향 전극(16)으로 형성된다. 그 다음, 액정층(3)이 TFT 기판(1)과 대향 기판(2) 사이에 마련된다. 본 실시예에 따른 액정 디스플레이 장치는 TFT 기판(1), 대향 기판(2) 및 액정층(3)으로 형성된다.

도 5에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치에 있어서, 칼라 필터(10)는 블랙 매트릭스(11)의 접착력을 향상시키기 위해 TFT 형성 영역에도 형성되는데, 만약 블랙 매트릭스(11)와 패시베이션막(9) 사이의 접착력이 HMDS 처리 등에 의해 향상되는 경우, 블랙 매트릭스(11)와 TFT(17) 사이의 칼라 필터(10)를 제거할 수 있다. 또한, 도 5에 있어서, 블랙 매트릭스(11)는 데이터 라인(7)에도 형성된다. 블랙 매트릭스(11)는 배향 방향이 데이터 라인(7)의 전위의 의해 교란되는 영역으로 광이 입사하는 것을 저지하기 때문에, 디스플레이 품질을 향상시킬 수 있다. 그러나, 데이터 라인(7) 상에 반드시 블랙 매트릭스(11)를 마련할 필요는 없다.

다음에, 상기 TFT 기판(1)의 제조 방법이 도 6a 내지 도 6e를 참조하여 설명될 것이다. 먼저, 도 6a에 도시된 바와 같이, 채널 에치형 TFT가 투명 절연 기판(4a) 상에 형성된다. 구체적으로는, 유리 등으로 이루어진 투명 절연 기판(4a) 상에

100 내지 400nm 정도의 박막이 알루미늄(Al), 몰리브덴(Mo) 또는 크롬(Cr) 등과 같은 금속을 재료로 하여 스퍼터링법 등에 의해 형성된다. 그 다음, 소정의 게이트 전극(5b)과 게이트 라인(5)을 형성하도록 이 박막을 공지의 포토리소그래피 방법에 의해 패턴화한다.

다음에, 게이트 전극(5b)과 투명 절연 기판(4) 상에는, CVD 방법 등에 의해 100 내지 200nm 정도의 막두께를 갖는 실리콘 산화막, 실리콘 질화막 또는 이들의 적층막과 같은 절연막을 형성하도록 게이트 절연체(6)가 형성된다. 다음에, CVD 방법 등을 사용하여 400nm 정도의 막두께가 되도록 비정질 실리콘막이 형성되고, 이 막을 소정의 형상으로 패턴화하여 반도체층(15)을 형성한다. 또한, 100 내지 400nm 정도의 막두께를 갖는 박막이 Al, Mo, Cr 등과 같은 금속을 재료로 하여 스퍼터링법 등에 의해 형성된다. 또한, 포토리소그래피 방법을 사용하여 박막을 소정의 전극 형상으로 패턴화하여 소스 전극(8b)과 드레인 전극(8a)을 형성한다. 이 때, 소스 전극(8b)과 드레인 전극(8a) 사이의 불필요한 오믹 콘택트층을 제거하여 채널부가 형성된다. 이렇게 하여, TFT(17)가 형성된다.

또한, TFT(17)를 회복하도록 실리콘 질화막 등과 같은 패시베이션막(9)이 100 내지 200nm 정도의 막두께로 퇴적된다. 그 다음, 이 패시베이션막(9)을 패턴화하여 픽셀 전극(14)을 소스 전극(8b)에 연결하기 위한 콘택트홀을 형성한다. 패시베이션막(9)에 대한 재료로서 실리콘 질화막 등과 같은 무기 재료 외에 에폭시 수지, 아크릴 수지 등과 같은 투명 수지 재료를 사용하는 것이 가능하다.

다음에, 도 6b에 도시된 바와 같이, 칼라 필터(10)와 블랙 매트릭스(11)가 패시베이션막(9) 상에 형성된다. 먼저, 적색 안료를 아크릴 수지에 분산시킨 네가티브형 광경화성 칼라 레지스트를 스픈 코트법을 사용하여 기판 상에 도포한다. 이 때, 스픈 회전 수는 코팅막의 두께가 1.6 μ m 정도가 되도록 조정된다. 다음에, 온도가 80°C이고 시간이 2분인 프리베이크(pre-bake)가 핫플레이트(hot plate)를 사용하여 수행된다. 다음에, 0.04 중량%의 밀도를 갖는 TMAH(Tetra Methyl Ammonium Hydro-oxide)의 용액을 사용하여 칼라 레지스트를 현상하여 칼라 레지스트를 선택적으로 제거하기 이전에, 소정 형상으로의 패턴화를 수행하기 위해서 칼라 레지스트는 노광된다. 그 다음, 칼라 레지스트에 대해 230°C에서 1시간 동안의 소성(baking) 처리를 수행하여 적색 칼라 필터(10)를 형성한다. 유사하게, 녹색 칼라 필터(10)와 청색 칼라 필터(10)가 형성된다. 이 때, 적색 칼라 필터, 녹색 칼라 필터 및 청색 칼라 필터는 패시베이션막(9)에서 서로 상이한 위치에 형성되지만, 각 칼라 필터의 단부가 서로 중첩될 수도 있다.

그 다음, 블랙 매트릭스(11)는 TFT(17) 영역의 칼라 필터(10) 상에 그리고 대응하는 영역에서 데이터 라인(7) 위쪽으로 칼라 필터(10)와 동일한 방식으로 형성된다.

다음에, 도 6c에 도시된 바와 같이, 후막의 제 1의 오버코트층(12)이 블랙 매트릭스(11)를 회복하도록 형성된다. 이 구성에 따르면, 블랙 매트릭스(11)의 표면을 보호하는 것이 가능하다. 제 1의 오버코트층(12)의 형성은, 예를 들면, 점도가 약 15cp인 아크릴계의 포지티브형 감광성 수지를 회전수 800rpm/10s의 스픈 코트법에 의해 칼라 필터(10)와 블랙 매트릭스(11) 상에 도포한다. 그 다음, 제 1의 오버코트층(12)은 소정 형상으로의 패턴화를 위해 0.4 중량%의 밀도를 갖는 TMAH(Tetra Methyl Ammonium Hydro-oxide)의 용액을 사용하여 현상되고, 그 후, 제 1의 오버코트층(12)에 대해서 220°C에서 한 시간 동안 소성 처리를 수행한다. 이 처리동안, 블랙 매트릭스(11) 상에 1 μ m 정도의 막두께를 갖는 제 1의 오버코트층(12)이 형성된다.

계속해서, 도 6d에 도시된 바와 같이, 박막의 제 2의 오버코트층(13)이 칼라 필터(10)를 보호하기 위해 형성된다. 제 2의 오버코트층(13)의 형성은, 예를 들면, 점도가 약 5cp인 아크릴계의 포지티브형 감광성 수지를 회전수 1000rpm/10s의 스픈 코트법에 의해 도포한다. 그 다음, 제 2의 오버코트층(13)은 소정 형상으로의 패턴화를 위해 0.4 중량%의 밀도를 갖는 TMAH(Tetra Methyl Ammonium Hydro-oxide)의 용액을 사용하여 현상된다. 이 때, 픽셀 전극(14)을 소스 전극(8b)에 연결하기 위한 콘택트홀(19)을 형성하기 위해서, 패시베이션막(9)에 형성된 콘택트홀 위쪽에 대응하는 부분에서 제 2의 오버코트층(13)에 개구가 형성된다.

그 다음, 포지티브형 광전도성 수지를 투명하게 하기 위해서, ghi선 혼합의 UV광을 4 내지 8J 정도의 조도로 전면 노광함에 의해 광가교(optical cross-linkage)를 행하여 제 2의 오버코트층(13)을 투명화한다. 그 후, 220°C에서 1시간 정도 제 2의 오버코트층(13)에 대해 소성 처리를 수행한다. 이 처리 동안, 칼라 필터(10)상의 제 2의 오버코트층(13)의 막두께는 0.5 μ m 내지 1.5 μ m 정도로 된다.

본 실시예에 있어서, 제 1의 오버코트층(12)과 제 2의 오버코트층(13)을 형성하는 경우, 상이한 막두께를 얻기 위해서, 점도가 서로 상이한 포지티브형 광전도성 수지가 사용되고, 스픈 도포의 회전수를 달리하고 있다. 그러나, 제 1의 오버코트층(12)과 제 2의 오버코트층(13)을 형성하는 경우에, 동일한 점도를 갖는 광전도성 수지를 사용하면서 스픈 도포의 회전수만을 변경하여 막두께를 변경하는 것이 가능하다. 또한, 본 실시예에 있어서, 제 1의 오버코트층(12)의 막두께는 제 2의

오버코트층(13)의 막두께가 형성되기 이전에 형성되지만, 순서를 바꾸어, 후막의 오버코트층을 형성하기 이전에 박막의 오버코트층을 미리 형성할 수도 있다. 또한, 본 실시예에 있어서, 패시베이션막(9)의 콘택트홀은 제 2의 오버코트층(13)의 콘택트홀이 형성되기 이전에 형성되지만, 순서를 바꾸어, 패시베이션막(9)의 콘택트홀의 패턴화를 수행하기 이전에, 제 2의 오버코트층(13)의 콘택트홀을 형성하는 것도 가능하다.

그 다음, 도 6e에 도시된 바와 같이, 스퍼터링 방법 등을 사용하여 ITO의 투명 도전막을 형성하고 패터닝을 수행하여 픽셀 전극(14)이 형성된다. 이 때, 픽셀 전극(14)의 막두께가 더 두꺼울수록 양호한 커버리지가 얻어지지만, ITO의 투명성을 유지하기 위해서는, 막두께는 40 내지 100nm 정도가 적당하다. 또한, 이 때, 블랙 매트릭스(11)와 픽셀 전극(14) 사이의 중첩폭(W)은 2 내지 5 μ m가 된다.

그 후, 보통의 방법에 따라서, TFT 기판(1)과 ITO 등의 대향 전극(16)을 배치한 대향 기판(2)에 배향막을 형성한 후, 양 기판을 포개고, 액정을 주입하여 CF 온 TFT 구조의 액정 디스플레이 장치를 형성한다.

상기 상술된 바와 같이, 칼라 필터(10)와 블랙 매트릭스(11) 둘 다가 TFT 기판(1) 상에 형성되는 CF 온 TFT 구조의 액정 디스플레이 장치에 있어서, 기판의 단자는 칼라 필터(10)와 블랙 매트릭스(11)에 의해 크게 되기 때문에, 상기 단자 상에 오버코트층을 충분히 피복하려고 시도하는 경우, 오버코트층을 두껍게 마련할 필요가 있다. 즉, 평탄화된 막을 제공할 필요가 있으며, 그 결과 광 투과율이 저하하게 된다. 그러나, 본 실시예에 있어서는, 큰 점도를 갖는 후막의 제 1의 오버코트층(12)이 블랙 매트릭스(11) 상에 마련되고, 작은 점도를 갖는 박막의 제 2의 오버코트층(13)이 칼라 필터(10) 상에 마련되고, 이에 의해, 블랙 매트릭스(11)의 표면은 충분히 피복되어 보호되어, 칼라 필터(10) 상의 오버코트층을 얇게 하면서 칼라 필터(10)로 입사하는 광의 투과율이 저하하는 것을 억제할 수 있다.

구체적으로는, 본 실시예의 방법으로 형성된 액정 디스플레이 장치에 있어서, 기판의 투과율은 400 내지 450nm의 파장에서 97% 정도로 된다. 도 1에 도시된 종래의 평탄화된 막(24)을 구비하는 액정 디스플레이 장치에 있어서, 광의 투과율은 대략 85%이고, 따라서, 본 실시예의 액정 디스플레이 장치가 종래의 액정 디스플레이 장치와 비교하여 투과율을 현저하게 향상시킬 수 있다.

본 실시예에 있어서, 블랙 매트릭스(11) 상의 제 1의 오버코트층(12)은 평탄성을 희생하여 두껍게 형성되고, 그에 따라, 상부에 형성되는 픽셀 전극의 요철에 기인하는 디스크리네이션을 방지하기 위해서, 블랙 매트릭스(11)와 픽셀 전극(14) 사이의 중첩폭(W)은 2 내지 5 μ m로 된다. 한편, TFT 기판의 표면이 완전하게 평탄화되어 종래의 평탄화된 막을 제공하는 경우, 중첩폭(W)이 1.5 μ m 정도인 것이 양호하다. 따라서, 본 실시예에 있어서, 중첩폭(W)이 종래의 방법과 비교하여 넓게 만들어지기 때문에, 액정 디스플레이 장치의 개구율이 작게 된다. 그러나, 투과율이 향상되기 때문에, 패널의 실질적인 투과율은 평탄화된 구조의 액정 디스플레이 장치의 투과율보다 더 크게 된다.

또한, 본 실시예의 액정 디스플레이 장치에 있어서, 후막의 제 1의 오버코트층(12)은 데이터 라인(7) 상에 형성되고, 이에 의해, 데이터 라인(7)과 픽셀 전극(14) 사이의 간격은 크게 될 수 있고, 이 때문에, 데이터 라인(7)과 픽셀 전극(14) 사이의 결합 용량(coupling capacitance)을 감소하여 디스플레이 품질을 향상할 수 있다.

본 실시예에 있어서는, 제 1 및 제 2의 오버코트층(12, 13)이 아크릴계의 포지티브형 광전도성 수지를 사용하여 스판 코트법에 의해 형성되는 예에 관해서 설명하였다. 그러나, 제 1 및 제 2의 오버코트층(12, 13)은 상기 상술된 재료에 제한되지 않으며, 제 1의 오버코트층(12)의 재료로서는 점도의 조정이 쉽고 패턴 형성이 가능한 재료, 제 2의 오버코트층(13)의 재료로서는 투과율이 더 높은 재료이면 충분하고, 또한, 각 층에 대해 서로 상이한 재료가 사용되는 것이 양호하다. 또한, 형성 방법은 도포 방법에 제한되는 것이 아니며, 예를 들면, 절연막 등이 스퍼터링법 및/또는 CVD 방법 등을 사용하는 것에 의해 형성될 수도 있다.

또한, 본 발명은 칼라 필터(10)와 블랙 매트릭스(11)를 관통하여 픽셀 전극과 스위칭 소자 사이의 접속이 수행되는 액정 디스플레이 장치에 적용될 수 있으며, 스위칭 소자에 관해서는 특별한 제한 없이 TFT 뿐만 아니라 MIM, 다이오드 등도 적절하며, 또한, 역 스태거-순 스태거형 a-Si TFT 및/또는 플래너형 p Si TFT도 TFT로 적절하다.

또한, 본 발명의 액정 디스플레이 장치에 있어서, 상기 상술된 구성 외에는 특별한 제한이 없으며, 따라서, 예를 들면, 액정 재료, 배향막, 대향 기판, 대향 전극 등에 대해서는, 능동 매트릭스형 액정 디스플레이 장치에 일반적으로 사용되는 재료이면 적절하다. 또한, 각각의 칼라 필터는 풀칼라 디스플레이를 위해 일반적으로 적색(R), 녹색(G) 및 청색(B)의 삼색으로 구성되지만, 본 발명은 이 방법에 제한되지 않으며, 적절하게 변경할 수도 있다.

제 2의 실시예

다음에, 본 발명의 제 2의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 7을 참조하여 설명될 것이다. 도 7은 본 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이다. 본 실시예는 데이터 라인 상의 블랙 매트릭스를 칼라 필터에 매립하여 데이터 라인 상의 단차가 감소되어 데이터 라인 상의 제 1의 오버코트층을 제거하는 것을 특징으로 한다. 이러한 점을 제외한 구조 및 제조 방법은 상기 상술된 제 1의 실시예의 구조 및 제조 방법과 동일하다.

도 7에서, 도 2 내지 도 6e에 도시된 제 1의 실시예에 따른 액정 디스플레이 장치의 소자와 동일한 소자에 대해서는 동일한 도면 부호를 병기한다. 도 7에 도시된 소자 중 도 2 내지 도 6e에 도시된 도면 부호와 동일한 도면 부호가 병기된 소자는 동일한 기능을 가지지만, 형상과 정렬 위치가 완전히 동일하다는 것을 의미하는 것은 아니다. 예를 들면, 도 5에 도시된 블랙 매트릭스(11)와 도 7에 도시된 블랙 매트릭스(11)는 차광을 수행하는 공통의 기능을 가지며 그 재료가 동일하지만, 형상과 정렬 위치는 서로 상이하다.

도 7에 도시된 바와 같이, 본 실시예의 TFT 구조는 투명 절연 기판(4) 상에 게이트 전극(5b)과 게이트 절연체(6)를 형성하고, 게이트 전극(5b) 위쪽에서 반도체층(15)이 게이트 전극(5b)과 중첩하도록 마련된다. 그 다음, 소스 전극(8b)이 반도체층(15)에 연결되고, 드레인 전극(8a)이 오믹 콘택트층을 통해 반도체층(15)에 연결되도록 TFT(17)가 형성된다. 또한, TFT(17)를 피복하도록 패시베이션막(9)이 마련된다.

또한, R, G, B의 각 칼라의 칼라 필터(10)가 픽셀 디스플레이 영역에 대응하는 부분에서 패시베이션막(9) 상에 마련되고, 그 상부에 차광용 블랙 매트릭스(11)가 마련된다. 상기 상술된 제 1의 실시예에 있어서, 접착력을 향상시키기 위해서, 칼라 필터(10) 상에 블랙 매트릭스(11)가 마련되지만, 본 실시예에 있어서는, 인접한 칼라 필터(10) 사이에 캡이 마련되고, 블랙 매트릭스(11)는 캡에 삽입된다.

이 때, 제 1의 실시예에서는, 블랙 매트릭스(11)를 피복하기 위해 후막의 제 1의 오버코트층(12)이 마련되지만, 본 실시예에서는, 데이터 라인(7) 상의 블랙 매트릭스(11)가 칼라 필터(10)에 삽입되기 때문에, 단차가 작고, 따라서 이 부분에 제 1의 오버코트층(12)을 마련할 필요가 없다. 또한, 칼라 필터(10)와 블랙 매트릭스(11) 상에 마련된 제 1의 오버코트층(12)을 피복하도록 박막의 제 2의 오버코트층(13)이 마련된다.

본 실시예에 있어서, 상기 상술된 제 1의 실시예의 효과에 부가하여 다음과 같은 효과가 얻어질 수 있다. 본 실시예의 액정 디스플레이 장치에 있어서, TFT(17) 상에 큰 단차(0.5 내지 $1\mu\text{m}$)가 형성되기 때문에, 칼라 필터(10) 상에 형성된 블랙 매트릭스(11)를 보호하기 위한 제 1의 오버코트층(12)이 필요하지만, 데이터 라인(7) 상의 단차가 작기 때문에(0.1 내지 $0.2\mu\text{m}$), 제 1의 오버코트층(12)을 생략할 수 있다.

또한, 데이터 라인(7)의 제 1의 오버코트층(12)이 생략되기 때문에, TFT 기판(1) 표면의 데이터 라인(7) 근처의 단차가 작게 된다. 이러한 구성 때문에, 데이터 라인(7) 위쪽 부분에서의 픽셀 전극(14)의 밀려 올라감이 방지되어, 디스플레이네이션 등의 생성을 억제할 수 있다. 또한, 이러한 구성 때문에, 블랙 매트릭스(11)와 픽셀 전극(14) 사이의 중첩폭을 최소화할 수 있으며, 따라서, 상기 상술된 제 1의 실시예보다 개구율을 크게 할 수 있다. 또한, 칼라 필터(10)의 단부에서 블랙 매트릭스(11)에 의해 야기된 단차가 작게 되기 때문에, 제 2의 오버코트층(13)을 형성하는 경우에 액 고여짐이 발생하기 어려우며, 따라서 칼라 필터(10) 상에 얇고 균일하게 제 2의 오버코트층(13)을 형성할 수 있다.

제 3의 실시예

다음에, 본 발명의 제 3의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 8을 참조하여 설명될 것이다. 도 8은 본 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이다. 본 실시예에 있어서, 데이터 라인 상의 블랙 매트릭스를 칼라 필터 사이에 정렬하는 기술은 상기 상술된 제 2의 실시예의 기술과 동일하지만, 본 실시예는 칼라 필터가 형성되기 이전에 제 1의 오버코트층이 형성되고 칼라 필터의 형상이 제 1의 오버코트층의 개구부의 형상에 따라 성형되며, 제 2의 오버코트층이 그 위에 형성되는 점을 특징으로 한다. 따라서, 블랙 매트릭스, 칼라 필터, 제 1의 오버코트층 및 제 2의 오버코트층 이외의 구조와 제조 방법은 상기 상술된 제 1의 실시예의 것과 동일하다.

도 8에 도시된 바와 같이, 본 실시예의 TFT 구조에서, 게이트 전극(5b)과 게이트 절연체(6)는 투명 절연 기판(4a) 상에 형성되고, 반도체층(15)은 게이트 전극(5b)과 중첩하도록 게이트 절연체(6) 위에 마련되고, 소스 전극(8b)과 드레인 전극(8a)이 오믹 콘택트층을 통해 반도체층(15)에 연결되도록 TFT(17)가 형성된다. 또한, 데이터 라인(7)이 게이트 절연체(6)

상에 형성된다. 또한, TFT(17)와 데이터 라인(7)을 피복하도록 패시베이션막(9)이 마련된다. 블랙 매트릭스(11)는 반도체 층(15) 위쪽과 데이터 라인(7) 위쪽에 대응하는 영역에서 패시베이션막(9) 상에 형성되고, 블랙 매트릭스(11)를 피복하도록 제 1의 오버코트층(12)이 형성된다. 제 1의 오버코트층(12)에 개구부가 형성된다.

또한, 칼라 필터(10)는 제 1의 오버코트층(12)의 개구부에서 패시베이션막(9) 상에 형성된다. 이 때문에, 칼라 필터(10)의 형상은 제 1의 오버코트층(12)의 개구부의 형상에 의해 특정된다. 또한, 제 2의 오버코트층(13)은 패시베이션막(9), 칼라 필터(10) 및 제 1의 오버코트층(12)을 피복하도록 형성된다. 또한, 콘택트홀(19)은 소스 전극(8b)에 도달하도록 패시베이션막(9), 칼라 필터(10) 및 제 2의 오버코트층(13)에 형성된다. 또한, 픽셀 전극(14)은 제 2의 오버코트층(13) 상에 형성되고, 픽셀 전극(14)은 콘택트홀(19)을 통해 소스 전극(8b)에 연결된다. 본 실시예에 있어서, 광전도성 아크릴 수지가 제 1 및 제 2의 오버코트층(12, 13)의 재료로서 사용된다. 또한, 드레인 전극(8a)은 신호 전극으로서 기능한다.

본 실시예에 있어서, 드레인 전극(8a) 상에 형성된 오버코트층의 전체 막두께는 제 1의 오버코트층(12)과 제 2의 오버코트층(13)의 합이다. 이 때문에, 드레인 전극(8a)과 픽셀 전극(14)이 서로 영향을 끼치지 않는 간격으로 두 전극 사이의 간격을 유지할 수 있다. 또한, 칼라 필터(10) 상의 오버코트층이 제 2의 오버코트층(13)으로만 형성되기 때문에, 동작시 백라이트의 열화를 억제하여 충분한 투과율을 유지할 수 있다.

본 실시예의 CF 온 TFT의 제조 방법이 설명될 것이다. 상기 상술된 제 1의 실시예의 방법과 동일한 방법에 의해, 게이트 전극(5b), 게이트 절연체(6), 반도체층(15), 드레인 전극(8a), 소스 전극(8b) 및 패시베이션막(9)이 투명 절연 기판(4a) 상에 형성된다. 다음에, TFT(17) 위쪽과 데이터 라인(7) 위쪽에 대응하는 영역에서 패시베이션막(9) 상에 블랙 매트릭스(11)가 형성된다. 그 다음, 포토 레지스트 방법을 사용하여 블랙 매트릭스(11)를 피복하도록 제 1의 오버코트층(12)이 형성된다. 이 때 사용되는 오버코트 재료로서 아크릴 수지 등으로 이루어진 광전도성 레지스트가 사용된다. 광전도성 레지스트는 스핀 코트법 또는 프린팅 방법 등과 같이 균일한 막두께를 얻을 수 있는 도포 방법을 사용하여 도포되고, 그 후, 노광 및 현상되고, 패턴화 및 소성 처리되어, 제 1의 오버코트층(12)을 형성하게 된다. 이 때, 다음 공정에서 형성되는 칼라 필터를 수용하기 위해서 제 1의 오버코트층(12)에 개구부(29)가 형성된다. 또한, 제 1의 오버코트층(12)은 그 유전 상수에 따라 수 μm 의 두께로 형성된다.

다음에, 광전도성 아크릴 수지 레지스트가 프린팅 방법에 의해 기판의 표면 상에 도포되고, 계속해서, 노광, 현상, 소성되어, 이전 공정에서 형성된 제 1의 오버코트층(12)의 개구부(29)에 칼라 필터(10)가 삽입된다. 이 때, 칼라 필터(10)에 개구부가 마련되어 콘택트 홀(19)이 형성된 영역에는 칼라 필터(10)가 형성되지 않는다.

그 다음, 아크릴 수지로 이루어진 제 1의 오버코트층(12)과 유사하게, 스핀 코트법, 프린팅 방법 등과 같이 균일한 막두께를 얻을 수 있는 도포 방법을 사용하여 광전도성 레지스트가 도포되고, 노광, 현상 및 소성 처리되어 제 2의 오버코트층(13)을 평탄화된 막으로서 형성한다. 그 다음, 콘택트홀(19)을 형성하기 위해서, 포토 레지스트 방법을 사용하여 개구부(29)의 바닥부에서 노출된 패시베이션막(9)을 제거하여 콘택트 홀(19)이 패시베이션막(9)에 형성된다. 다음에, 콘택트홀(19)을 통해 소스 전극(8b)에 연결되도록 제 2의 오버코트층(13) 상에 픽셀 전극(14)이 형성된다.

상기 상술된 방법에 있어서, 드레인 전극(8a)과 데이터 라인(7) 등의 배선 위쪽의 오버코트층의 막두께가 칼라 필터(10) 위쪽의 오버코트층의 막두께와 상이한 CF 온 TFT 구조가 얻어질 수 있다.

제 4의 실시예

다음에, 본 발명의 제 4의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 9를 참조하여 설명될 것이다. 도 9는 본 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이다. 본 실시예에 있어서, 블랙 매트릭스와 제 1의 오버코트층 사이의 상하 관계는 상기 상술된 제 3의 실시예와 비교하여 상이하다. 따라서, 블랙 매트릭스와 제 1의 오버코트층 이외의 구조와 제조 방법은 제 3의 실시예의 것과 동일하다.

본 실시예의 액정 디스플레이 장치에 있어서, 게이트 전극(5b)과 게이트 절연체(6)는 투명 절연 기판(4a) 상에 형성되고, 반도체층(15), 드레인 전극(8a)과 소스 전극(8b) 및 데이터 라인(7)은 게이트 절연체(6) 상에 형성된다. 또한, 패시베이션막(9)은 이들 소자를 피복하도록 형성된다. 제 1의 오버코트층(12)은 반도체층(15) 위쪽과 데이터 라인(7) 위쪽에 대응하는 부분에서 패시베이션막(9) 상에 마련되고, 개구부(29)는 제 1의 오버코트층(12)에 형성된다. 블랙 매트릭스(11)는 제 1의 오버코트층(12) 상에 마련된다. 제 3의 실시예와 유사하게, 칼라 필터(10)는 제 1의 오버코트층(12)의 개구부(29) 내에 형성된다. 또한, 제 2의 오버코트층(13)은 제 1의 오버코트층(12)과 칼라 필터(10)를 피복하도록 형성되고, 픽셀 전극(14)은 그 상부에 형성된다. 픽셀 전극(14)은 콘택트홀(19)을 통해 소스 전극에 연결된다. 제 1 및 제 2의 오버코트층은 광전도성 아크릴 수지로 이루어진다.

본 실시예에 있어서, 제 3의 실시예와 유사하게, 드레인 전극(8a)과 픽셀 전극(14) 사이의 간격은 서로 영향을 미치지 않는 간격으로 유지될 수 있다. 또한, 칼라 필터(10) 상의 오버코트층이 제 2의 오버코트층으로만 형성되기 때문에, 동작시 백라이트의 약화를 억제하여 충분한 투과율을 유지할 수 있다.

본 실시예의 CF 온 TFT 구조의 형성 방법이 하기에 설명될 것이다. 상기 상술된 제 3의 실시예와 동일한 방식으로, 게이트 전극(5b), 게이트 절연체(6), 반도체층(15), 드레인 전극(8a), 소스 전극(8b), 데이터 라인(7) 및 패시베이션막(9)이 투명 절연 기판(4a) 상에 형성된다. 그 후, 아크릴 수지 등으로 이루어진 광전도성 수지가 스픈 코트법, 프린팅 방법 등과 같이 균일한 막두께를 얻을 수 있는 도포 방법을 사용하여 기판의 표면 상에 도포되고, 계속해서, 노광, 현상 및 소성 처리를 수행하고, 이에 의해, 칼라 필터(10)를 수용하기 위한 개구부(29)를 구비하는 제 1의 오버코트층(12)이 TFT(17) 위쪽과 데이터 라인(7) 위쪽에 대응하는 영역에서 패시베이션막(9) 상에 형성된다.

그 후, 블랙 매트릭스(11)가 포토 레지스트 방법에 의해 형성된다. 이 때, 제 1의 오버코트층(12)과 블랙 매트릭스(11)는 거의 동일한 평탄 패턴을 갖도록 형성되고, 개구부(29)도 블랙 매트릭스(11)에 형성된다.

다음에, 광전도성 아크릴 수지 레지스트는 제 1의 오버코트층(12)과 동일한 방식으로 프린팅 방법을 사용하여 도포되고, 노광, 현상 및 소성 처리되고, 이에 의해, 제 1의 오버코트층(12)과 블랙 매트릭스(11)의 개구부에 삽입되도록 칼라 필터(10)가 형성된다. 이 때, 칼라 필터(10)는 콘택트홀(19)이 형성될 계획 영역에는 형성되지 않는다.

계속해서, 제 1의 오버코트층(12)과 유사하게, 아크릴 수지 등으로 이루어진 광전도성 레지스트는 스픈 코트법 또는 프린팅 방법 등과 같이 균일한 두께를 얻을 수 있는 도포 방법에 의해 도포되고, 노광, 현상 및 소성 처리되어 평탄화된 막으로서 제 2의 오버코트층(13)을 형성한다. 이 때, 칼라 필터(10)와 유사하게, 제 2의 오버코트층(13)은 콘택트홀(19)이 형성될 계획 영역에는 형성되지 않는다.

그 후, 개구부(29) 내부에서 노출된 패시베이션막(9)은 포토 레지스트 방법에 의해 선택적으로 제거되어 패시베이션막(9)에 콘택트홀(19)을 형성한다. 그 다음, 콘택트홀(19)을 통해 소스 전극(8b)에 연결되는 픽셀 전극(14)이 제 2의 오버코트층(13) 상에 형성된다. 이러한 구성을 통해, 드레인 전극(8a)(신호 전극), 데이터 라인(7) 등과 같은 배선 위쪽에 대응하는 영역의 오버코트층의 막두께가 칼라 필터(10) 위쪽에 대응하는 영역의 오버코트층의 막두께와 상이한 CF 온 TFT 구조가 얻어진다.

제 5의 실시예

다음에, 본 발명의 제 5의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 10 및 도 11을 참조하여 설명될 것이다. 도 10은 액정 디스플레이 장치의 구조를 도시하는 단면도이고, 도 11은 기판 사이의 갭을 형성하는 스페이서의 위치를 나타내는 평면도이다. 본 실시예는 제 1의 오버코트층을 형성하는 경우에 생성되는 단차를 적극적으로 활용하여 갭 조정용 스페이서의 형성이 용이하게 되는 것을 특징으로 한다.

일반적으로, 액정 디스플레이 장치에 있어서, TFT 기판(1)과 대향 기판(2) 사이의 간격을 유지하기 위해서, 일반적으로, 볼 형상의 스페이서 볼을 살포하여 3 내지 $4.5\mu\text{m}$ 정도의 갭이 형성된다. 그러나, 스페이서 볼을 사용하여 갭이 형성되는 경우, 스페이서 볼이 배치되는 부분의 기판의 요철에 의해, 갭의 균일성이 손상된다. 이 때문에, 갭의 제어를 정확하게 수행하기 위해서는, 기판의 소정의 위치에 패터닝에 의해 주상 스페이서(20)를 형성하여야 한다.

이 경우, 네거티브형의 광전도성 아크릴 수지 등을 3 내지 $5\mu\text{m}$ 정도의 두께로 도포하여, 노광, 현상, 소성 처리를 수행함에 의해 주상 스페이서(20)를 형성하는데, 도포하는 수지의 막두께가 두껍고, 특히 ghi 혼합선(combined ray)이나 gh 혼합선으로 노광한 경우에, 각 g선이나 i선의 과장에서 초점 심도가 다르기 때문에 정확히 패턴 형성을 할 수 없어서, 주상 스페이서(20)의 형상이 불균일하게 되고, 경우에 따라서는 주상 스페이서(20)가 무너져 버려, 갭이 불균일하게 된다는 결함이 생기는 경우가 있다.

한편, 도 10에 도시된 본 실시예의 액정 디스플레이 장치에서는, 상기한 제 1 및 제 2의 실시예에 나타낸 바와 같이, TFT 부분에는 후막의 제 1의 오버코트층(12)이 형성되어 있기 때문에, 종래에 비해 TFT 부분은 높게 되어 있어, 이 제 1의 오버코트층(12)에 의해 TFT 상에 생기는 단차를 적극적으로 이용하여, TFT 부분 상에 형성되는 주상 스페이서(20)의 높이를 낮게 할 수 있다.

구체적으로는, 제 1의 오버코트층(12)에 의해 TFT 상에 1 내지 $2\mu\text{m}$ 의 단차가 형성되어 있기 때문에, 주상 스페이서(20) 형성을 위한 수지의 막두께는 1 내지 $2\mu\text{m}$ 정도로 억제할 수 있다. 따라서, ghi 혼합선이나 gh 혼합선으로 노광한 경우라도 정확한 형상으로 패터닝할 수 있고, 따라서 주상 스페이서(20)가 무너져 버리는 결함을 방지할 수 있다. 또한, 본 실시예의 구조의 경우, 제 1의 오버코트층(12)의 단차를 이용하기 때문에, 도 11에 도시된 바와 같이, 주상 스페이서(20)는 TFT(17) 상의 위치에 형성된다.

제 6의 실시예

다음에, 본 발명의 제 6의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치 및 그 제조 방법이 도 12를 참조하여 설명될 것이다. 도 12는 본 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이다. 또한 본 실시예는, TFT 상의 제 1의 오버코트층을 더욱 두껍게 형성하고, TFT 부분을 캡 형성용 스페이서로 사용하여 주상 스페이서 형성 공정을 생략하는 것에 의해, 공정의 간략화를 도모하는 것이다.

본 실시예의 액정 디스플레이 장치는, 상기 상술된 제 2의 실시예와 같이, 투명 절연 기판(4) 상에 TFT(17) 등의 스위칭 소자가 형성되고, 그 위에 패시베이션막(9)을 통해 칼라 필터(10)와 블랙 매트릭스(11)가 형성된다. 그리고, TFT(17) 상의 블랙 매트릭스(11)를 피복하도록 제 1의 오버코트층(12)이 형성되는데, 이 때, 제 1의 오버코트층(12)을 형성하는 아크릴계의 포지티브형 광전도성 수지 재료의 점도를 높게 한다.

또한, 제 2의 오버코트층(13)은 패시베이션막(9), 칼라 필터(10), 블랙 매트릭스(11) 및 제 1의 오버코트층(12) 상에 형성된다. 이 때, 도 12에 도시된 바와 같이, 제 1의 오버코트층(12)의 두께는 제 2의 오버코트층(13)에 제 1의 오버코트층(12)을 더한 두께가 기판 사이에 필요한 캡과 거의 동일하게 되도록 조정된다. 이러한 구성을 통해, 대향 기판(2)이 중첩되는 경우에, 제 2의 오버코트층(13)을 대향 기판에 접촉시키는 것에 의해 주상 스페이서(20)를 개별적으로 형성하지 않고도 캡을 정확하게 제어할 수 있다.

도 13은 본 실시예의 수정예에 따른 액정 디스플레이 장치의 구성을 도시하는 단면도이다. 도 12에 도시된 액정 디스플레이 장치에 있어서, 제 1의 오버코트층(12)의 패턴 형성을 확실히 수행하기 위해서는, 제 1의 오버코트층(12)의 막두께가 너무 두껍지 않은 것이 바람직하다. 따라서, 본 수정예에 있어서, 도 13에 도시된 바와 같이, 칼라 필터(10)의 막두께는 블랙 매트릭스(11)의 하부에 칼라 필터(10)를 2 내지 3층으로 중첩하여 막두께를 얻는 방식으로 두꺼워지고, 제 1의 오버코트층(12)의 막두께는 그에 대응하는 두께에 의해서만 최소화된다. 이 경우, 제 1의 오버코트층(12)은 칼라 필터(10)의 측면을 피복하도록 형성되어 칼라 필터(10)를 보호한다.

제 7의 실시예

다음에, 본 발명의 제 7의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 14 및 도 15a 내지 도 15e를 참조하여 설명될 것이다. 도 14는 본 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이고, 도 15a 내지 도 15e는 제조 방법을 공정 순으로 도시하는 단면도이다. 본 실시예는 상기 상술된 제 1의 실시예에 따른 액정 디스플레이 장치와 동일한 구성을 갖는 액정 디스플레이 장치가 더 적은 공정에서 제조되는 제조 방법을 제공한다.

즉, 상기 상술된 제 1의 실시예에서는, 제 1의 오버코트층(12)과 제 2의 오버코트층(13)이 개별적으로 형성되기 때문에, 수지 도포, 노광, 현상 등과 같은 처리가 각각 두 번씩 수행되어야 한다. 한편, 본 실시예에 있어서는, 공정 수를 줄이기 위해, 제 1의 오버코트층(12)과 제 2의 오버코트층(13)이 다음과 같은 방법으로 일체적으로 형성되는데, 그 제조 방법이 하기에 설명될 것이다.

먼저, 도 15a에 도시된 바와 같이, 상기 상술된 제 1의 실시예와 유사하게, TFT(17) 등과 같은 스위칭 소자와 데이터 라인(7)이 투명 절연 기판(4a) 상에 형성되고, 패시베이션막(9)이 그 상부에 형성된다. 다음에, 도 15b에 도시된 바와 같이, 칼라 필터(10)가 패시베이션막(9) 상에 선택적으로 형성되고, 블랙 매트릭스(11)가 TFT(17) 위쪽에 대응하는 영역과 데이터 라인(7) 위쪽의 대응하는 영역에서 칼라 필터(10) 상에 형성된다.

다음에, 도 15c에 도시된 바와 같이, 오버코트층(25)이 형성된다. 본 실시예에 있어서, 한 종류의 오버코트층이 후막 부분과 박막 부분 둘 다를 형성한다. 예를 들면, 15cp 정도의 점도를 갖는 아크릴계의 포지티브형 광전도성 수지가 800rpm/10s 정도의 회전수에서 도포되어 $1\mu\text{m}$ 정도의 막두께를 갖는 포지티브형 광전도성 수지막을 형성한다.

또한, 블랙 매트릭스(11) 상의 후막의 오버코트층(25a)(도 15d 참조)이 남는 부분에는 광을 완전히 차단하기 위한 차광막(22)이 마련되고, 칼라 필터(10) 등의 위쪽의 박막의 오버코트층(25b)(도 15d 참조)이 남는 부분에는 확산셀(diffusion shell; 23)이 마련되며, 콘택트홀(19) 등의 위쪽의 오버코트층(25)을 완전히 제거하는 부분에는 투명 그레이-톤 마스크(transparent gray-tone mask; 21)가 사용되어, 포지티브형 광전도성 수지막이 노광된다. 이러한 구성을 통해, 이 수지막의 각 부분에 조사되는 UV 광의 강도는 상이하게 되어 현상액에 대한 각 부분의 에칭율을 변경시킨다. 결과적으로, 각 부분의 막두께가 상호 상이하게 되는 오버코트층(25)을 얻을 수 있다.

구체적으로는, 확산셀(23)에서의 광투과율이 50%이다. 확산셀(23)을 포함하는 그레이-톤 마스크(21)를 통과하여 포지티브형 광전도성 수지막을 향해 UV 광이 1J 조사되고, 그 후, TMAH 0.4% 용액으로 현상되고, 220°C에서 1시간 동안 소성된다. 결과적으로, 도 15d에 도시된 바와 같이, 블랙 매트릭스(11) 상의 오버코트층(25a)의 막두께는 대략 1 μ m가 되고, 칼라 필터(10) 상의 오버코트층(25b)의 막두께는 0.5 μ m가 된다. 그 다음, 도 15e에 도시된 바와 같이, ITO 등으로 이루어진 픽셀 전극(14)이 형성된다. 이러한 구성을 통해, 본 실시예의 TFT 기판이 형성된다. 투명 절연 기판(4b) 상에 대향 전극(16)이 형성되는 대향 기판은 이 TFT 기판과 대향하여 배치되고, TFT 기판과 대향 기판 사이에 액정이 채워져서, 도 14에 도시된 액정 디스플레이 장치가 형성된다.

본 실시예에 있어서, 상기 상술된 바와 같이, 노광량은 그레이-톤 마스크(21)를 사용하여 위치에 따라 서로 상이하게 되고, 이에 의해, 수지 도포, 노광 및 현상을 각각 한 번씩 수행하는 것에 의해 두꺼운 오버코트층이 TFT(17) 상에 형성되고, 얇은 오버코트층이 픽셀 영역의 칼라 필터(10) 상에 형성되는 오버코트층(25)을 형성할 수 있다. 이 때문에, 상기 상술된 각각의 실시예와 비교하여 공정 수를 감소할 수 있다. 본 실시예에 있어서, 노광량은 그레이-톤 마스크(21)를 사용하여 조정되지만, 다른 방법으로서는, 노광을 두 번 수행하는데, 이 때, 각 노광시, 수지층의 각 부분의 노광량이 3 또는 4 계조(gradations)로 상이하게 되도록 패턴이 서로 상이한 단색 마스크가 사용되어, 이에 의해, 오버코트 수지의 도포와 현상을 한 번씩 수행하는 것에 의해 각 부분에서 상이한 막두께를 갖는 오버코트층을 형성할 수도 있다.

제 8의 실시예

다음에, 본 발명의 제 8의 실시예에 따른 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법이 도 16을 참조하여 설명될 것이다. 도 16은 본 실시예의 액정 디스플레이 장치의 구조를 도시하는 단면도이다. 본 실시예는 제 2의 오버코트층(13)이 생략되고, 제 1의 오버코트층(12)만이 사용되는 것을 특징으로 한다.

본 실시예에 있어서, 상기 상술된 제 1의 실시예와 동일하게, TFT(17)와 데이터 라인(7)이 투명 절연 기판(4a) 상에 형성되고, 패시베이션막(9)이 그 상부에 형성된다. 또한, 칼라 필터(10)가 패시베이션막(9) 상에 선택적으로 형성되고, 블랙 매트릭스(11)가 그 상부에 선택적으로 형성된다. 또한, 광전도성 수지가 그 상부에 도포되고, 노광 및 현상되어, 제 1의 오버코트층(12)이 형성된다. 이 때, 제 1의 오버코트층(12)은 노광량과 현상 시간을 조정하는 것에 의해 칼라 필터(10)의 표면의 평탄부에 형성되지 않고, 동시에 제 1의 오버코트층(12)은 TFT(17) 상부와 데이터 라인(7) 상부의 블랙 매트릭스(11)를 피복하도록 형성되어 제 1의 오버코트층(12)이 단차부(step section)(TFT(17)부, 데이터 라인(7)부, 칼라 필터(10)의 에지부)에 남게 된다. 그 후, 픽셀 전극(14)이 제 1의 오버코트층(12)과 칼라 필터(10) 상에 형성된다.

이 방법에 의하면, 블랙 매트릭스(11)가 보호되기 때문에, 제 1의 오버코트층(12)을 칼라 필터(10)의 에지부에 남겨 두는 것이 가능하고, 제 2의 오버코트층(13) 없이 픽셀 전극(14)의 단선을 방지할 수 있다. 이러한 구성을 의해, TFT 기판의 광투과율을 더 향상시킬 수 있다. 이 경우, 칼라 필터(10)는 ITO로 이루어진 픽셀 전극(14)을 통해 액정층(3)에 노출되고, 칼라 필터(10)의 불순물이 액정과 쉽게 혼합되기 때문에, 배향막 등의 막두께를 두껍게 하는 것에 의해 액정층(3)에서 불순물이 흩어지지 않는 고안이 필요하게 된다.

상기 상술된 각각의 실시예에서, CF 온 TFT 구조의 액정 디스플레이 장치에 대해 설명하였지만, 본 발명은 상기 상술된 실시예에 제한되는 것이 아니며, 칼라 필터(10)와 블랙 매트릭스(11)가 대향 기판측에 형성되는 구조에도 적용될 수 있다.

발명의 효과

본 발명에 따르면 투과율을 저감시키지 않으면서 칼라 필터나 블랙 매트릭스를 확실히 보호할 수 있는 CF 온 TFT 구조의 액티브 매트릭스형 액정 디스플레이 장치 및 그 제조 방법을 제공할 수 있고, 또한, 스페이서를 별도 마련하는 일 없이 TFT 기판과 대향 기판의 갭을 고정밀도이며 또한 간편하게 규정할 수 있는 액티브 매트릭스형 액정 디스플레이 장치 및 그 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

능동 매트릭스형 액정 디스플레이 장치에 있어서,

서로 대향되어 배치된 제 1 및 제 2의 투명 기판과,

상기 제 2의 투명 기판에 대향 상태로 상기 제 1의 투명 기판의 표면 상에 형성되며 서로 직교하는 다수의 게이트 라인 및 데이터 라인과,

상기 제 1의 투명 기판의 표면에 마련되며, 게이트 전극이 상기 게이트 라인에 연결되고 소스/드레인 전극의 하나가 상기 데이터 라인에 연결되는 박막 트랜지스터와,

상기 박막 트랜지스터가 상부에 형성되는 트랜지스터 형성 영역과 상기 데이터 라인이 상부에 형성되는 데이터 라인 형성 영역을 제외하고 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸이는 영역인 픽셀 영역에 적어도 마련되는 칼라 필터와,

상기 박막 트랜지스터와 상기 칼라 필터 둘 다 적어도 단부를 피복하도록 마련되는 오버코트층과,

상기 픽셀 영역에 마련되며 상기 소스/드레인 전극의 나머지에 연결되는 픽셀 전극과,

상기 제 1의 투명 기판에 대향 상태로 상기 제 2의 투명 기판의 표면에 마련되는 대향 전극 및

상기 제 1의 투명 기판과 상기 제 2의 투명 기판 사이에 마련되는 액정을 포함하고,

상기 오버코트층은,

적어도 상기 픽셀 영역 상에 형성되는 박막 부분 및

상기 트랜지스터 형성 영역에 형성되거나 또는 상기 트랜지스터 형성 영역과 상기 데이터 라인 형성 영역 둘 다에 형성되며, 상기 박막 부분의 막두께보다 더 두꺼운 두께를 갖는 후막(thick film) 부분을 포함하며,

상기 후막 부분은 다수의 층을 적층하여 형성되고,

상기 오버코트층은 제 1의 오버코트층과 제 2의 오버코트층으로 형성되고, 상기 박막 부분은 상기 제 2의 오버코트층으로만 이루어지고 상기 후막 부분은 상기 제 1의 오버코트층을 상기 제 2의 오버코트층 위에 적층하여 형성되는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 4.

제 3항에 있어서,

상기 제 1의 오버코트층은 상기 픽셀 영역에 개구부를 구비하고, 상기 칼라 필터는 상기 개구부 내에 형성되며, 상기 제 2의 오버코트층은 상기 제 1의 오버코트층과 상기 칼라 필터 상에 형성되는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 5.

제 3항에 있어서,

상기 박막 트랜지스터와 오버코트층의 상기 후막 부분 둘 다에 의해 형성된 볼록부와 상기 대향 전극 사이에 스페이서를 더 포함하는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 6.

제 5항에 있어서,

상기 박막 트랜지스터와 오버코트층의 상기 후막 부분 둘 다에 의해 형성된 상기 볼록부는 상기 대향 전극과 접촉하는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 7.

능동 매트릭스형 액정 디스플레이 장치에 있어서,

서로 대향되어 배치된 제 1 및 제 2의 투명 기판과,

상기 제 2의 투명 기판에 대향 상태로 상기 제 1의 투명 기판의 표면 상에 형성되며 서로 직교하는 다수의 게이트 라인 및 데이터 라인과,

상기 제 1의 투명 기판의 표면에 마련되며, 게이트 전극이 상기 게이트 라인에 연결되고 소스/드레인 전극의 하나가 상기 데이터 라인에 연결되는 박막 트랜지스터와,

상기 박막 트랜지스터가 상부에 형성되는 트랜지스터 형성 영역과 상기 데이터 라인이 상부에 형성되는 데이터 라인 형성 영역을 제외하고 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸이는 영역인 픽셀 영역에 적어도 마련되는 칼라 필터와,

상기 박막 트랜지스터와 상기 칼라 필터 둘 다의 적어도 단부를 피복하도록 마련되는 오버코트층과,

상기 픽셀 영역에 마련되며 상기 소스/드레인 전극의 나머지에 연결되는 픽셀 전극과,

상기 제 1의 투명 기판에 대향 상태로 상기 제 2의 투명 기판의 표면에 마련되는 대향 전극 및

상기 제 1의 투명 기판과 상기 제 2의 투명 기판 사이에 마련되는 액정을 포함하고,

상기 오버코트층은,

적어도 상기 픽셀 영역 상에 형성되는 박막 부분 및

상기 트랜지스터 형성 영역에 형성되거나 또는 상기 트랜지스터 형성 영역과 상기 데이터 라인 형성 영역 둘 다에 형성되며, 상기 박막 부분의 막두께보다 더 두꺼운 두께를 갖는 후막(thick film) 부분을 포함하며,

상기 픽셀 영역을 제외한 영역의 적어도 일부 상에 형성된 블랙 매트릭스를 더 포함하고, 상기 오버코트층은 상기 블랙 매트릭스를 피복하도록 형성되는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 8.

제 7항에 있어서,

상기 블랙 매트릭스는 상기 트랜지스터 형성 영역에 마련되는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 9.

제 8항에 있어서,

상기 칼라 필터는 상기 트랜지스터 형성 영역에서 상기 블랙 매트릭스 아래에 마련되는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 10.

제 7항에 있어서,

상기 블랙 매트릭스는 상기 데이터 라인 형성 영역에 마련되는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 11.

제 10항에 있어서,

상기 칼라 필터는 상기 데이터 라인 형성 영역에 형성되지 않는 것을 특징으로 하는 능동 매트릭스형 액정 디스플레이 장치.

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

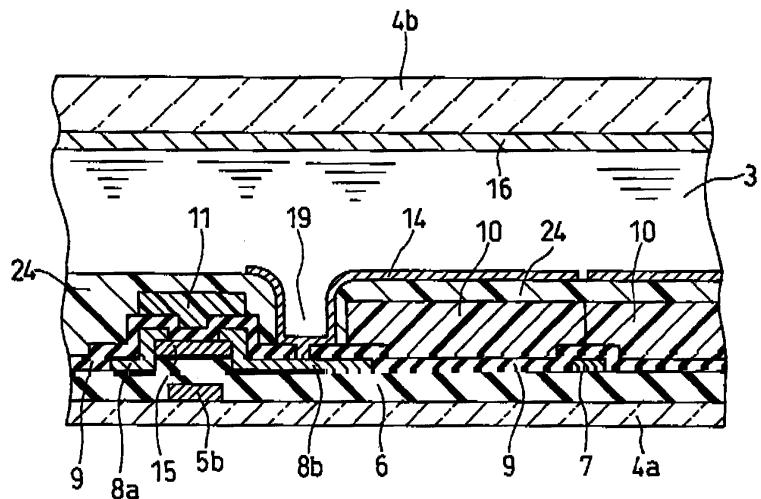
청구항 25.
삭제

청구항 26.
삭제

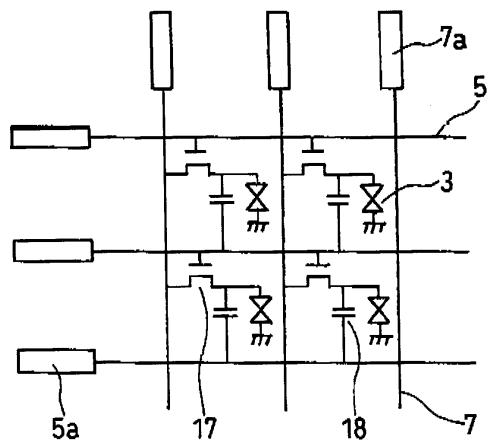
도면

도면1

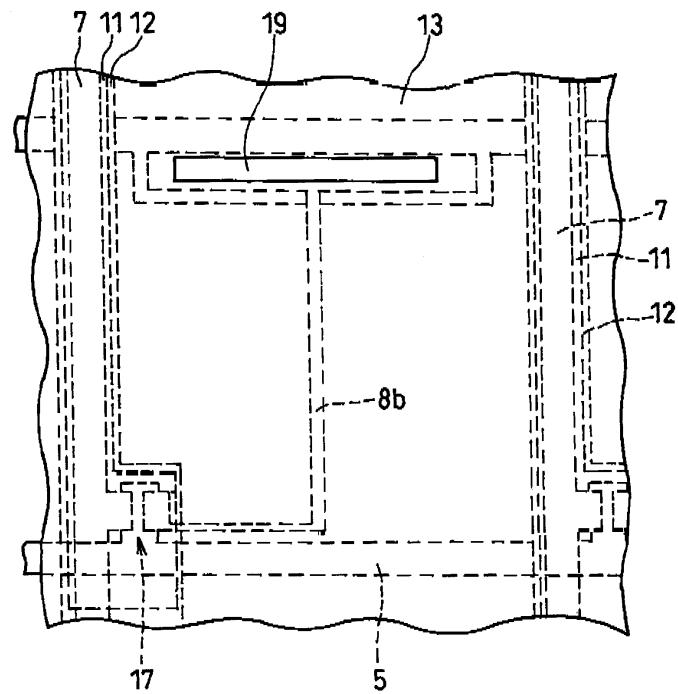
종래기술



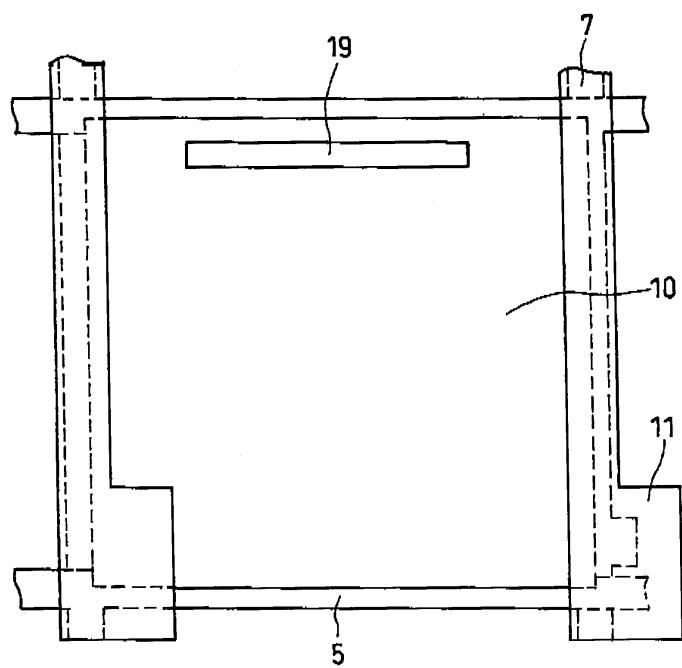
도면2



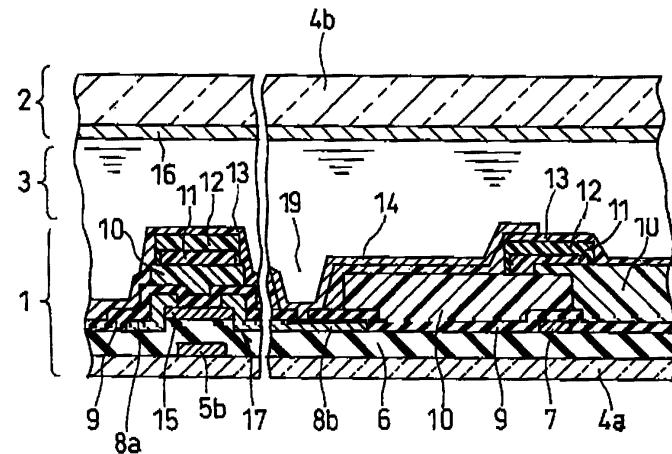
도면3



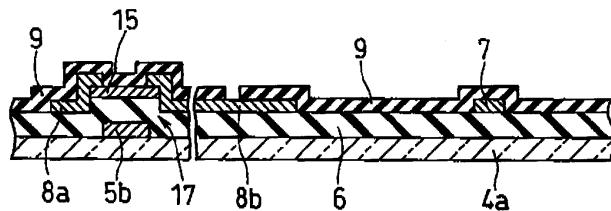
도면4



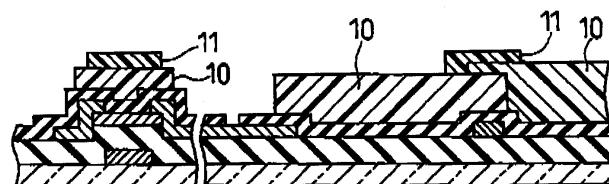
도면5



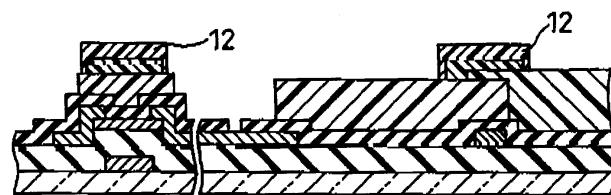
도면6a



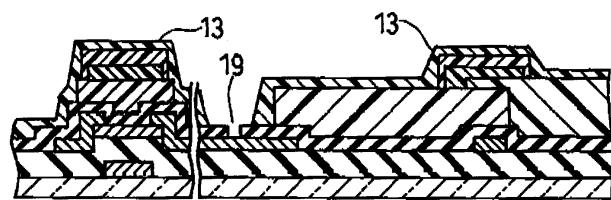
도면 6b



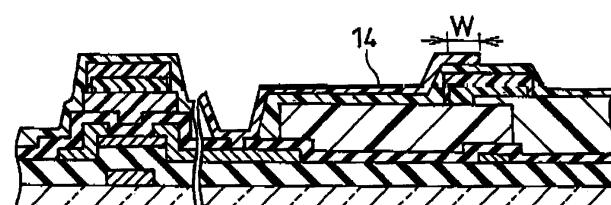
도면6c



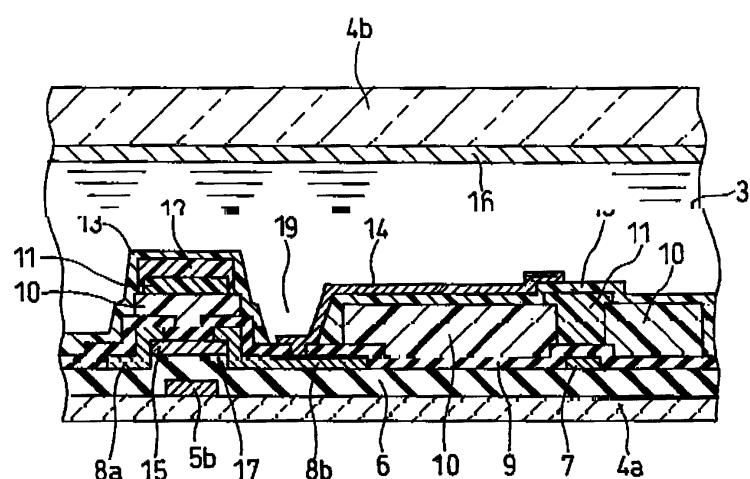
도면6d



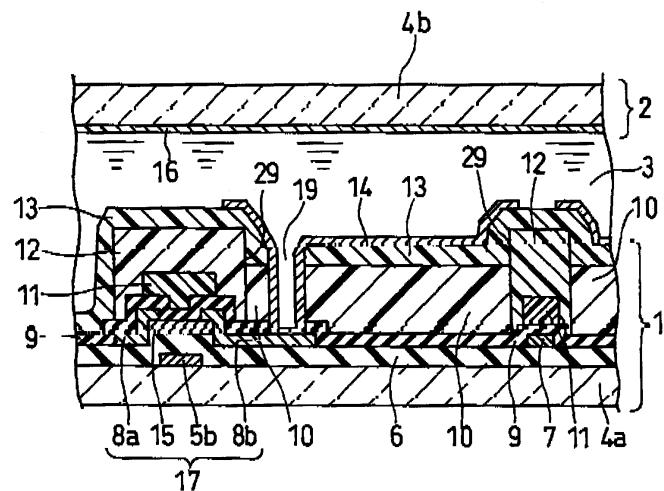
도면6e



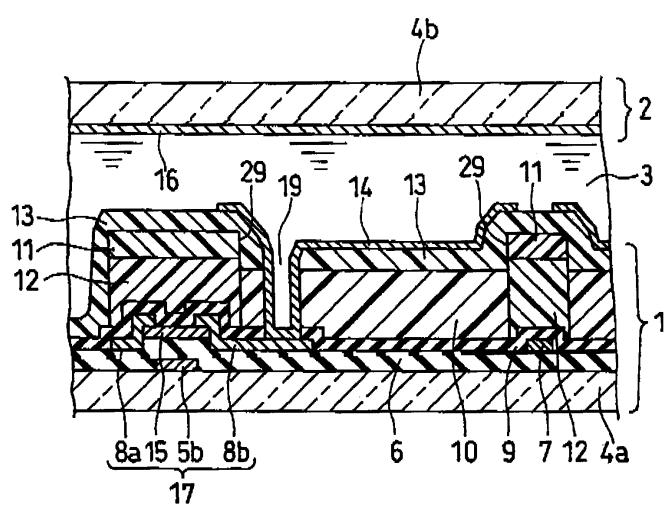
도면7



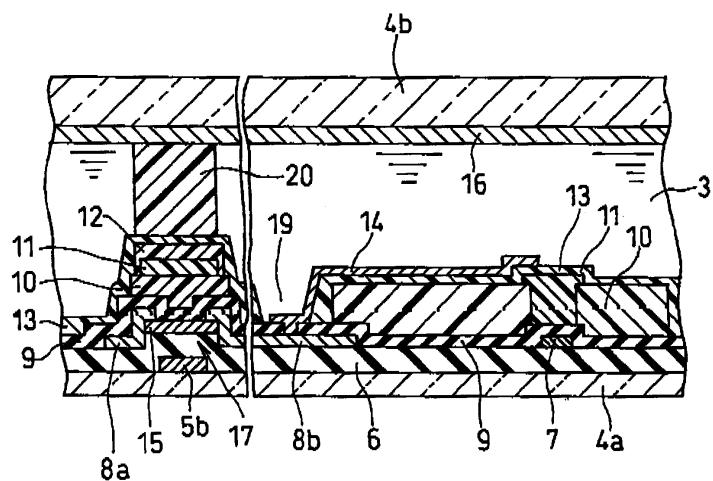
도면8



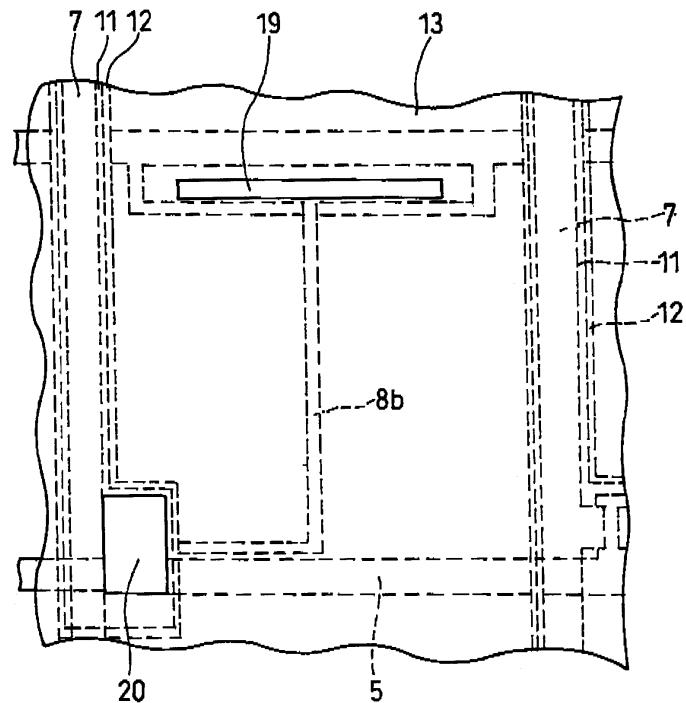
도면9



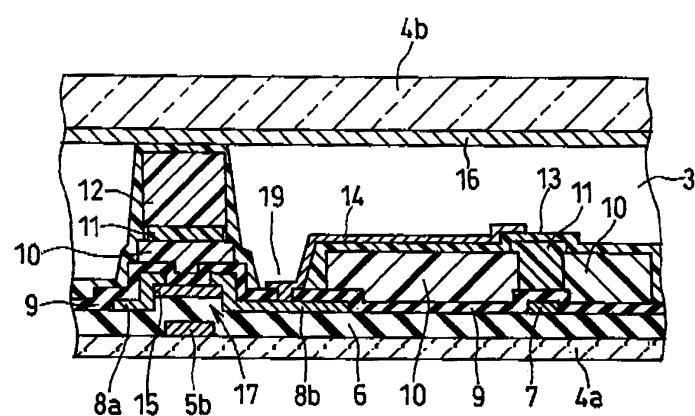
도면10



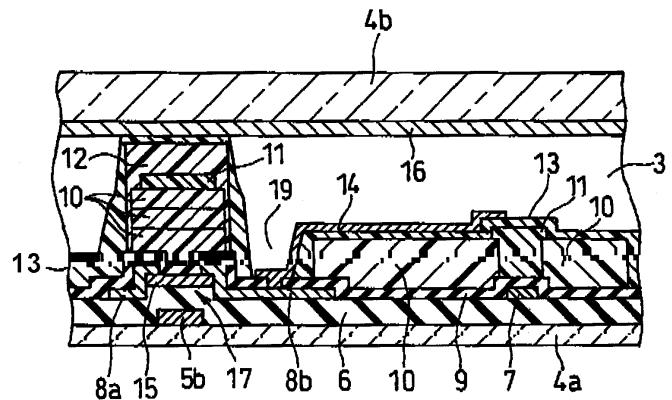
도면11



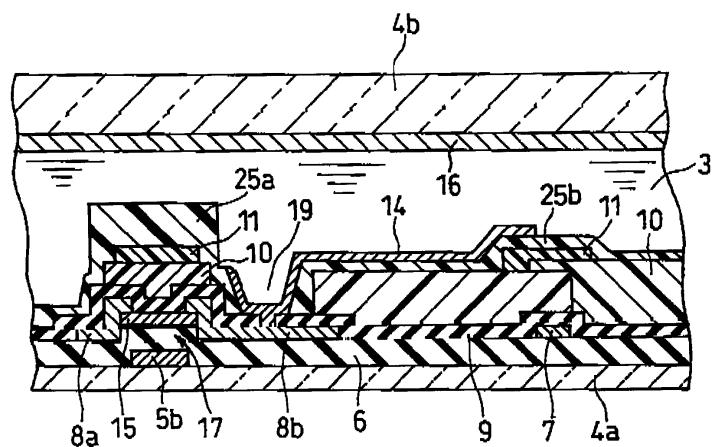
도면12



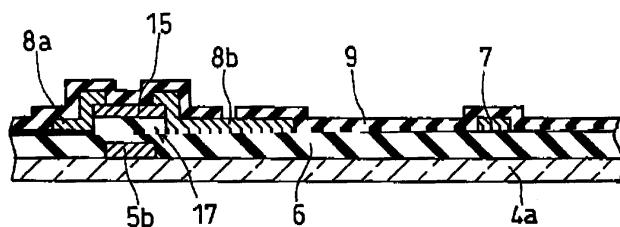
도면13



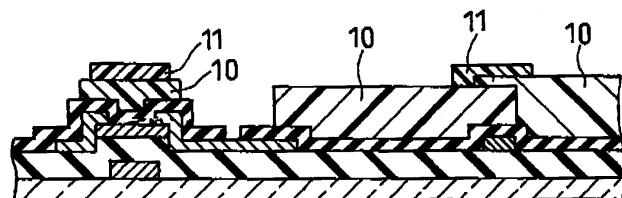
도면14



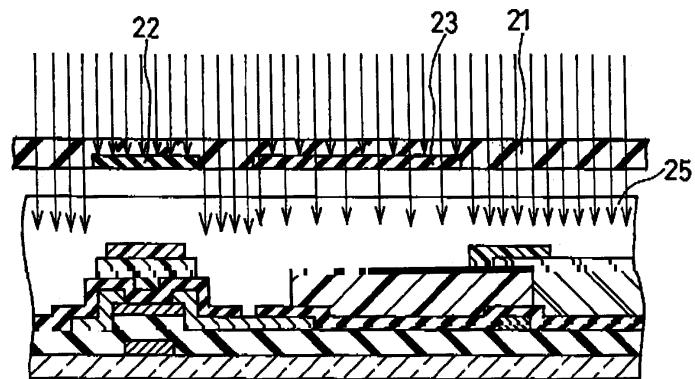
도면15a



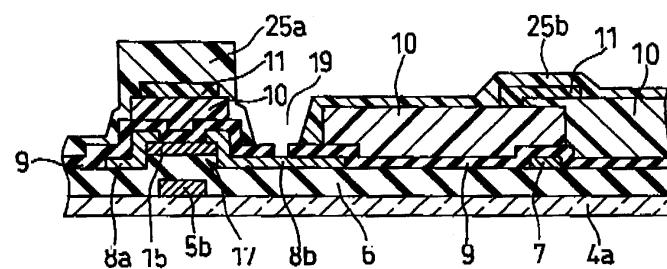
도면15b



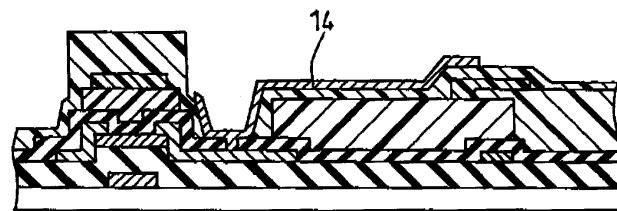
도면15c



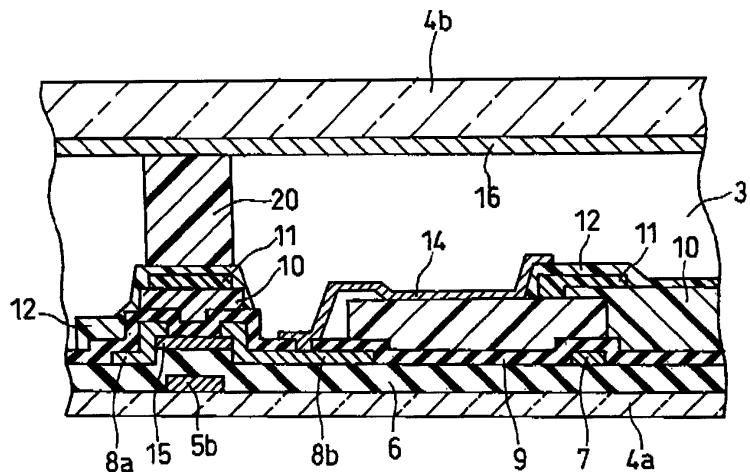
도면15d



도면15e



도면16



专利名称(译)	有源矩阵型液晶显示装置及其制造方法		
公开(公告)号	KR100518051B1	公开(公告)日	2005-09-28
申请号	KR1020020001373	申请日	2002-01-10
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	SAKAMOTO MICHIAKI 사카모토미치아키 OKAMOTO MAMORU 오카모토마모루 KIMURA SHIGERU 키무라시게루 KUROHA SHOUICHI 쿠로하쇼우이치 HIDEHIRA MASANOBU 히데히라마사노부 HORIE YOSHITAKA 호리에요시타카 ISHINO TAKAYUKI 이시노타카유키 YAMAMOTO YUJI 야마모토유지 NAKATA SHINICHI 나카타신이치		
发明人	사카모토미치아키 오카모토마모루 키무라시게루 쿠로하쇼우이치 히데히라마사노부 호리에요시타카 이시노타카유키 야마모토유지 나카타신이치		
IPC分类号	G02F1/1362 G02F1/136 G02F1/1335		
CPC分类号	G02F1/136209 G02F1/133514 G02F1/136227		
优先权	2001004161 2001-01-11 JP		
其他公开文献	KR1020020060602A		
外部链接	Espacenet		

摘要(译)

它包括设置在液晶显示器件之间的液晶层，即TFT基板，以及相对的板和这些基板。TFT基板包括栅极线，以及透明基板中的数据线和TFT。制备钝化膜以便再涂覆它们。在与黑矩阵相对应的区域中，在钝化膜上制备TFT的上侧和数据线的上侧，在滤色器上制备。此外，制备膜厚度为1至约3的第一外涂层以涂覆黑色矩阵。此外，大致，除了接触孔之外，在前侧制备膜厚度为0.5μm的第二外涂层。此外，在第二覆盖层上的像素形成区域上制备像素电极。带有CF COT的TFT和液晶显示器件。

