

(19) (KR)  
(12) (B1)

(51) 。 Int. Cl. <sup>7</sup>  
G02F 1/136 (45) 2003 04 10  
(11) 10 - 0379291  
(24) 2003 03 27

(21) 10 - 2000 - 0022014 (65) 2000 - 0071809  
(22) 2000 04 25 (43) 2000 11 25

(30) JP - P - 1999 - 00120592 1999 04 27 (JP)

(73) 가 가 5 7 1

(72) 5 7 1

(74)

:

(54)

가 .  
.

(1a)

3

, TFT, ,

1

TFT

|    |     |   |
|----|-----|---|
| 2  | TFT |   |
| 3  | TFT | 1 |
| 4  | TFT | 1 |
| 5  | TFT | 1 |
| 6  | TFT | 1 |
| 7  | TFT | 2 |
| 8  | TFT | 2 |
| 9  | TFT | 3 |
| 10 | TFT | 3 |
| 11 | TFT | 3 |

♠ ♠

1a, 1b : 2a, 2b :

3 : 4 : 1

5 : 2 6 :

10 :

11 : ( )

12 : ( )

13 : ( )

20 :

21 : ( )

22 : ( )

23 : ( )

50 : 51 :

101a : ( )

101b : ( )

102 :

(LCD)

(Thin Film Transistor; TFT)

TFT LCD(active matrix LCD; AM - LCD)  
TFT (scanning lines)  
TFT( , " 1 TFT: ) . TFT , ,  
(active layer),  
TFT가 , TFT

AM - LCD가 1 AM - LCD  
(3) 1 TFT(100) 2 TFT(200) 1 TFT(100) 2 TFT(200)  
(21) 1 TFT(100) 1 (11) (1b) (1a)  
2 TFT(200) 2 (22) 1 TFT(100) 1 (12)  
(2a) (2b) , 2 TFT(200) 2  
(23) 1 TFT(100) 1 (13) (3)

100)가 (1a) (2b) 2 TFT(200) , 1 TFT(  
, 1 TFT(100) 2 TFT(200)가

, TFT 가 2 . 2 , TFT ,  
(1a, 1b, 1c) (2a, 2b 2c)  
(3)

, 1 TFT(100) 1 , 1 TFT가 (1b) (2a)  
(12) (2a)  
, 1 TFT(100) (11) (1a) 1 TFT(100) 1 (13)  
(3)

, TFT (point defect) TFT

, TFT 가 가 (open aperture ratio) LCD 가 TFT

TFT 1 2 2 TFT가

, TFT LCD

2 2 TFT가

TFT(200) 1 TFT(100)가 (3) 1 TFT(100) 2 TFT 3 TFT 2 TFT가 1

, 1 TFT 가

1 TFT 4 TFT (passivation layer) 2 TFT

, TFT 가가

1 TFT 1 가 3 TFT (1a 1b) (2a 2b) (1a 1b) (3) (1a, 1b) (2a, 2b)

(3)  
(1a) (1b) (2a) TFT(100)가 2 TFT(200)  
(2b) (3) 2 TFT(200) (3)  
가 1 TFT(100) 2 TFT(200)  
TFT

TFT 1 , 1 (light shield layers; 4) (3)  
(2a, 2b) . 2 (5) (3) (1b)

2 (5) 1 TFT(100) 1 (13) (3)

3 A - A' 가 4 4 TFT  
, 1 TFT(100) 1 (11) , (1a), (51)  
(50) 1 (11) , 1 (14) (1a)  
1 TFT(100) 1 (12) (2a) 1 (12)  
2 (5) (3) (1b) 1 TFT(  
100) 1 (13) 2 (5)

2 TFT(200) (51) (1a) 2 (24)  
2 TFT(200) 2 (23) (1a) , (2b) 2 (23)  
(3) 1 TFT(100) 1 (13) , 2 (5) ,  
(51) 2 TFT(200) 2 (23) (6) 1 TFT(10  
0) 1 (11) , (2a) , 1 TFT(100) 1 (12) , 1  
(13) (3) (6) (51) , (2b) ,  
2 (24) , 2 (23) (3) (1a)

TFT 2 TFT(200)

TFT 1 5 6 5  
TFT 1  
6 1  
FT(200) , (1a) (V1a) 2 TFT(200)  
ON , 2 TFT(200) (2a) (V2a)  
(3) (Vp) 가 , (V1a) 2 TFT(  
200) OFF (Vp) Vfd1

1 TFT(100) , (1b) (V1a) 1 TFT(1  
00) ON

, 1 TFT(100) (Vp) 가 , (2b) (V2b) (3)

, (V1a) 1 TFT(100) OFF (Vp) Vfd2

TFT (dot reverse drive manner) , 1 TFT (100) TFT (3) 가

2

, 2 가 , 2 , 1 , 7 2 , 2 , 1 TFT(100) 1 (13) 2 TFT(200) 2 (23) (6) (3)

, 7 B - B' (6) (101a) 8 (101b) , (6) (3) 1 (13) 2 (23) 2 (3) (6)

2 , (3) (6)

3

, 3 가 9 , 3 , 1 2 (4) (2a, 2b) 2 (5) (wiring side light shield layer; 102) (3)

9 C - C' (6) (51) 10 , 2 TFT(200) 2 (23) (102) (101 b)

, 3 11 , 11 , (V1a) 2 TFT(200)가 ON

, (V2a) (102) , (Vp') 2 T FT(200) (23) (3) (parasitic capacitance) 가

, (V1a) 2 TFT(200) OFF (Vp') Vfd 1'

(V1b) 1 TFT(100) ON (V2a)  
 (3) (Vp') 가 (V1b)  
 1 TFT(100) OFF (Vp') Vfd2'  
 (V2a) (102) 가 V<sub>1</sub>'

$$V_1' = \{G_{21} / (C_{21} + C_{19})\} \times V_{sc}$$

C<sub>21</sub> 2 TFT(200) (23) (3)  
 C<sub>19</sub> 가 V<sub>sc</sub> (102)  
 FT(200) (23) (3)  
 2 TFT(200) (leakage) 가

TFT , 2 TFT

(57)

1.

;

;

;

FT가 1 (TFT) 1 T  
 2

2 TFT

2.

1 , 2 TFT 2 1 TFT 1

3.

1 , 2 TFT 2 1 TFT 1

1 TFT 1

4.

1 ,  
1 TFT 1 2 TFT 2 ;

1 2 .

5.

3 , 2 2 TFT 2  
(storage capacitance)

6.

;

1 ;

1 2 ;

1 1 ;

1 2 ;

1 , 2 , 1 , 2  
;

1 1 1 ;

2 2 ,

1 ,

2 1 ;

1 1 ,

2 ,

1 2 ;

2 2 ,

2 1 .

7.

6 ,

2 2 .

8.

6 ,

1 1 1 1  
2 2 2 2 2  
2 3

9.

8 ,

1 ,  
1 ;

1 1 1 ,

2 ,

2 ;

2 2 2

10.

9 ,

2 1 .

11.

10 ,

2 .

12.

11 ,

1 1 ;

1 2 2

13.

12 ,

1 2 ,

2 .

14.

12 ,

2 1 2 ,

1 1 ;

2 2

.

15.

10 ,

2 (shield layer)

.

16.

15 ,

2 .

17.

15 ,

1 1 ;

1 2 2 ;

2

.

18.

17 ,

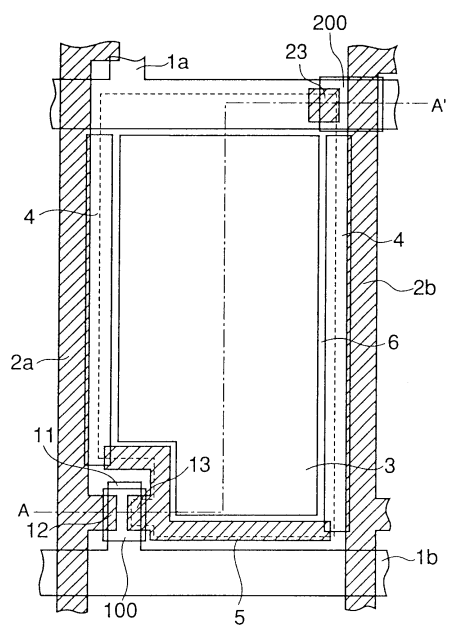
1 1 2

1 2

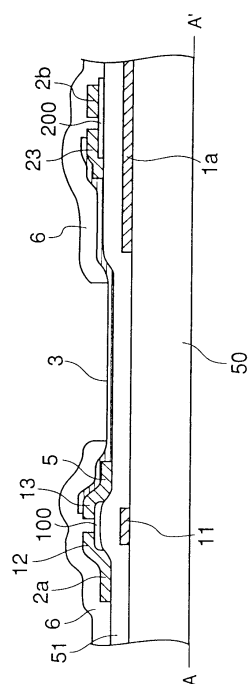
.



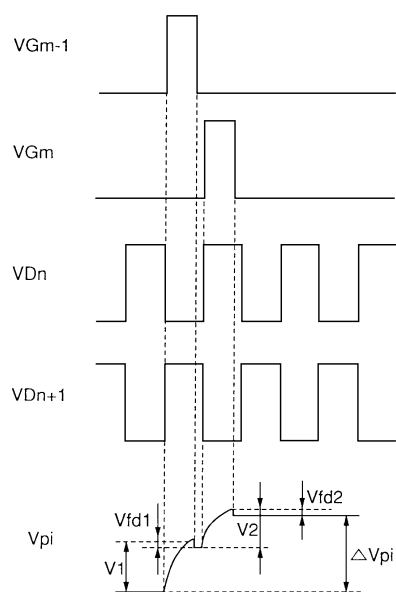
3



4

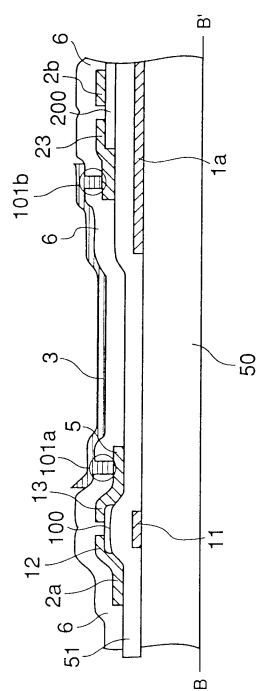


5

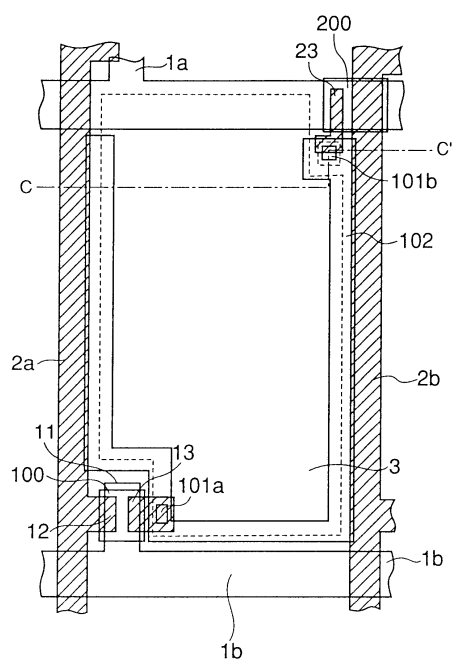




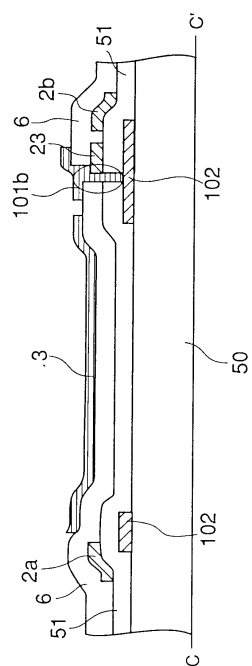
8



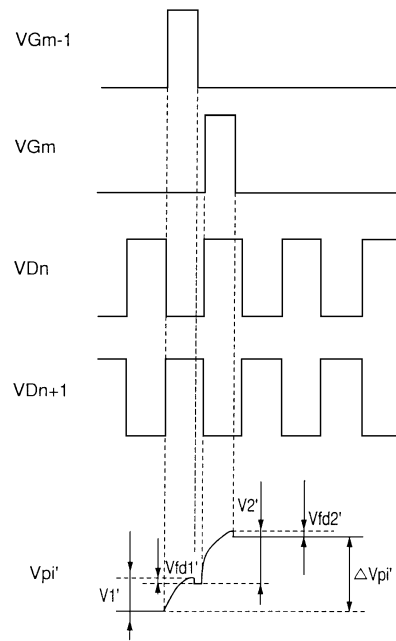
9



10



11



|               |                                                                |         |            |
|---------------|----------------------------------------------------------------|---------|------------|
| 专利名称(译)       | 用于液晶显示器件的薄膜晶体管阵列                                               |         |            |
| 公开(公告)号       | <a href="#">KR100379291B1</a>                                  | 公开(公告)日 | 2003-04-10 |
| 申请号           | KR1020000022014                                                | 申请日     | 2000-04-25 |
| 申请(专利权)人(译)   | 日本地方自己兴趣可否来. )                                                 |         |            |
| 当前申请(专利权)人(译) | 日本地方自己兴趣可否来. )                                                 |         |            |
| [标]发明人        | MIYAHARA TAE<br>미야하라타에                                         |         |            |
| 发明人           | 미야하라타에                                                         |         |            |
| IPC分类号        | G02F1/136 G09F9/30 G02F1/1362 G02F1/1368 H01L21/336 H01L29/786 |         |            |
| CPC分类号        | G02F1/13624 G02F1/136286                                       |         |            |
| 代理人(译)        | 用最甜                                                            |         |            |
| 优先权           | 1999120592 1999-04-27 JP                                       |         |            |
| 其他公开文献        | KR1020000071809A                                               |         |            |
| 外部链接          | <a href="#">Espacenet</a>                                      |         |            |

#### 摘要(译)

提供了一种薄膜晶体管阵列，用于在不降低孔径比的情况下改善像素电极的写入特性。写入薄膜晶体管的源极和预充电薄膜晶体管的源极电连接到像素电极。形成预充电薄膜晶体管的半导体图案，以便覆盖扫描线1a和信号线的交叉区域以及栅极存储电容的形成区域的一部分。3 指数方面 薄膜晶体管，TFT，开口率，记录特性

