



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0099534
(43) 공개일자 2008년11월13일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0045192

(22) 출원일자 2007년05월09일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

황인재

충남 천안시 두정동 1008번지 304호

모상문

충남 천안시 두정동 대우1차아파트 105동 2203호

(74) 대리인

특허법인가산

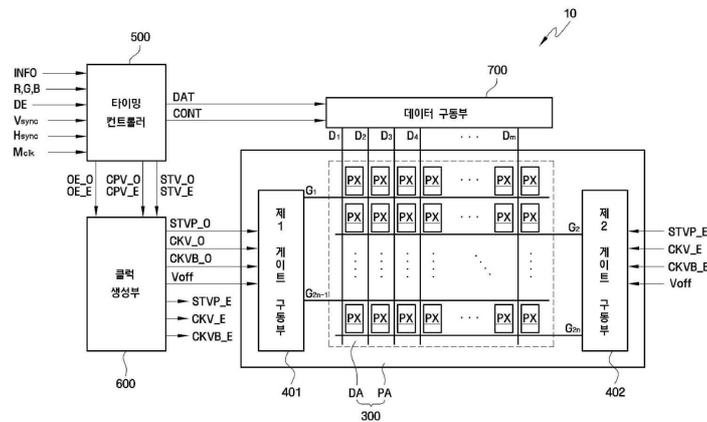
전체 청구항 수 : 총 22 항

(54) 타이밍 컨트롤러, 액정 표시 장치 및 액정 표시 장치의구동 방법

(57) 요약

타이밍 컨트롤러, 이를 포함하는 액정 표시 장치 및 액정 표시 장치의 구동 방법이 제공된다. 타이밍 컨트롤러는 표시 모드 정보를 받아 프로그래시브(progressive) 모드 또는 인터레이스(interlaced) 모드를 지시하는 모드 신호를 출력하는 모드 선택부 및 모드 신호에 응답하여, 프로그래시브 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호를 모두 출력하고, 인터레이스 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호중 어느 하나를 출력하는 신호 생성부로서, 제1 스캔 개시 신호의 위상과 제2 스캔 개시 신호의 위상이 서로 다른 제어 신호 생성부를 포함한다.

대표도



특허청구의 범위

청구항 1

표시 모드 정보를 받고, 상기 표시 모드 정보에 따라 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호 모두를 제공하고, 인터레이스(interlaced) 모드에서는 한 프레임 동안 상기 제1 스캔 개시 신호 및 상기 제2 스캔 개시 신호중 어느 하나를 제공하는 신호 제공부로서, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다른 신호 제공부;

다수의 게이트 라인과, 다수의 데이터 라인과, 이들과 커플링된 다수의 화소를 포함하는 액정 패널로서, 상기 다수의 게이트 라인은 제1 게이트 라인 그룹과 제2 게이트 라인 그룹으로 구분되는 액정 패널;

상기 제1 스캔 개시 신호에 인에이블되어 상기 제1 게이트 라인 그룹에 제1 게이트 신호들을 순차적으로 출력하는 제1 게이트 구동부; 및

상기 제2 스캔 개시 신호에 인에이블되어 상기 제2 게이트 라인 그룹에 제2 게이트 신호들을 순차적으로 출력하는 제2 게이트 구동부를 포함하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 제1 및 제2 게이트 구동부는 각각 상기 각 제1 및 제2 게이트 신호를 출력하는 다수의 스테이지를 포함하고, 상기 각 스테이지는 상기 액정 패널상에 형성된 적어도 하나의 비정질 실리콘 박막 트랜지스터(a-Si TFT)를 포함하는 액정 표시 장치.

청구항 3

제 1항에 있어서,

상기 프로그래시브 모드에서는 상기 제1 및 제2 게이트 구동부는 모두 인에이블되고, 상기 인터레이스 모드에서는 상기 제1 및 제2 게이트 구동부중 어느 하나만 인에이블되는 액정 표시 장치.

청구항 4

제 1항에 있어서,

상기 하나의 게이트 라인에 하이 레벨의 상기 제1 게이트 신호 또는 하이 레벨의 상기 제2 게이트 신호가 인가 되는 시간을 1H라 할 때,

상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상의 차이는 1H인 액정 표시 장치.

청구항 5

제 1항에 있어서,

상기 신호 제공부는 상기 프로그래시브 모드에서 한 프레임동안 제1 클럭 신호와, 상기 제1 클럭 신호와 역위상을 갖는 제1 클럭바 신호와, 제2 클럭 신호와, 상기 제2 클럭 신호와 역위상을 갖는 제2 클럭바 신호 모두를 더 제공하고,

상기 인터레이스 모드에서 한 프레임동안 한 쌍의 상기 제1 클럭 신호와 상기 제1 클럭바 신호 및 한쌍의 상기 제2 클럭 신호와 상기 제2 클럭바 신호 중 어느 한 쌍을 더 제공하고, 상기 제1 클럭 신호의 위상과 상기 제2 클럭 신호의 위상은 서로 다른 액정 표시 장치.

청구항 6

제 5항에 있어서,

상기 제1 클럭 신호의 전압 레벨은 제1 하이 구간에서 하이 레벨이고, 제1 로우 구간에서 로우 레벨이고, 제1 차지 웨어링(charge-sharing)구간에서 상기 하이 레벨에서 상기 로우 레벨로 천이하거나 또는 상기 로우 레벨에

서 상기 하이 레벨로 천이하고,

상기 제2 클럭 신호의 전압 레벨은 제2 하이 구간에서 하이 레벨이고, 제2 로우 구간에서 로우 레벨이고, 제2 차지 웨어링 구간에서 상기 하이 레벨에서 상기 로우 레벨로 천이하거나 또는 상기 로우 레벨에서 상기 하이 레벨로 천이하는 액정 표시 장치.

청구항 7

제 6항에 있어서, 상기 프로그래시브 모드에서,

상기 제1 차지 웨어링 구간은 상기 제2 클럭 신호의 상기 제2 하이 구간 또는 상기 제2 로우 구간과 오버랩되고,

상기 제2 차지 웨어링 구간은 상기 제1 클럭 신호의 상기 제1 하이 구간 또는 상기 제1 로우 구간과 오버랩되는 액정 표시 장치.

청구항 8

제 5항에 있어서,

상기 제 n 구동부($n=1, 2$)는 캐스케이드(cascade)로 연결되어 상기 각 제 n 게이트 신호 및 캐리 신호를 출력하는 다수의 스테이지를 포함하고,

상기 각 스테이지는, 상기 제 n 스캔 개시 신호 또는 진단 스테이지의 캐리 신호에 응답하여 상기 제 n 게이트 신호로서 상기 제 n 클럭 신호 또는 상기 제 n 클럭바 신호를 출력하는 액정 표시 장치.

청구항 9

제 1항에 있어서,

상기 인터레이스 모드에서, 상기 신호 제공부는 상기 제1 스캔 개시 신호 및 상기 제2 스캔 개시 신호를 프레임마다 교대로 제공하는 액정 표시 장치.

청구항 10

표시 모드 정보를 받고, 상기 표시 모드 정보에 따라 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔 개시 신호, 제1 클럭생성 제어신호, 제2 스캔 개시 신호 및 제2 클럭생성 제어신호를 모두 제공하고, 인터레이스(interlaced) 모드에서는 한 프레임동안 한 쌍의 상기 제1 스캔 개시 신호와 제1 클럭생성 제어신호 및 다른 한 쌍의 상기 제2 스캔 개시 신호와 제2 클럭생성 제어신호중 어느 한 쌍을 제공하는 타이밍 컨트롤러로서, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다르고, 상기 제1 클럭생성 제어신호의 위상과 상기 제2 클럭생성 제어신호의 위상이 서로 다른 타이밍 컨트롤러;

상기 프로그래시브 모드에서 상기 제1 클럭생성 제어신호를 이용하여 제1 클럭 신호와, 상기 제1 클럭 신호와 역위상을 갖는 제1 클럭바 신호를 생성하고, 제2 클럭 생성 제어 신호를 이용하여, 제2 클럭 신호와, 상기 제2 클럭 신호와 역위상을 갖는 제2 클럭바 신호 모두를 생성하고,

상기 인터레이스 모드에서 상기 제1 및 제2 클럭생성 제어신호중 어느 하나를 이용하여 한쌍의 상기 제1 클럭 신호와 상기 제1 클럭바 신호 및 다른 한쌍의 상기 제2 클럭 신호와 상기 제2 클럭바 신호중 어느 한쌍을 생성하는 클럭 생성부로서, 상기 제1 클럭 신호의 위상과 상기 제2 클럭 신호의 위상은 서로 다른 클럭 생성부;

다수의 게이트 라인과, 다수의 데이터 라인과, 이들이 교차하는 영역마다 형성된 화소를 포함하는 액정 패널로서, 상기 다수의 게이트 라인은 제1 게이트 라인 그룹과 제2 게이트 라인 그룹으로 구분되는 액정 패널;

상기 제1 스캔 개시 신호에 인에이블되어 상기 제1 클럭 신호 및 상기 제1 클럭바 신호를 이용하여 제1 게이트 신호들을 생성하고, 상기 제1 게이트 라인 그룹에 제1 게이트 신호들을 순차적으로 출력하는 제1 게이트 구동부; 및

상기 제2 스캔 개시 신호에 인에이블되어 상기 제2 클럭 신호 및 상기 제2 클럭바 신호를 이용하여 제2 게이트 신호들을 생성하고, 상기 제2 게이트 라인 그룹에 제2 게이트 신호들을 순차적으로 출력하는 제2 게이트 구동부를 포함하는 액정 표시 장치.

청구항 11

제 10항에 있어서,

상기 하나의 게이트 라인에 하이 레벨의 상기 제1 게이트 신호 또는 하이 레벨의 상기 제2 게이트 신호가 인가 되는 시간을 1H라 할 때,

상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상의 차이는 1H인 액정 표시 장치.

청구항 12

제 10항에 있어서,

상기 하나의 게이트 라인에 하이 레벨의 상기 제1 게이트 신호 또는 하이 레벨의 상기 제2 게이트 신호가 인가 되는 시간을 1H라 할 때,

상기 제1 클럭생성 제어신호의 위상과 상기 제2 클럭생성 제어신호의 위상의 차이는 1H인 액정 표시 장치.

청구항 13

제 10항에 있어서,

상기 제1 클럭 신호의 전압 레벨은 제1 하이 구간에서 하이 레벨이고, 제1 로우 구간에서 로우 레벨이고, 제1 차지 웨어링(charge-sharing) 구간에서 상기 로우 레벨로 천이하거나 또는 상기 로우 레벨에서 상기 하이 레벨로 천이하고,

상기 제2 클럭 신호의 전압 레벨은 제2 하이 구간에서 하이 레벨이고, 제2 로우 구간에서 로우 레벨이고, 제2 차지 웨어링 구간에서 상기 로우 레벨로 천이하거나 또는 상기 로우 레벨에서 상기 하이 레벨로 천이하는 액정 표시 장치.

청구항 14

제 10항에 있어서, 상기 프로그래시브 모드에서,

상기 제1 차지 웨어링 구간은 상기 제2 클럭 신호의 상기 제2 하이 구간 또는 상기 제2 로우 구간과 오버랩되고,

상기 제2 차지 웨어링 구간은 상기 제1 클럭 신호의 상기 제1 하이 구간 또는 상기 제1 로우 구간과 오버랩되는 액정 표시 장치.

청구항 15

제 10항에 있어서,

상기 제n 구동부(n=1, 2)는 캐스케이드(cascade)로 연결되어 상기 각 제n 게이트 신호 및 캐리 신호를 출력하는 다수의 스테이지를 포함하고, 상기 각 스테이지는 상기 액정 패널 상에 형성된 적어도 하나의 비정질 실리콘 박막 트랜지스터(a-Si TFT)를 포함하는 액정 표시 장치.

청구항 16

표시 모드 정보를 받아 프로그래시브(progressive) 모드 또는 인터레이스(interlaced) 모드를 지시하는 모드 신호를 출력하는 모드 선택부; 및

상기 모드 신호에 응답하여, 상기 프로그래시브 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호를 모두 출력하고, 인터레이스 모드에서는 한 프레임동안 상기 제1 스캔 개시 신호 및 상기 제2 스캔 개시 신호중 어느 하나를 출력하는 신호 생성부로서, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다른 제어 신호 생성부를 포함하는 타이밍 컨트롤러.

청구항 17

제 16항에 있어서, 상기 제어 신호 생성부는

상기 프로그래시브 모드에서는 한 프레임동안 제1 클럭생성 제어신호 및 제2 클럭생성 제어신호를 더 출력하고,

인터레이스 모드에서는 한 프레임동안 상기 제1 클럭생성 제어신호 및 상기 제2 클럭생성 제어신호중 어느 하나를 더 출력하고, 상기 제1 클럭생성 제어신호의 위상과 및 상기 제2 클럭생성 제어신호의 위상이 서로 다른 타이밍 컨트롤러.

청구항 18

제 17항에 있어서,

하나의 게이트 라인에 하이 레벨의 게이트 신호가 인가되는 시간을 1H라 할 때, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상의 차이는 1H인 타이밍 컨트롤러.

청구항 19

제 17항에 있어서,

하나의 게이트 라인에 하이 레벨의 게이트 신호가 인가되는 시간을 1H라 할 때, 상기 제1 클럭생성 제어신호의 위상과 상기 제2 클럭생성 제어신호의 위상의 차이는 1H인 타이밍 컨트롤러.

청구항 20

표시 모드 정보를 받고, 상기 표시 모드 정보에 따라 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호 모두를 제공하고, 인터레이스(interlaced) 모드에서는 한 프레임동안 상기 제1 스캔개시신호 및 상기 제2 스캔 개시 신호중 어느 하나를 제공하고,

상기 프로그래시브 모드에서는 상기 제1 및 제2 스캔 개시 신호에 인에이블되어 다수의 게이트 라인에 게이트 신호를 순차적으로 제공하고, 상기 인터레이스 모드에서는 상기 제1 및 제2 스캔 개시 신호중 어느 하나에 인에이블되어 상기 다수의 게이트 라인중 일부에만 상기 게이트 신호를 순차적으로 제공하는 것을 포함하는 액정 표시 장치의 구동 방법.

청구항 21

제 20항에 있어서,

상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다른 액정 표시 장치의 구동 방법.

청구항 22

제 21항에 있어서,

상기 하나의 게이트 라인에 하이 레벨의 상기 게이트 신호가 인가되는 시간을 1H라 할 때,

상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상의 차이는 1H인 액정 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 타이밍 컨트롤러, 이를 포함하는 액정 표시 장치 및 액정 표시 장치의 구동 방법에 관한 것이다.
- <23> 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 즉, 게이트 구동 IC를 채택하지 않고, 비정질-실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 구동부를 유리 기판에 실장하고 있다.
- <24> 또한, 최근에 소비 전력의 감소와 표시 품질 향상을 위해 프로그래시브(progressive) 모드과 인터레이스(interlaced) 모드에서 동작할 수 있는 액정 표시 장치가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명이 이루고자 하는 기술적 과제는 프로그래시브 모드 및 인터레이스 모드로 동작할 수 있는 타이밍 컨트롤러를 제공하는 것이다.
- <26> 본 발명이 이루고자 하는 다른 기술적 과제는 프로그래시브 모드 및 인터레이스 모드로 동작할 수 있는 액정 표시 장치를 제공하는 것이다.
- <27> 본 발명이 이루고자 하는 또 다른 기술적 과제는 프로그래시브 모드 및 인터레이스 모드로 동작할 수 있는 액정 표시 장치의 구동 방법을 제공하는 것이다.
- <28> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <29> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 타이밍 컨트롤러는, 표시 모드 정보를 받아 프로그래시브(progressive) 모드 또는 인터레이스(interlaced) 모드를 지시하는 모드 신호를 출력하는 모드 선택부 및 상기 모드 신호에 응답하여, 상기 프로그래시브 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호를 모두 출력하고, 인터레이스 모드에서는 한 프레임동안 상기 제1 스캔 개시 신호 및 상기 제2 스캔 개시 신호중 어느 하나를 출력하는 신호 생성부로서, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다른 제어 신호 생성부를 포함한다.
- <30> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치는, 표시 모드 정보를 받고, 상기 표시 모드 정보에 따라 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔 개시 신호 및 제2 스캔 개시 신호 모두를 제공하고, 인터레이스(interlaced) 모드에서는 한 프레임동안 상기 제1 스캔 개시 신호 및 상기 제2 스캔 개시 신호중 어느 하나를 제공하는 신호 제공부로서, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다른 신호 제공부와, 다수의 게이트 라인과, 다수의 데이터 라인과, 이들과 커플링된 다수의 화소를 포함하는 액정 패널로서, 상기 다수의 게이트 라인은 제1 게이트 라인 그룹과 제2 게이트 라인 그룹으로 구분되는 액정 패널과, 상기 제1 스캔 개시 신호에 인에이블되어 상기 제1 게이트 라인 그룹에 제1 게이트 신호들을 순차적으로 출력하는 제1 게이트 구동부 및 상기 제2 스캔 개시 신호에 인에이블되어 상기 제2 게이트 라인 그룹에 제2 게이트 신호들을 순차적으로 출력하는 제2 게이트 구동부를 포함한다.
- <31> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 액정 표시 장치는, 표시 모드 정보를 받고, 상기 표시 모드 정보에 따라 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔 개시 신호, 제1 클럭생성 제어신호, 제2 스캔 개시 신호 및 제2 클럭생성 제어신호를 모두 제공하고, 인터레이스(interlaced) 모드에서는 한 프레임동안 한 쌍의 상기 제1 스캔 개시 신호와 제1 클럭생성 제어신호 및 다른 한 쌍의 상기 제2 스캔 개시 신호와 제2 클럭생성 제어신호중 어느 한 쌍을 제공하는 타이밍 컨트롤러로서, 상기 제1 스캔 개시 신호의 위상과 상기 제2 스캔 개시 신호의 위상이 서로 다르고, 상기 제1 클럭생성 제어신호의 위상과 상기 제2 클럭생성 제어신호의 위상이 서로 다른 타이밍 컨트롤러와, 상기 프로그래시브 모드에서 상기 제1 클럭생성 제어신호를 이용하여 제1 클럭 신호와, 상기 제1 클럭 신호와 역위상을 갖는 제1 클럭바 신호를 생성하고, 제2 클럭 생성 제어 신호를 이용하여, 제2 클럭 신호와, 상기 제2 클럭 신호와 역위상을 갖는 제2 클럭바 신호 모두를 생성하고, 상기 인터레이스 모드에서 상기 제1 및 제2 클럭생성 제어신호중 어느 하나를 이용하여 한쌍의 상기 제1 클럭 신호와 상기 제1 클럭바 신호 및 다른 한쌍의 상기 제2 클럭 신호와 상기 제2 클럭바 신호중 어느 한쌍을 생성하는 클럭 생성부로서, 상기 제1 클럭 신호의 위상과 상기 제2 클럭 신호의 위상은 서로 다른 클럭 생성부와, 다수의 게이트 라인과, 다수의 데이터 라인과, 이들이 교차하는 영역마다 형성된 화소를 포함하는 액정 패널로서, 상기 다수의 게이트 라인은 제1 게이트 라인 그룹과 제2 게이트 라인 그룹으로 구분되는 액정 패널과, 상기 제1 스캔 개시 신호에 인에이블되어 상기 제1 클럭 신호 및 상기 제1 클럭바 신호를 이용하여 제1 게이트 신호들을 생성하고, 상기 제1 게이트 라인 그룹에 제1 게이트 신호들을 순차적으로 출력하는 제1 게이트 구동부 및 상기 제2 스캔 개시 신호에 인에이블되어 상기 제2 클럭 신호 및 상기 제2 클럭바 신호를 이용하여 제2 게이트 신호들을 생성하고, 상기 제2 게이트 라인 그룹에 제2 게이트 신호들을 순차적으로 출력하는 제2 게이트 구동부를 포함한다.
- <32> 상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치의 구동 방법은, 표시 모드 정보를 받고, 상기 표시 모드 정보에 따라 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔

개시 신호 및 제2 스캔 개시 신호 모두를 제공하고, 인터레이스(interlaced) 모드에서는 한 프레임동안 상기 제1 스캔개시신호 및 상기 제2 스캔 개시 신호중 어느 하나를 제공하고, 상기 프로그래시브 모드에서는 상기 제1 및 제2 스캔 개시 신호에 인에이블되어 다수의 게이트 라인에 게이트 신호를 순차적으로 제공하고, 상기 인터레이스 모드에서는 상기 제1 및 제2 스캔 개시 신호중 어느 하나에 인에이블되어 상기 다수의 게이트 라인중 일부에만 상기 게이트 신호를 순차적으로 제공하는 것을 포함한다.

- <33> 기타 본 발명의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <34> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <35> 도 1 및 도 2를 참조하여 본 발명의 실시예에 따른 타이밍 컨트롤러, 이를 포함하는 액정 표시 장치 및 액정 표시 장치의 구동 방법을 설명한다. 도 1은 본 발명의 실시예에 따른 타이밍 컨트롤러, 이를 포함하는 액정 표시 장치 및 액정 표시 장치의 구동 방법을 설명하기 위한 블록도이고, 도 2는 도 1의 한 화소의 등가 회로도이다. 이하에서 STVP_0, STVP_E는 STV_0, STV_E의 전압 레벨이 증폭된 신호로서 동일한 기능을 하는 신호이므로, STVP_0 및 STV_0는 제1 스캔 개시 신호라 부르고, STVP_E 및 STV_E은 제2 스캔 개시 신호라 부른다.
- <36> 먼저 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(10)는 액정 패널(300), 신호 제공부, 제1 게이트 구동부(401), 제2 게이트 구동부(402) 및 데이터 구동부(700)를 포함한다. 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함한다.
- <37> 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분된다.
- <38> 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.
- <39> 도 2를 참조하여 도 1의 한 화소에 대해 설명하면, 제1 기판(100)의 화소 전극(PE)과 대향하도록 제2 기판(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다. 스위칭 소자(Q)는 a-Si(amorphous - silicon)으로 이루어진 박막 트랜지스터(Thin Film Transistor, 이하 'a-Si TFT'라 함)이다.
- <40> 비표시부(PA)는 제1 기판(도 2의 100 참조)이 제2 기판(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- <41> 신호 제공부는 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신하고, 영상 신호(DAT), 데이터 제어 신호(CONT)를 데이터 구동부(700)에 제공한다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력한다. 여기서 데이터 제어 신호(CONT)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.
- <42> 이에 따라 데이터 구동부(700)는 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 액정 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.
- <43> 또한 신호 제공부는 수직 동기 신호(Vsync), 메인 클럭 신호(Mclk) 및 표시 모드 정보(INFO)를 제공받는다. 표시 모드 정보(INFO)에 따라 신호 제공부는, 프로그래시브(progressive) 모드에서는 한 프레임동안 제1 스캔 개시 신호(STVP_0) 및 제2 스캔 개시 신호(STVP_E)를 제1 및 제2 게이트 구동부(401, 402) 각각에 제공하고, 인터

레이스(interlaced) 모드에서는 한 프레임동안 상기 제1 스캔 개시 신호(STVP_0) 및 상기 제2 스캔 개시 신호(STVP_E)중 어느 하나를 제1 게이트 구동부(401) 또는 제2 게이트 구동부(402)에 제공한다.

- <44> 이에 따라 프로그래시브 모드에서 제1 및 제2 게이트 구동부(401, 402) 모두는 매 프레임마다 인에이블되어 모든 게이트 라인(G1~Gn)에 게이트 신호를 제공한다. 인터레이스 모드에서는 한 프레임 동안 제1 및 제2 게이트 구동부중 어느 하나만이 인에이블되어 게이트 라인(G1~Gn)중 일부에만 게이트 신호를 제공한다.
- <45> 예컨대, 제1 게이트 구동부(401)가 게이트 라인(G1~Gn)중 홀수 게이트 라인(G1~G2n-1)과 연결되고, 제2 게이트 구동부(402)가 짝수 게이트 라인(G2~G2n)과 연결될 수 있다. 따라서 프로그래시브 모드에서 제1 게이트 구동부(401)는 매 프레임마다 홀수 게이트 라인(G1~G2n-1)에 게이트 신호를 제공하고, 제2 게이트 구동부(402)는 매 프레임마다 짝수 게이트 라인(G2~G2n)에 게이트 신호를 제공한다. 인터레이스 모드에서는 제1 게이트 구동부(401)는 홀수 프레임에만 인에이블되어 홀수 게이트 라인(G1~G2n-1)에 게이트 신호를 제공하고, 제2 게이트 구동부(402)는 짝수 프레임에만 인에이블되어 짝수 게이트 라인(G2~G2n)에 게이트 신호를 제공한다. 이러한 제1 및 제2 게이트 구동부(401, 402)는 캐스케이드(cascade) 연결된 다수의 스테이지를 포함하고, 각 스테이지는 액정 패널(300) 상에 형성된 a-Si TFT를 포함하여 각 게이트 신호를 출력한다. 이러한 제1 및 제2 게이트 구동부(401, 402)는 도 8 및 도 9를 참조하여 후술한다.
- <46> 이하에서 프로그래시브 모드와 인터레이스 모드 별로 각 모듈들의 동작을 좀더 구체적으로 설명한다. 도 3은 도 1의 타이밍 컨트롤러를 설명하기 위한 블록도이고, 도 4는 프로그래시브 모드에서 신호 제공부와 제1 및 제2 게이트 구동부의 동작을 설명하기 위한 신호도이고, 도 5a 및 5b는 인터레이스 모드에서 신호 제공부와, 제1 및 제2 게이트 구동부의 동작을 설명하기 위한 신호도이다.
- <47> 먼저 도 1, 도 3 및 도 4를 참조하여 프로그래시브 모드에서의 각 모듈들의 동작을 좀더 구체적으로 설명한다.
- <48> 타이밍 컨트롤러(500)는 모드 선택부(510)와 제어 신호 생성부(520)를 포함한다.
- <49> 모드 선택부(510)는 외부로부터 표시 모드 정보(INFO)를 입력받아 프로그래시브 모드를 지시하거나 또는 인터레이스 모드를 지시하는 모드 신호를 출력한다. 예컨대 소비 전력이 크더라도 게임이나 영화와 같이 표시 품질을 향상시킬 필요가 있는 경우, 모드 선택부(510)는 프로그래시브 모드를 지시하는 모드 신호(MODE)를 출력한다.
- <50> 제어 신호 생성부(520)는 프로그래시브 모드를 지시하는 모드 신호(MODE)를 입력받아 매 프레임마다 제1 스캔 개시 신호(STV_0), 제2 스캔 개시 신호(STV_E), 제1 CPV 신호(CPV_0), 제2 CPV 신호(CPV_E), 제1 OE 신호(OE_0) 및 제2 OE 신호(OE_E)를 생성하여 출력한다.
- <51> 제1 스캔 개시 신호(STV_0) 및 제2 스캔 개시 신호(STV_E)는 각각 제1 및 제2 게이트 구동부(401, 402)의 동작의 시작을 지시하는 신호이고, 한 쌍의 제1 CPV 신호(CPV_0)와 제1 OE 신호(OE_0) 및 한 쌍의 제2 CPV 신호(CPV_E)와 제2 OE 신호(OE_E)는 각각 한 쌍의 제1 클럭 신호(CKV_0)와 제1 클럭바 신호(CKVB_0) 및 한 쌍의 제2 클럭 신호(CKV_E)와 제2 클럭바 신호(CKVB_E)의 생성을 제어하는 클럭생성 제어신호들이다. 제1 스캔 개시 신호(STV_0) 및 제2 스캔 개시 신호(STV_E)는 소정의 위상차를 갖을 수 있다. 또한 제1 CPV 신호(CPV_0) 및 제2 CPV 신호(CPV_E)는 소정의 위상차를 가지며, 제1 OE 신호(OE_0) 및 제2 OE 신호(OE_E)도 소정의 위상차를 갖을 수 있다. 한 쌍의 제1 클럭 신호(CKV_0)와 제1 클럭바 신호(CKVB_0) 및 한 쌍의 제2 클럭 신호(CKV_E)와 제2 클럭바 신호(CKVB_E)를 생성하는데 한 쌍의 제1 CPV 신호(CPV_0)와 제1 OE 신호(OE_0) 및 한 쌍의 제2 CPV 신호(CPV_E)와 제2 OE 신호(OE_E)가 모두 이용될 수 있으며 또는 제1 CPV 신호(CPV_0)와 제2 CPV 신호(CPV_E)만이 사용될 수 있다. 이하에서는 한 쌍의 제1 CPV 신호(CPV_0)와 제1 OE 신호(OE_0) 및 한 쌍의 제2 CPV 신호(CPV_E)와 제2 OE 신호(OE_E)가 모두 이용되는 경우를 예로 들어 설명하나 이에 한정되는 것은 아니다.
- <52> 클럭 생성부(600)는 프로그래시브 모드에서 제1 CPV 신호(CPV_0), 제2 CPV 신호(CPV_E), 제1 OE 신호(OE_0) 및 제2 OE 신호(OE_E)를 이용하여 제1 클럭 신호(CKV_0), 제1 클럭바 신호(CKVB_0), 제2 클럭 신호(CKV_E) 및 제2 클럭바 신호(CKVB_E)를 생성하고, 한 쌍의 제1 클럭 신호(CKV_0) 및 제1 클럭바 신호(CKVB_0)를 제1 게이트 구동부(401)에 제공하고, 한 쌍의 제2 클럭 신호(CKV_E) 및 제2 클럭바 신호(CKVB_E)를 제2 게이트 구동부(402)에 제공한다. 여기서 제1 클럭바 신호(CKVB_0) 및 제2 클럭바 신호(CKVB_E)는 각각 제1 클럭 신호(CKV_0) 및 제2 클럭 신호(CKV_E)와 역위상을 갖는다. 또한 한 쌍의 제1 클럭 신호(CKV_0)와 제1 클럭바 신호(CKVB_0) 및 한 쌍의 제2 클럭 신호(CKV_E) 및 제2 클럭바 신호(CKVB_E)는 각각 제1 및 제2 게이트 구동부(401, 402)가 게이트 신호를 생성하는데 이용된다. 클럭 생성부(600)가 제1 CPV 신호(CPV_0)와 제1 OE 신호(OE_0) 및/또는 제2 CPV 신호(CPV_E)와 제2 OE 신호(OE_E)를 이용하여 제1 클럭 신호(CKV_0)와 제1 클럭바 신호(CKVB_0) 및/또는 제2 클럭 신호(CKV_E) 및 제2 클럭바 신호(CKVB_E)를 생성하는 방법은 도 6 및 도 7을 참조하여 후술한다.

- <53> 제1 게이트 구동부(401)는 제1 스캔 개시 신호(STVP_0)에 인에이블되어 제1 클럭 신호(CKV_0)와 제1 클럭바 신호(CKVB_0)를 이용하여 순차적으로 홀수 게이트 라인, 예컨대 제1 게이트 라인(G1) 및 제3 게이트 라인(G3)에 게이트 신호를 출력한다. 제2 게이트 구동부(402)는 제2 스캔 개시 신호(STVP_E)에 인에이블되어 제2 클럭 신호(CKV_E)와 제2 클럭바 신호(CKVB_E)를 이용하여 순차적으로 짝수 게이트 라인, 예컨대 제2 게이트 라인(G2) 및 제4 게이트 라인(G4)에 게이트 신호를 출력한다.
- <54> 따라서 도 4에 도시된 바와 같이, 매 프레임마다 모든 게이트 라인(G1~Gn)이 순차적으로 활성화될 수 있다.
- <55> 한편, 제1 클럭 신호(CKV_0)의 전압 레벨은 제1 하이 구간(P1)에서 하이 레벨이고, 제1 로우 구간(P3)에서 로우 레벨이고, 제1 차지 웨어링(charge-sharing) 구간(P2)에서 상기 하이 레벨에서 상기 로우 레벨로 천이하거나 또는 상기 로우 레벨에서 상기 하이 레벨로 천이할 수 있다. 제2 클럭 신호(CKV_E)의 전압 레벨은 제2 하이 구간(P4)에서 하이 레벨이고, 제2 로우 구간(P6)에서 로우 레벨이고, 제2 차지 웨어링 구간(P5)에서 상기 하이 레벨에서 상기 로우 레벨로 천이하거나 또는 상기 로우 레벨에서 상기 하이 레벨로 천이할 수 있다.
- <56> 제1 하이 구간(P1) 또는 제2 하이 구간(P4)을 1H라 하면, 제1 클럭 신호(CKV_0)의 전압 레벨은 상기 제2 차지 웨어링 구간(P5)에서 로우 레벨일 수 있고, 제2 클럭 신호(CKV_E)의 전압 레벨은 상기 제1 차지 웨어링 구간(P2)에서 하이 레벨일 수 있다. 즉, 제1 클럭 신호(CKV_0)와 제2 클럭 신호(CKV_E)의 위상차는 1H일 수 있다. 이러한 경우, 각 게이트 라인에 하이 레벨의 전압이 인가되는 시간은 1H일 수 있으며, 각 게이트 라인(G1~G4)에 하이 레벨이 인가되는 시간은 서로 오버랩되지 않을 수 있다. 즉, 제1 차지 웨어링 구간(P2)은 제2 클럭 신호(CKV_E)의 제2 하이 구간(P4) 또는 제2 로우 구간(P6)과 오버랩될 수 있다. 또한, 제2 차지 웨어링 구간(P5)은 제1 클럭 신호(CKV_0)의 제1 하이 구간(P1) 또는 제1 로우 구간(P3)과 오버랩될 수 있다. 다만, 본 발명이 제1 클럭 신호(CKV_0)와 제2 클럭 신호(CKV_E)의 위상차가 1H인 경우에 한정되지 않으며, 제1 클럭 신호(CKV_0)와 제2 클럭 신호(CKV_E)의 위상차가 1H보다 작은 경우, 각 게이트 라인(G1~G4)에 하이 레벨이 인가되는 시간은 서로 오버랩될 수 있다.
- <57> 다음으로 도 1, 도 3, 도 5a 및 도 5b를 참조하여 인터레이스 모드에서의 각 모듈들의 동작을 좀더 구체적으로 설명한다.
- <58> 타이밍 컨트롤러(500)는 인터레이스 모드에서 한 프레임동안 제1 스캔 개시 신호(STV_0) 및 제2 스캔 개시 신호(STV_E)중 어느 하나, 제1 CPV 신호(CPV_0) 및 제2 CPV 신호(CPV_E)중 어느 하나, 제1 OE 신호(OE_0) 및 제2 OE 신호(OE_E)중 어느 하나를 출력한다. 예컨대, 모드 선택부(510)가 외부로부터 표시 모드 정보(INFO)를 입력받아 인터레이스 모드를 지시하는 모드 신호(MODE)를 출력하면, 제어 신호 생성부(520)는 홀수 프레임에서 제1 스캔 개시 신호(STV_0), 제1 CPV 신호(CPV_0) 및 제1 OE 신호(OE_0)를 생성하여 출력하고, 짝수 프레임에서 제2 스캔 개시 신호(STV_E), 제2 CPV 신호(CPV_E) 및 제2 OE 신호(OE_E)를 생성하여 출력한다.
- <59> 클럭 생성부(600)는 인터레이스 모드에서 홀수 프레임에서는 제1 CPV 신호(CPV_0) 및 제1 OE 신호(OE_0)를 이용하여 제1 클럭 신호(CKV_0), 제1 클럭바 신호(CKVB_0)를 생성하여 이들을 제1 게이트 구동부로 제공하고, 짝수 프레임에서는 제2 CPV 신호(CPV_E) 및 제2 OE 신호(OE_E)를 이용하여 제2 클럭 신호(CKV_E), 제2 클럭바 신호(CKVB_E)를 생성하여 이들을 제2 게이트 구동부(402)로 제공한다
- <60> 따라서 도 5a에 도시된 바와 같이 홀수 프레임에서는, 제1 게이트 구동부(401)가 제1 스캔 개시 신호(STVP_0)에 인에이블되어 홀수 게이트 라인, 예컨대 제1 게이트 라인(G1) 및 제3 게이트 라인(G3)에 순차적으로 게이트 신호를 제공한다. 이때, 짝수 게이트 라인, 예컨대 제2 게이트 라인(G2) 및 제4 게이트 라인(G4)은 로우 레벨로 유지된다. 또한, 도 5b에 도시된 바와 같이 짝수 프레임에서는, 제2 게이트 구동부(402)가 제2 스캔 개시 신호(STVP_E)에 인에이블되어 짝수 게이트 라인, 예컨대 제2 게이트 라인(G2) 및 제4 게이트 라인(G4)에 순차적으로 게이트 신호를 제공한다. 이때, 홀수 게이트 라인, 예컨대 제1 게이트 라인(G1) 및 제3 게이트 라인(G3)은 로우 레벨로 유지된다.
- <61> 정리해서 설명하면, 프로그래시브 모드에서는 제1 및 제2 게이트 구동부(401, 402)가 모두 인에이블되어 모든 게이트 라인(G1~Gn)에 게이트 신호를 제공하고, 인터레이스 모드에서는 제1 및 제2 게이트 구동부(401, 402)중 어느 하나만이 인에이블되어 모든 게이트 라인(G1~Gn)중 홀수 게이트 라인(G1~G2n-1) 또는 짝수 게이트 라인(G2~G2n)에 게이트 신호를 제공한다. 프로그래시브 모드에서는 모든 게이트 라인(G1~Gn)에 게이트 신호가 제공되므로, 소비 전력이 증가하지만 표시 품질은 향상될 수 있다. 인터레이스 모드에서는 일부의 게이트 라인에 게이트 신호가 제공되므로, 표시 품질이 저하되나 소비 전력을 낮출 수 있다. 따라서 이러한 액정 표시 장치(10)는 상황에 따라 프로그래시브 모드 또는 인터레이스 모드로 동작하므로, 소비 전력을 낮춤과 동시에 표시 품질

을 향상시킬 수 있다.

- <62> 도 6 및 도 7을 참조하여 도 1의 클럭 생성부를 설명한다. 도 6은 도 1의 클럭 생성부를 설명하기 위한 블록도이고, 도 7은 도 6의 클럭 생성부의 동작을 설명하기 위한 신호도이다. 이하에서 클럭 생성부가 제1 CPV 신호 및 제1 OE 신호를 제공받아 제1 클럭 신호 및 제1 클럭바 신호를 생성하는 경우를 예로 들어 설명한다.
- <63> 클럭 생성부(600)는 논리합 연산자(OR), 디플립플롭(610), 제1 클럭 전압 인가부(620), 제2 클럭 전압 인가부(630), 전하 공유부(640), 커패시터들(C1, C2)을 포함한다. 다만, 클럭 생성부(601)의 내부 회로가 이에 한정되는 것은 아니다.
- <64> 디플립플롭(610)은 제1 출력 단자(Q)를 통해 제1 클럭 인에이블 신호(ECS_O)를 출력하고, 제2 출력 단자(/Q)를 통해 제2 클럭 인에이블 신호(OCS_O)를 출력한다. 좀더 구체적으로, 제1 OE 신호(OE_O)가 클럭 단자(CLK)를 통해 입력되고, 제2 출력 단자(/Q)와 입력 단자(D)가 연결되어, 제1 출력 단자(Q)를 통해 제1 OE 신호(OE_O)의 라이징 에지마다 토글(toggle)되는 제1 클럭 인에이블 신호(ECS_O)가 출력되고, 제2 출력 단자(/Q)에서는 제1 클럭 인에이블 신호(ECS_O)와 위상이 반대인 제2 클럭 인에이블 신호(OCS_O)가 출력된다. 다만, 제1 OE 신호(OE_O)가 제1 클럭 신호(CKV_O) 및 제1 클럭바 신호(CKVB_O)를 생성하는데 이용되지 않는 경우, 제1 OE 신호(OE_O) 대신 제1 CPV 신호(CPV_O)가 클럭 단자(CLK)를 통해 입력될 수 있다.
- <65> 제1 클럭 인에이블 신호(ECS_O)는 제1 클럭 전압 인가부(620)에 제공되고, 제2 클럭 인에이블 신호(OCS_O)는 제2 클럭 전압 인가부(630)에 제공된다.
- <66> 논리합 연산자(OR)는 제1 OE 신호(OE_O)와 제1 CPV 신호(CPV_O)를 입력받아 차지 웨어링 제어신호(CPVX_O)를 생성하여 전하 공유부(640)로 제공한다. 다만, 제1 OE 신호(OE_O)가 제1 클럭 신호(CKV_O) 및 제1 클럭바 신호(CKVB_O)를 생성하는데 이용되지 않는 경우, 논리합 연산자(OR)는 생략될 수 있고, 차지 웨어링 제어신호(CPVX_O)가 제1 CPV 신호(CPV_O)일 수 있다.
- <67> 제1 클럭 전압 인가부(620)는 제1 클럭 인에이블 신호(ECS_O)에 인에이블되어, 제1 클럭 인에이블 신호(ECS_O)가 하이 레벨인 경우 하이 레벨의 전압(Von)을 출력하여, 제1 커패시터(C1)를 하이 레벨의 전압(Von)으로 충전시키고(도 7의 P1 참조), 제1 클럭 인에이블 신호(ECS_O)가 로우 레벨인 경우 로우 레벨의 전압(Voff)을 출력하여, 제1 커패시터(C1)를 로우 레벨의 전압(Voff)으로 충전시킨다(도 7의 P3 참조). 마찬가지로 제2 클럭 전압 인가부(630)는 제2 클럭 인에이블 신호(OCS_O)에 인에이블되어, 제2 클럭 인에이블 신호(OCS_O)가 로우 레벨인 경우 로우 레벨의 전압(Voff)을 출력하여, 제2 커패시터(C2)를 로우 레벨의 전압(Voff)으로 충전시키고(도 7의 P1 참조), 제2 클럭 인에이블 신호(OCS_O)가 하이 레벨인 경우 하이 레벨의 전압(Von)을 출력하여, 제2 커패시터(C2)를 하이 레벨의 전압(Von)으로 충전시킨다. (도 7의 P3 참조).
- <68> 여기서, 전하 공유부(640)는 차지 웨어링 제어신호(CPVX_O)를 입력받아, 제1 커패시터(C1) 및 제2 커패시터(C2)의 충전 및 방전시에 전하를 공유시킨다.
- <69> 좀더 구체적으로 설명하면, 차지 웨어링 제어신호(CPVX_O)가 로우 레벨이 되면, 제1 커패시터(C1) 및 제2 커패시터(C2)는 전기적으로 연결된다. 따라서 하이 레벨의 전압(Von)으로 충전된 제1 커패시터(C1)는 방전을 시작하고, 로우 레벨의 전압(Voff)으로 충전된 제2 커패시터(C2)는 제1 커패시터(C1)로부터 전하를 제공받아 하이 레벨의 전압(Von)으로 충전을 시작한다. 즉, 차지 웨어링 구간(P2)에서 제1 커패시터(C1) 및 제2 커패시터(C2)는 전하를 공유하므로, 제1 로우 구간(P3)에서 제1 커패시터(C1)의 전압은 로우 레벨(Voff)로 쉽게 낮아질 수 있고, 제2 커패시터(C2)의 전압은 하이 레벨(Von)로 쉽게 높아질 수 있다.
- <70> 이러한 과정을 거쳐 제1 하이 구간(P1)에서 제1 클럭 신호(CKV_O)는 하이 레벨이고 제1 클럭바 신호(CKVB_O)는 로우 레벨이며, 제1 로우 구간(P3)에서 제1 클럭 신호(CKV_O)는 로우 레벨이고 제1 클럭바 신호(CKVB_O)는 하이 레벨이며, 차지 웨어링 구간(P2)에서 제1 클럭 신호(CKV_O)는 하이 레벨에서 로우 레벨로 천이하고 제1 클럭바 신호(CKVB_O)는 로우 레벨에서 하이 레벨로 천이한다. 다만, 클럭 생성부(600)는 전하 공유부(640)를 포함하지 않을 수 있다. 이와 마찬가지로 상술한 과정을 통해 제2 클럭 신호(CKV_E) 및 제2 클럭바 신호(CKVB_E)도 생성되며, 설명의 편의상 이에 관한 설명은 생략한다.
- <71> 이하에서 도 8 및 도 9를 참조하여 도 1의 제1 및 제2 게이트 구동부에 대해 상세히 설명한다. 도 8은 도 1의 제1 게이트 구동부를 설명하기 위한 예시적인 블록도이고, 도 9는 도 8의 한 스테이지를 설명하기 위한 예시적인 회로도이다.
- <72> 제1 게이트 구동부(401)는 다수의 스테이지(ST₁, ~ST_{2n})를 포함하는데, 각 스테이지(ST₁, ~ST_{2n})는 케스캐이드

(cascade)로 연결되어 있으며, 마지막 스테이지(ST_{2n})를 제외한 각 스테이지(ST₁, ~ST_{2j+1})는 홀수 게이트 라인(G1~G_{2n-1})과 일대일로 연결되어 각각 게이트 신호(Gout₁~Gout_(2j+1))를 출력한다. 각 스테이지(ST₁, ~ST_{2n})에는 게이트 오프 전압(Voff), 제1 클럭 신호(CKV_0) 및 제1 클럭바 신호(CKVB_0), 초기화 신호(INT_0)가 입력된다. 여기서 초기화 신호(INT_0)는 클럭 생성부(600)로부터 제공될 수 있다.

- <73> 각 스테이지(ST₁, ~ST_{2n})는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있을 수 있다.
- <74> 예를 들어 2j-1번째 게이트 라인과 연결된 스테이지(ST_{2j-1})의 셋 단자(S)에는 전단 스테이지(ST_{2j-3})의 캐리 신호(Cout_(2j-3))가, 리셋 단자(R)에는 후단 스테이지(ST_{2j+1})의 게이트 신호(Gout_(2j+1))가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 제1 클럭 신호(CKV_0) 및 제1 클럭바 신호(CKVB_0)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT_0) 또는 마지막 스테이지(ST_{2n})의 캐리 신호(Cout_(2n))가 입력된다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout_(2j-1))를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout_(2j-1))를 출력한다.
- <75> 단, 첫 번째 스테이지(ST₁)에는 전단 캐리 신호 대신 제1 스캔 개시 신호(STVP_0)가 입력되며, 마지막 스테이지(ST_{2n})에는 후단 게이트 신호 대신 제1 스캔 개시 신호(STVP_0)가 입력된다.
- <76> 여기서 도 9를 참조하여 도 8의 한 스테이지(ST_{2j-1})에 대하여 좀더 상세히 설명한다.
- <77> 도 9를 참조하면, 스테이지(ST_{2j-1})는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 폴다운부(440), 방전부(450) 및 홀딩부(460)를 포함한다.
- <78> 버퍼부(410)는 트랜지스터(T4)의 드레인과 게이트가 공통되어 셋 단자(S)를 통해 입력된 전단 스테이지(ST_{2j-3})의 캐리 신호(Cout_(2j-3))를, 소스에 연결된 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다.
- <79> 충전부(420)는 일단이 트랜지스터(T4)의 소스, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 구동부(30)의 게이트 출력 단자(OUT1)에 연결된 커패시터(C3)로 이루어진다. 충전부(420)는 전단 스테이지(ST_{2j-3})의 캐리 신호(Cout_(2j-3))를 제공받아 충전된다.
- <80> 풀업부(430)는 트랜지스터(T1)를 포함하는데, 트랜지스터(T1)의 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 커패시터(C3)의 일단에 연결되며, 소스가 커패시터(C3)의 타단 및 게이트 출력 단자(OUT1)에 연결된다. 충전부(420)의 커패시터(C3)가 충전되면, 트랜지스터(T1)는 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 제1 클럭 신호(CKV_0)를 게이트 출력 단자(OUT1)를 통해 게이트 신호(Gout_(2j-1))로 제공한다.
- <81> 캐리 신호 발생부(470)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 게이트 출력 단자(OUT1)에 연결되고, 게이트가 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와 게이트와 소스에 연결된 커패시터(C4)를 포함한다. 커패시터(C2)는 전단 스테이지(ST_{2j-3})의 캐리 신호(Cout_(2j-3))를 제공받아 충전되고, 트랜지스터(T15)는 커패시터(C4)가 충전되면 턴온되어, 제1 클럭 신호(CKV_0)를 캐리 출력 단자(OUT2)를 통해 캐리 신호(Cout_(2j-1))로 출력한다.
- <82> 폴다운부(440)는 드레인이 트랜지스터(T1)의 소스 및 커패시터(C1)의 타단에 연결되고, 소스가 전원 전압 단자(GV)에 연결되고, 게이트가 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다. 폴다운부(440)는 리셋 단자(R)를 통해 입력된 다음 스테이지(ST_{2j+1})의 게이트 신호(Gout_(2j+1))에 턴온되어 게이트 신호(Gout_(2j-1))를 게이트 오프 전압(Voff)으로 폴다운시킨다.
- <83> 방전부(450)는, 게이트가 리셋 단자(R)에 연결되고 드레인이 커패시터(C3)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST_{2j+1})의 게이트 신호(Gout_(2j+1))에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 커패시터(C3)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT_0)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함한다. 즉, 방전부(450)는 다음 스테이지(ST_{2j+1})의 게이트 신호(Gout_(2j+1)) 또는 초기화 신호(INT_0)에 응답

하여 캐패시터(C3)를 게이트 오프 전압(Voff)으로 방전시켜, 풀업부(430)를 턴오프시킨다.

- <84> 홀딩부(460)는 게이트 신호(Gout_(2j-1))가 로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호(Gout_(2j-1))가 하이 레벨에서 로우 레벨로 변환된 후에는 제1 클럭 신호(CKV_0) 및 제1 클럭바 신호(CKVB_0)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호(Gout_(2j-1))를 로우 레벨로 유지시키는 동작을 수행한다.
- <85> 좀더 구체적으로 설명하면, 먼저 게이트 신호(Gout_(2j-1))가 로우 레벨에서 하이 레벨로 변환된 경우, 트랜지스터들(T8, T13)은 턴온된다. 트랜지스터(T13)는 트랜지스터(T7)를 턴오프시켜 하이 레벨의 제1 클럭 신호(CKV_0)가 트랜지스터(T3)로 제공되는 것을 차단하고, 트랜지스터(T8)는 트랜지스터(T3)를 턴오프시킨다. 따라서 게이트 신호(Gout_(2j-1))가 하이 레벨로 유지된다.
- <86> 다음으로 게이트 신호(Gout_(2j-1))가 하이 레벨에서 로우 레벨로 변환된 후에는 트랜지스터들(T8, T13)은 턴오프된다. 제1 클럭 신호(CKV_0)가 하이 레벨이면, 트랜지스터들(T7, T12)은 트랜지스터(T3)를 턴온시켜 게이트 신호(Gout_(2j-1))를 로우 레벨로 유지한다. 또한 트랜지스터(T10)가 턴온되어 트랜지스터(T1)의 게이트가 로우 레벨로 유지되며, 따라서 하이 레벨의 제1 클럭 신호(CKV_0)가 게이트 출력 단자(OUT1)로 출력되지 않는다. 제1 클럭바 신호(CKVB_0)가 하이 레벨이고, 트랜지스터들(T5, T11)이 턴온된다. 턴온된 트랜지스터(T5)는 게이트 신호(Gout_(2j-1))를 로우 레벨로 유지시키며, 턴온된 트랜지스터(T11)는 캐패시터(C3)의 일단을 로우 레벨로 유지시킨다. 따라서, 게이트 신호(Gout_(2j-1))가 한 프레임동안 로우 레벨로 유지된다.
- <87> 다만, 스테이지(ST_{2j-1})는 캐리 신호 발생부(470)를 포함하지 않을 수 있다. 이러한 경우, 스테이지(ST_{2j-1})는 전단 스테이지(ST_{2j-3})의 캐리 신호(Cout_(2j-3)) 대신에 전단 스테이지(ST_{2j-3})의 게이트 신호(Gout_(2j-3))를 셋 단자(S)를 통해 입력받아 동작할 수 있다.
- <88> 제2 게이트 구동부(402)는 도 8에 도시된 바와 같이 케스케이드로 연결된 다수의 스테이지를 포함하고, 각 스테이지는 짝수 게이트 라인(G2~G2n)과 일대일로 연결되며, 각 스테이지의 내부는 도 9에 도시된 바와 같을 수 있다. 설명의 편의상 제2 게이트 구동부(402)의 상세한 설명은 생략한다.
- <89> 이상 첨부된 도면을 참조하여 본 발명의 실시예FMF 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

- <90> 상술한 바와 같은 본 발명에 실시예에 따른 타이밍 컨트롤러 및 액정 표시 장치에 의하면, 프로그래시브 모드 및 인터레이스 모드로 동작하므로, 소비 전력을 낮추면서도 표시 품질을 향상시킬 수 있다.

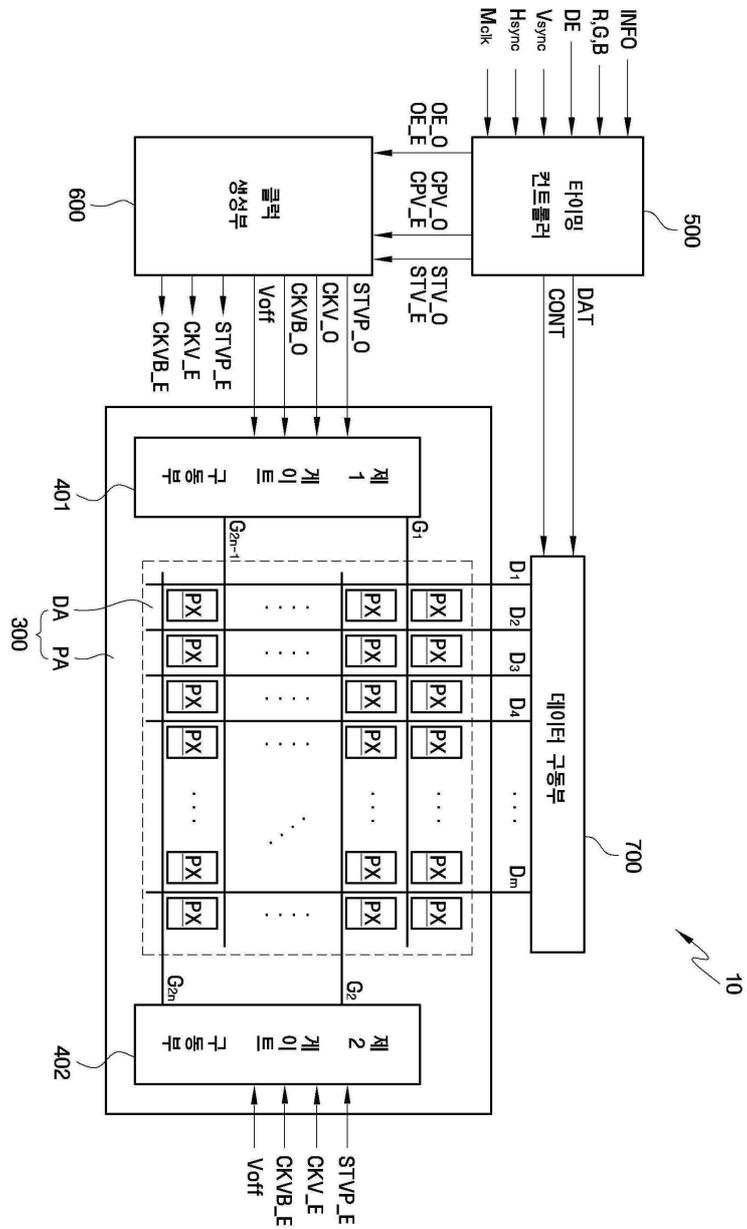
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 타이밍 컨트롤러, 이를 포함하는 액정 표시 장치 및 액정 표시 장치의 구동 방법을 설명하기 위한 블록도이다.
- <2> 도 2는 도 1의 한 화소의 등가 회로도이다.
- <3> 도 3은 도 1의 타이밍 컨트롤러를 설명하기 위한 블록도이다.
- <4> 도 4는 프로그래시브 모드에서 신호 제공부와 제1 및 제2 게이트 구동부의 동작을 설명하기 위한 신호도이다.
- <5> 도 5a 및 5b는 인터레이스 모드에서 신호 제공부와, 제1 및 제2 게이트 구동부의 동작을 설명하기 위한 신호도이다.
- <6> 도 6은 도 1의 클럭 생성부를 설명하기 위한 블록도이다.
- <7> 도 7은 도 6의 클럭 생성부의 동작을 설명하기 위한 신호도이다.
- <8> 도 8은 도 1의 제1 게이트 구동부를 설명하기 위한 예시적인 블록도이다.

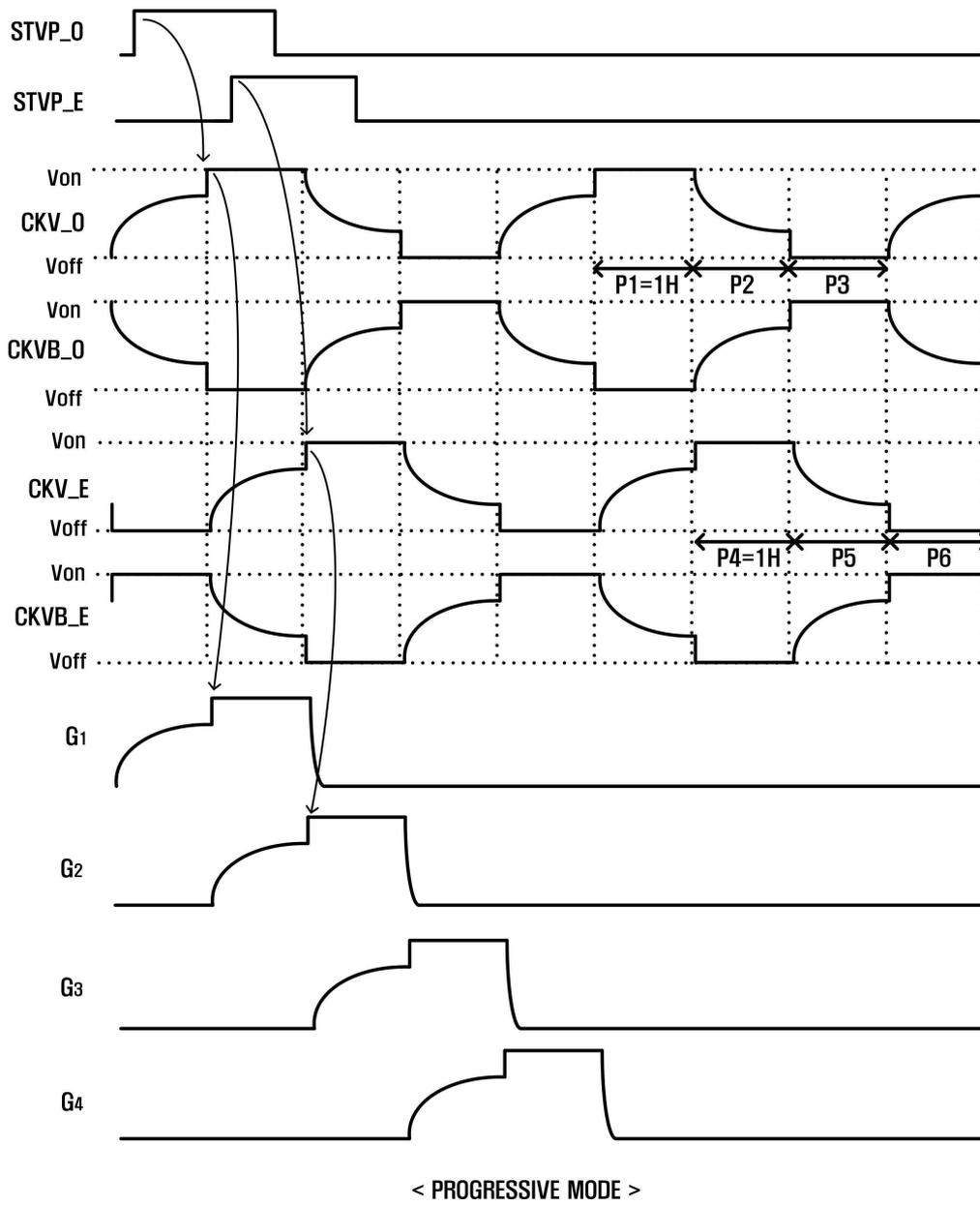
- <9> 도 9는 도 8의 한 스테이지를 설명하기 위한 예시적인 회로도이다.
- <10> (도면의 주요부분에 대한 부호의 설명)
- <11> 10: 액정 표시 장치 100: 제1 기관
- <12> 200: 제2 기관 300: 액정 패널
- <13> 401: 제1 게이트 구동부 402: 제2 게이트 구동부
- <14> 410: 버퍼부 420: 충전부
- <15> 430: 풀업부 440: 풀다운부
- <16> 450: 방전부 460: 홀딩부
- <17> 470: 캐리 신호 발생부 500: 타이밍 컨트롤러
- <18> 510: 모드 선택부 520: 제어 신호 생성부
- <19> 600: 클럭 생성부 610: 디플립플롭
- <20> 620: 제1 클럭 전압 인가부 630: 제2 클럭 전압 인가부
- <21> 640: 전하 공유부 700: 데이터 구동부

도면

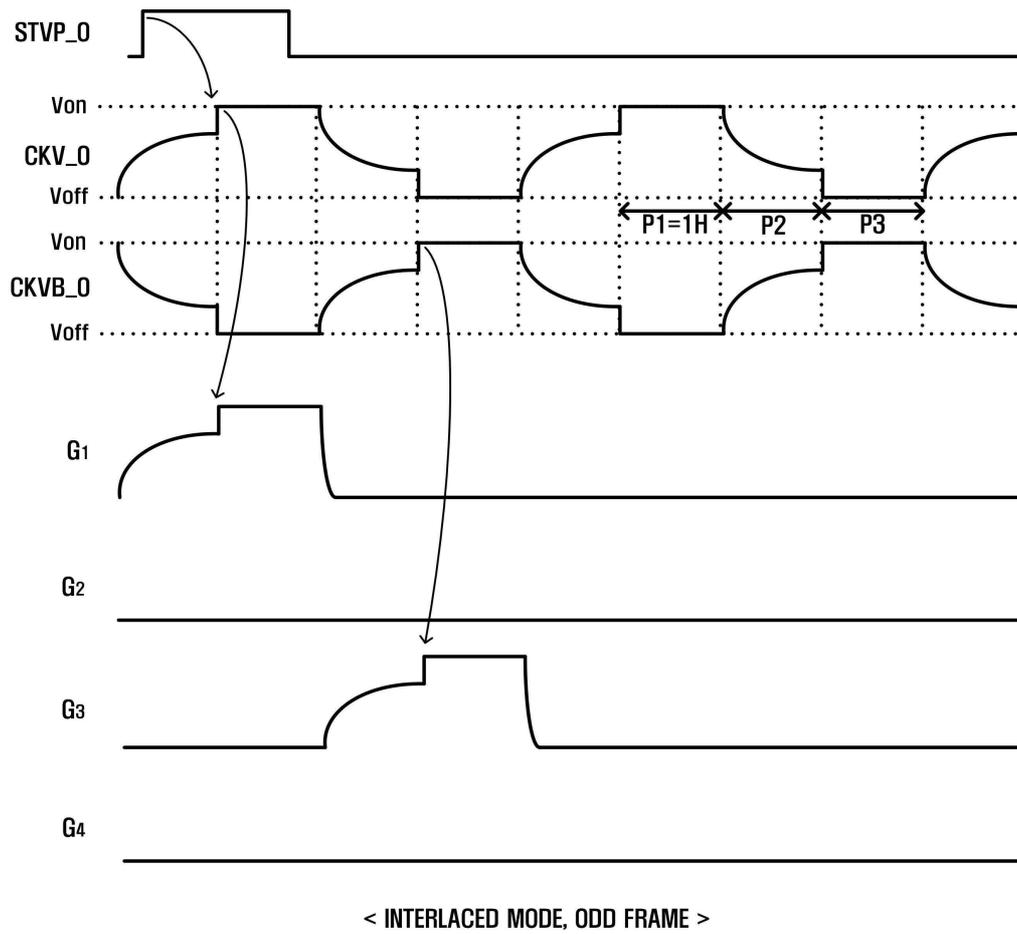
도면1



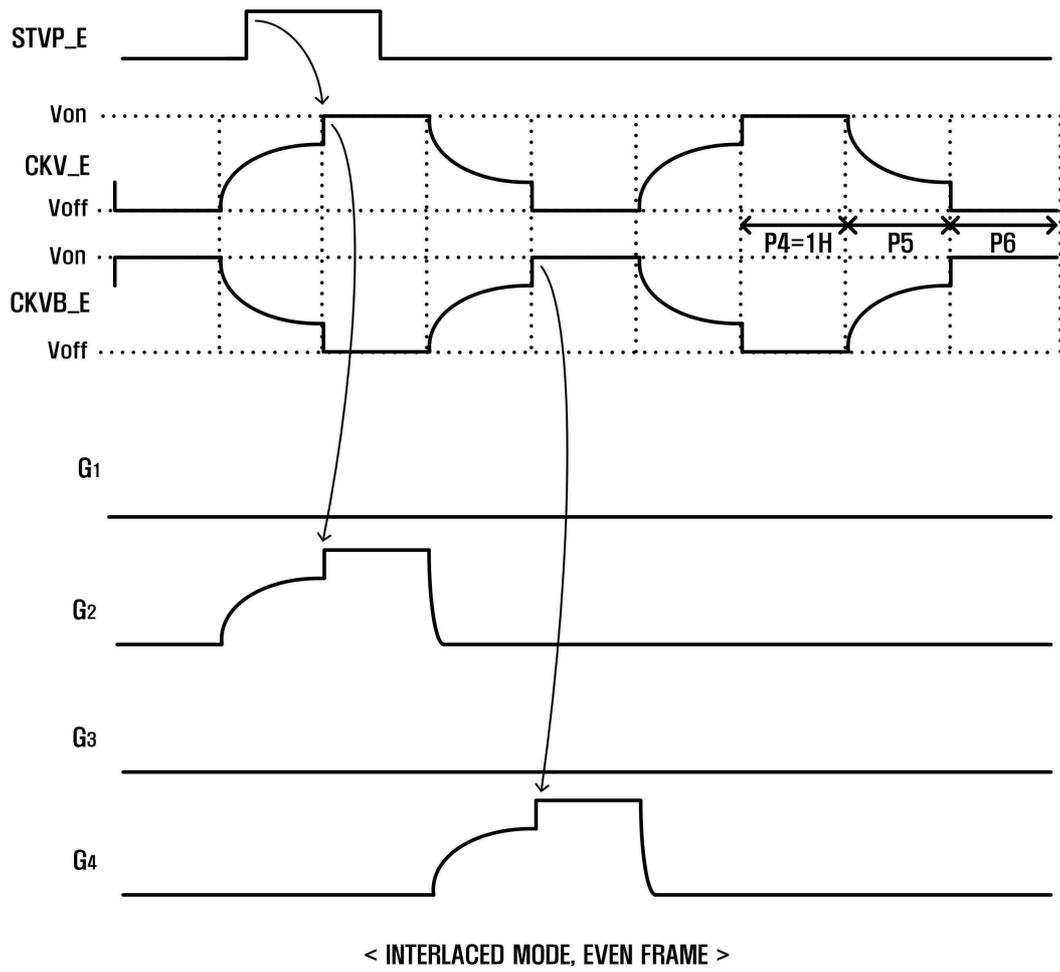
도면4



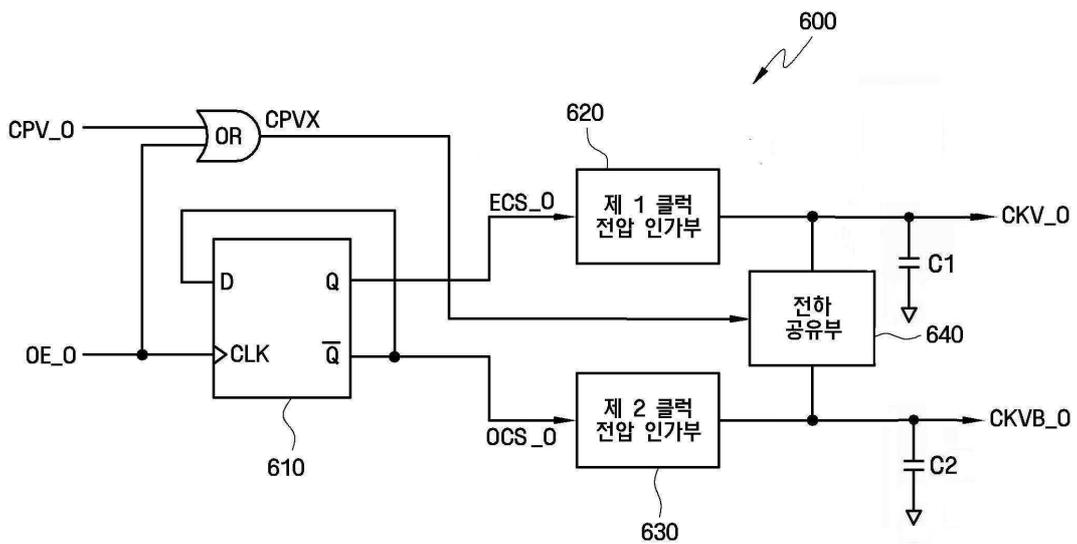
도면5a



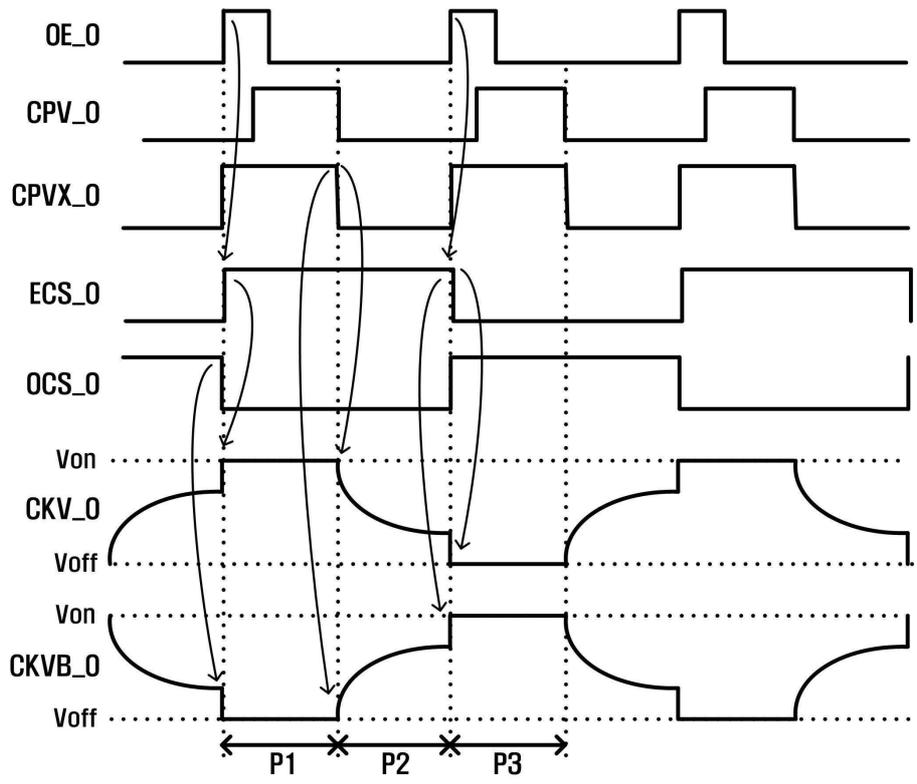
도면5b



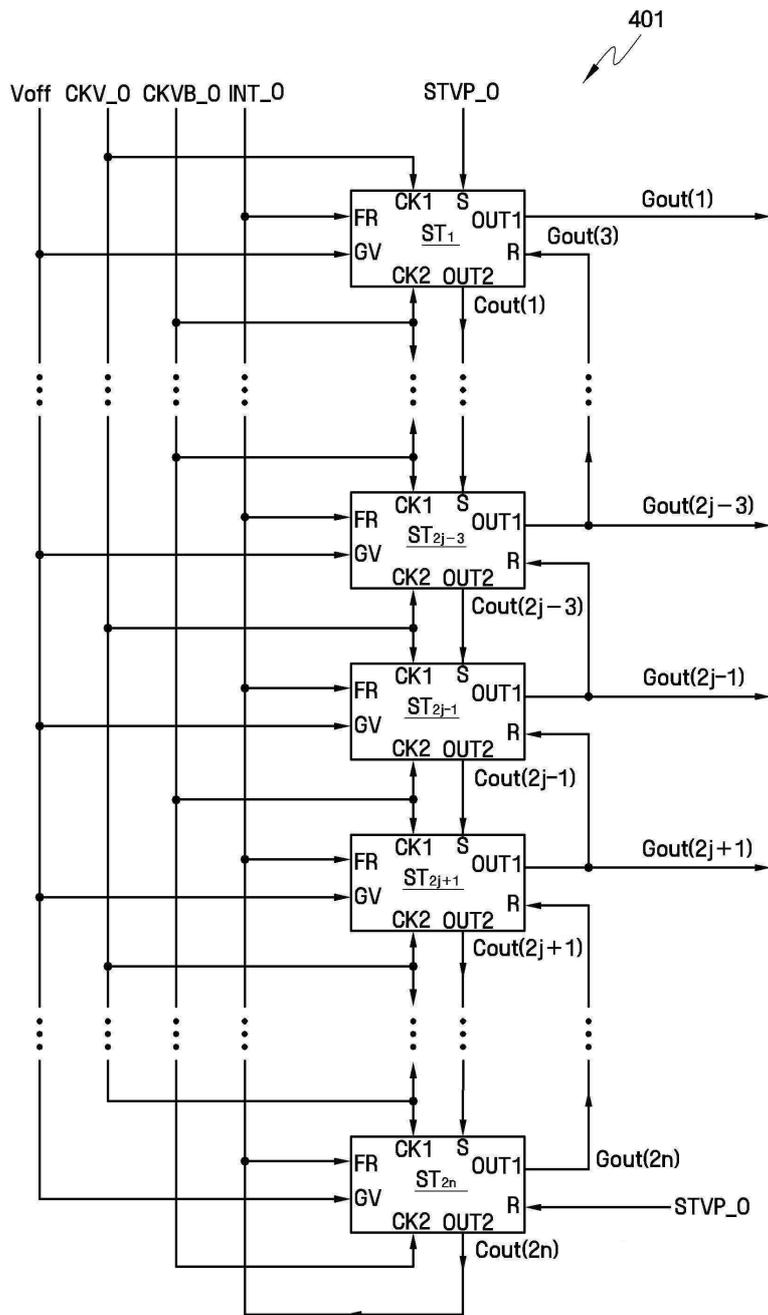
도면6



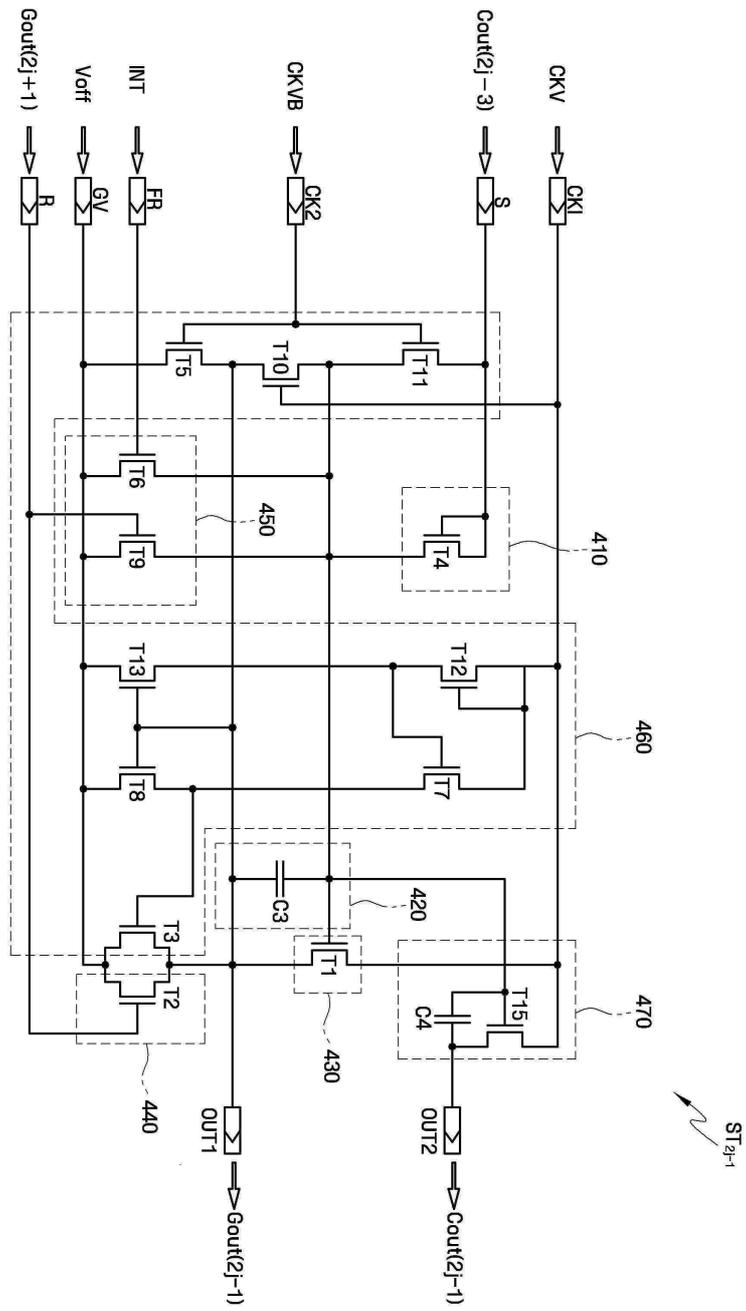
도면7



도면8



도면9



专利名称(译)	定时控制器，液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	KR1020080099534A	公开(公告)日	2008-11-13
申请号	KR1020070045192	申请日	2007-05-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG IN JAE 황인재 MOH SANG MOON 모상문		
发明人	황인재 모상문		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2330/023 G09G2310/08 G09G3/3677 G09G2310/0224 G09G3/3648		
其他公开文献	KR101493276B1		
外部链接	Espacenet		

摘要(译)

定时控制器，包括该定时控制器的液晶显示器，以及液晶显示器的驱动方法。定时控制器包括：模式选择器，用于接收显示模式信息并输出指示逐行模式或隔行模式的模式信号；以及模式选择器，用于选择第一扫描之一信号产生单元，用于输出开始信号和第二扫描开始信号，并在隔行扫描模式下输出一帧的第一扫描开始信号或第二扫描开始信号，以及控制信号生成单元，其中扫描开始信号的相位彼此不同。

