



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0032492
(43) 공개일자 2008년04월15일

(51) Int. Cl.

G02F 1/1335 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0098403

(22) 출원일자 2006년10월10일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

채기성

인천 연수구 동춘동 한양1차아파트 111-607

(74) 대리인

특허법인로알

전체 청구항 수 : 총 16 항

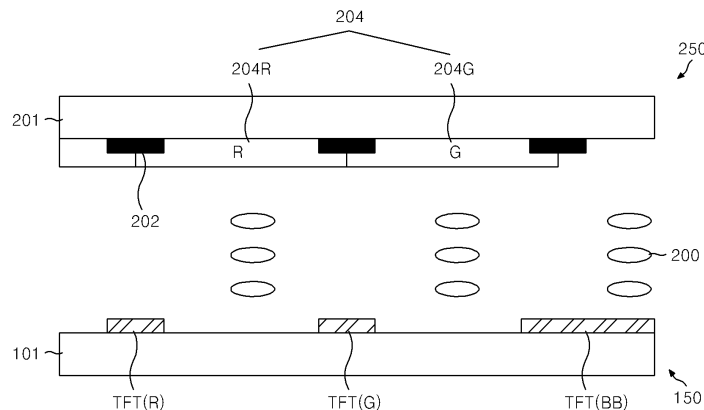
(54) 액정표시패널 및 그 제조 방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 특히 제조비를 절감할 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.

이 액정표시패널은 스캔 신호가 공급되는 복수의 게이트 라인, 상기 게이트 라인들과 교차하고 데이터 전압이 인가되는 복수의 데이터 라인들을 가지며, 상기 게이트 라인들 및 상기 데이터 라인들의 교차에 의해 정의되는 화소 영역들 중에서 청색 서브 픽셀에 청색의 빛을 자발광 하는 자발광 소자가 형성된 제1 기판과; 적색 서브 픽셀과 녹색 서브 픽셀에 해당하는 상기 화소 영역들에 칼라 필터 들이 형성된 제2 기판과; 상기 제1 및 제2 기판 사이에 형성되어 상기 제1 기판과 상기 제2 기판 사이에 인가되는 전계에 의해 구동하는 액정층을 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

스캔 신호가 공급되는 복수의 게이트 라인, 상기 게이트 라인들과 교차하고 데이터 전압이 인가되는 복수의 데이터 라인들을 가지며, 상기 게이트 라인들 및 상기 데이터 라인들의 교차에 의해 정의되는 화소 영역들 중에서 청색 서브 픽셀에 청색의 빛을 자발광 하는 자발광 소자가 형성된 제1 기판과;

적색 서브 픽셀과 녹색 서브 픽셀에 해당하는 상기 화소 영역들에 칼라 필터 등이 형성된 제2 기판과;

상기 제1 및 제2 기판 사이에 형성되어 상기 제1 기판과 상기 제2 기판 사이에 인가되는 전계에 의해 구동하는 액정층을 구비하는 것을 특징으로 하는 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 적색 서브 픽셀과 상기 녹색 서브 픽셀, 및 상기 청색 서브 픽셀 각각에서 상기 게이트 라인들과 상기 데이터 라인들의 교차부마다 형성되어 상기 데이터 전압을 스위칭하기 위한 박막 트랜지스터를 더 구비하고;

상기 박막 트랜지스터 각각의 활성층은 상기 자발광 소자를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 3

제 2 항에 있어서,

상기 청색 서브 픽셀의 박막 트랜지스터의 크기는 상기 적색 서브 픽셀 및 상기 녹색 서브 픽셀의 박막 트랜지스터 각각에 비하여 더 큰 면적으로 형성되는 것을 특징으로 하는 액정표시패널.

청구항 4

제 2 항에 있어서,

상기 청색 서브 픽셀 각각은 상기 박막 트랜지스터를 하나 이상 포함하며,

청색 서브 픽셀 각각에 형성된 상기 자발광 소자는 상기 청색 서브 픽셀에 해당하는 화소 영역의 총면적 대비 50% 이상 100% 이하의 면적만큼 확장된 것을 특징으로 하는 액정표시패널.

청구항 5

제 2 항에 있어서,

상기 제2 기판은 상기 데이터 라인들, 상기 게이트 라인들, 및 상기 적색 서브 픽셀과 상기 녹색 서브 픽셀에 형성된 박막 트랜지스터들을 차광하기 위한 블랙 매트릭스를 더 구비하고,

상기 블랙 매트릭스는 상기 청색 서브 픽셀의 발광영역에서 개구된 것을 특징으로 하는 액정표시패널.

청구항 6

제 2 항에 있어서,

상기 활성층은 GaN, ZnO 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 7

제 2 항에 있어서,

상기 게이트 라인과 나란하게 형성된 스토리지 라인과;

상기 화소 영역마다 상기 스토리지 라인과 절연되게 중첩된 스토리지 전극과;

상기 스토리지 전극과 접속된 화소 전극을 포함하는 스토리지 캐패시터를 구비하는 것을 특징으로 하는 액정표시패널.

청구항 8

제 7 항에 있어서,

상기 청색 서브 픽셀의 스토리지 전극은 상기 청색 서브 픽셀의 박막트랜지스터와 접속된 것을 특징으로 하는 액정표시패널.

청구항 9

스캔 신호가 공급되는 복수의 게이트 라인, 상기 게이트 라인들과 교차하고 데이터 전압이 인가되는 복수의 데이터 라인들, 상기 게이트 라인들 및 상기 데이터 라인들의 교차에 의해 정의되는 화소 영역들 중에서 청색 서브 픽셀에 청색의 빛을 자발광 하는 자발광 소자가 형성된 제1 기판을 마련하는 단계와;

적색 서브 픽셀과 녹색 서브 픽셀에 해당하는 상기 화소 영역들에 칼라 필터 들이 형성된 제2 기판을 마련하는 단계와;

상기 제1 및 제2 기판을 대면되게 합착하고, 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제1 기판의 화소 영역 중 상기 적색 서브 픽셀과 상기 녹색 서브 픽셀, 및 상기 청색 서브 픽셀 각각의 상기 게이트 라인들과 상기 데이터 라인들의 교차부마다 상기 데이터 전압을 스위칭하기 위한 박막 트랜지스터를 형성하고;

상기 박막 트랜지스터 각각의 활성층은 상기 자발광 소자를 포함하는 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 청색 서브 픽셀의 박막 트랜지스터의 크기는 상기 적색 서브 픽셀 및 상기 녹색 서브 픽셀의 박막 트랜지스터 각각에 비하여 더 큰 면적으로 형성하는 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 청색 서브 픽셀 각각은 상기 박막 트랜지스터를 하나 이상 포함하며,

청색 서브 픽셀 각각에 형성된 상기 자발광 소자는 상기 청색 서브 픽셀에 해당하는 화소 영역의 총면적 대비 50% 이상 100% 이하의 면적만큼 확장된 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 제2 기판에는 상기 데이터 라인들, 상기 게이트 라인들, 및 상기 적색 서브 픽셀과 상기 녹색 서브 픽셀에 형성된 박막 트랜지스터들을 차광하기 위한 블랙 매트릭스를 형성하고,

상기 블랙매트릭스는 상기 청색 서브 픽셀의 발광영역에서 개구되도록 형성되는 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 14

제 10 항에 있어서,

상기 활성층은 GaN, ZnO 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 제1 기판 상에는

상기 게이트 라인과 나란한 스토리지 라인과;

상기 화소 영역마다 상기 스토리지 라인과 절연되게 중첩된 스토리지 전극과;

상기 스토리지 전극과 접속된 화소 전극을 포함하는 스토리지 캐패시터를 형성하는 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 청색 서브 픽셀의 스토리지 전극은 상기 청색 서브 픽셀의 박막트랜지스터와 접속되게 형성하는 것을 특징으로 하는 액정표시패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 액정표시장치에 관한 것으로, 특히 제조비를 절감할 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.
- <24> 액정표시장치는 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀 매트릭스를 통해 화상을 표시하는 액정 표시패널(이하, 액정 패널)과, 그 액정 패널을 구동하는 구동 회로와, 액정 패널에 빛을 조사하기 위한 백라이트 유닛을 구비한다.
- <25> 상기의 액정 패널은 액정층을 사이에 두고 대향하는 칼라 필터 어레이 패널과 박막 트랜지스터 어레이 패널을 구비한다.
- <26> 도 1 및 도 2를 참조하면, 종래 박막 트랜지스터 어레이 패널은 게이트라인들(GL)과 데이터라인들(DL)의 교차로 정의된 서브 화소영역마다 형성된 박막 트랜지스터(10) 및, 박막 트랜지스터(10)와 접속된 화소전극(12)을 구비한다. 박막 트랜지스터(10)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 데이터라인(DL)으로부터의 화소신호를 화소전극(12)에 공급한다. 화소전극(12)은 화소신호에 응답하여 공통전극(미도시)과의 사이에 위치하는 액정을 구동함으로써 백라이트로부터 출사된 빛의 투과율을 조절하여 각 서브 화소와 대응하는 칼라 필터의 색을 구현하게 된다.
- <27> 종래 액정패널은 도 1에 도시된 바와 같이 나란하게 배치된 적색(R), 녹색(G) 및 청색(B)을 구현하는 서브화소의 조합으로 하나의 화소를 표현하게 된다.
- <28> 이 적색(R), 녹색(G) 및 청색(B)의 서브화소 각각은 백라이트 유닛에서 출사된 광량 중 27~33% 정도만이 칼라 필터를 통해 칼라 필터 어레이 패널으로 출사된다. 이로 인하여, 액정표시장치의 휘도는 저하된다.
- <29> 이러한 휘도 저하 문제를 해결하기 위해 도 2에 도시된 바와 같이 적색(R), 녹색(G), 청색(B) 및 백색(W)을 구현하는 서브화소가 쿼드(Quad)구조로 배열된 액정표시 패널이 제안되었다. 적색(R), 녹색(G), 청색(B) 및 백색(W)을 구현하는 서브화소는 쿼드 구조 뿐 아니라 스트라이프(stripe)형태로 배열되기도 한다. 이러한, 액정표시장치의 백색(W) 서브화소에는 백라이트 광을 대부분 출사시킬 수 있게 된다. 이에 따라, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브화소의 조합으로 하나의 화소를 표현하는 액정 패널은 도 1에 도시된 적색(R), 녹색(G), 청색(B) 서브화소로 이루어진 액정 패널보다 휘도가 향상된다.
- <30> 이러한 액정 패널의 칼라 필터 어레이 패널은 도 3에 도시된 바와 같이 기판(1) 상에 각 서브화소영역을 구현하는 블랙 매트릭스(3) 및 화소를 구현하기 위한 삼원색(R, G, B)을 포함하는 칼라 필터 어레이(5)를 구비한다.

<31> 블랙 매트릭스(3)는 서브화소영역을 구획하고, 인접한 색의 칼라 필터(5R 또는 5G 또는 5B)로부터 입사되는 빛을 흡수함으로써 콘트라스트 저하를 방지한다.

<32> 칼라 필터 어레이(5)는 적(R), 녹(G) 및 청(B) 색을 포함하여 특정 파장대역의 빛을 투과시킴으로써 칼라표시를 가능하게 한다. 즉, 칼라 필터 어레이(5)는 적(R), 녹(G) 및 청(B) 색을 구현하기 위해 적색 칼라 필터(5R), 녹색 칼라 필터(5G), 청색 칼라 필터(5B)를 포함한다. 적색 칼라 필터(5R), 녹색 칼라 필터(5G) 및 청색 칼라 필터(5B)는 해당 색의 칼라 필터(5R 또는 5G 또는 5B)를 형성하기 위해 각 색(R 또는 G 또는 B)에 해당하는 칼라 레지스트(color resistor) 또는 잉크가 필요하므로 액정 패널의 제조비를 증가시켜 문제가 된다.

발명이 이루고자 하는 기술적 과제

<33> 따라서, 본 발명의 목적은 제조비를 절감할 수 있는 액정표시패널 및 그 제조방법을 제공하는데 있다.

발명의 구성 및 작용

<34> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 스캔 신호가 공급되는 복수의 게이트 라인, 상기 게이트 라인들과 교차하고 데이터 전압이 인가되는 복수의 데이터 라인들을 가지며, 상기 게이트 라인들 및 상기 데이터 라인들의 교차에 의해 정의되는 화소 영역들 중에서 청색 서브 픽셀에 청색의 빛을 자발광 하는 자발광 소자가 형성된 제1 기판과; 적색 서브 픽셀과 녹색 서브 픽셀에 해당하는 상기 화소 영역들에 칼라 필터 등이 형성된 제2 기판과; 상기 제1 및 제2 기판 사이에 형성되어 상기 제1 기판과 상기 제2 기판 사이에 인가되는 전계에 의해 구동하는 액정층을 구비한다.

<35> 그리고 본 발명에 따른 액정표시패널의 제조 방법은 스캔 신호가 공급되는 복수의 게이트 라인, 상기 게이트 라인들과 교차하고 데이터 전압이 인가되는 복수의 데이터 라인들, 상기 게이트 라인들 및 상기 데이터 라인들의 교차에 의해 정의되는 화소 영역들 중에서 청색 서브 픽셀에 청색의 빛을 자발광 하는 자발광 소자가 형성된 제1 기판을 마련하는 단계와; 적색 서브 픽셀과 녹색 서브 픽셀에 해당하는 상기 화소 영역들에 칼라 필터 등이 형성된 제2 기판을 마련하는 단계와; 상기 제1 및 제2 기판을 대면되게 합착하고, 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함한다.

<36> 상기 제1 기판의 화소 영역 중 상기 적색 서브 픽셀과 상기 녹색 서브 픽셀, 및 상기 청색 서브 픽셀 각각의 상기 게이트 라인들과 상기 데이터 라인들의 교차부마다 상기 데이터 전압을 스위칭하기 위한 박막 트랜지스터를 형성하고; 상기 박막 트랜지스터 각각의 활성층은 상기 자발광 소자를 포함한다.

<37> 상기 청색 서브 픽셀의 박막 트랜지스터의 크기는 상기 적색 서브 픽셀 및 상기 녹색 서브 픽셀의 박막 트랜지스터 각각에 비하여 더 큰 면적으로 형성된다.

<38> 상기 청색 서브 픽셀 각각은 상기 박막 트랜지스터를 하나 이상 포함하며, 청색 서브 픽셀 각각에 형성된 상기 자발광 소자는 상기 청색 서브 픽셀에 해당하는 화소 영역의 총면적 대비 50% 이상 100% 이하의 면적만큼 확장된다.

<39> 상기 제2 기판에는 상기 데이터 라인들, 상기 게이트 라인들, 및 상기 적색 서브 픽셀과 상기 녹색 서브 픽셀에 형성된 박막 트랜지스터들을 차광하기 위한 블랙 매트릭스가 형성되고, 상기 블랙매트릭스는 상기 청색 서브 픽셀의 발광영역에서 개구되도록 형성된다.

<40> 상기 활성층은 GaN, ZnO 중 적어도 어느 하나를 포함한다.

<41> 상기 제1 기판 상에는 상기 게이트 라인과 나란한 스토리지 라인과; 상기 화소 영역마다 상기 스토리지 라인과 절연되게 중첩된 스토리지 전극과; 상기 스토리지 전극과 접속된 화소 전극을 포함하는 스토리지 캐패시터가 형성된다.

<42> 상기 청색 서브 픽셀의 스토리지 전극은 상기 청색 서브 픽셀의 박막트랜지스터와 접속되게 형성된다.

<43> 상기 목적외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<44> 이하 본 발명의 바람직한 실시 예들을 도 4 내지 도 15를 참조하여 설명하기로 한다.

<45> 도 4는 본 발명에 따른 액정표시패널을 개략적으로 나타낸 도면이다.

<46> 도 4를 참조하면, 본 발명에 따른 액정표시패널은 액정층(200)을 사이에 두고 대향하는 칼라 필터 어레이 패널

(250)과 박막 트랜지스터 어레이 패널(150)을 구비한다.

- <47> 박막 트랜지스터 어레이 패널(150)에는 제1 기판(101) 상에서 교차하는 게이트 라인 및 데이터 라인을 통해 화소 영역이 매트릭스형으로 형성된다. 이 화소 영역은 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 구분된다. 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 각각에는 게이트 라인 및 데이터 라인의 교차부마다 박막 트랜지스터(TFT)가 형성되는데 박막 트랜지스터(TFT)는 청색의 빛을 자발광하는 자발광 소자를 포함하는 것을 특징으로 한다. 이러한 박막 트랜지스터(TFT)는 적색 및 녹색 서브픽셀에 형성된 제1 박막 트랜지스터(TFT(R),TFT(G))와 청색 서브 픽셀에 형성된 제2 박막 트랜지스터(TFT(B))로 구분된다. 제1 박막 트랜지스터(TFT(R),TFT(G))는 게이트 라인 및 데이터 라인의 교차부에 형성되며, 제2 박막 트랜지스터(TFT(B))는 청색 서브픽셀 전반에 걸쳐 형성된다.
- <48> 칼라 필터 어레이 패널(250)에는 제1 기판(101)과 대면하는 제2 기판(201) 상에 칼라 필터 어레이(204)가 형성된다. 칼라 필터 어레이(204)는 적색 서브 픽셀에 대응되도록 형성된 적색 칼라 필터(204R), 녹색 서브픽셀에 대응되도록 형성된 녹색 칼라 필터(204G)를 포함한다. 또한 제2 기판(201)에는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀을 구획하여 인접하는 셀로부터 입사되는 빛을 흡수하여 콘트라스트 저하를 방지하는 블랙 매트릭스(202)가 형성된다. 또한 블랙 매트릭스(202)는 박막 트랜지스터 어레이 패널(150)의 게이트 라인, 데이터 라인 및 제1 박막트랜지스터(TFT(R),TFT(G))와 대응되도록 형성되어 외부광 반사를 방지한다. 그리고 블랙 매트릭스(202)는 후술할 제2 박막트랜지스터(TFT(B))의 소스 전극, 드레인 전극 및 연결부와 대응되도록 형성되어 제2 박막트랜지스터(TFT(B))의 소스 전극, 드레인 전극 및 연결부를 통해 외부광이 반사되는 것을 방지한다. 또한, 블랙 매트릭스(202)는 소스 전극, 드레인 전극 및 연결부를 제외한 제2 박막트랜지스터(TFT(B))의 발광영역에서는 개구되어 제2 박막 트랜지스터(TFT(B))가 청색의 빛을 자발광하여 외부로 청색의 빛을 표시할 수 있도록 한다.
- <49> 한편, 청색 자발광 소자는 제1 및 제2 박막 트랜지스터(TFT(R),TFT(G), TFT(B))의 활성층에 포함되며, GaN, ZnO 중 어느 하나로 이루어진다. 이러한 청색 자발광 소자는 도 5에 도시된 바와 같은 전기적 특성을 가진다.
- <50> 도 5를 참조하면, 청색 자발광 소자는 게이트 라인에 인가되는 전압(V_{GS})에 따라 청색 자발광 소자에 흐르는 전류(I_{DS})를 조절한다. 게이트 라인에 인가되는 전압(V_{GS})은 그 세기에 따라 청색 자발광 소자를 턴-온 시키는 제1 전압(V_{GS1})과 청색 자발광 소자가 빛을 발광하도록 하는 제2 전압(V_{GS2})으로 구분된다. 제1 전압(V_{GS1})은 제2 전압(V_{GS2})보다 작기 때문에 게이트 라인에 제1 전압(V_{GS1})이상이고 제2 전압(V_{GS2}) 미만인 전압이 인가되면, 청색 자발광 소자는 턴-온된다. 그리고 게이트 라인에 제2 전압(V_{GS2}) 이상의 전압이 인가되면 청색 자발광 소자는 청색의 빛을 표시한다.
- <51> 상술한 바와 같이 본 발명에 따른 액정표시패널은 청색 서브픽셀 전반에 형성되며 스위칭 특성 및 자발광 특성을 가지는 제2 박막 트랜지스터(TFT(B))를 이용함으로써 청색 칼라 필터를 제거할 수 있다. 또한 제1 박막 트랜지스터(TFT(R),TFT(G))는 게이트 라인 및 데이터 라인의 교차부에만 형성되며, 제1 박막 트랜지스터(TFT(R),TFT(G))의 자발광 소자가 발광하더라도 그 빛이 블랙 매트릭스(202)에 의해 차단되므로 적색 및 녹색의 화소 구현에 영향을 주지 않는다.
- <52> 도 6a 내지 도 7b는 본 발명에 따른 액정표시패널의 화소 구현 방법을 설명하기 위한 도면이다.
- <53> 도 6a 및 도 6b는 하나의 화소를 표현하기 위해 적색(R), 녹색(G) 및 청색(B)을 구현하는 서브픽셀의 조합을 일례로 도시한 것이다.
- <54> 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 각각에 제1 전압(V_{GS1})을 인가한 경우 제1 박막 트랜지스터(TFT(R),TFT(G)) 및 제2 박막 트랜지스터(TFT(B))는 턴-온된다. 구체적으로 제1 박막 트랜지스터(TFT(R),TFT(G))는 턴-온되어 액정표시패널 배면으로부터 입사되는 빛이 적색 칼라 필터 및 녹색 칼라 필터를 투과하여 도 6a에 도시된 바와 같은 적색(R), 녹색(G)의 화소를 표현하게 한다. 제2 박막 트랜지스터(TFT(B))는 턴-온 되지만 발광하지 않으며, 액정패널의 배면으로부터 입사되는 빛을 차단하므로 청색 서브픽셀에서는 빛이 투과하지 않고 블랙(Black)을 표시한다.
- <55> 적색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀 각각에 제2 전압(V_{GS2})을 인가한 경우 제1 박막 트랜지스터(TFT(R),TFT(G)) 및 제2 박막 트랜지스터(TFT(B))는 턴-온될 뿐 아니라 발광하게 된다. 구체적으로 제1 박막 트랜지스터(TFT(R),TFT(G))는 턴-온될 뿐 아니라 발광하여 액정표시패널 배면으로부터 입사되는 빛이 적색 칼라

필터 및 녹색 칼라 필터를 투과하여 도 6b에 도시된 바와 같은 적색(R), 녹색(G)의 화소를 표현하게 한다. 이때 제1 박막 트랜지스터(TFT(R), TFT(G))에서 발광된 빛은 블랙 매트릭스에 의해 차단된다. 그리고 제2 박막 트랜지스터(TFT(B))는 턴-온될 뿐 아니라 발광하고, 그 발광영역은 블랙 매트릭스에 의해 차단되지 않고 개구되므로 청색 서브픽셀에서 청색(R)을 표시한다.

<56> 도 7a 및 도 7b는 하나의 화소를 표현하기 위해 적색(R), 녹색(G), 청색(B) 및 백색(W)을 구현하는 서브화소의 조합을 일례로 도시한 것이다. 백색(W) 서브화소에는 액정표시패널의 배면으로부터 입사된 광을 대부분 출사시킬 수 있게 된다. 이에 따라 하나의 화소를 표현하기 위해 백색(W)을 추가함으로써 액정표시패널의 휘도를 향상시킬 수 있다. 도 7a 및 도 7b의 화소 구현 방법에 대한 상세한 설명은 백색(W) 화소만 추가되었으므로 도 6a 및 도 6b를 결부하여 기술한 실시예들과 실질적으로 동일하므로 생략한다.

<57> 도 8은 본 발명에 따른 박막 트랜지스터 어레이 패널을 구체적으로 나타낸 평면도이고, 도 9는 도 8에 도시된 박막 트랜지스터 어레이 패널을 I-I', II-II', III-III', IV-IV'선을 따라 절취하여 나타낸 단면도이다.

<58> 도 8 및 도 9에 도시된 박막 트랜지스터 어레이 패널은 제1 기판(101) 위에 게이트 절연막(111)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 게이트 라인(102) 및 데이터 라인(104)에 접속된 박막 트랜지스터(TFT), 화소 영역에 형성되며 박막 트랜지스터(TFT)와 접속된 화소 전극(118)을 구비한다. 또한, 박막 트랜지스터 어레이 패널은 게이트 라인(102)과 나란하게 형성된 스토리지 라인(106)과, 화소 전극(118)과의 중첩부에 형성된 스토리지 캐패시터(Cst)를 더 구비한다. 그리고, 박막 트랜지스터 어레이 패널은 게이트 라인(102)과 접속된 게이트 패드(160), 데이터 라인(104)과 접속된 데이터 패드(180)를 더 구비한다.

<59> 게이트 라인(102)은 게이트 드라이버로부터의 스캔 신호를, 데이터 라인(104)은 데이터 드라이버로부터의 데이터 전압을 공급한다. 이러한 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(111)을 사이에 두고 교차하여 각 화소 영역을 정의한다.

<60> 화소 전극(118)은 드레인 전극(112)과 접속된다. 이를 상세히 하면, 적색 서브픽셀 및 녹색 서브픽셀에서의 화소 전극(118)은 보호막(121)을 관통하는 드레인 컨택홀(114)을 경유하여 제1 박막 트랜지스터(TFT(R 또는 G))의 드레인 전극(112)과 접속된다. 그리고 청색 서브픽셀에서의 화소 전극(118)은 보호막(121)을 관통하는 스토리지 컨택홀(194)을 경유하여 제2 박막 트랜지스터(TFT(B))의 드레인 전극(112)과 접속된다. 이러한 화소 전극(118)은 충전된 화소 신호에 의해 칼라 필터 어레이 패널의 공통 전극(미도시)과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 어레이 패널과 칼라 필터 어레이 패널 사이의 액정이 유전 이방성에 의해 회전하여 광원(미도시)으로부터 화소 전극(118)을 경유하여 입사되는 광을 칼라 필터 어레이 패널 쪽으로 투과시키게 된다.

<61> 스토리지 캐패시터(Cst)는 스토리지 라인(106)과, 그 스토리지 라인(106)과 게이트 절연막(111)을 사이에 두고 중첩되는 스토리지 전극(190)과, 보호막(121)을 관통하는 스토리지 컨택홀(194)을 통해 스토리지 전극(190)과 접속된 화소 전극(118)으로 구성된다. 이러한 스토리지 캐패시터(Cst)는 화소 전극(118)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

<62> 박막 트랜지스터(TFT)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104) 상의 비디오 신호가 화소 전극(118)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(102)과 접속된 게이트 전극(108), 게이트 절연막(111)을 사이에 두고 게이트 전극(108)과 중첩되며 활성층(141) 및 오믹 접촉층(143)을 포함하는 반도체 패턴(140), 데이터 라인(104)과 접속된 소스 전극(110) 및, 소스 전극(110)과 마주하며 화소 전극(118)과 접속된 드레인 전극(112)을 구비한다. 활성층(141)은 자발광 소자를 포함함과 아울러 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하고, 오믹 접촉층(143)은 활성층(141)과 소스 및 드레인 전극(110, 112)과의 오믹 접촉을 위해 형성된다.

<63> 이러한 박막 트랜지스터(TFT)는 청색을 자발광 하며, 적색 및 녹색 서브픽셀에 형성되는 제1 박막 트랜지스터(TFT(R 또는 G)) 및 청색 서브픽셀에 형성되는 제2 박막 트랜지스터(TFT(B))로 구분된다.

<64> 제1 박막 트랜지스터(TFT(R 또는 G))는 게이트 라인(102) 및 데이터 라인(104)의 교차부에 형성된다.

<65> 제2 박막 트랜지스터(TFT(B))는 제1 박막 트랜지스터(TFT(R 또는 G))의 크기보다 더 큰 면적으로 형성되며, 청색 서브픽셀에 해당하는 자발광 소자는 청색을 구현하기 위해 화소 영역의 총면적의 50%이상 100%이하의 면적만큼 확장되어 형성된다. 또한 하나의 청색 서브픽셀의 제2 박막 트랜지스터(TFT(B))는 하나 이상의 박막 트랜지스터를 포함함으로써 박막 트랜지스터의 동작을 위한 박막 트랜지스터의 최대 크기의 제약을 극복함과 아울러

하나의 청색 서브픽셀의 발광 면적을 넓게 한다.

- <66> 이하에서는 청색 서브픽셀에 2개의 박막 트랜지스터가 형성된 경우를 일례로 청색 서브픽셀의 박막 트랜지스터(TFT(B))에 대해 구체적으로 설명하기로 한다. 제2 박막 트랜지스터(TFT(B))는 게이트 라인(102)으로부터 청색 화소영역으로 돌출되어 형성되며 서로 나란한 제1 게이트 전극(108a) 및 제2 게이트 전극(108b), 제1 및 제2 게이트 전극(108a, 108b)과 중첩되는 제1 및 제2 반도체 패턴(140a, 140b), 제1 반도체 패턴(140a)과 중첩되고 데이터 라인(104)과 접속된 제1 소스 전극(110a) 및 제2 반도체 패턴(140a)과 중첩되고 데이터 라인(104)과 접속된 제2 소스 전극(110b), 그리고 제1 소스 전극(110a) 및 제2 소스 전극(110b) 사이에 형성되며 제1 반도체 패턴 및 제2 반도체 패턴(140a, 140b)과 중첩된 드레인 전극(112)을 구비한다. 여기서 제1 소스 전극(110a)은 데이터 라인(104)의 일측에 형성되고, 제2 소스 전극(110b)은 데이터 라인(104)으로부터 연장된 연결부(117)를 통해 데이터 라인(104)과 접속된다. 또한, 제2 박막 트랜지스터(TFT(B))의 드레인 전극(112)은 제1 및 제2 소스 전극(110a, 110b)과 마주함과 아울러 스토리지 전극(190)쪽으로 연장되어 스토리지 전극(190)과 연결된다.
- <67> 게이트 라인(102)은 게이트 패드(160)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(160)는 게이트 라인(102)으로부터 연장된 게이트 패드 하부 전극(162)과, 게이트 절연막(111) 및 보호막(121)을 관통하여 게이트 패드 하부 전극(162)을 노출시키는 게이트 패드 컨택홀(164)을 통해 게이트 패드 하부 전극(162)과 접속된 게이트 패드 상부 전극(166)으로 구성된다.
- <68> 데이터 라인(104)은 데이터 패드(180)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(180)는 데이터 라인(104)으로부터 연장된 데이터 패드 하부 전극(182)과, 보호막(121)을 관통하여 데이터 패드 하부 전극(182)을 노출시키는 데이터 패드 컨택홀(184)을 통해 데이터 패드 하부 전극(182)과 접속된 데이터 패드 상부 전극(186)으로 구성된다.
- <69> 이와 같이, 본 발명에 따른 박막 트랜지스터 어레이 패널은 다음과 같이 5마스크 공정으로 형성된다. 이하, 박막 트랜지스터 어레이 패널의 평면도에서는 각 마스크 공정에서 형성되는 패턴의 선을 최상층에 표시하여 이전 마스크 공정에서 형성되는 패턴과 중첩되는 부분의 선은 가리도록 도시하였다.
- <70> 도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- <71> 제1 마스크 공정으로 하부 기판(101) 상에 게이트 라인(102), 게이트 전극(108), 스토리지 라인(106) 및 게이트 패드 하부 전극(162)을 포함하는 게이트 패턴군이 형성된다. 여기서, 청색 서브픽셀의 게이트 전극(108)은 화소 영역 내부로 돌출되어 형성되며, 적색 및 녹색 서브픽셀의 게이트 전극(108)은 게이트 라인(102)과 인접한 일부에 돌출되게 형성된다.
- <72> 제1 마스크 공정을 보다 상세히 하면 먼저, 하부 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 적층된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다. 그리고 제1 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴이 게이트 금속층 위에 형성된다. 이 포토레지스트 패턴을 마스크로 이용한 식각 공정으로 게이트 금속층이 식각됨으로써 게이트 패턴군이 형성된다. 이 후, 게이트 패턴군 위에 잔존하는 포토레지스트 패턴이 스트립 공정으로 제거된다.
- <73> 도 11a 및 도 11b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- <74> 게이트 패턴군이 형성된 하부 기판(101) 상에 게이트 절연막(111)이 형성된후 제2 마스크 공정으로 게이트 전극(108)과 중첩되며 활성층(141) 및 오믹 접촉층(143)을 포함하는 반도체 패턴(140)이 형성된다.
- <75> 제2 마스크 공정을 보다 상세히 하면 먼저, 게이트 패턴군이 형성된 하부 기판(101) 상에 게이트 절연막(111), GaN 및 ZnO층 적어도 어느 하나를 포함하는 발광층, 불순물(n+ 또는 p+)이 도핑된 비정질 실리콘층이 순차적으로 형성된다. 상기 발광층에는 비정질 실리콘이 혼합될 수 있다. 게이트 절연막(111)으로는 SiO_x, SiN_x 등과 같은 무기 절연 물질이 이용된다. 또한 발광층은 슬릿 또는 스핀 코팅 방법으로 형성되며, 박막으로 코팅되거나 나노 와이어(nano wire) 또는 나노 파워더(nano power)형으로 코팅될 수 있다.
- <76> 이 후, 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴이 불순물이 도핑된 비정질 실리콘층 위에 형성된다. 이 포토레지스트 패턴을 마스크로 이용한 식각 공정으로 불순물이 도핑된 비정질 실리콘층 및 그 하부의 발광층이 식각됨으로써 반도체 패턴(140)이 형성된다. 이 후, 반도체 패턴(140) 위에 잔존하는 포토

레지스트 패턴이 스트립 공정으로 제거된다. 여기서, 청색 서브 픽셀에 형성되는 반도체 패턴(140)은 청색 서브픽셀에 해당하는 화소 영역의 총면적 대비 50% 이상 100%이하 면적만큼 확장하여 형성한다.

- <77> 도 12a 및 도 12b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <78> 제3 마스크 공정으로 반도체 패턴(140)이 형성된 게이트 절연막(111) 위에 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 스토리지 전극(190) 및 데이터 패드 하부 전극(182)을 포함하는 소스/드레인 패턴군이 형성됨과 아울러, 소스 전극(110) 및 드레인 전극(112) 사이로 활성층(141)이 노출된 반도체 채널이 형성된다. 여기서, 청색 서브픽셀의 드레인 전극(112)은 연장되어 스토리지 전극(190)과 연결된다.
- <79> 구체적으로, 반도체 패턴(140)이 형성된 게이트 절연막(111) 위에 소스/드레인 금속층이 스퍼터링 등의 증착 방법을 통해 형성된다. 소스/드레인 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다. 그리고, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 소스/드레인 패턴군이 형성된다. 이 후, 소스/드레인 패턴군 위에 잔존하는 포토레지스트 패턴이 스트립 공정으로 제거된다.
- <80> 도 13a 및 도 13b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- <81> 제4 마스크 공정으로 소스/드레인 패턴군이 형성된 게이트 절연막(111) 상에 콘택홀들(164, 184, 114, 194)을 포함하는 보호막(121)이 형성된다.
- <82> 구체적으로, 소스/드레인 패턴군이 형성된 게이트 절연막(111) 상에 보호막(121)이 전면 형성된다. 보호막(121)의 재료로는 게이트 절연막(111)과 같은 무기 절연 물질 또는, 아크릴계 유기 화합물, BCB 또는 PFCB등과 같은 유기 절연물질이 이용된다. 그리고 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(121) 및 게이트 절연막(111) 중 적어도 어느 하나를 관통하는 콘택홀들(164, 184, 114, 194)이 형성된다. 여기서, 게이트 패드 콘택홀(164)은 보호막(121) 및 게이트 절연막(111)을 관통하여 게이트 패드 하부 전극(162)을 노출시키고, 데이터 패드 콘택홀(184)은 보호막(121)을 관통하여 데이터 패드 하부 전극(182)을 노출시키고, 드레인 콘택홀(114)은 보호막(121)을 관통하여 드레인 전극(114)을 노출시키며, 스토리지 콘택홀(194)은 보호막(121)을 관통하여 스토리지 전극(190)을 노출시킨다. 그리고 드레인 콘택홀(114)은 적색 및 녹색 서브픽셀 영역에 형성된다.
- <83> 도 14a 및 도 14b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제5 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.
- <84> 제5 마스크 공정으로 보호막(121)상에 화소 전극(118), 게이트 패드 상부 전극(166) 및 데이터 패드 상부 전극(186)을 포함하는 투명 도전 패턴군이 형성된다.
- <85> 구체적으로, 보호막(121) 상에 스퍼터링 등의 증착 방법을 통해 투명 도전막이 형성된다. 투명 도전막으로는 IT0, T0, IZO 등이 이용된다. 이어서 제5 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 투명 도전막이 패터닝됨으로써 투명 도전 패턴군이 형성된다. 이때, 화소 전극(118)은 드레인 콘택홀(114) 및 스토리지 콘택홀(194)을 통해 드레인 전극(112) 및 스토리지 전극(190)과 접속된다. 그리고 게이트 패드 상부 전극(166)은 게이트 패드 콘택홀(164)을 통해 게이트 패드 하부 전극(162)과 접속되고, 데이터 패드 상부 전극(186)은 데이터 패드 콘택홀(184)을 통해 데이터 패드 하부 전극(182)과 접속된다.
- <86> 도 15는 본 발명에 따른 칼라 필터 어레이 패널의 제조 방법을 설명하기 위한 도면이다.
- <87> 도 15를 참조하면, 본 발명에 따른 칼라 필터 어레이 패널은 포토리소그래피 공정 및 식각 공정을 포함하는 마스크 공정 또는 잉크젯 방법으로 형성된다.
- <88> 본 발명에 따른 칼라 필터 어레이 패널의 제조공정을 설명하면, 먼저 제2 기판(201) 상에 불투명 금속 또는 불투명 수지를 도포한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 블랙 매트릭스(202)를 형성한다.
- <89> 이 후, 블랙 매트릭스(202)가 형성된 제2 기판(201) 상에 잉크젯 분사장치를 정렬한다. 이 잉크젯 분사장치를 이용하여 적색(R) 및 녹색(G)의 서브픽셀에 해당 색의 칼라 물질을 분사한 후, 분사된 적색(R) 및 녹색(G)의 칼라 물질을 소정의 온도로 경화시켜 적색(R) 및 녹색(G)의 칼라 필터(204R, 204B)를 형성한다.

- <90> 잉크젯 방법 외에도 블랙 매트릭스(202)가 형성된 제2 기판(201) 상에 적색 칼라 레지스트를 도포하고 마스크를 이용한 포토레지스트 공정 및 식각 공정으로 적색 화소 영역에 해당하는 부분에 적색 칼라 필터(204R)를 형성할 수 있다. 그리고 이후 녹색 칼라 레지스트를 도포하고 적색 칼라 필터(204R)를 형성했던 마스크를 쉬프트시켜, 이 마스크를 이용한 포토레지스트 공정 및 식각 공정으로 녹색 화소 영역에 해당하는 부분에 녹색 칼라 필터(204G)를 형성할 수 있다.
- <91> 상술한 본 발명에 따른 박막 트랜지스터 어레이 패널 및 칼라 필터 어레이 패널은 서로 대면되게 합착되고, 박막 트랜지스터 어레이 패널 및 칼라 필터 어레이 패널 사이에 액정층을 형성함으로써 본 발명에 따른 액정표시패널이 완성된다.
- <92> 이와 같이 본 발명에 따른 액정 표시패널은 청색 칼라 필터의 형성 공정을 제거할 수 있는 구조이므로 액정표시패널의 제조비를 절감할 수 있다.

발명의 효과

- <93> 상술한 바와 같이 본 발명에 따른 액정표시패널은 청색 서브픽셀에 해당하는 화소 영역에 스위칭 특성 및 발광 특성을 가지는 자발광 소자를 박막 트랜지스터의 활성층에 포함한다. 또한, 상기 자발광 소자는 청색 서브픽셀 전반에 형성된다. 이에 따라 본 발명은 턴-온 전압에서 박막 트랜지스터에 전류를 흐르게 하고, 턴-온 전압보다 높은 전압에서 박막 트랜지스터가 발광되도록 할 수 있으므로 스위칭 동작과 함께 청색 화소 영역에서 청색의 빛을 발광할 수 있다. 따라서 본 발명에 따른 액정표시패널의 칼라 필터 어레이 패널에서 청색 칼라 필터를 삭제할 수 있으므로 액정표시패널의 제조비를 절감할 수 있다.
- <94> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

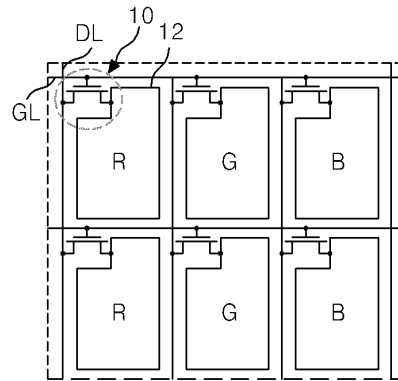
도면의 간단한 설명

- <1> 도 1 및 도 2는 종래 액정 표시패널의 박막 트랜지스터 어레이 패널을 나타내는 도면.
- <2> 도 3은 종래 액정 표시패널의 칼라 필터 어레이 패널을 나타내는 도면.
- <3> 도 4는 본 발명에 따른 액정표시패널을 개략적으로 나타낸 도면.
- <4> 도 5는 청색 무기 발광 소자의 전기적 특성을 나타낸 도면.
- <5> 도 6a 내지 도 7b는 본 발명에 따른 액정표시패널의 화소 구현 방법을 설명하기 위한 도면.
- <6> 도 8은 본 발명에 따른 박막 트랜지스터 어레이 패널을 구체적으로 나타낸 평면도.
- <7> 도 9는 도 8에 도시된 박막 트랜지스터 어레이 패널을 I-I', II-II', III-III', IV-IV'선을 따라 절취하여 나타낸 단면도.
- <8> 도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.
- <9> 도 11a 및 도 11b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.
- <10> 도 12a 및 도 12b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.
- <11> 도 13a 및 도 13b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도.
- <12> 도 14a 및 도 14b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 패널의 제조방법 중 제5 마스크 공정을 설명하기 위한 평면도 및 단면도.
- <13> 도 15는 본 발명에 따른 칼라 필터 어레이 패널의 제조 방법을 설명하기 위한 도면.
- <14> <도면의 주요 부분에 대한 부호의 설명>

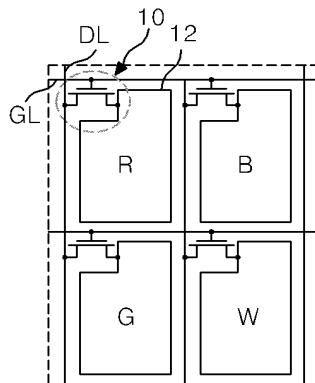
- | | | |
|------|--------------------|------------------|
| <15> | GL, 102 : 게이트 라인 | DL, 104 : 데이터 라인 |
| <16> | 10, TFT : 박막 트랜지스터 | 12, 118 : 화소 전극 |
| <17> | 5, 204 : 칼라 필터 어레이 | Cst : 스토리지 캐패시터 |
| <18> | 108 : 게이트 전극 | 140 : 반도체 패턴 |
| <19> | 106 : 스토리지 라인 | 110 : 소스 전극 |
| <20> | 112 : 드레인 전극 | 190 : 스토리지 전극 |
| <21> | 160 : 게이트 패드 | 180 : 데이터 패드 |
| <22> | 141 : 활성층 | 143 : 오믹 접촉층 |

도면

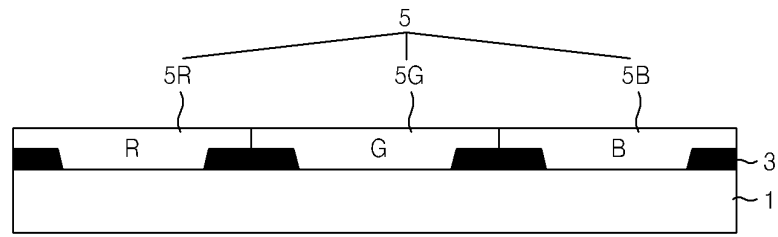
도면1



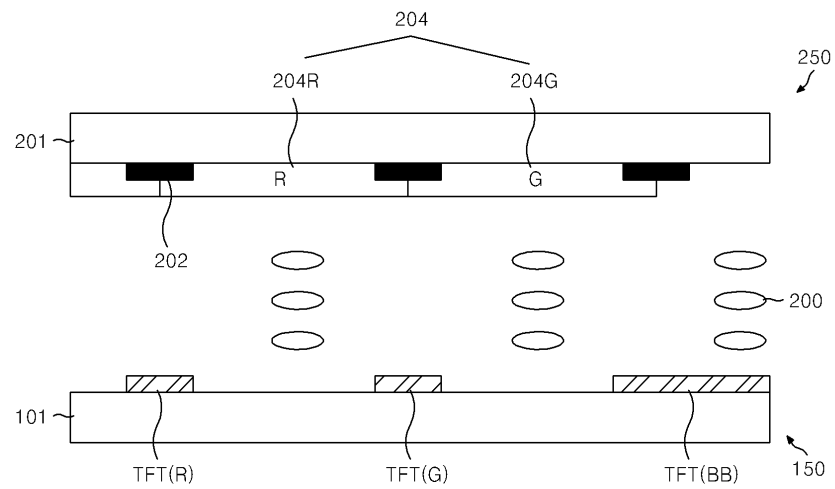
도면2



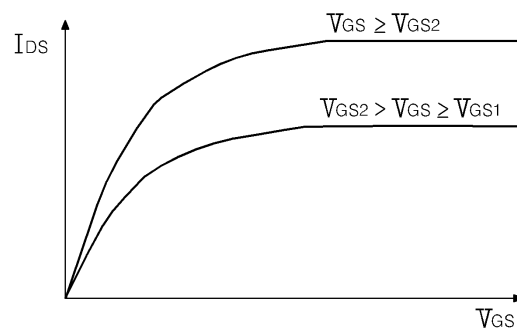
도면3



도면4



도면5



도면6a

R	G	Black
---	---	-------

도면6b

R	G	B
---	---	---

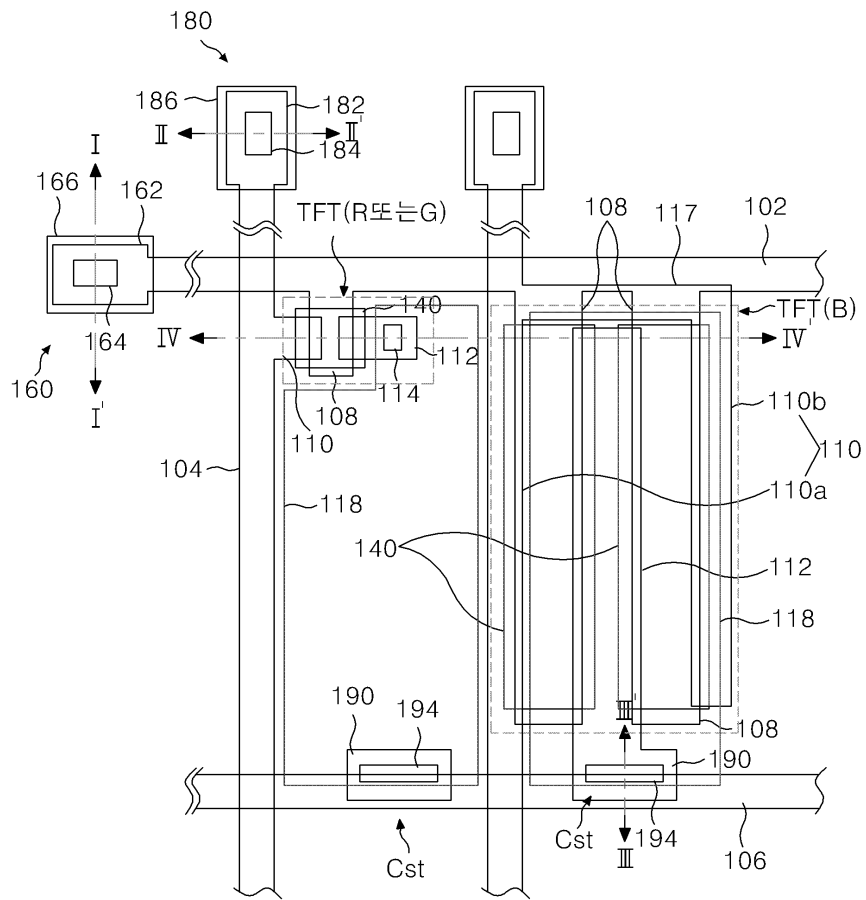
도면7a

R	Black
G	W

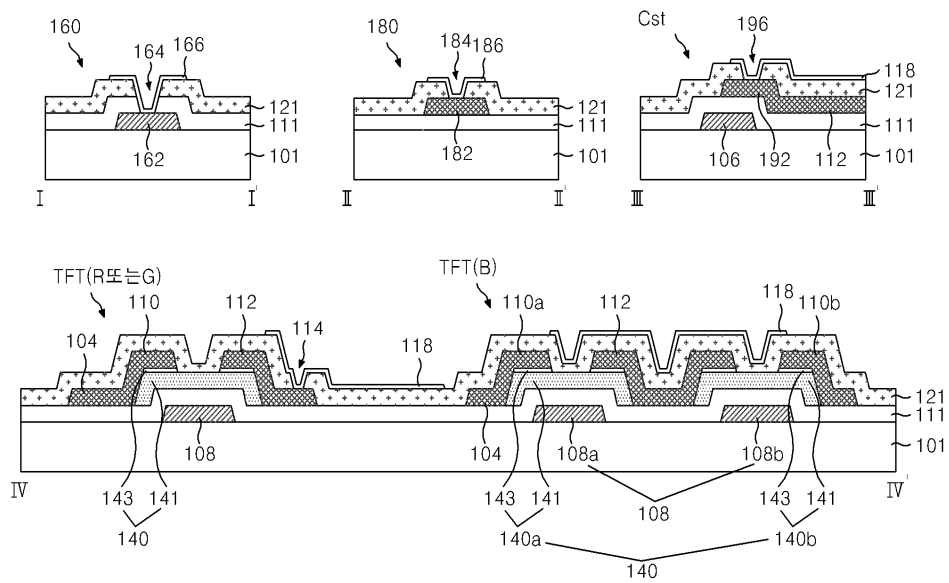
도면7b

R	B
G	W

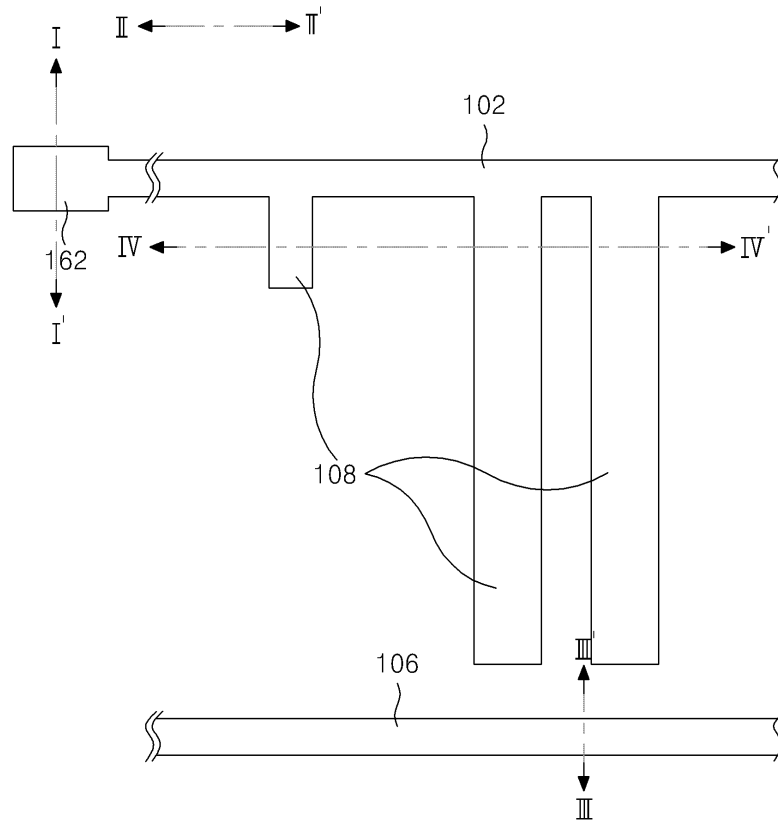
도면8



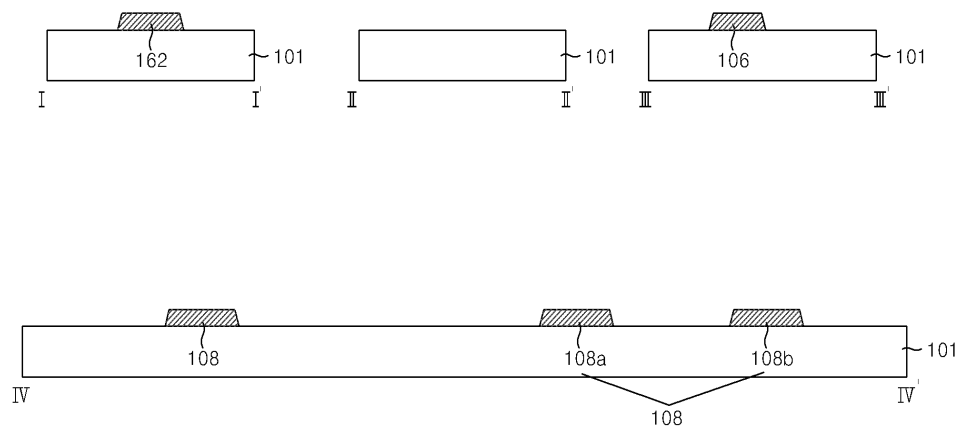
도면9



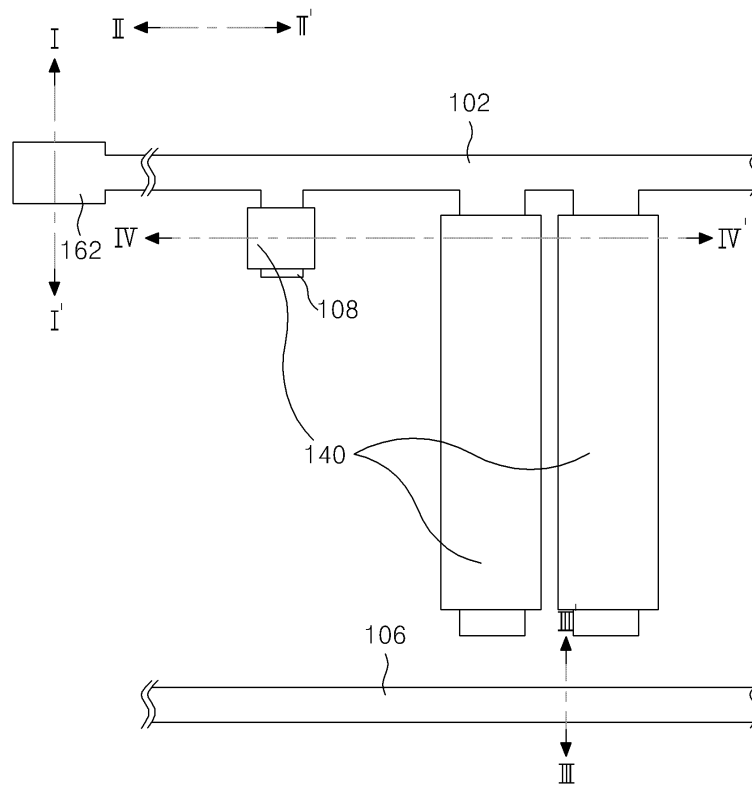
도면10a



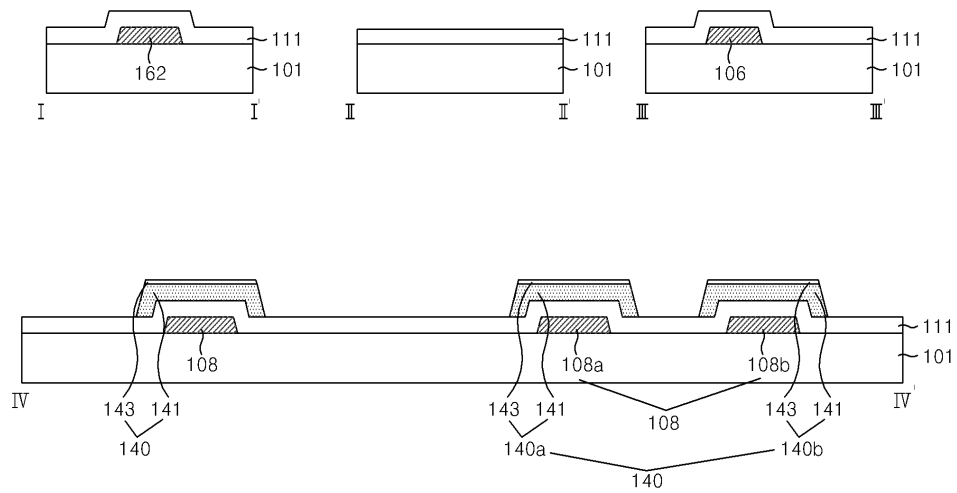
도면10b



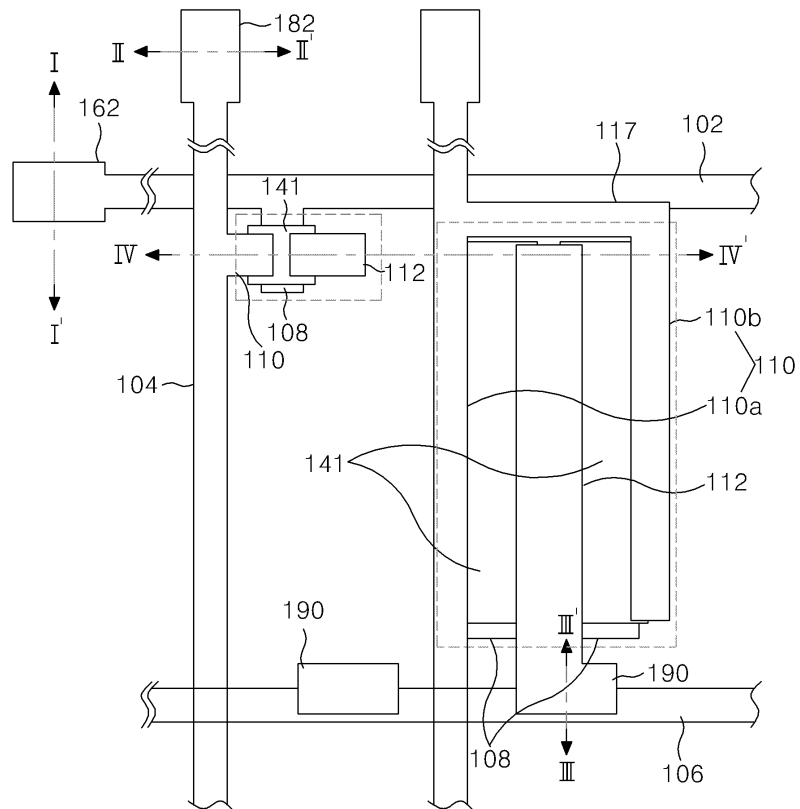
도면11a



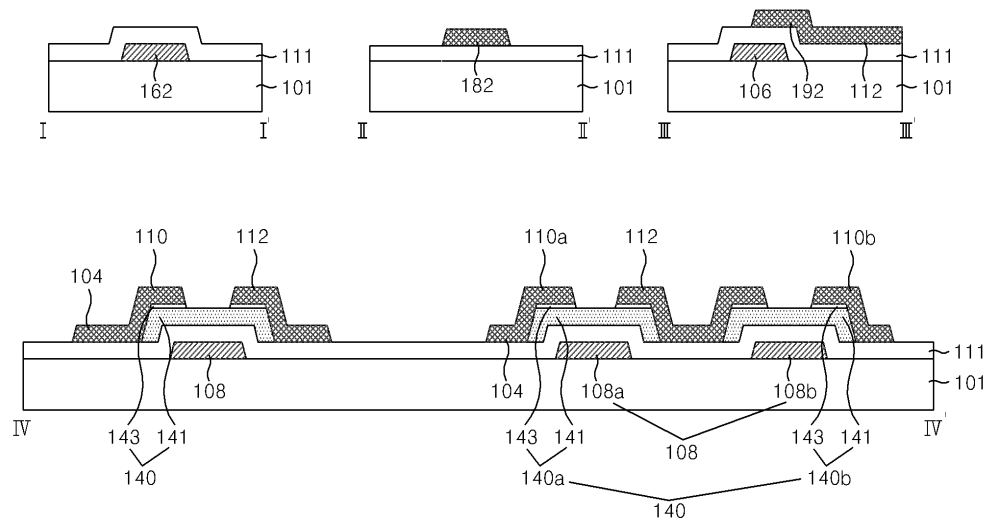
도면11b



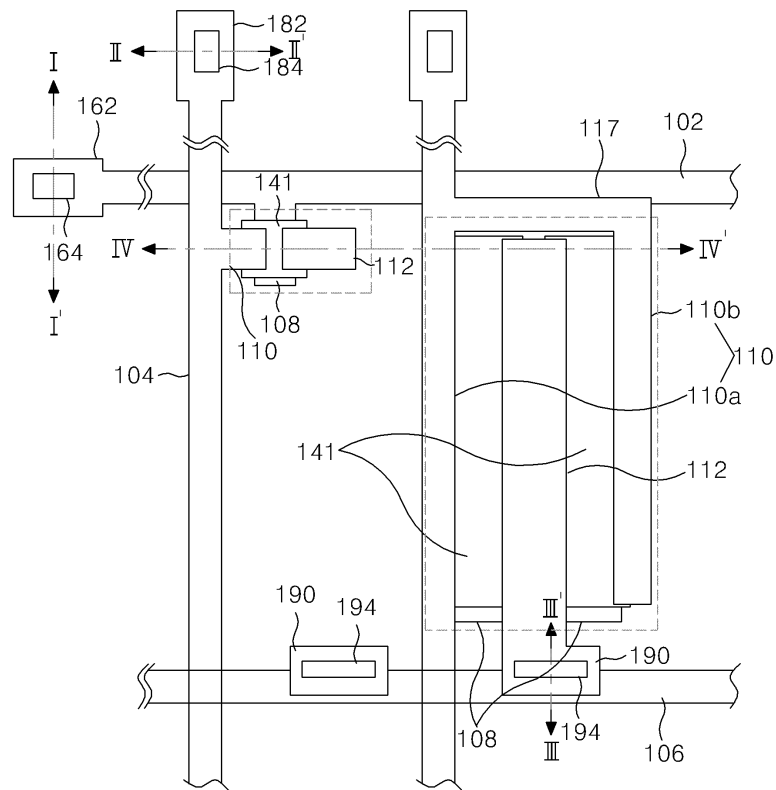
도면12a



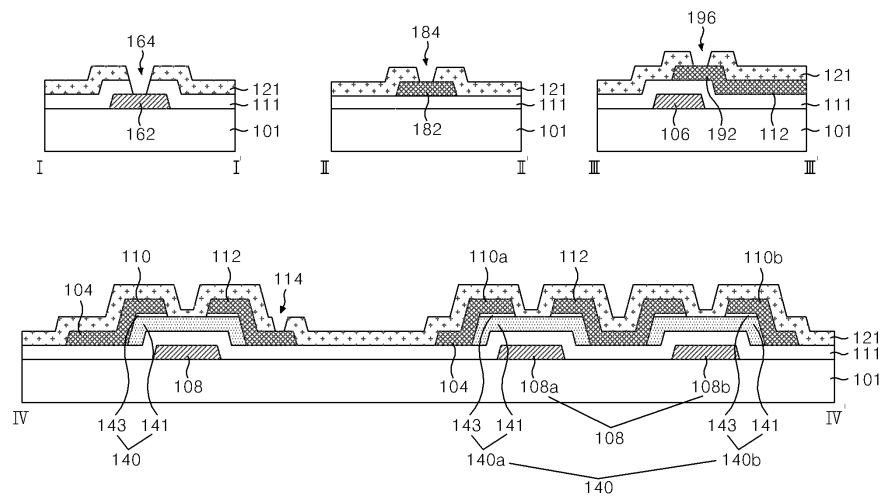
도면12b



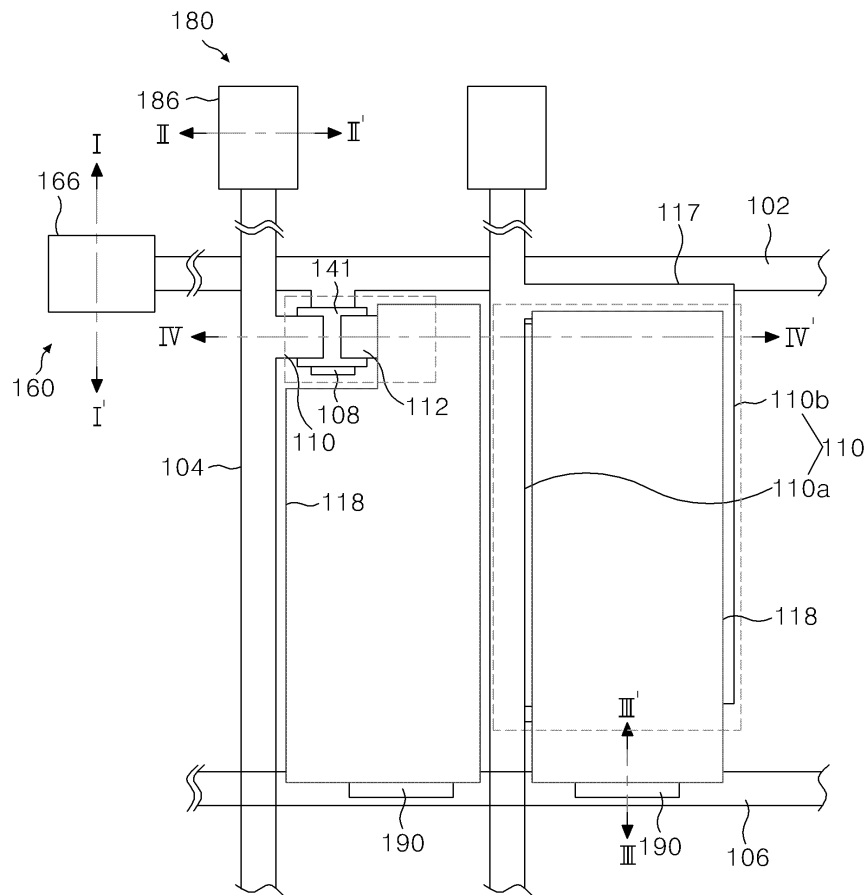
도면13a



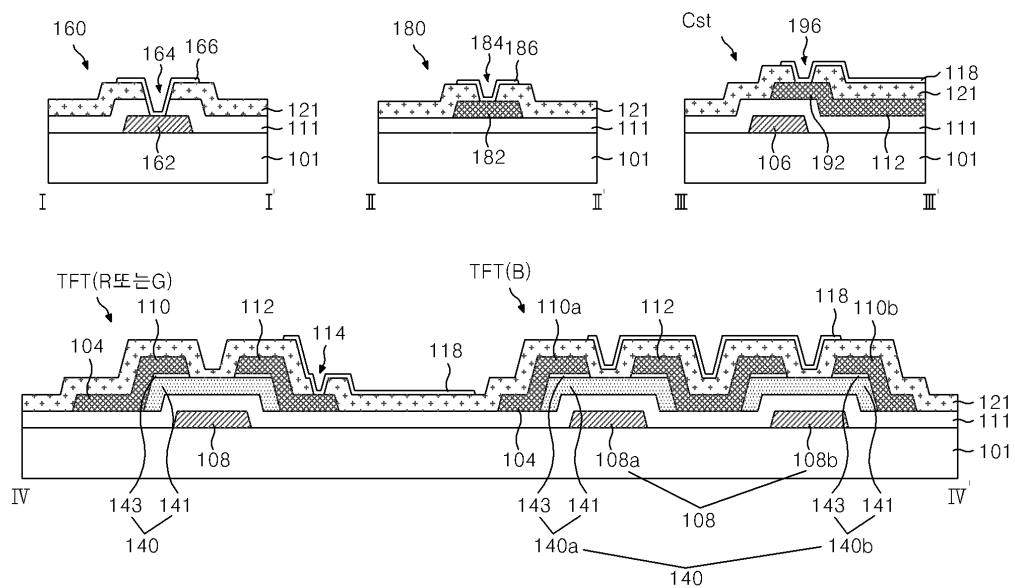
도면13b



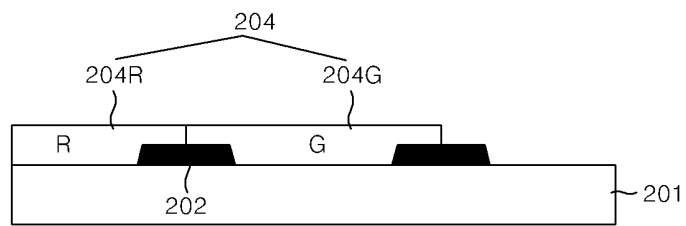
도면14a



도면14b



도면15



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020080032492A	公开(公告)日	2008-04-15
申请号	KR1020060098403	申请日	2006-10-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE GEE SUNG		
发明人	CHAE, GEE SUNG		
IPC分类号	G02F1/1335 G02F1/136		
CPC分类号	G02F1/133509 G02F1/1368 H01L29/786		
其他公开文献	KR101288591B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示面板及其制造方法，尤其涉及降低液晶显示器的制造成本。该LCD面板具有多条栅极线，其中提供扫描信号，以及多条数据线，其与栅极线交叉并且施加数据电压。并且，通过电场的第一基板，第二基板和当前驱动的液晶层包括在数据线和栅极线的交叉处。对于第一基板，自发光蓝光的自发光器件形成在限定的像素区域中的蓝色子像素中。关于第二基板，在红色子像素和对应于绿色子像素的像素区域中创建滤色器场。通过电场的当前驱动的液晶层形成在第一和第二基板之间，并且施加在第一基板和第二基板之间。

