



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0023109
(43) 공개일자 2008년03월12일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0082178

(22) 출원일자 2007년08월16일

심사청구일자 2008년01월14일

(30) 우선권주장

JP-P-2006-00242274 2006년09월07일 일본(JP)

(71) 출원인

가부시끼가이샤 퓨처 비전

일본 도쿄도 미나토구 아까사카 2쵸메 4반 1고 백
아 빌딩 3F

(72) 발명자

요시모토 요시카즈

일본 도쿄도 미나토구 아까사카 2쵸메 4반 1고 백
아빌딩 3층가부시끼가이샤 퓨처 비전 내

(74) 대리인

장수길, 이중희

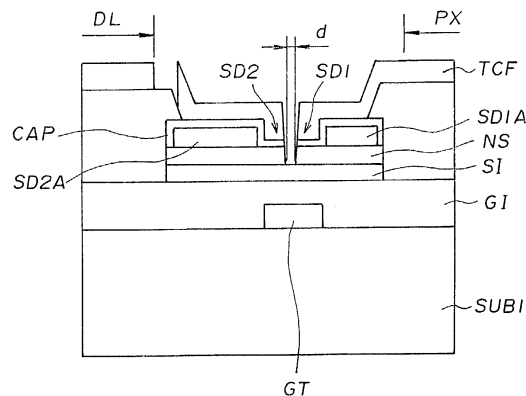
전체 청구항 수 : 총 17 항

(54) 액정 표시 패널의 제조 방법 및 액정 표시 패널

(57) 요약

제조 공정을 간략화하여, 액정 표시 장치의 한층 더한 코스트 다운을 실현한 액정 표시 패널의 제조 방법과 액정 표시 패널을 제공한다. 액정 표시 패널의 게이트 배선과 게이트 전극 GT, 데이터 배선을 포함시킨 소스 전극 SD1, 드레인 전극 SD2 중 어느 하나의 공정, 또는 그들의 몇 개의 공정에 잉크젯 직접 묘화 프로세스를 도입하는 것 외에, 실리콘 반도체층 SI와 n+ 콘택트층 NS의 적층으로 이루어지는 능동층 아일랜드의 형성에 잉크젯 직접 묘화 프로세스를 이용한다.

대표도 - 도12



특허청구의 범위

청구항 1

매트릭스 배열한 복수의 화소마다 박막 트랜지스터를 형성한 제1 기판과, 컬러 필터를 형성한 제2 기판과, 상기 제1 기판과 상기 제2 기판을 접합한 간극에 액정을 봉입한 액정 표시 패널의 제조 방법으로서,

상기 제1 기판에 반도체층을 성막하고, 그 반도체층의 상층에 콘택트층을 성막하여 능동층을 형성하고,

상기 능동층 상에, 잉크젯 직접 묘화에 의해 상기 박막 트랜지스터의 소스 전극과 드레인 전극으로 되는 제1 도전성 잉크를 도포하여 그 박막 트랜지스터의 채널부를 포함시켜 연속한 제1 도전막을 형성하고,

상기 제1 도전막 상에, 잉크젯 직접 묘화에 의해 제2 도전성 잉크를 도포하여 캡층으로 하고, 그 제1 도전막과 함께 적층막을 형성하고,

상기 적층막을 패터닝하여 상기 소스 전극과 상기 드레인 전극으로 되는 부분이 연속한 소스 전극·드레인 전극부를 형성하고,

상기 소스 전극·드레인 전극부를 에칭 마스크로 하여 상기 능동층을 패터닝하여, 능동층 아일랜드를 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 도전성 잉크는, 용매에 저저항 금속 입자를 분산하여 포함하고,

상기 제2 도전성 잉크는, 용매에 투명 도전성 입자 또는 금속 입자를 분산하여 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 3

제2항에 있어서,

상기 제1 도전성 잉크에 함유되는 저저항 금속 입자는 은 입자 또는 구리 입자 중 어느 하나, 또는 그들의 혼합 입자이며,

상기 제2 도전성 잉크에 함유되는 투명 도전성 입자는 금속 산화물 입자이고, 금속 입자는 니켈 입자인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 4

매트릭스 배열한 복수의 화소마다 박막 트랜지스터를 형성한 제1 기판과, 컬러 필터를 형성한 제2 기판과, 상기 제1 기판과 상기 제2 기판을 접합한 간극에 액정을 봉입한 액정 표시 패널의 제조 방법으로서,

상기 제1 기판에 반도체층을 성막하고, 그 반도체층의 상층에 콘택트층을 성막하여 능동층을 형성하고,

상기 능동층 상에, 잉크젯 직접 묘화에 의해 상기 박막 트랜지스터의 소스 전극과 드레인 전극으로 되는 제1 도전성 잉크를 도포하여 그 박막 트랜지스터의 채널부를 포함시켜 연속한 제1 도전막을 형성하고,

상기 제1 도전막 상에, 잉크젯 직접 묘화에 의해 제2 도전성 잉크를 도포하여 캡층으로 하고, 그 제1 도전막과 함께 적층막을 형성하고,

상기 적층막을 패터닝하여 상기 소스 전극과 상기 드레인 전극으로 되는 부분이 연속한 소스 전극·드레인 전극부를 형성하고,

상기 소스 전극·드레인 전극부를 에칭 마스크로 하여 상기 능동층을 패터닝하여, 능동층 아일랜드를 형성하고,

상기 능동층 아일랜드 상의 소스 전극·드레인 전극부를 포함하는 기판의 표면을 덮어 투명 도전막을 성막하고,

포토리소그래피를 도포하고 포토리소그래피 기법에 의해 상기 채널부의 상기 투명 도전막을 노출시키고, 그 노출된 부분의 상기 투명 도전막을 에칭 제거하여 상층의 콘택트층을 노출시키고,

노출된 콘택트층을 에칭하여 하층의 반도체층에 채널부를 형성하는 것을 특징으로 하는 액정 표시 패널의 제조

방법.

청구항 5

제4항에 있어서,

상기 제1 도전성 잉크는, 용매에 저저항 금속 입자를 분산하여 함유하고,

상기 제2 도전성 잉크는, 용매에 투명 도전성 입자 또는 금속 입자를 분산하여 함유하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 6

제4항에 있어서,

상기 제1 도전성 잉크에 함유되는 저저항 금속 입자는 은 입자 또는 구리 입자 중 어느 하나, 또는 그들의 혼합 입자이며,

상기 제2 도전성 잉크에 함유되는 투명 도전성 입자는 금속 산화물 입자이며, 금속 입자는 니켈 입자인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 7

제4항에 있어서,

상기 투명 도전막은 ITO 또는 IZO, 혹은 IZTO 중 어느 하나인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 8

매트릭스 배열한 복수의 화소마다 박막 트랜지스터를 형성한 제1 기판과, 컬러 필터를 형성한 제2 기판과, 상기 제1 기판과 상기 제2 기판을 접합한 간극에 액정을 봉입한 액정 표시 패널로서,

상기 박막 트랜지스터는, 게이트 배선과 그 게이트 배선으로부터 연장되는 게이트 전극과, 데이터 배선과, 그 데이터 배선으로부터 연장되는 데이터 전극과, 화소 전극과, 상기 드레인 전극과는 동층에서 상기 화소 전극에 접속하는 소스 전극과, 반도체층과 그 반도체층의 상층에 형성한 콘택층으로 이루어지는 능동층을 갖고,

상기 제1 기판에 갖는 박막 트랜지스터의 상기 드레인 전극 및 상기 소스 전극은, 잉크젯 직접 묘화의 도포로 형성된 제1 도전막 상에, 동일하게 잉크젯 직접 묘화의 도포로 형성되어 캡층으로 되는 제2 도전막과의 적층막과, 그 적층막의 상층에 성막된 투명 도전막으로 이루어지는 것을 특징으로 하는 액정 표시 패널.

청구항 9

제8항에 있어서,

상기 투명 도전막은, 상기 화소의 영역에서는 상기 드레인 전극 또는 상기 소스 전극 중 한쪽과 일체의 화소 전극을 구성하고 있는 것을 특징으로 하는 액정 표시 패널.

청구항 10

제8항에 있어서,

상기 투명 도전막은, 상기 데이터 배선의 영역에서는 상기 드레인 전극 또는 상기 소스 전극 중 다른 쪽과 그 데이터 배선에 일체로 되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 11

제8항에 있어서,

상기 제1 도전막은 저저항 금속 박막이고,

상기 제2 도전막은 투명 도전 박막 또는 금속 박막인 것을 특징으로 하는 액정 표시 패널.

청구항 12

제11항에 있어서,

상기 저저항 금속 박막은 은 입자의 소성막 또는 구리 입자의 소성막 중 어느 하나, 또는 그들의 혼합 입자의 소성막이며,

상기 투명 도전 박막은 금속 산화물 입자의 소성막 또는 금속 입자의 소성막인 것을 특징으로 하는 액정 표시 패널.

청구항 13

제12항에 있어서,

상기 금속 산화물 입자는 ITO 또는 IZO, 혹은 IZTO의 입자이며, 상기 금속 입자는 니켈 입자인 것을 특징으로 하는 액정 표시 패널.

청구항 14

제8항에 있어서,

상기 드레인 전극과 상기 소스 전극을 구성하는 상기 적층막의 상기 캡층의 대향 간격이 그 적층막의 상기 제1 도전막의 대향 간격보다 좁은 것을 특징으로 하는 액정 표시 패널.

청구항 15

제8항에 있어서,

상기 소스 전극과 상기 드레인 전극을 구성하는 상기 투명 도전막의 대향 간격이 상기 적층막의 상기 제1 도전막의 대향 간격보다 좁은 것을 특징으로 하는 액정 표시 패널.

청구항 16

제8항에 있어서,

상기 박막 트랜지스터를 구성하는 게이트 배선 및 게이트 전극이, 도전성 잉크의 잉크제트에 의한 도포와 소성에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

청구항 17

제8항에 있어서,

상기 박막 트랜지스터를 구성하는 데이터 배선이, 도전성 잉크의 잉크제트에 의한 도포와 소성에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 패널.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은, 액정 표시 장치에 관한 것으로, 특히, 액티브 매트릭스형의 액정 표시 패널의 제조 방법과 그 제조 방법으로 제조한 액정 표시 패널에 관한 것이다.

배경 기술

- <2> 액정 표시 장치는, 액정 표시 패널 PNL과 구동 회로 및 백라이트 등의 주변 장치를 조합하여 구성된다. 도 16은, 전형적인 종전계형(소위 TN형)의 액정 표시 장치의 개략 구성예를 설명하는 단면 모식도이다. 통상적으로, 액티브 매트릭스형의 액정 표시 장치를 구성하는 액정 표시 패널은, 제1 기관(액티브 매트릭스 기관 혹은 박막 트랜지스터 기관)으로 구성되는 제1 패널 PNL1과, 제2 기관(대향 기관 혹은 컬러 필터 기관)으로 구성되는 제2 패널 PNL2 사이에 액정 LC를 봉입하여 형성된다.
- <3> 제1 패널 PNL1을 구성하는 제1 기관 SUB1의 내면에는, 박막 트랜지스터 TFT와, 이 박막 트랜지스터 TFT로 구동되는 화소 전극 PX를 갖고, 최상층에는 제1 배향막 ORI1이 성막되고, 액정 배향 제어능이 부여되어 있다.

또한, 외면(배면)에는 제1 편광판 POL1이 접촉되어 있다. 한편, 제2 패널 PNL2를 구성하는 제2 기관 SUB2의 내면에는, 컬러 필터 CF, 인접 화소의 컬러 필터와의 사이를 구획하는 차광층(블랙 매트릭스) BM, 대향 전극 CT를 갖고, 최상층에는 제2 배향막 ORI2가 성막되며, 액정 배향 제어능이 부여되어 있다. 또한, 외면(표면)에는, 편광층을 제1 편광판 POL1의 편광축과는 크로스니콜 배치한 제2 편광판 POL2가 접촉되어 있다. 또한, 세세한 구성은 도시를 생략하였다.

- <4> 제1 기관 SUB1에 박막 트랜지스터 TFT를 만들어 넣는 제조 공정에서는, 그 기관 상에, 우선, 크롬 등의 금속막으로 이루어지는 평행 배치된 복수의 게이트 배선 및 이 각 게이트 배선으로부터 화소마다 연장되는 게이트 전극이 형성된다. 그 후, 절연층, 능동층(실리콘 반도체층), 데이터 배선, 드레인 전극 및 소스 전극, 화소 전극, 보호막, 배향막 등을 형성하고, 배향막에 액정 배향 제어능을 부여하여 제1 기관이 형성된다. 제1 기관 SUB1의 배면에는, 백라이트 BLK가 설치되어 있다. 또한, 이 액정 표시 패널을 구동하기 위한 회로는 도시하고 있지 않다.
- <5> 도 17은, 도 16에서 설명한 액정 표시 패널의 1화소의 구성예와 이 화소를 구성하는 박막 트랜지스터의 구성예를 설명하는 도면이다. 즉, 도 17의 (a)는 화소의 평면도, 도 17의 (b)는 도 17의 (a)의 G-G' 선을 따른 단면도이다. 도 17의 (a)에 도시한 바와 같이, 1화소는 인접한 게이트 배선과 데이터 배선으로 둘러싸여지는 영역에 형성된다. 이 화소 영역 내에서, 박막 트랜지스터 TFT는 게이트 배선 GL과 데이터 배선 DL의 교차부에 배치되어 있다. 또한, 화소를 구성하는 화소 전극 PX가 컨택트홀 TH를 통하여 박막 트랜지스터 TFT의 소스 전극 SD1에 접속되고, 또한 보조 용량 배선 CL과의 사이에서 보조 용량을 형성하고 있다. 또한, 소스 전극과 드레인 전극은 동작 중에 교체되지만, 여기서는 소스 전극을 SD1, 드레인 전극을 SD2로 고정하여 설명한다.
- <6> 도 17의 (b)에서, 박막 트랜지스터 TFT는, 제1 기관 SUB1의 표면에 형성된 기초막 UW 상에 형성되어 있다. 게이트 배선 GL로부터 연장되는 게이트 전극 GT를 덮어 게이트 절연막 GI가 형성되어 있다. 이 게이트 절연막 GI 상에 능동층으로서의 실리콘(Si) 반도체층 SI와 오믹 컨택트층(n+ Si) NS(간단히 컨택트층이라고도 함), 소스 전극 SD1 및 드레인 전극 SD2가 순차적으로 적층된다. 기초막 UW는, 질화실리콘과 산화실리콘의 적층막으로 형성된다.
- <7> 이 게이트 배선 GL 및 게이트 전극 GT를 덮어 실리콘 나이트라이드(SiNx)를 바람직한 것으로 하는 게이트 절연막 GI가 성막되고, 그 상에 게이트 배선 GL과 교차하는 복수의 데이터 배선 DL이 형성된다. 또한, 이 데이터 배선 DL과 동시에 소스 전극 SD1과 드레인 전극 SD2가 동층에서 형성된다.
- <8> 이 화소는 풀 컬러 표시의 경우에는 각 단색(적, 녹, 청)의 부화소로 되지만, 여기서는 간단히 화소라고 한다. 화소를 구성하는 박막 트랜지스터 TFT는, 상기한 바와 같이, 게이트 전극 GT와, 이 게이트 전극 상에 패터닝된 실리콘 반도체막 SI와, 실리콘 반도체막의 상층에 분리되어 형성된 오믹 컨택트층(n+ 실리콘) NS와, 분리된 오믹 컨택트층의 각각에 접속한 소스 전극과 드레인 전극으로 구성된다.
- <9> 이 박막 트랜지스터의 상층에는 보호막 PAS가 성막되고, 그 상에 ITO를 바람직한 것으로 하는 화소 전극 PX가 패터닝되며, 보호막 PAS에 개구한 컨택트홀 TH로 소스 전극 SD1에 접속하고 있다. 또한, 화소 전극 PX와 보호막 PAS를 덮어 제1 배향막(도 16 참조)이 성막되지만 도시는 하고 있지 않다.
- <10> 한편, 도시하지 않은 다른 쪽의 기관에는, 풀 컬러의 경우에는 3색의 컬러 필터와 평활층(오버코트층, 도 16에는 도시하고 있지 않음)을 개재한 대향 전극(도 16 참조)이 형성된다. 그리고, 대향 전극을 덮어 제2 배향막(도 16 참조)이 성막되고, 상기한 한쪽의 기관인 액티브 매트릭스 기관과 서로 겹치게 하며, 그 간극에 액정이 봉입된다.
- <11> 상기한 박막 트랜지스터 기관의 배선 등을 잉크젯법으로 형성하는 것이 특허 문헌 1에 개시되어 있다. 특허 문헌 1에서는, 박막 트랜지스터 TFT의 게이트 전극을, 도전 재료를 함유하는 액체 재료를 이용하여, 잉크젯법에 의해 형성하고, 또한, 박막 트랜지스터 TFT의 소스 전극 및 드레인 전극을, 반도체 재료를 함유하는 액체 재료를 이용하여, 잉크젯법에 의해 형성하는 것이 기재되어 있다.
- <12> <종래기술의 문헌 정보>
- <13> [특허 문헌1] 일본 특개 2003-318193호 공보

발명의 내용

해결 하고자하는 과제

- <14> 박막 트랜지스터 기관에의 박막 트랜지스터의 만들어 넣음에는, (1) 게이트 전극, (2) 능동층 아일랜드 형성, (3) 소스·드레인 전극 형성, (4) 콘택트홀 형성, (5) 화소 전극 형성의 각 공정에 포토리소그래피 프로세스를 이용하고 있다. 이들 포토리소그래피 프로세스는, 메탈 등의 스퍼터 공정, 레지스트 도포와 마스크 노광·현상 공정, 에칭 공정, 레지스트 박리·세정 공정의 반복이다. 그러나, 이와 같은 공정을 반복하는 포토리소그래피 프로세스에서는, 노광 마스크를 이용한 대규모의 제조 설비가 필요하여, 제품 코스트의 인하를 저해하는 요인으로 되고 있다.
- <15> 근년, 상기한 바와 같은 공정 대신에, 잉크젯을 이용한 직접 묘화가 제안되어 있다. 잉크젯 직접 묘화를 채용함으로써, 박막 트랜지스터 형성의 간소화가 도모되어, 제조 설비의 삭감과 생산 효율의 대폭적인 향상이 가능해져, 액정 표시 장치의 코스트 다운이 기대되고 있다.
- <16> 구체적으로는, 박막 트랜지스터의 게이트 배선과 게이트 전극, 데이터 배선을 포함시킨 소스·드레인 전극을 잉크젯 직접 묘화로 행함으로써 포토리소그래피 프로세스를 삭감하는 것이 가능하게 되어 있다. 그러나, 여전히 3회의 포토리소그래피 프로세스를 필요로 하고 있다.
- <17> 본 발명의 목적은, 박막 트랜지스터의 제조 프로세스에서, 잉크젯 직접 묘화 공정을 더 적용함으로써 포토리소그래피 프로세스수를 가능한 한 삭감하여 제조 공정을 간략화하여, 액정 표시 장치의 한층 더한 코스트 다운을 실현한 액정 표시 패널의 제조 방법과 액정 표시 패널을 제공하는 것에 있다.

과제 해결수단

- <18> 상기 목적을 달성하기 위해서, 본 발명은, 액정 표시 패널의 게이트 배선과 게이트 전극, 데이터 배선을 포함시킨 소스·드레인 전극 중 어느 하나의 공정, 또는 그들 몇 개의 공정에 잉크젯 직접 묘화 프로세스를 도입하는 것 외에, 능동층 아일랜드 형성에 잉크젯 직접 묘화 프로세스를 이용한 방법으로 제조하는 것을 특징으로 한다.

효과

- <19> 본 발명에 의해, 저코스트로 액정 표시 패널을 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

- <20> 이하, 본 발명의 최량의 실시 형태를, 실시예의 도면을 참조하여 상세하게 설명한다.
- <21> [실시예 1]
- <22> 도 1은, 본 발명의 액정 표시 패널을 구성하는 제1 기관(박막 트랜지스터 기관)의 제조 프로세스의 실시예 1의 주요부를 설명하는 공정도로서, 게이트 형성부터 능동층 아일랜드의 형성까지의 공정도를 도시한다. 또한, 게이트 형성은 게이트 배선과 게이트 전극의 형성을 포함한다. 실시예 1에서는, 게이트 전극의 형성을 포토리소그래피 프로세스로 행하고, 능동층 아일랜드는 제1 도전성 잉크의 직접 묘화로 형성한 소스·드레인 전극을 에칭 마스크로 이용하여 패터닝한다.
- <23> 도 2 내지 도 6은, 도 1의 프로세스에서의 주요부 구조의 설명도이다. 또한, 도 4는 도 3의 A-A' 선을 따른 단면도, 도 6은 도 5의 B-B' 선을 따른 단면도이다. 이하, 도 2 내지 도 6을 참조하여 도 1의 공정을 설명한다. 도 1의 (a)의 게이트 형성에서는, 게이트 형성용 메탈(크롬, 알루미늄, 혹은 구리 등)을 스퍼터하여 메탈 박막을 성막한다(P-1). 이 메탈 박막 상에 감광성 레지스트를 도포하고, 노광 마스크를 이용한 노광, 현상하는 포토 공정에서 레지스트의 게이트 패턴을 형성한다(P-2). 레지스트로부터 노출된 메탈을 에칭하여 감광성 레지스트로 덮여진 부분만을 남긴다(P-3). 감광성 레지스트를 박리하고, 세정하여 게이트(게이트 배선과 게이트 전극)를 형성한다(P-4).
- <24> 그리고, 도 1의 (b)의 능동층 아일랜드와 소스·드레인 형성 공정에서는, 도 2에 평면을 도시한 바와 같이, 게이트 배선 GL과 게이트 전극 GT의 상층에 게이트를 형성한 후, 게이트 절연막 GI, 실리콘 반도체층 SI, 콘택트층으로 되는 nt 실리콘층 NS를, 이 순으로 CVD법으로 성막한다(3층 CVD)(P-5). 이 상층에, 도 3의 (a)와 같이, 소스 전극 재료(소스·드레인 전극 및 데이터 배선 재료) 잉크(제1 도전성 잉크)를 잉크젯 직접 묘화하여 소스 직접 묘화 패턴 DLA, SD1A, SD2A를 형성한다(P-6). 도 1의 (b)에는 소스 직접 묘화 프로세스로서 나타낸다.
- <25> 또한, 이 소스 직접 묘화 패턴은 박막 트랜지스터의 채널부를 포함시켜 연속한 도전막으로 된다. 이 상에 ITO

를 바람직한 것으로 하는 투명 도전막을 잉크젯 직접 묘화하여 캡층 CAP를 형성한다(도 3의 (b) 및 도 4 참조). 이 때, 캡층 CAP를 채널 부분의 컨택트층 NS 상에도 도포한다. 잉크젯 직접 묘화에 의해 캡층 CAP를 형성한 소스·드레인 전극 및 채널 부분을 마스크로 하여, 우선 컨택트층(n+ 실리콘층) NS를 에칭하고, 다음으로 실리콘 반도체층 SI를 에칭하여 능동층 아일랜드를 형성한다(P-7)(도 5, 도 6 참조).

<26> 상기 제1 도전성 잉크에는, 용매에 은 입자 또는 구리 입자 등의 저저항 금속 입자를 분산하여 포함하고, 제2 도전성 잉크로서는, 용매에 투명 도전성 입자 또는 금속 입자를 분산하여 포함하는 것을 이용할 수 있다. 또한, 제1 도전성 잉크에 포함하는 저저항 금속 입자는 은 입자 또는 구리 입자 중 어느 하나, 또는 그들의 혼합 입자가 바람직하고, 제2 도전성 잉크에 포함하는 투명 도전성 입자는 ITO 또는 IZO, 혹은 IZTO 등의 금속 산화물 입자를 이용하고, 금속 입자로서 니켈 입자를 이용할 수 있다.

<27> 도 7은, 본 발명의 액정 표시 패널을 구성하는 제1 기판(박막 트랜지스터 기판)의 제조 프로세스의 실시예 1의 주요부를 설명하는 도 1에 계속되는 공정도로서, 층간 절연막·컨택트홀 형성부터 화소 전극·채널의 캡 형성까지의 공정도를 도시한다. 또한, 도 8~도 12는, 도 7의 공정의 주요부 구조의 설명도이다. 이하, 도 8 내지 도 12를 참조하여 도 7의 공정을 설명한다.

<28> 도 7의 (a)에서, 캡층 CAP를 형성한 소스·드레인 전극 및 채널 부분을 마스크로 하여 에칭 가공하여 형성한 능동층 아일랜드를 덮어 층간 절연막을 형성한다(P-8). 이 층간 절연막에 감광성 레지스트를 도포하고, 노광 마스크를 이용하여 노광하여, 능동층 아일랜드의 소스·드레인 전극 부분의 캡층 부분의 층간 절연막을 가용화하고(P-9), 현상하여 해당 부분의 에칭을 행하여(P-10), 소스·드레인 전극 부분의 캡층 부분을 노출시킨다(도 8 참조).

<29> 도 8의 (a)는 도 7의 프로세스(P-10)로 형성된 소스·드레인 전극 부분을 포함하는 화소 부분의 주요부 평면도, 도 8의 (b)는 도 8의 (a)의 데이터 전극 DL 부분의 C-C'선을 따른 단면도, 도 8의 (c)는 도 8의 (a)의 박막 트랜지스터 부분의 D-D'선을 따른 단면도이다. 도 7의 프로세스(P-10)에 의해, 소스·드레인 전극 부분의 캡층 CAP가 노출되고, 다른 부분은 층간 절연막 INS로 덮여져 있다. 단, 이 때, 도 9, 도 10에 도시한 바와 같이, 데이터 배선 DL의 단자 부분(도 9), 및 게이트 배선 GL의 단자 부분(도 10)도 캡층 CAP가 노출되도록 포토 처리와 에칭 처리가 동시에 행해진다.

<30> 다음으로, 도 7의 (b)에서의 화소, 캡 형성 공정은 화소 전극의 형성과 소스 전극·드레인 전극의 분리 가공 공정이다. 우선, 도 7의 프로세스(P-10) 후에 ITO를 전면 스퍼터한다(P-11). 또한, ITO 대신에 IZO, IZTO 등을 이용할 수 있다. 그 상에, 도 11의 (a)에 도시한 바와 같이, 감광성 레지스트 RG를 도포하고, 데이터 배선, 게이트 배선, 채널 부분의 ITO를 노출시키는 포토리소그래피 프로세스(간단히 포토라고도 함)를 실시한다(P-12). 도 11의 (b)에 도 11의 (a)의 E-E'선을 따른 단면을, 도 11의 (c)에 도 11의 (a)의 F-F'선을 따른 단면을 도시한다.

<31> 노출된 부분의 ITO를 에칭하여(P-13), 채널 부분의 캡층 CAP를 제거한다. 캡층이나 데이터 배선 단자 및 게이트 배선 단자 부분에 니켈막을 캡층으로서 사용한 경우에는 이 부분의 에칭을 행한다(P-14). 이에 의해, 채널 부분의 ITO를 소스 전극 SD1의 부분과 드레인 전극 SD2의 부분으로 분리한다. 이 때, 화소 영역에 화소 전극으로서의 ITO가 분리된다. 이 화소 전극은 소스 전극 SD1과 일체로 되어 있다. 그 후, 컨택트층 NS를 에칭하여 캡을 형성하고(P-15), 불필요해진 감광성 레지스트를 박리하여 박막 트랜지스터를 완성한다. 이 상태를 도 12에 도시한다. 이 때, 캡의 간격 d는 캡층 CAP의 간격으로 되어, 도 4에 도시한 잉크젯 직접 묘화에 의한 소스 전극 SD1A와 드레인 전극 SD2A의 잉크막의 간격 D보다 상당히 좁아진다. 예를 들면, 간격 D는 10 μ m 이상인 것에 대하여, 간격 d는 4 μ m 이하로 할 수 있어, 고속의 박막 트랜지스터를 실현할 수 있어, 고선명 표시가 가능하게 된다.

<32> 도 13은, 본 발명의 효과를 설명하기 위한 공정 비교도이다. 도 13의 종래기술의 공정A와 본 발명의 공정B는, 게이트 형성 공정과 층간 절연막, 홀 형성 공정은 동일하고, 능동층 아일랜드, 소스·드레인(S-D) 형성 공정과 화소 형성 공정이 상이하다. 공정A와 공정B에서의 게이트 형성 공정에서는, 게이트 메탈 스퍼터→포토→메탈 에칭→레지스트의 박리·세정으로 게이트 배선과 게이트 전극이 형성된다.

<33> 공정A에서는, 그 능동층 아일랜드, 소스·드레인(S-D) 형성 공정은, 3층 CVD→포토→컨택트층 에칭→레지스트의 박리와 세정→소스 메탈 스퍼터→포토→메탈 에칭→캡 에칭→레지스트 박리·세정의 각 공정을 거친다. 또한, 동일하게 층간 절연막, 홀 형성 공정에서는, 층간 절연막을 성막→포토→에칭에 의해 필요한 컨택트홀이 형성된다. 그리고, 화소 형성 공정에서는, ITO 스퍼터→포토→에칭→레지스트 박리·세정이 실시된다.

- <34> 한편, 본 발명의 공정B는, 상기와 마찬가지로의 게이트 형성 공정에 계속되는 아일랜드·S-D 형성 공정에서는, 3층 CVD→소스의 잉크젯 직접 묘화→컨택트층 에칭이 실시된다. 그리고, 층간 절연막, 홀 형성 공정 후의 화소 형성 공정에서는, ITO 스퍼터→포토→에칭→갭 에칭→레지스트 박리·세정이 실시된다.
- <35> 도 13에 도시한 상기의 종래 기술의 공정A와 본 발명의 공정B를 비교하면, 아일랜드·S-D 형성 공정에서는 포토 공정을 사용하지 않기 때문에, 노광 마스크의 수를 삭감할 수 있어, 저코스트로 액정 표시 장치를 제조할 수 있다.
- <36> 도 14는, 본 발명의 효과를 설명하기 위한 다른 공정 비교도이다. 도 14의 종래 기술의 공정C와 본 발명의 공정B도, 게이트 형성 공정과 층간 절연막, 홀 형성 공정은 동일하고, 능동층 아일랜드, 소스·드레인(S-D) 형성 공정과 화소 형성 공정이 상이하다. 공정C와 공정B에서의 게이트 형성 공정에서는, 도 13과 마찬가지로, 게이트 메탈 스퍼터→포토→메탈 에칭→레지스트의 박리·세정에 의해 게이트 배선과 게이트 전극이 형성된다.
- <37> 공정C에서는, 그 능동층 아일랜드, 소스·드레인(S-D) 형성 공정은, 3층 CVD→소스 메탈 스퍼터→포토→메탈 에칭→컨택트층 에칭→애싱→메탈 에칭→갭 에칭→레지스트의 박리와 세정의 각 공정을 거친다. 또한, 동일하게 층간 절연막, 홀 형성 공정에서는, 층간 절연막을 성막→포토→에칭에 의해 필요한 컨택트홀이 형성된다. 그리고, 화소 형성 공정에서는, ITO 스퍼터→포토→에칭→레지스트 박리·세정이 실시된다.
- <38> 한편, 본 발명의 공정B는, 도 13과 마찬가지로, 게이트 형성 공정에 계속되는 아일랜드·S-D 형성 공정에서는, 3층 CVD→소스의 잉크젯 직접 묘화→컨택트층 에칭이 실시된다. 그리고, 층간 절연막, 홀 형성 공정 후의 화소 형성 공정에서는, ITO 스퍼터→포토→에칭→갭 에칭→레지스트 박리·세정이 실시된다.
- <39> 도 14에 도시한 상기의 종래 기술의 공정C와 본 발명의 공정B를 비교하면, 아일랜드·S-D 형성 공정에서는 포토 공정을 사용하지 않기 때문에, 노광 마스크의 수를 삭감할 수 있어, 저코스트로 액정 표시 장치를 제조할 수 있다.
- <40> 도 15는, 액티브 매트릭스형 액정 표시 장치의 등가 회로를 설명하는 도면이다. 도 15의 (a)는 액정 표시 패널 전체의 회로도, 도 15의 (b)는 도 15의 (a)에서의 화소부 PXL의 확대도이다. 도 15의 (a)에서, 표시 패널 PNL에는 다수의 화소부 PXL이 매트릭스 배열되어 있고, 각 화소부 PXL은 게이트 배선 구동 회로 GDR에 의해 선택되며, 데이터 배선 구동 회로 DDR로부터의 표시 데이터 신호에 따라서 점등된다.
- <41> 즉, 게이트 배선 구동 회로 GDR에 의해 선택된 게이트 배선 GL에 대응하여, 데이터 배선 구동 회로 DDR로부터 데이터 배선 DL을 통하여 액정 표시 패널 PNL의 화소부 PXL에서의 박막 트랜지스터 TFT에 표시 데이터(전압)이 공급된다.
- <42> 도 15의 (b)에 도시한 바와 같이, 화소부 PXL을 구성하는 박막 트랜지스터 TFT는, 게이트 배선 GL과 데이터 배선 DL의 교차부에 형성된다. 박막 트랜지스터 TFT의 게이트 전극 GT는 게이트 배선 GL에 접속하고, 박막 트랜지스터 TFT의 드레인 전극 SD2에는, 데이터 배선 DL이 접속되어 있다.
- <43> 박막 트랜지스터 TFT의 소스 전극 SD1은 액정(소자) LC의 화소 전극 PX에 접속된다. 액정 LC는, 화소 전극 PX와 공통 전극 CT 사이에 있으며, 화소 전극 PX에 공급되는 데이터(전압)에 의해 구동된다. 또한, 데이터를 일시 보유하기 위한 보조 용량 Ca가 드레인 전극 SD2와 보조 용량 배선 CL 사이에 접속되어 있다.
- <44> 이상의 설명 중, 잉크젯 직접 묘화로 형성하는 배선이나 전극, 혹은 아일랜드 형성층 등은, 잉크젯으로 잉크를 도포한 후에, 건조하고, 소성을 실시하여 박막으로 한다.

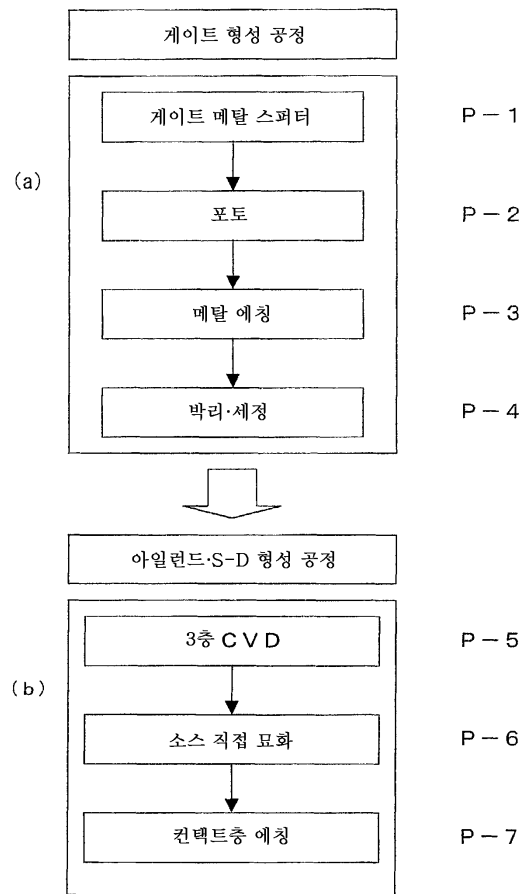
도면의 간단한 설명

- <45> 도 1은 본 발명의 액정 표시 패널을 구성하는 제1 기관의 제조 프로세스의 실시예 1의 주요부를 설명하는 공정도.
- <46> 도 2는 도 1의 프로세스에서의 주요부 구조의 설명도.
- <47> 도 3은 도 1의 프로세스에서의 주요부 구조의 설명도.
- <48> 도 4는 도 1의 프로세스에서의 주요부 구조의 설명도.
- <49> 도 5는 도 1의 프로세스에서의 주요부 구조의 설명도.
- <50> 도 6은 도 1의 프로세스에서의 주요부 구조의 설명도.

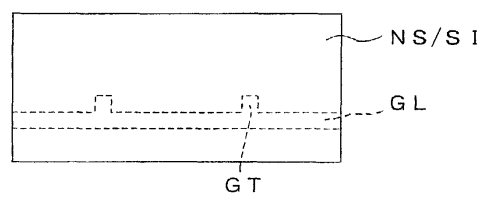
- <51> 도 7은 본 발명의 액정 표시 패널을 구성하는 제1 기관(박막 트랜지스터 기관)의 제조 프로세스의 실시예 1의 주요부를 설명하는 도 1에 계속되는 공정도.
- <52> 도 8은 도 7의 프로세스에서의 주요부 구조의 설명도.
- <53> 도 9는 도 7의 프로세스에서의 주요부 구조의 설명도.
- <54> 도 10은 도 7의 프로세스에서의 주요부 구조의 설명도.
- <55> 도 11은 도 7의 프로세스에서의 주요부 구조의 설명도.
- <56> 도 12는 도 7의 프로세스에서의 주요부 구조의 설명도.
- <57> 도 13은 본 발명의 효과를 설명하기 위한 공정 비교도.
- <58> 도 14는 본 발명의 효과를 설명하기 위한 다른 공정 비교도.
- <59> 도 15는 액티브 매트릭스형 액정 표시 장치의 등가 회로를 설명하는 도면.
- <60> 도 16은 전형적인 세로 전계형(소위 TN형)의 액정 표시 장치의 개략 구성예를 설명하는 단면 모식도.
- <61> 도 17은 도 16에서 설명한 액정 표시 패널의 1화소의 구성예와 이 화소를 구성하는 박막 트랜지스터의 구성예를 설명하는 도면.
- <62> <도면의 주요 부분에 대한 부호의 설명>
- <63> SUB1 : 제1 기관(박막 트랜지스터 기관)
- <64> SUB2 : 제2 기관(컬러 필터 기관)
- <65> GL : 게이트 배선
- <66> GT : 게이트 전극
- <67> GI : 게이트 절연막
- <68> NS : n+ 콘택트층
- <69> SI : 실리콘 반도체층
- <70> TCF : 투명 도전막
- <71> RG : 포토레지스트
- <72> CAP : 컵층

도면

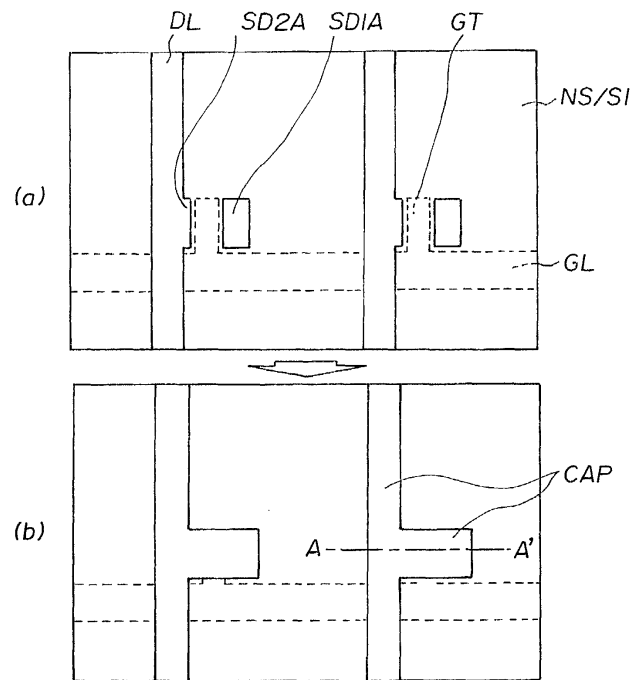
도면1



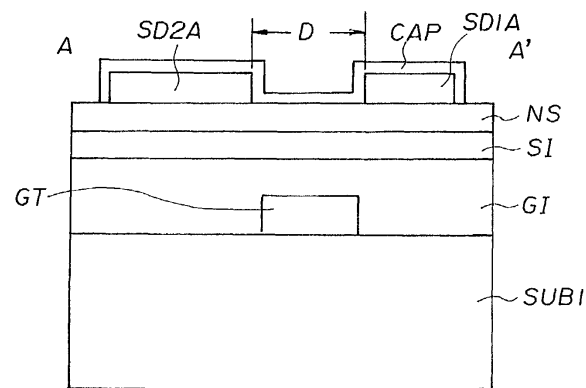
도면2



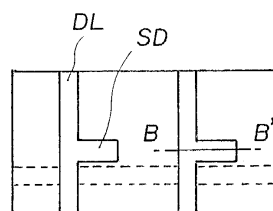
도면3



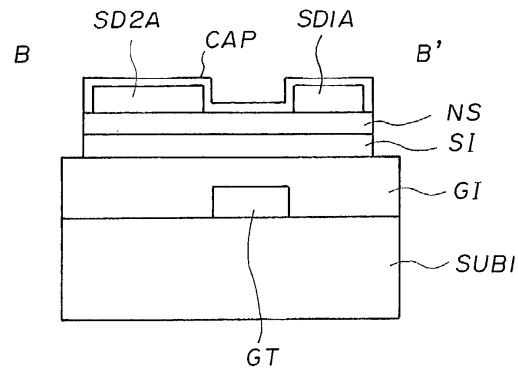
도면4



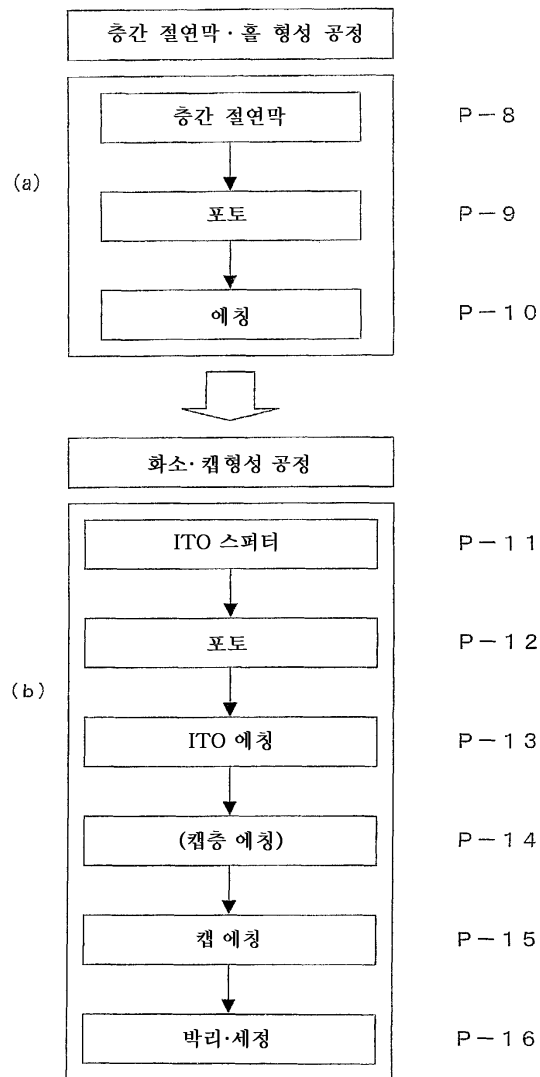
도면5



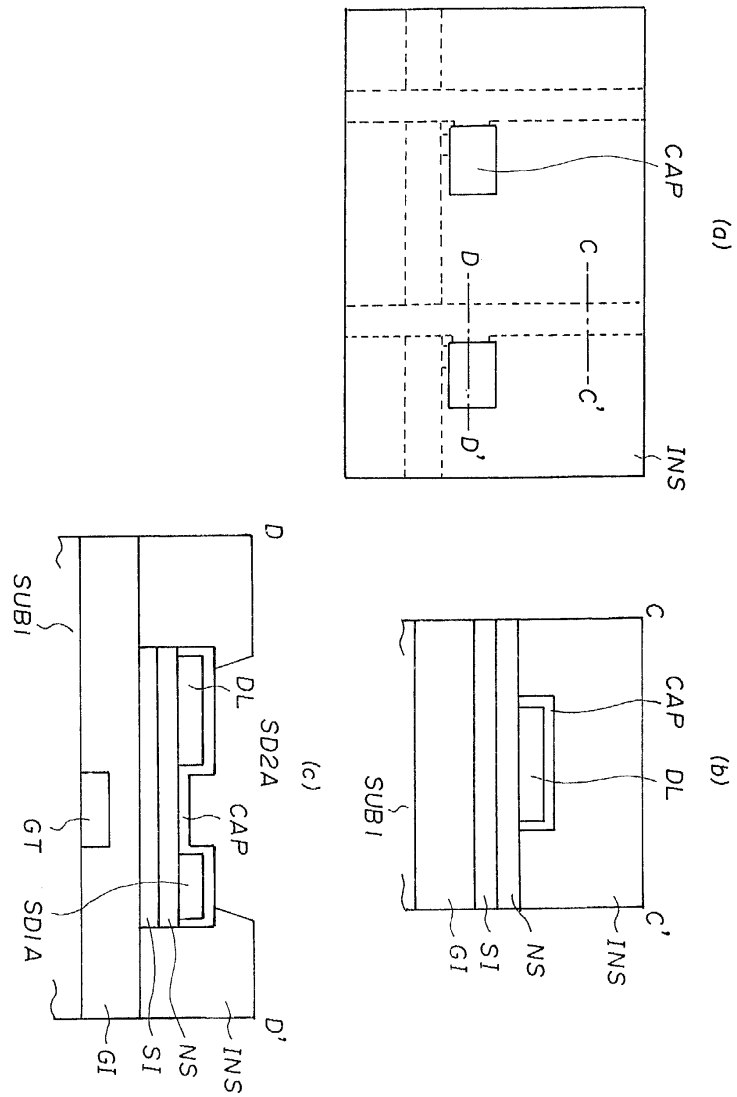
도면6



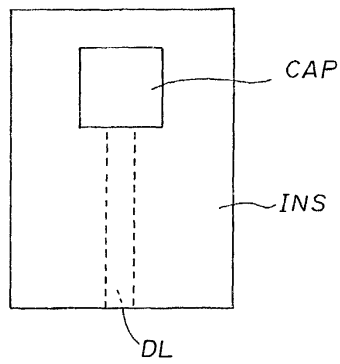
도면7



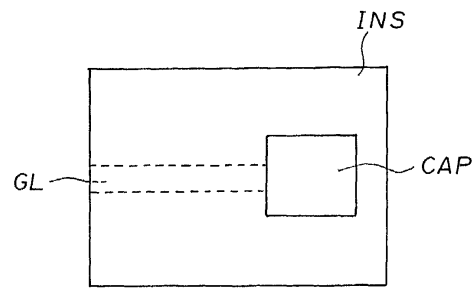
도면8



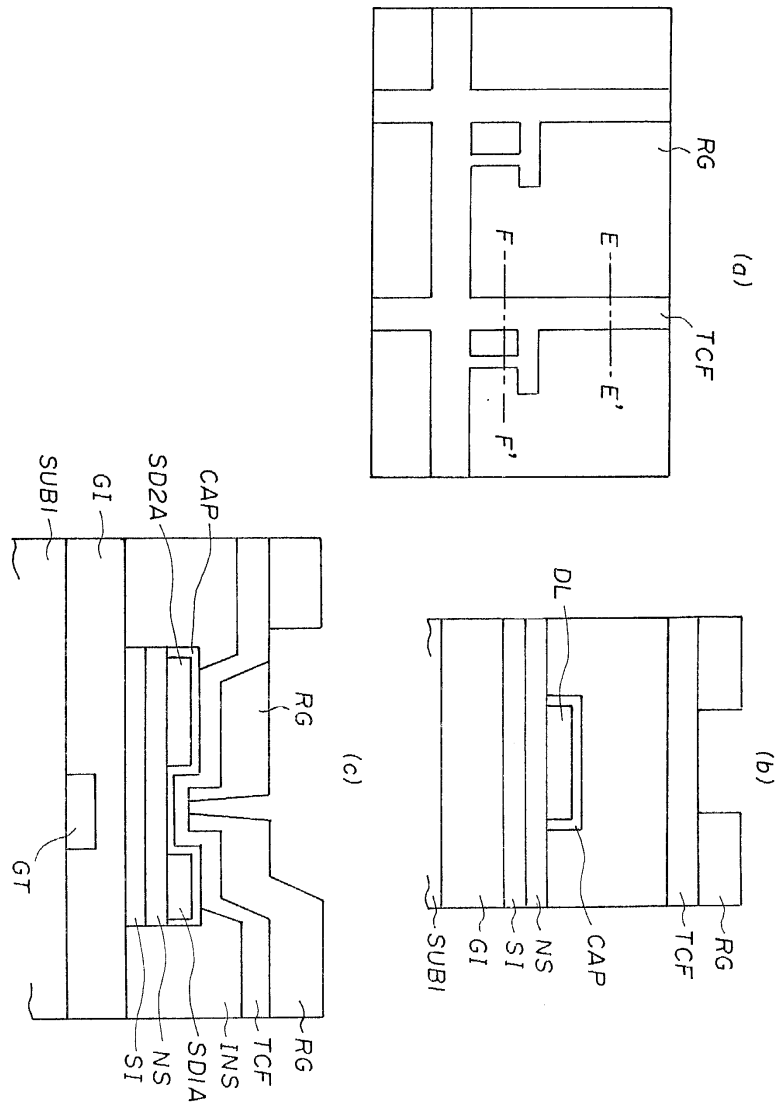
도면9



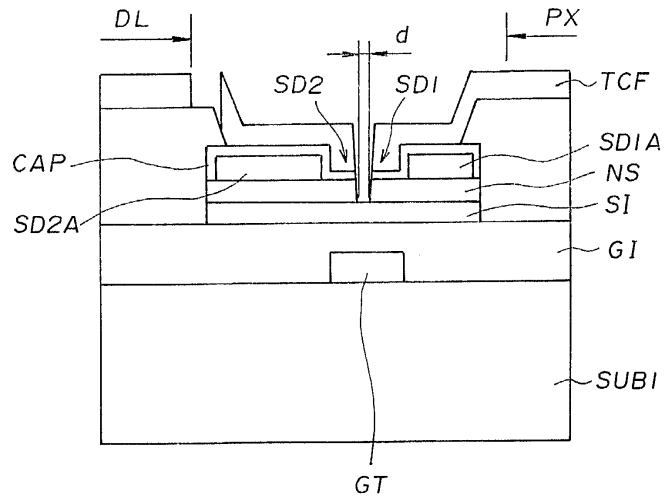
도면10



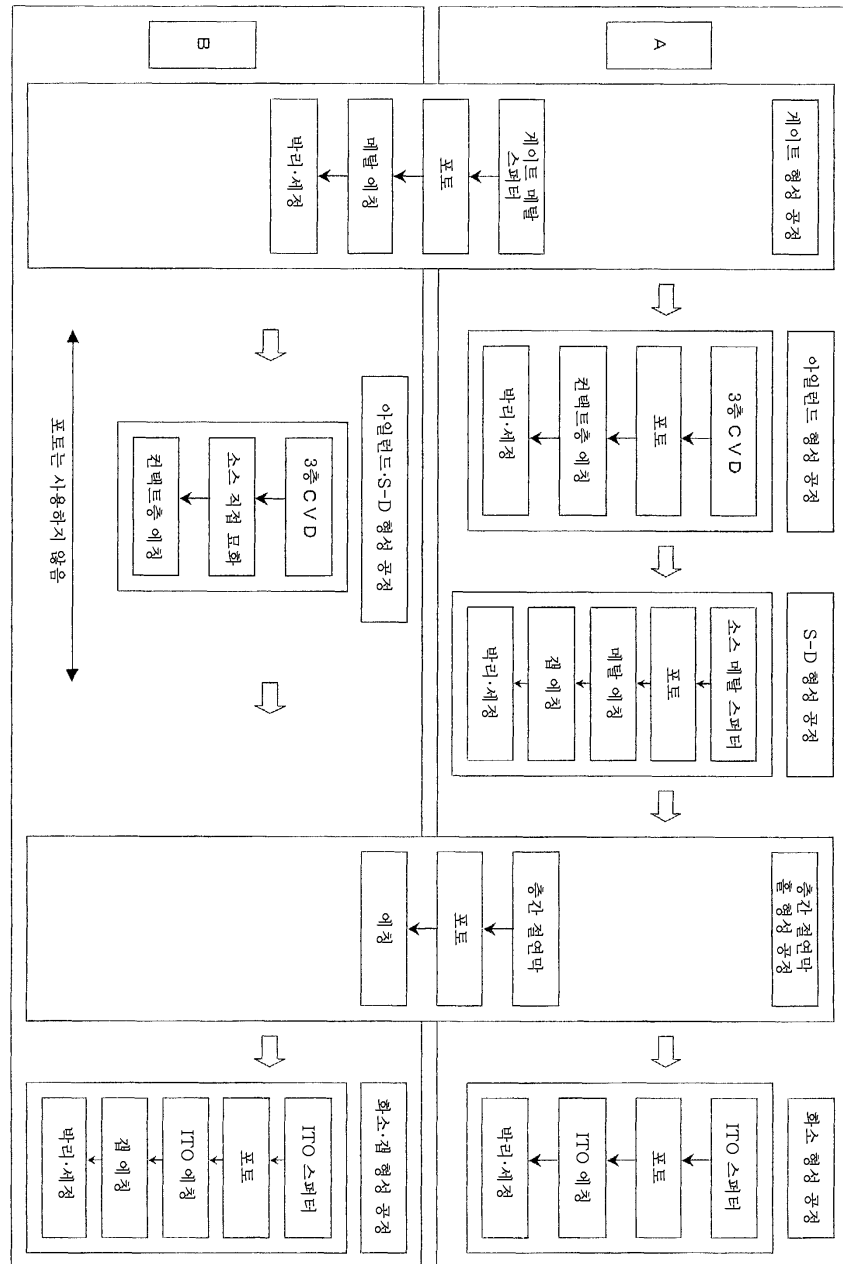
도면11



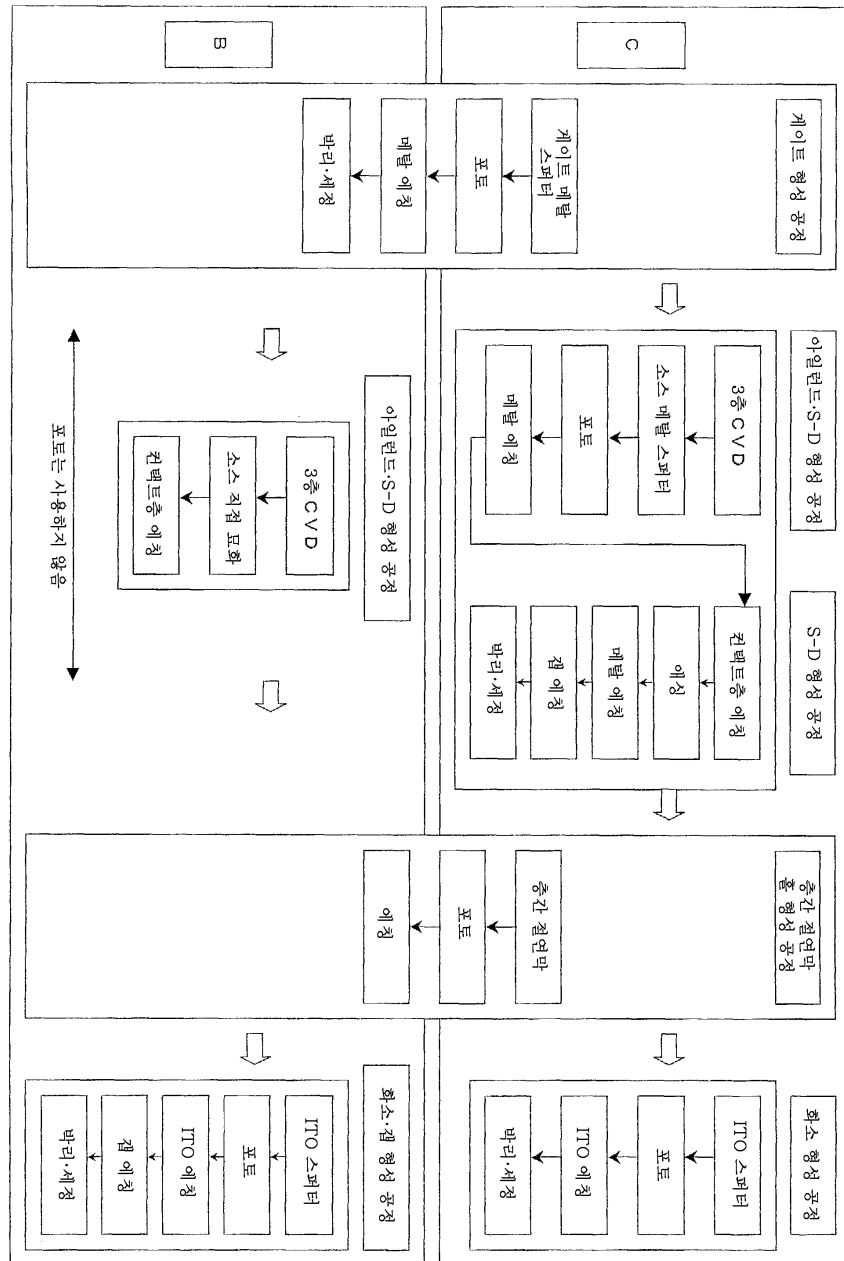
도면12



도면13



도면14



도면17

