



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0109521
(43) 공개일자 2007년11월15일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0042595

(22) 출원일자 2006년05월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이승규

경기 수원시 영통구 망포동 485-4번지 2층 202호

박원상

경기 용인시 기흥구 신갈동 새천년그릴빌5단지
501동 903호

(뒷면에 계속)

(74) 대리인

조희원

전체 청구항 수 : 총 20 항

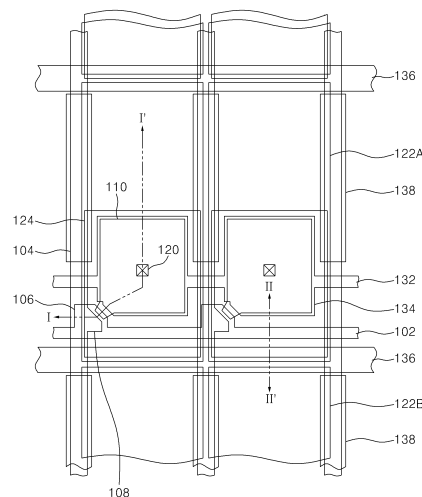
(54) 박막트랜지스터 기판, 그를 포함하는 액정 표시 패널, 및그 액정 표시 패널의 제조 방법

(57) 요약

본 발명은 플리커를 방지함과 아울러 반사율을 향상시킬 수 있는 박막트랜지스터 기판, 그를 포함하는 액정 표시 패널, 및 그 액정 표시 패널의 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명의 실시 예에 따른 액정 표시 패널은 하부 기판 상에 형성된 게이트 라인, 상기 게이트 라인과 절연되게 교차하는 데이터 라인, 상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터, 상기 박막트랜지스터와 접속되며 상기 게이트 라인을 차폐하도록 형성된 반사 전극을 포함하는 박막트랜지스터 기판과; 상기 하부 기판과 대향하는 상부 기판 상에 형성된 칼라 필터 및 상기 반사 전극과 전계를 이루는 공통 전극을 포함하며 상기 박막트랜지스터 기판과 액정을 사이에 두고 대향하는 칼라 필터 기판을 포함하는 것을 특징으로 한다.

대표도 - 도2



(72) 발명자

김재현

경기 수원시 영통구 영통동 972-2 벽적골 주공아파트 845동 501호

조용석

서울 관악구 봉천11동 은천아파트 205동 901호

여용석

충북 제천시 청전동 두진백로아파트 201동 1502호

특허청구의 범위

청구항 1

하부 기판 상에 형성된 게이트 라인, 상기 게이트 라인과 절연되게 교차하는 데이터 라인, 상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터, 상기 박막트랜지스터와 접속되며 상기 게이트 라인을 차폐하도록 형성된 반사 전극을 포함하는 박막트랜지스터 기판과;

상기 하부 기판과 대향하는 상부 기판 상에 형성된 칼라 필터 및 상기 반사 전극과 전계를 이루는 공통 전극을 포함하며 상기 박막트랜지스터 기판과 액정을 사이에 두고 대향하는 칼라 필터 기판을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 2

제 1 항에 있어서,

상기 박막트랜지스터와 접속된 화소 전극을 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 3

제 1 항에 있어서,

상기 칼라 필터 기판은

상기 칼라 필터 상에 일측단 및 타측단이 상기 반사 전극과 중첩되는 오버코트층을 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 4

제 2 항에 있어서,

상기 박막트랜지스터 기판은

상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극과;

상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인과;

상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 5

제 4 항에 있어서,

상기 제2 스토리지 라인은 상기 데이터 라인 방향으로 인접한 두 화소 전극과 모두 중첩되는 것을 특징으로 하는 액정 표시 패널.

청구항 6

제 2 항에 있어서,

상기 박막트랜지스터 기판은

상기 데이터 라인보다 넓은 폭으로 상기 데이터 라인에 중첩되는 쉴드 패턴을 더 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 7

제 6 항에 있어서,

상기 박막트랜지스터 기판은

상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극과;

상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인과;

상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 더 포함하며,

상기 쉘드 패턴은 상기 제2 스토리지 라인과 전기적으로 접속되는 것을 특징으로 하는 액정 표시 패널.

청구항 8

기판 상에 형성된 게이트 라인과;

상기 게이트 라인과 절연되게 교차하는 데이터 라인과;

상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터와;

상기 박막트랜지스터와 접속되며 상기 게이트 라인을 차폐하도록 형성된 반사 전극을 포함하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 9

제 8 항에 있어서,

상기 박막트랜지스터와 접속된 화소전극을 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 10

제 9 항에 있어서,

상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극과;

상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인과;

상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 더 포함하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 11

제 10 항에 있어서,

상기 제2 스토리지 라인은 상기 데이터 라인 방향으로 인접한 두 화소 전극과 모두 중첩되는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 12

제 9 항에 있어서,

상기 데이터 라인보다 넓은 폭으로 상기 데이터 라인과 중첩되는 쉘드 패턴을 더 구비하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 13

제 12 항에 있어서,

상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극과;

상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인과;

상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 더 포함하며,

상기 쉘드 패턴은 상기 제2 스토리지 라인과 전기적으로 접속되는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 14

제 10 항에 있어서,

상기 제2 스토리지 라인은 극성이 다른 데이터 신호가 공급되는 화소 전극들 사이에 위치하는 것을 특징으로 하는 박막트랜지스터 기판.

청구항 15

하부 기판 상에 형성된 게이트 라인, 상기 게이트 라인과 절연되게 교차하는 데이터 라인, 상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터, 상기 박막트랜지스터와 접속되며 상기 게이트 라인을 차폐하도록 형성된 반사 전극을 포함하는 박막트랜지스터 기판을 마련하는 단계와;

상기 하부 기판과 대향하는 상부 기판 상에 형성된 칼라 필터 및 상기 반사 전극과 전계를 이루는 공통 전극을 포함하는 칼라 필터 기판을 마련하는 단계와;

상기 박막트랜지스터 기판과 칼라 필터 기판을 액정을 사이에 두고 합착하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 16

제 15 항에 있어서,

상기 박막트랜지스터 기판을 마련하는 단계는

상기 기판 상에 게이트 라인 및 데이터 라인과, 그 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터를 형성하는 단계와;

상기 박막트랜지스터를 덮도록 보호막을 형성하는 단계와;

상기 보호막 상에 상기 박막트랜지스터와 접속된 화소 전극을 형성하는 단계와;

상기 게이트 라인과 중첩되는 반사 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 17

제 16 항에 있어서,

상기 박막트랜지스터 기판을 마련하는 단계는

상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극, 상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인, 상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 상기 게이트 라인과 동일 평면 상에 동일 금속으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 박막트랜지스터 기판을 마련하는 단계는

상기 데이터 라인보다 넓은 폭으로 상기 데이터 라인과 중첩되는 쉴드 패턴을 상기 게이트 라인과 동일 평면 상에 동일 금속으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 19

제 18 항에 있어서,

상기 쉴드 패턴을 형성하는 단계는

상기 제2 스토리지 라인과 전기적으로 접속되도록 형성하는 단계인 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 20

제 15 항에 있어서,

상기 칼라 필터 기관을 마련하는 단계는

상기 상부 기관 상에 칼라 필터를 형성하는 단계와;

상기 칼라 필터 상에 일측단 및 타측단이 상기 반사 전극과 중첩되는 오버코트층을 형성하는 단계와;

상기 오버 코트층이 형성된 상부 기관 상에 상기 공통 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <25> 본 발명은 박막트랜지스터 기관, 그를 포함하는 액정 표시 패널, 및 그 액정 표시 패널의 제조 방법에 관한 것으로, 특히 플리커를 방지함과 아울러 반사율을 향상시킬 수 있는 박막트랜지스터 기관, 그를 포함하는 액정 표시 패널, 및 그 액정 표시 패널의 제조 방법에 관한 것이다.
- <26> 액정 표시 장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 이를 위하여 액정 표시 장치는 화소 매트릭스를 통해 화상을 표시하는 액정 표시 패널(이하, 액정 패널)과, 액정 패널을 구동하는 구동 회로와, 액정 패널에 빛을 공급하는 백라이트 유닛을 구비한다. 이러한 액정 표시 장치는 이동 통신 단말기, 휴대용 컴퓨터, 모니터, 액정 텔레비전 등과 같이 소형 표시 장치부터 대형 표시 장치까지 널리 사용된다.
- <27> 액정 표시 장치는 광원을 이용하는 방법에 따라 내부광을 이용하는 투과형과, 외부광을 이용하는 반사형과, 내부광 및 외부광을 모두 이용하는 반투과형으로 대별된다. 이들 중 반투과형 액정 표시 장치는 외부광이 충분하면 반사 모드로, 불충분하면 백라이트 유닛을 이용한 투과 모드로 화상을 표시함으로써 소비 전력을 줄일 수 있는 반사형의 장점과 외부광의 제약을 받지 않는 투과형의 장점을 모두 갖는다.
- <28> 이러한 반투과형 액정 표시 장치는 도 1에 도시된 바와 같이 광학 보상 밴드(Optically compensated bend : OCB) 모드의 액정 분자들(20)을 사이에 두고 하부 기관(1)과 상부 기관(11)이 마주보도록 형성된다.
- <29> 하부 기관(1) 상에는 절연막(6)에 의해 덮힌 게이트 라인(4)을 사이에 두고 제1 서브 화소 영역의 반사 전극(8) 및 화소 전극(10A)이 제2 서브 화소 영역의 화소 전극(10B)과 마주보도록 형성된다.
- <30> 상부 기관(11) 상에는 각 서브 화소 영역을 구분하는 블랙매트릭스(2)와, 각 서브 화소 영역마다 형성되는 컬러 필터(2)와, 반사 영역과 투과 영역에서 두께 차이를 가지는 오버코트층(14)과, 화소 전극(10) 및 반사 전극(8)과 수직 전계를 이루는 공통 전극(12)이 형성된다.
- <31> 이와 같이 상부 기관(11) 상에 형성된 공통 전극(12)[반사 전극(8)]과 게이트 라인(4) 사이에 형성되는 전계로 인하여 액정 분자의 배열이 반사 전극(8)[게이트 라인(4)]의 가장자리 부분에서 반전된다. 이에 따라, 반사 전극(8)의 가장자리와 나머지 영역의 액정 분자(12) 배열이 달라 반사 전극(8)의 가장자리 부분에서 빛이 새어 플리커로 보이는 문제점이 있다. 특히, 빛샘 현상은 게이트 라인(4)을 사이에 두고 서로 이웃하는 화소 전극들(10A, 10B)에 서로 다른 극성의 데이터 전압을 공급하는 라인 인버전 방식에서 두드러지게 나타난다.
- <32> 이러한 빛샘 현상을 방지하기 위해 반사 전극(8)의 가장자리 부분을 가리도록 블랙 매트릭스(2)의 면적을 제1 서브 화소 영역과 일부 중첩되도록 넓히게 되면 반사 전극(8)의 면적이 줄어들어 반사율이 저하되는 문제점이 있다.
- <33>

발명이 이루고자 하는 기술적 과제

- <34> 따라서, 본 발명이 이루고자 하는 기술적 과제는 플리커를 방지함과 아울러 반사율을 향상시킬 수 있는 박막트랜지스터 기관, 그를 포함하는 액정 표시 패널, 및 그 액정 표시 패널의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- <35> 상기 기술적 과제를 달성하기 위하여, 본 발명의 실시 예에 따른 액정 표시 패널은 하부 기판 상에 형성된 게이트 라인, 상기 게이트 라인과 절연되게 교차하는 데이터 라인, 상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터, 상기 박막트랜지스터와 접속되며 상기 게이트 라인을 차폐하도록 형성된 반사 전극을 포함하는 박막트랜지스터 기판과; 상기 하부 기판과 대향하는 상부 기판 상에 형성된 칼라 필터 및 상기 반사 전극과 전계를 이루는 공통 전극을 포함하며 상기 박막트랜지스터 기판과 액정을 사이에 두고 대향하는 칼라 필터 기판을 포함하는 것을 특징으로 한다.
- <36> 여기서, 상기 액정 표시 패널은 상기 박막트랜지스터와 접속된 화소 전극을 더 포함하는 것을 특징으로 한다.
- <37> 그리고, 상기 칼라 필터 기판은 상기 칼라 필터 상에 일측단 및 타측단이 상기 반사 전극과 중첩되는 오버코트층을 더 포함하는 것을 특징으로 한다.
- <38> 또한, 상기 박막트랜지스터 기판은 상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극과; 상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인과; 상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 더 포함하는 것을 특징으로 한다.
- <39> 한편, 상기 제2 스토리지 라인은 데이터 라인 방향으로 인접한 두 화소전극과 모두 중첩되는 것을 특징으로 한다.
- <40> 그리고, 상기 박막트랜지스터 기판은 상기 데이터 라인보다 넓은 폭으로 상기 데이터 라인과 중첩되는 쉘드 패턴을 더 포함하는 것을 특징으로 한다.
- <41> 한편, 상기 박막트랜지스터 기판은 상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극과; 상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인과; 상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 더 포함하며, 상기 쉘드 패턴은 상기 제2 스토리지 라인과 전기적으로 접속되는 것을 특징으로 한다.
- <42> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 박막트랜지스터 기판은 기판 상에 형성된 게이트 라인과; 상기 게이트 라인과 절연되게 교차하는 데이터 라인과; 상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터와; 상기 박막트랜지스터와 접속되며 상기 게이트 라인을 덮도록 형성된 반사 전극을 구비하는 것을 특징으로 한다.
- <43> 이 때, 상기 제2 스토리지 라인은 극성이 다른 데이터 신호가 공급되는 화소 전극들 사이에 위치하는 것을 특징으로 한다.
- <44> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널의 제조방법은 하부 기판 상에 형성된 게이트 라인, 상기 게이트 라인과 절연되게 교차하는 데이터 라인, 상기 게이트라인 및 데이터라인과 접속된 박막트랜지스터, 상기 박막트랜지스터와 접속되며 상기 게이트 라인을 차폐하도록 형성된 반사 전극을 포함하는 박막트랜지스터 기판을 마련하는 단계와; 상기 하부 기판과 대향하는 상부 기판 상에 형성된 칼라 필터, 상기 반사 전극과 전계를 이루는 공통 전극을 포함하는 칼라 필터 기판을 마련하는 단계와; 상기 박막트랜지스터 기판과 칼라 필터 기판을 액정을 사이에 두고 합착하는 단계를 포함하는 것을 특징으로 한다.
- <45> 여기서, 상기 박막트랜지스터 기판을 마련하는 단계는 상기 기판 상에 게이트 라인 및 데이터 라인과, 그 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터를 형성하는 단계와; 상기 박막트랜지스터를 덮도록 보호막을 형성하는 단계와; 상기 보호막 상에 상기 박막트랜지스터와 접속된 화소 전극을 형성하는 단계와; 상기 게이트 라인과 중첩되는 반사 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <46> 또한, 상기 박막트랜지스터 기판을 마련하는 단계는 상기 박막트랜지스터의 드레인 전극과 절연되게 중첩되어 제1 스토리지 캐패시터를 이루는 스토리지 전극, 상기 스토리지 전극과 접속되며 상기 게이트 라인의 일측단과 인접한 제1 스토리지 라인, 상기 화소 전극과 절연되게 중첩되어 제2 스토리지 캐패시터를 이루며 상기 게이트 라인의 타측단과 인접한 제2 스토리지 라인을 상기 게이트 라인과 동일 평면 상에 동일 금속으로 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <47> 그리고, 상기 박막트랜지스터 기판을 마련하는 단계는 상기 데이터 라인보다 넓은 폭으로 상기 데이터 라인과

중첩되는 쉘드 패턴을 상기 게이트 라인과 동일 평면 상에 동일 금속으로 형성하는 단계를 더 포함하는 것을 특징으로 한다.

- <48> 구체적으로, 상기 쉘드 패턴을 형성하는 단계는 상기 제2 스토리지 라인과 전기적으로 접속되도록 형성하는 단계인 것을 특징으로 한다.
- <49> 한편, 상기 칼라 필터 기판을 마련하는 단계는 상기 상부 기판 상에 칼라 필터를 형성하는 단계와; 상기 칼라 필터 상에 일측단 및 타측단이 상기 반사 전극과 중첩되는 오버코트층을 형성하는 단계와; 상기 오버 코트층이 형성된 상부 기판 상에 상기 공통 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <50> 상기 기술적 과제를 해결하는 것 이외에 본 발명의 다른 특징 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.
- <51> 이하, 본 발명의 바람직한 실시 예들을 첨부한 도 2 내지 도 10b를 참조하여 상세하게 설명하기로 한다.
- <52> 도 2 및 도 3은 본 발명에 따른 반투과형 액정 표시 장치의 박막트랜지스터 기판을 나타내는 평면도 및 단면도이다.
- <53> 도 2 및 도 3에 도시된 박막 트랜지스터 기판(160)은 서로 교차되게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 게이트 라인(102) 및 데이터 라인(104)과 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속되고 각 서브 화소 영역(SPA)에 형성된 화소 전극(122)과, 박막 트랜지스터(TFT)와 접속되고 각 서브 화소 영역(SPA)의 반사 영역(RA)과 투과 영역(TA)을 정의하는 반사 전극(124)과, 화소 전극에 충전된 비디오 신호를 안정적으로 유지할 수 있게끔 하는 제1 및 제2 스토리지 캐패시터를 구비한다.
- <54> 데이터 라인(104)은 박막트랜지스터(TFT)를 통해 데이터 신호를 화소 전극(122) 및 반사 전극(124)에 공급한다. 게이트 라인(102)은 박막트랜지스터(TFT)의 게이트 전극(106)에 게이트 신호를 공급한다. 이러한 게이트 라인(102)의 일측단은 제1 스토리지 라인(132)과 인접되게 형성되며, 게이트 라인(102)의 타측단은 제2 스토리지 라인(136)과 인접되게 형성된다.
- <55> 박막 트랜지스터(TFT)는 게이트 라인(102)과 접속된 게이트 전극(106), 게이트 절연막(112)을 사이에 두고 게이트 전극(106)과 중첩된 활성층(114), 데이터 라인(104)과 접속되고 활성층(114)의 일측부와 접속된 소스 전극(108), 활성층(114)의 타측부와 접속된 드레인 전극(110)을 구비한다. 또한 박막 트랜지스터(TFT)는 소스 전극(108) 및 드레인 전극(110)과 활성층(114) 사이의 오믹 접촉을 위한 오믹 접촉층(116)을 더 구비한다. 게이트 전극(106)은 게이트 라인(102)과 함께 하부 기판(101) 위에 동일 금속으로 형성된다. 활성층(114) 및 오믹 콘택층(116)은 게이트 절연막(112) 위에 적층되고, 그 위에 소스 전극(108)과 드레인 전극(110)이 데이터 라인(104)과 동일 평면 상에 동일 금속으로 형성된다. 그리고 박막 트랜지스터(TFT)는 그 위에 형성된 무기 보호막(118) 및 유기 보호막(126)을 관통하는 콘택홀(120)을 통해 화소 전극(122) 및 반사 전극(124)과 접속된다. 이에 따라 박막 트랜지스터(TFT)는 게이트 라인(102)의 게이트 신호에 응답하여 데이터 라인(104)의 데이터 신호를 화소 전극(122) 및 반사 전극(124)에 공급한다.
- <56> 화소 전극(122)은 각 서브 화소 영역(SPA)의 유기 보호막(126) 상에 형성되고 콘택홀(120)을 통해 드레인 전극(110)과 접속된다. 화소 전극(122)은 투과율이 높은 투명 도전 물질로 형성되어 백라이트 유닛으로부터의 내부광을 투과시킨다. 화소 전극(122) 중 제2 스토리지 라인(136)을 사이에 두고 서로 다른 극성의 비디오 신호가 충전되는 제1 및 제2 화소 전극(122A, 122B)은 서로 영향을 주지 않을 만큼의 간격으로 이격되는 것이 바람직하다. 예를 들어, 제1 및 제2 화소 전극(122A, 122B)은 약 7~20 μ m을 사이에 두고 이격된다.
- <57> 반사 전극(124)은 각 서브 화소 영역(SPA)의 반사 영역(RA)에 형성되고 그 아래의 화소 전극(122)을 통해 드레인 전극(110)과 접속된다. 각 서브 화소 영역(SPA)에서 반사 전극(124)이 형성된 영역은 반사 영역(RA)으로, 반사 전극(124)이 형성되지 않은 영역은 투과 영역(TA)으로 정의된다. 반사 전극(124)은 반사율이 높은 도전 물질로 형성되어 외부광을 반사시킨다. 반사 효율을 높이기 위해 반사 전극(124)이 엠보싱 표면을 갖도록 유기 보호막(126)의 표면이 엠보싱 표면을 갖게 형성된다. 또한 반사 전극(124)의 외곽부가 데이터 라인(104)의 일측부와 중첩되도록 형성됨과 아울러 박막 트랜지스터(TFT)와 중첩되도록 형성된다. 이 반사 전극(124)에 의해 박막 트랜지스터(TFT)의 채널부가 보호되므로 별도의 블랙매트릭스가 불필요하다. 그리고, 반사 전극(124)은 제1 및 제2 스토리지 라인(132, 136) 사이에 위치하는 게이트 라인(102)과 중첩되게 형성됨과 아울러 게이트 라인(102)과 인접한 제2 스토리지 라인(136)의 일측부와 중첩되게 형성된다. 이와 같이 게이트 라인(102)의 게이트 신호가 반사 전극(124)에 의해 차폐됨으로써 반사 전극(124)의 전영역에서 액정 분자 배열의 흐트러짐이 발생하지 않는다. 이에 따라, 본 발명에 따른 액정 표시 장치는 액정 분자 배열의 흐트러짐을 방지하기 위한 중

래와 같은 별도의 블랙매트릭스가 불필요하므로 반사율이 종래보다 향상된다. 한편, 반사율을 종래와 동일하게 유지할 경우, 본 발명에 따른 액정 표시 장치는 투과율이 종래보다 약 20%이상 향상된다. 나아가 본 발명에 따른 액정 표시 장치는 빗샘 현상이 방지됨에 따라 빗샘 현상에 의해 플리커가 방지된다.

- <58> 제1 및 제2 스토리지 캐패시터는 화소 전극(122)에 충전된 비디오 신호가 다음 신호가 충전될 때까지 안정적으로 유지할 수 있게 된다.
- <59> 제1 스토리지 캐패시터는 화소 전극(122)과 접속된 드레인 전극(110)이 게이트 절연막(112)을 사이에 두고 스토리지 전극(134)과 중첩되어 형성된다. 여기서, 스토리지 전극(134)은 제1 스토리지 라인(132)으로부터 돌출되어 형성된다.
- <60> 제2 스토리지 캐패시터는 화소 전극(122)이 게이트 절연막(112), 무기 보호막(118) 및 유기 보호막(126)을 사이에 두고 제2 스토리지 라인(136)과 중첩되어 형성된다. 여기서, 제2 스토리지 라인(136)은 게이트 라인(102)과 나란한 방향으로 형성되며 데이터 라인(120) 방향으로 인접한 두 화소 전극(122A, 122B)과 모두 중첩된다.
- <61> 된다. 또한, 제2 스토리지 라인(136)은 데이터 라인(104)과 중첩되게 형성된 쉘드 패턴(138)과 소정 간격으로 이격되어 형성된다. 이러한 쉘드 패턴(138)은 데이터 라인(104)과 넓은 폭으로 데이터 라인(104)과 중첩되어 형성됨에 따라 데이터 라인(104)과 화소 전극(122) 사이의 빗샘이 차단된다.
- <62> 한편, 쉘드 패턴(138)은 도 4에 도시된 바와 같이 데이터 라인과 중첩되는 쉘드부(138a)와, 게이트 라인(102)과 나란하게 형성되는 제2 스토리지 라인부(138b)를 포함한다. 여기서, 제2 스토리지 라인부(138b)와 쉘드부(138a)는 전기적으로 접속되어 일체형으로 형성될 수도 있다. 쉘드 패턴(138)에는 제2 스토리지 라인부(138b)를 통해 액정 구동시 기준이 되는 공통 전압 또는 스토리지 전압이 공급된다. 이 경우, 쉘드 패턴(138)은 데이터 라인(104)과 화소 전극(122) 사이의 빗샘을 차단함과 아울러 데이터 라인(104)의 비디오 신호를 차폐함으로써 데이터 라인(104)과 화소 전극(122)간의 기생 캐패시터에 의한 커플링 현상을 억제한다.
- <63> 또한, 쉘드부(138a)와 전기적으로 일체형으로 형성된 제2 스토리지 라인부(138b)는 쉘드부(138)에 의해 전체적인 면적이 증가하게 된다. 면적이 증가된 제2 스토리지 라인부(138b)에 의해 제2 스토리지 라인부(138b)와 화소 전극(122) 간의 중첩 면적이 증가됨에 따라 제2 스토리지 캐패시터의 용량값도 증가된다. 용량값이 증가된 제2 스토리지 캐패시터에 반비례하는 킥백 전압이 작아진다. 이 때, 스토리지 전극(134)의 면적이 작아지는 경우 용량값이 줄어든 제1 스토리지 캐패시터에 대하여 증가된 킥백 전압은 제2 스토리지 캐패시터에 의해 감소된다.
- <64> 한편, 도 3 또는 도 4에 도시된 박막 트랜지스터 기관(160)은 도 5에 도시된 바와 같이 액정층을 사이에 두고 칼라 필터(152)가 형성된 칼라 필터 기관(150)과 합착된다. 여기서는 도 3에 도시된 박막트랜지스터 기관과 칼라 필터 기관이 합착되어 도 5에 도시된 액정 표시 패널을 이룬다.
- <65> 칼라 필터 기관(150)은 상부 기관(111) 위에 형성된 칼라 필터(152)와, 칼라 필터(152) 위에 적층된 오버 코트층(154) 및 공통 전극(156)을 구비한다.
- <66> 칼라 필터(152)는 상부 기관(111) 위에 적색(R), 녹색(G), 청(B)서브 화소 영역(SPA) 별로 형성되어 R, G, B 서브 화소를 정의한다.
- <67> 오버 코트층(154)은 반사 영역(RA)에서 액정층을 2회 경유하여 출사되는 외부광과, 투과 영역(TA)에서 액정층을 1회 경유하여 경유하여 출사되는 내부광의 광 경로 차이를 보상한다. 이를 위해, 오버 코트층(154)은 투과 영역에서 컬러필터(152)를 노출시키는 투과홀(158)을 가지도록 형성된다. 또는 광경로 차이를 보상함과 아울러 칼라필터들(152) 간의 단차를 보상하기 위해 오버 코트층(154)의 일부를 관통하는 투과홀(158)을 가지도록 형성된다.
- <68> 또한, 오버 코트층(154)의 일측단은 제2 스토리지 라인(136)과 인접한 반사 전극(124)과 중첩되며, 오버 코트층(154)의 타측단은 스토리지 전극(134)과 인접되게 형성됨과 아울러 반사 전극(124)과 중첩된다. 이에 따라, 도 1에 도시된 종래 구조에 비해 액정 배향이 상하 대칭 구조에 가까워진다.
- <69> 이러한 오버 코트층(154) 위에는 투명 도전 물질로 이루어진 공통 전극(156)이 형성된다.
- <70> 도 6a 내지 도 10b는 본 발명에 따른 박막트랜지스터 기관의 제조방법을 나타내는 평면도 및 단면도이다. 여기서 도 2에 도시된 박막 트랜지스터 기관의 제조방법을 예로 들어 설명하기로 한다.
- <71> 도 6a 및 도 6b에 도시된 바와 같이 하부 기관(101) 상에 게이트 라인(102), 게이트 라인(102)과 접속된 게이트

전극(106), 게이트 라인(106)과 인접한 제1 및 제2 스토리지 라인(132,136), 제1 스토리지 라인(132)과 접속된 스토리지 전극(134), 제2 스토리지 라인(136)과 인접한 쉘드 패턴(138)을 포함하는 제1 도전 패턴군이 형성된다.

<72> 구체적으로, 하부 기판(142) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층으로 이용되거나 상기 금속을 이용하여 이중층 이상으로 적층된 구조로 형성된다. 이어서, 게이트 금속층이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 게이트 라인(102), 게이트 전극(106), 제1 및 제2 스토리지 라인(132,136), 스토리지 전극(134) 및 쉘드 패턴(138)을 포함하는 제1 도전 패턴군이 형성된다.

<73> 도 7a 및 도 7b에 도시된 바와 같이 제1 도전 패턴군이 형성된 하부 기판(101) 상에 게이트 절연막(112)이 형성되고, 그 위에 데이터 라인(104), 소스 전극(108), 드레인 전극(110)을 포함하는 제2 도전 패턴군과, 제2 도전 패턴군을 따라 그 아래에 중첩된 활성층(114) 및 오믹 접촉층(116)을 포함하는 반도체 패턴군이 형성된다. 이러한 반도체 패턴군과 제2 도전 패턴군은 회절 노광 마스크 또는 하프 톤(Half Tone)를 이용한 하나의 마스크 공정으로 형성된다.

<74> 구체적으로, 제1 도전 패턴군이 형성된 하부 기판(101) 상에 게이트 절연막(112), 비정질 실리콘층, 불순물(n+ 또는 p+) 도핑된 비정질 실리콘층, 소스/드레인 금속층이 순차적으로 형성된다. 게이트 절연막(112)으로는 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질이, 소스/드레인 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층으로 이용되거나, 상기 금속을 이용한 이중층 이상이 적층된 구조로 이용된다. 그리고, 소스/드레인 금속층 위에 포토레지스트가 도포된 다음, 회절 노광 마스크를 이용한 포토리소그래피 공정으로 포토레지스트가 노광 및 현상됨으로써 단차를 갖는 제1 및 제2 포토레지스트 패턴이 형성된다. 제1 포토레지스트 패턴은 반도체 패턴군 및 제2 도전 패턴군이 형성되어질 영역에 위치하게 된다. 제2 포토레지스트 패턴은 제1 포토레지스트 패턴보다 얇은 두께로 박막 트랜지스터의 채널이 형성될 영역에 위치하게 된다. 이러한 포토레지스트 패턴을 이용한 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 제2 도전 패턴군과, 그 아래의 반도체 패턴군이 형성된다. 이 경우, 제2 도전 패턴군 중 소스 전극(108)과 드레인 전극(110)은 전기적으로 연결된 구조를 갖는다.

<75> 산소(O₂) 플라즈마를 이용한 애싱 공정으로 제1 포토레지스트 패턴은 얇아지게 하고, 제2 포토레지스트 패턴은 제거되게 한다. 이어서, 애싱된 제1 포토레지스트 패턴을 이용한 식각 공정으로 제2 포토레지스트 패턴의 제거로 노출된 제2 도전 패턴군과, 그 아래의 오믹 접촉층(116)이 제거됨으로써 소스 전극(108)과 드레인 전극(110)은 분리되고 활성층(114)이 노출된다.

<76> 그리고, 스트립 공정으로 소스/드레인 금속 패턴 위에 잔존하던 제1 포토레지스트 패턴이 제거된다.

<77> 도 8a 및 도 8b를 참조하면, 제2 도전패턴군이 형성된 게이트 절연막(112) 상에 무기 보호막(118)과, 무기 보호막(118) 상에 엠보싱 형상의 표면을 갖는 유기 보호막(126)이 형성된다.

<78> 구체적으로, 제2 도전패턴군이 형성된 게이트 절연막(112) 상에 무기 보호막(118)이 형성된다. 무기 보호막(118)은 게이트 절연막과 같은 무기 절연 물질로 형성될 수도 있다. 이러한 무기 보호막(118) 상에 엠보싱 형상이 표면을 갖는 유기 보호막(126)이 형성된다. 유기 보호막(126)은 알칼리 가용기를 포함하는 수지, PAC(Photo Active Compound), 용매 및 첨가물(점착력 강하제, 계면 활성제 등) 등으로 이루어진다. 이 무기 보호막(118)과 유기 보호막(126)이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 무기 보호막(118) 및 유기 보호막(126)을 관통하여 드레인 전극(110)을 노출시키는 콘택홀(120)이 형성된다.

<79> 도 9a 및 도 9b를 참조하면, 유기 보호막(126) 위에 화소 전극을 포함하는 제3 도전 패턴군이 형성된다.

<80> 구체적으로, 유기 보호막(126) 상에 스퍼터링 등의 증착 방법을 통해 투명 도전층이 엠보싱 형상을 유지하도록 형성되고, 그 투명 도전층이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 각 서브 화소 영역에 화소 전극(122)이 형성된다. 화소 전극(122)은 콘택홀(120)을 통해 드레인 전극(110)과 접속된다. 투명 도전층으로는 틴 옥사이드(Tin Oxide : TO), 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zind Oxide : ITZO) 등이 이용된다.

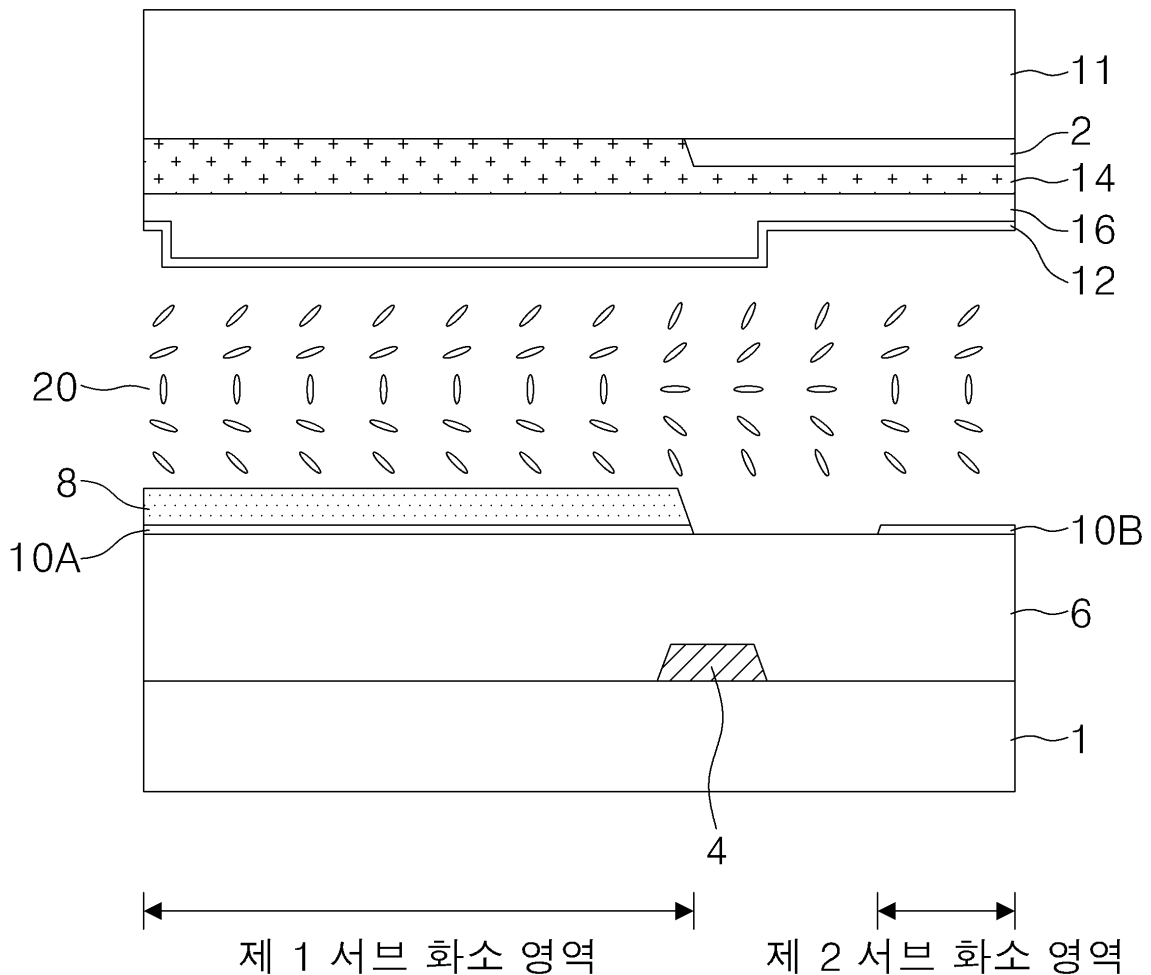
<81> 도 10a 및 도 10b를 참조하면, 제3 도전 패턴군 위에 반사 전극(124)을 포함하는 제4 도전 패턴군이 형성된다.

<82> 구체적으로, 화소전극이 형성된 유기 보호막(126) 위에 반사 금속층이 엠보싱 형상을 유지하며 적층된다. 반사 금속층으로는 Al, lNd 등과 같이 반사율이 높은 금속이 이용된다. 이어서, 반사 금속층이 포토리소그래피 공정

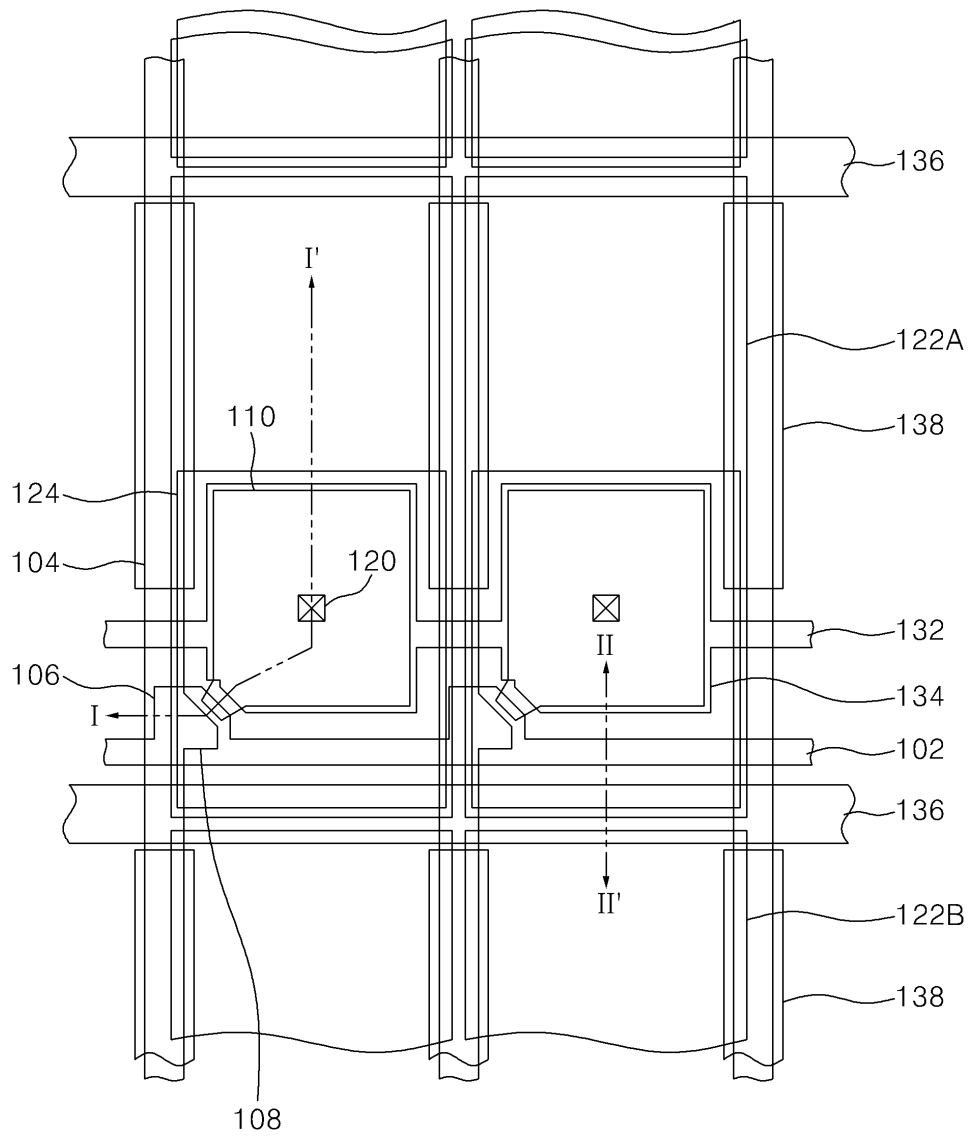
<15>	112 : 게이트 절연막	114 : 활성층
<16>	116 : 오믹 접촉층	118, 126 : 보호막
<17>	120 : 콘택홀	122 : 화소 전극
<18>	124 : 반사 전극	132, 136 : 스토리지 라인
<19>	134 : 스토리지 전극	138 : 셀드 패턴
<20>	150 : 칼라 필터 기판	152 : 칼라 필터
<21>	154 : 오버 코트층	156 : 공통 전극
<22>	158 : 투과홀	160 : 박막트랜지스터 기판
<23>	SPA : 서브 화소 영역	TA : 투과 영역
<24>	RA : 반사 영역	

도면

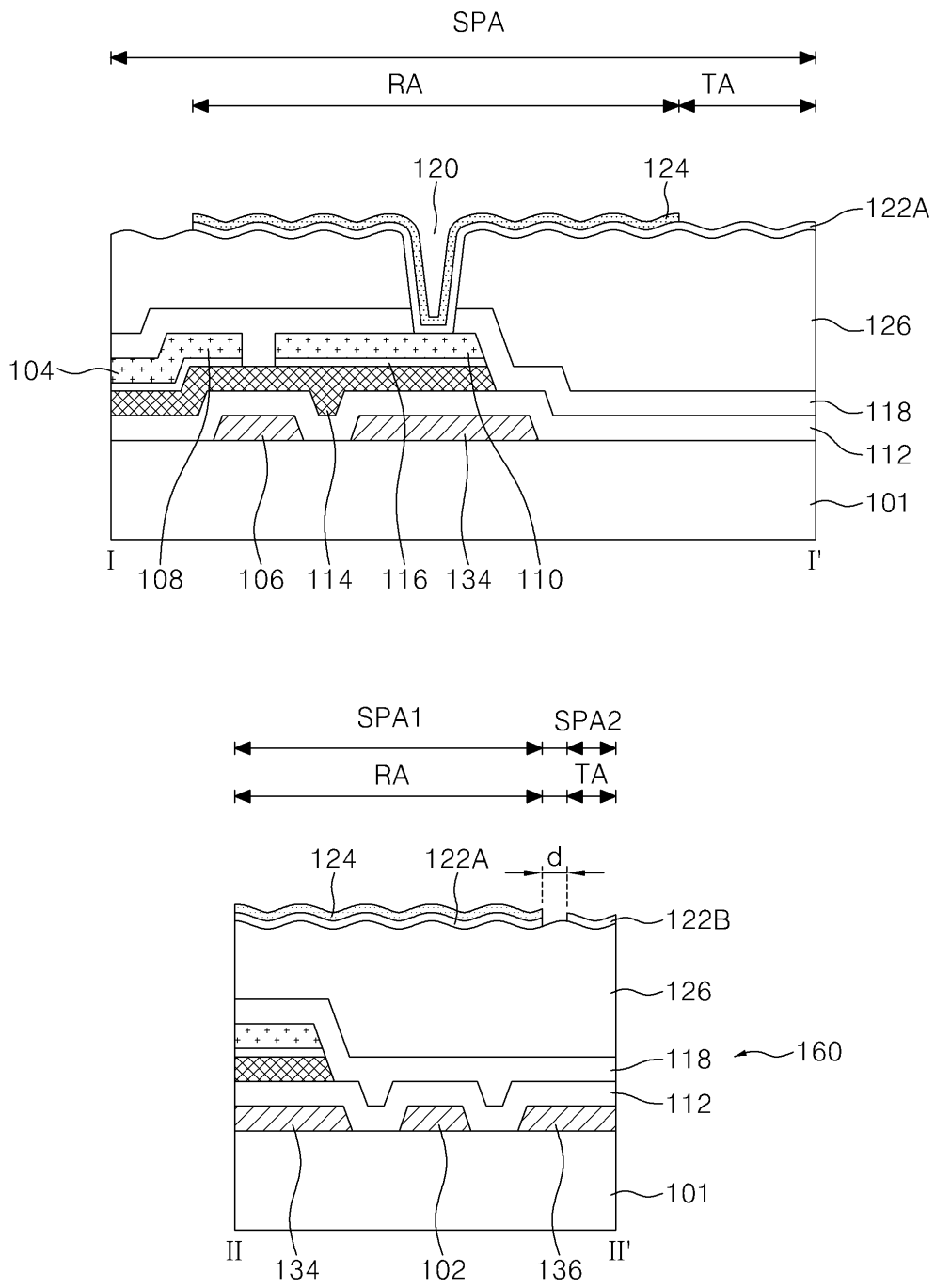
도면1



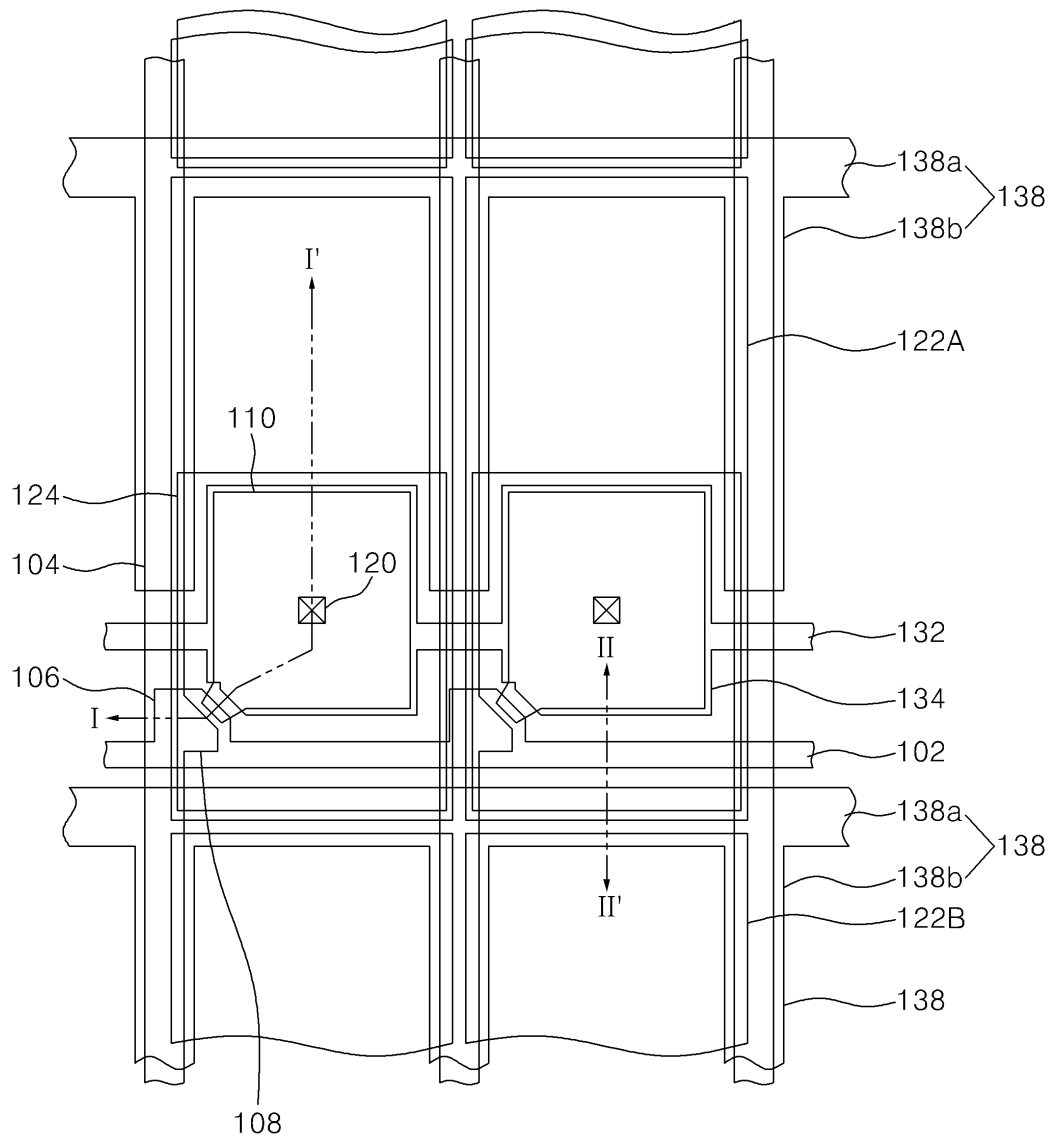
도면2



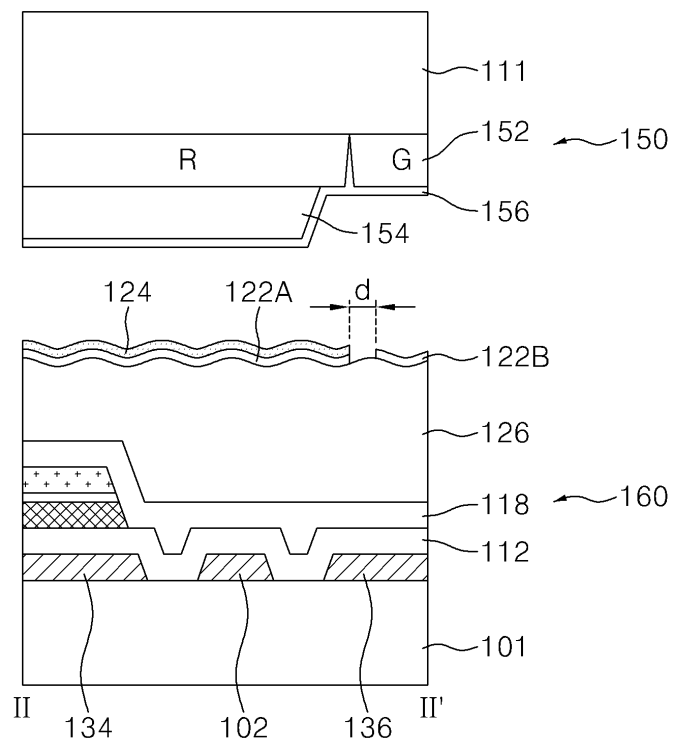
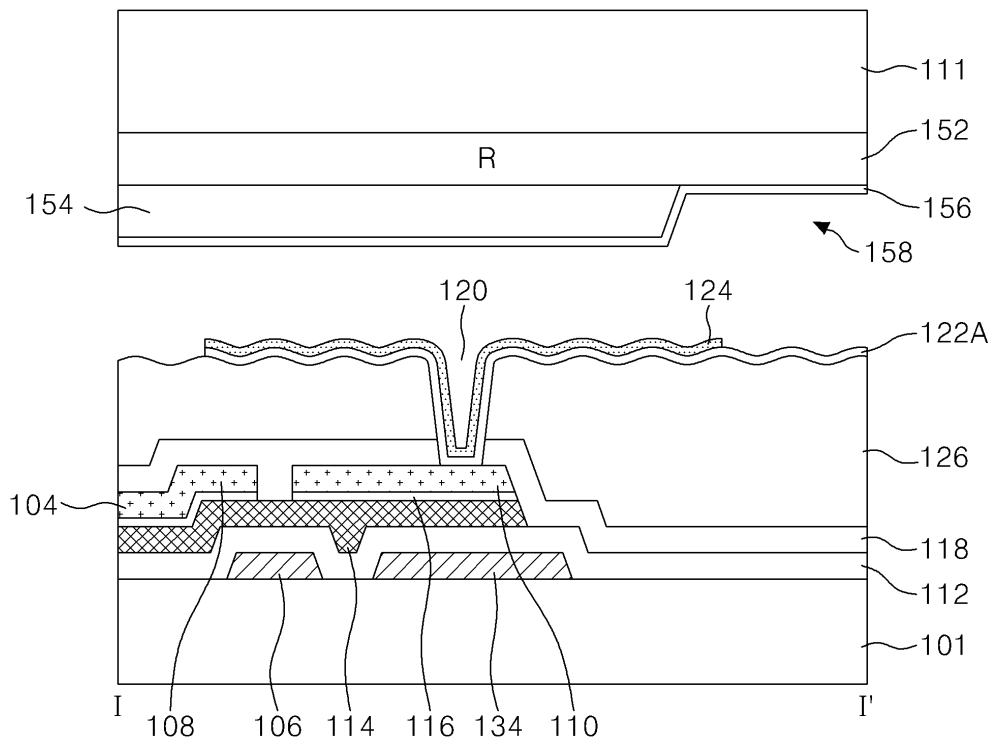
도면3



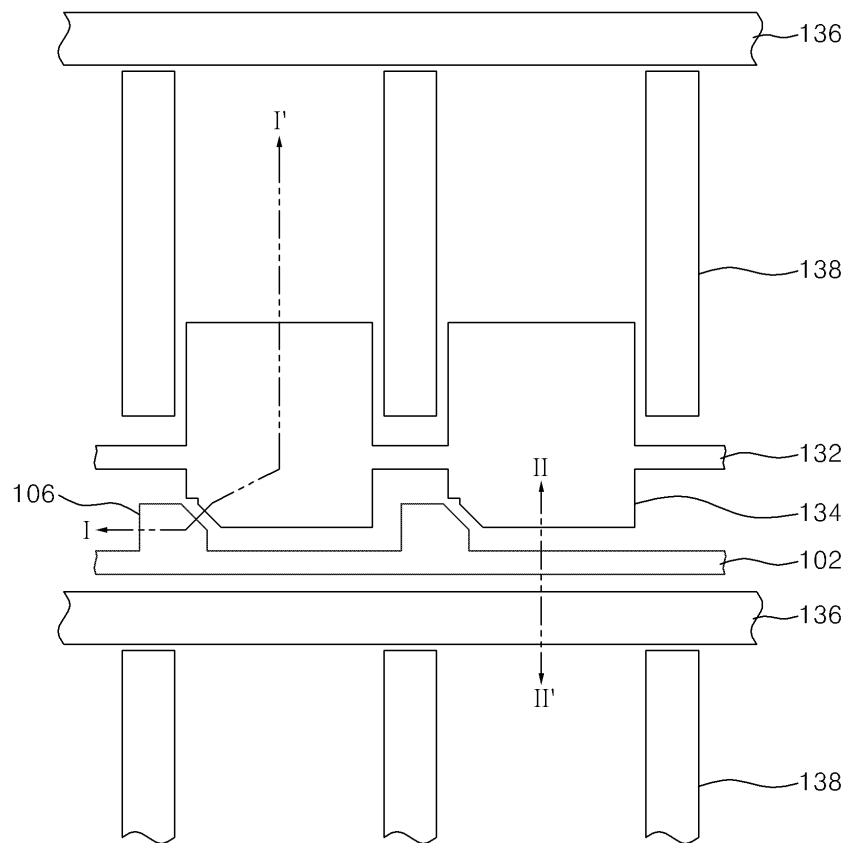
도면4



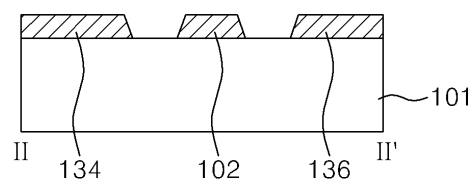
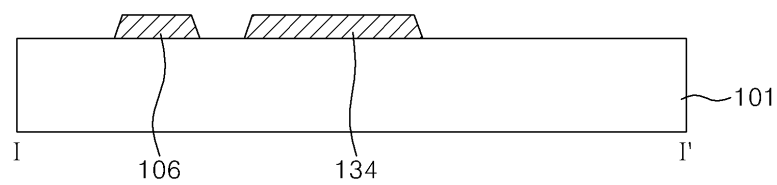
도면5



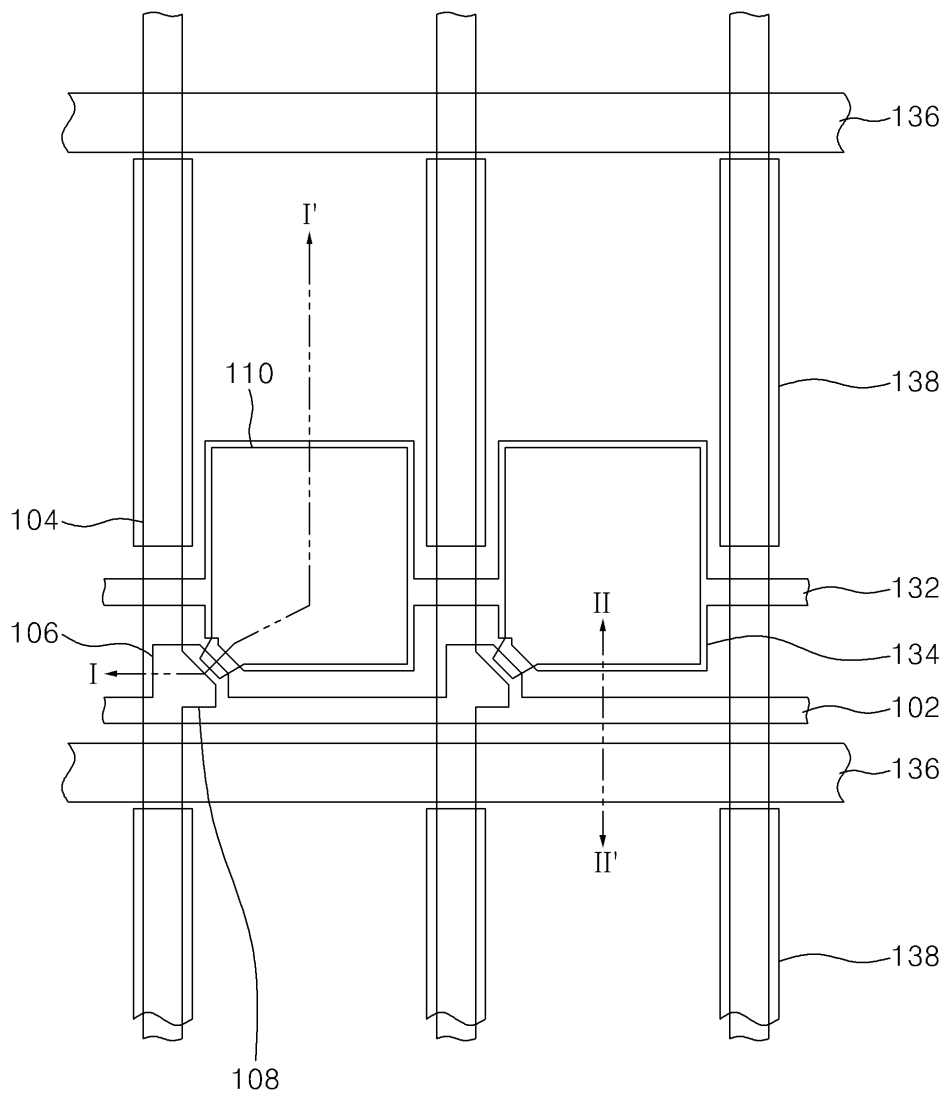
도면 6a



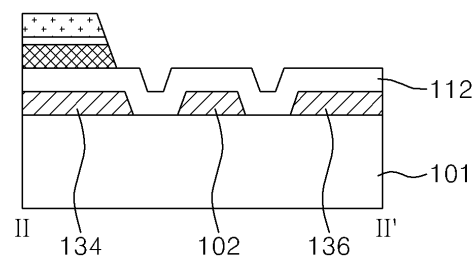
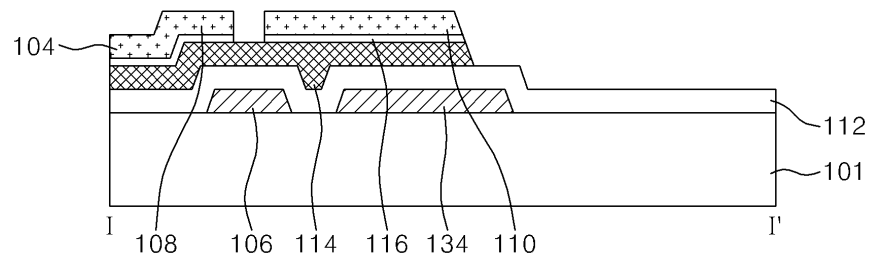
도면 6b



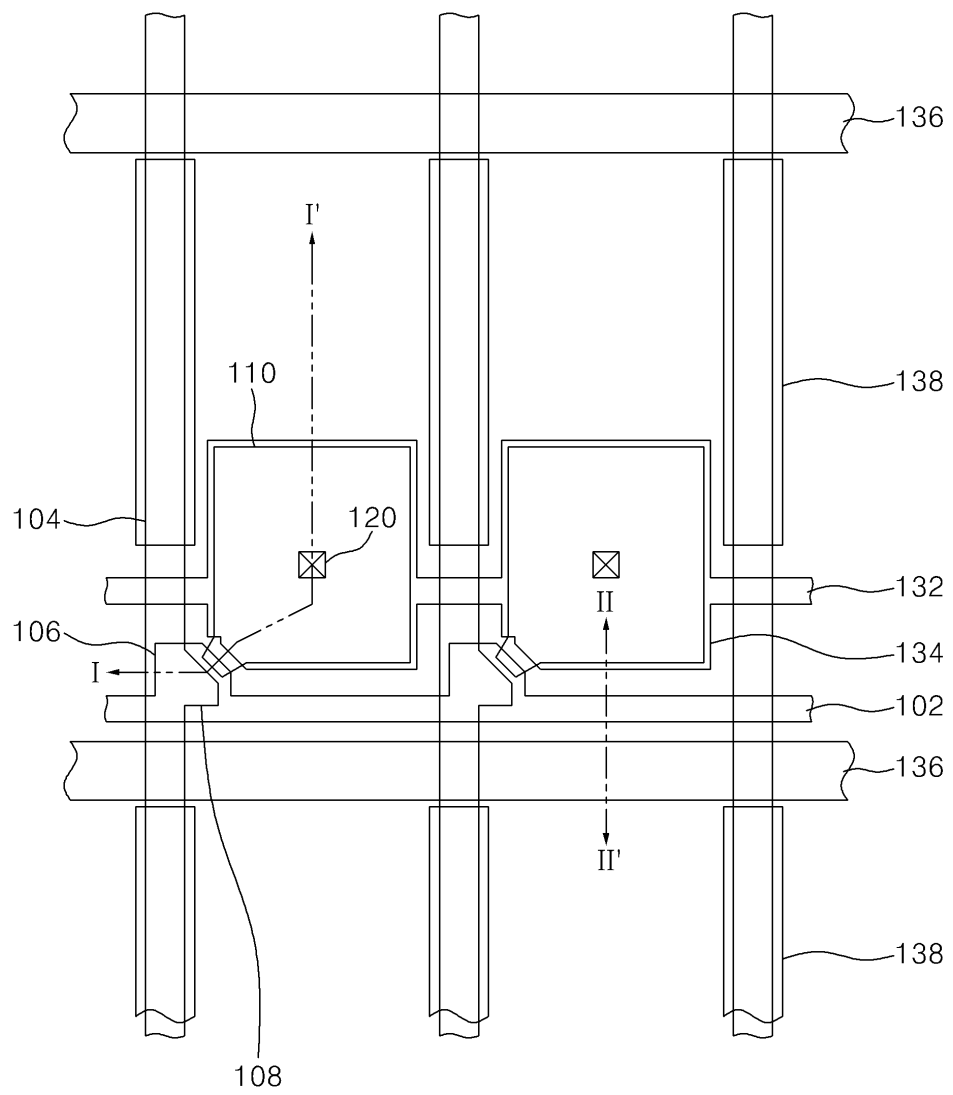
도면7a



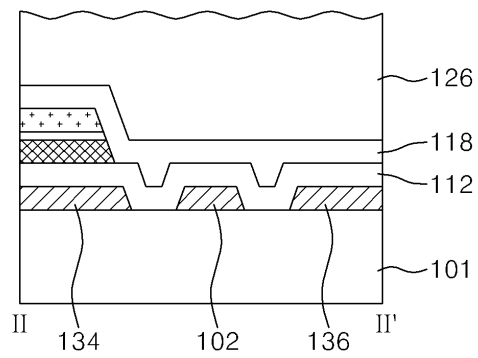
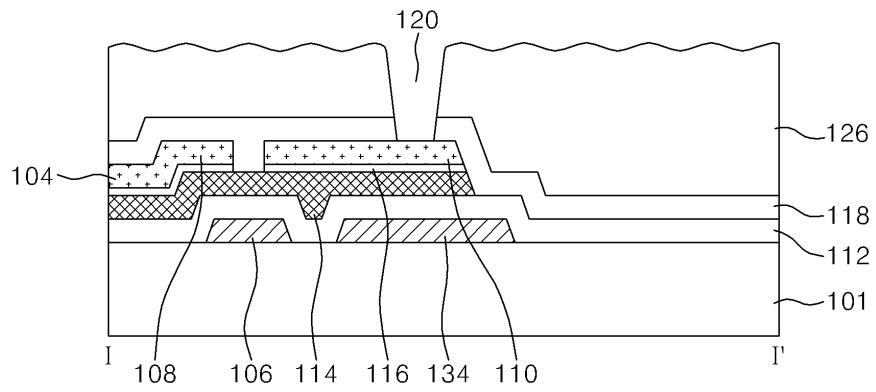
도면7b



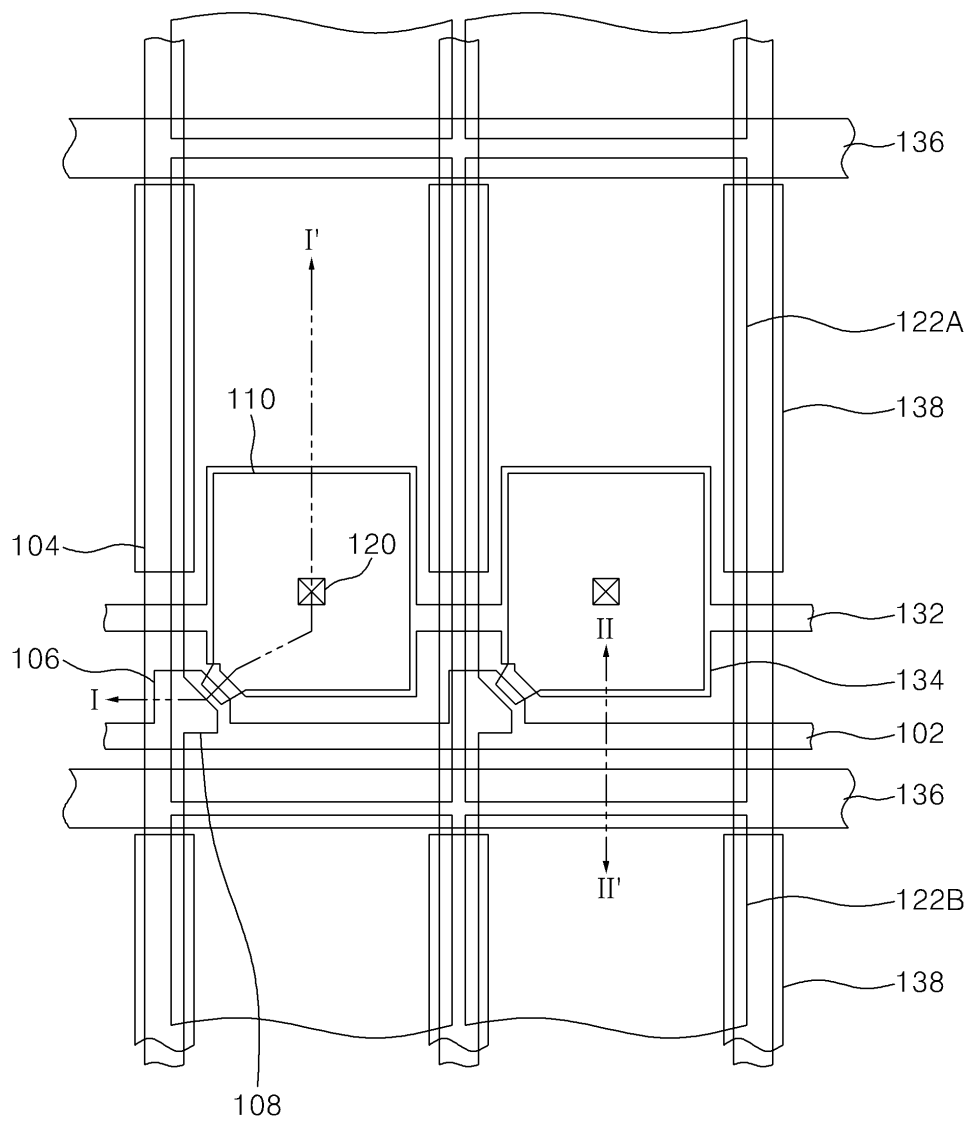
도면8a



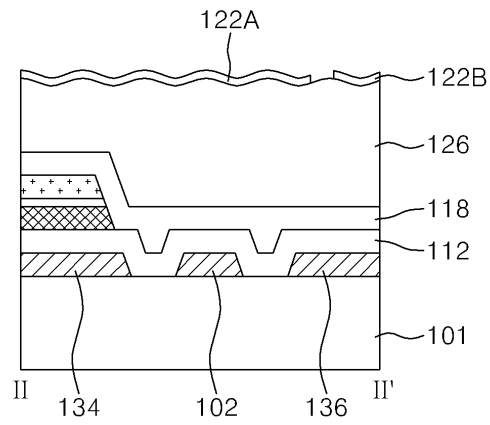
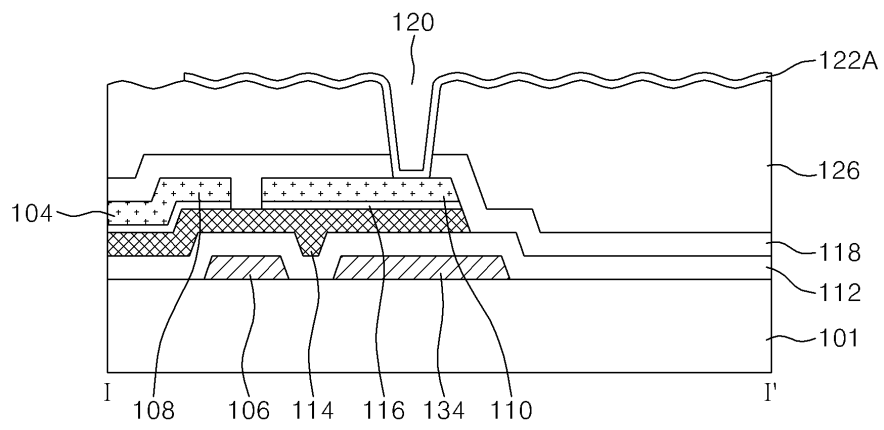
도면8b



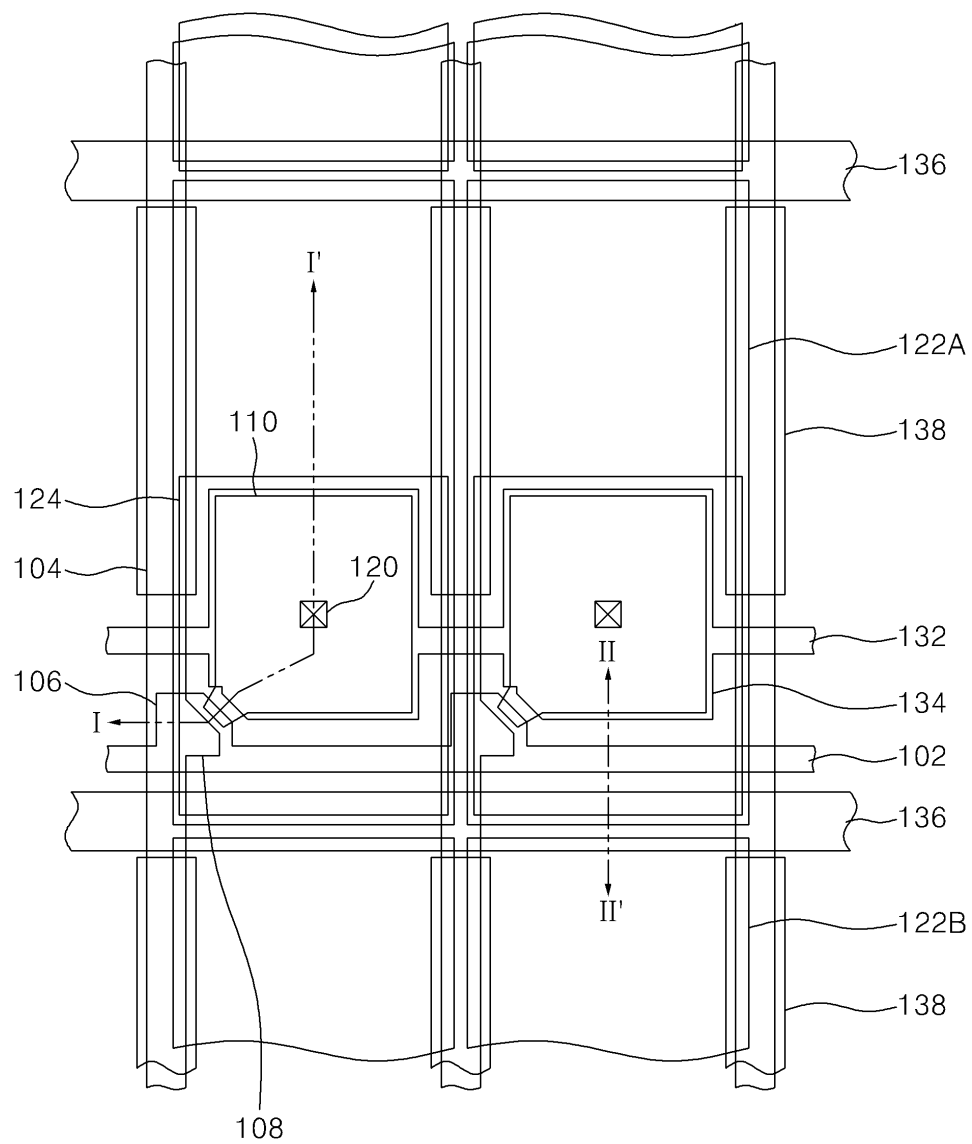
도면9a



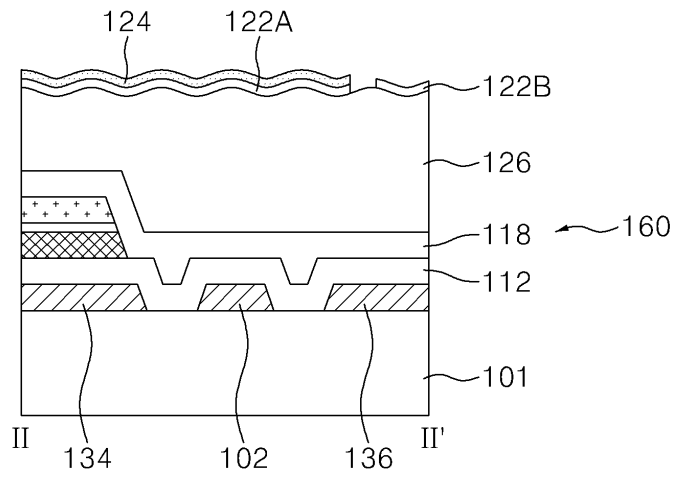
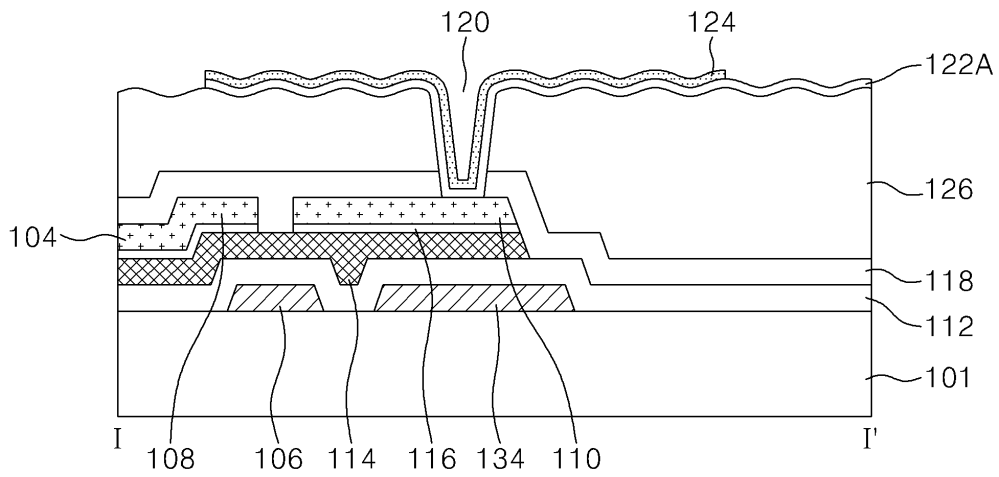
도면9b



도면 10a



도면10b



专利名称(译)	薄膜晶体管基板，包括该薄膜晶体管基板的液晶显示面板，以及液晶显示面板的制造方法		
公开(公告)号	KR1020070109521A	公开(公告)日	2007-11-15
申请号	KR1020060042595	申请日	2006-05-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEUNG KYU 이승규 PARK WON SANG 박원상 KIM JAE HYUN 김재현 CHO YONG SEOK 조용석 YEO YONG SUK 여용석		
发明人	이승규 박원상 김재현 조용석 여용석		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 H01L27/13 G02F1/136213 G02F1/136286 G02F1/133555 H01L27/12 H01L27/1288		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋，云何		
外部链接	Espacenet		

摘要(译)

本发明提供了一种薄膜晶体管基板，其提高了防止闪烁的反射率，包括该薄膜晶体管基板的LCD面板，以及制造液晶显示面板的方法。为此，根据本发明优选实施例的LCD面板包括与栅极线连接的薄膜晶体管，形成在与其交叉的下板数据线上与栅极线绝缘，以及栅极线和数据线公共电极包括形成的滤色器，反射电极和电场，上板上的薄膜晶体管面对包括反射电极的薄膜晶体管基板，该反射电极形成在连接时屏蔽栅极线并且下盘。并且滤色器基材将薄膜晶体管基板和液晶放置在间隔中并且面对。

