



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0069791

(43) 공개일자 2007년07월03일

(21) 출원번호 10-2005-0132270

(22) 출원일자 2005년12월28일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 변승찬
인천 남구 용현4동 189-36

(74) 대리인 김영호

전체 청구항 수 : 총 12 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 게이트 드라이브 집적회로의 변경 없이 프리차징 효과를 극대화 시키도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차부들에 화소전압을 화소전극들에 공급하기 위한 다수의 제1 박막트랜지스터들이 형성된 화소 어레이와; 상기 게이트라인들에 스캔펄스를 순차적으로 공급하기 위한 게이트 구동회로와; 상기 데이터라인들에 1 수평기간을 주기로 극성이 반전되는 상기 화소전압을 공급하는 데이터 구동회로와; n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되어 $n+2$ 번째 상기 게이트라인에 상기 제1 박막트랜지스터의 문턱전압 이상의 전압을 공급하는 다수의 제2 박막트랜지스터들을 포함하는 프리차징 회로를 구비한다.

대표도

도 4

특허청구의 범위

청구항 1.

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차부들에 화소전압을 화소전극들에 공급하기 위한 다수의 제1 박막트랜지스터들이 형성된 화소 어레이와;

상기 게이트라인들에 스캔펄스를 순차적으로 공급하기 위한 게이트 구동회로와;

상기 데이터라인들에 1 수평기간을 주기로 극성이 반전되는 상기 화소전압을 공급하는 데이터 구동회로와;

n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되어 $n+2$ 번째 상기 게이트라인에 상기 제1 박막 트랜지스터의 문턱전압 이상의 전압을 공급하는 다수의 제2 박막트랜지스터들을 포함하는 프리차징 회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 프리차징 회로는,

제1 교류 게이트온전압이 공급되는 제1 전압공급배선과;

제2 교류 게이트온전압이 공급되는 제2 전압공급배선을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압은 2 수평주기마다 전압레벨이 변하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압의 위상은 서로 역위상인 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 다수의 제2 박막트랜지스터들은,

상기 n 번째 게이트라인에 게이트단자, 상기 제1 전압공급배선에 소스단자, 그리고 상기 $n+2$ 번째 게이트라인에 드레인단자가 접속된 n 번째 제2 박막트랜지스터와;

$n+1$ 번째 상기 게이트라인에 게이트단자, 상기 제1 전압공급배선에 소스단자, 그리고 $n+3$ 번째 상기 게이트라인에 드레인단자가 접속된 $n+1$ 번째 제2 박막트랜지스터와;

상기 $n+2$ 번째 게이트라인에 게이트단자, 상기 제2 전압공급배선에 소스단자, 그리고 $n+4$ 번째 상기 게이트라인에 드레인단자가 접속된 $n+2$ 번째 제2 박막트랜지스터와;

상기 $n+3$ 번째 게이트라인에 게이트단자, 상기 제2 전압공급배선에 소스단자, 그리고 $n+5$ 번째 상기 게이트라인에 드레인단자가 접속된 $n+3$ 번째 제2 박막트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 프리차징 회로는 상기 게이트라인들, 상기 데이터라인들 및 상기 제1 박막트랜지스터들과 동일 기판 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 2 항에 있어서,

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압을 발생하는 전압발생부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차부들에 화소전압을 화소전극들에 공급하기 위한 다수의 제1 박막트랜지스터들이 형성된 화소 어레이를 구비하는 액정표시장치의 구동방법에 있어서,

상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 단계와;

상기 데이터라인들에 1 수평기간을 주기로 극성이 반전되는 상기 화소전압을 공급하는 단계와;

n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되는 제2 박막트랜지스터를 이용하여 $n+2$ 번째 상기 게이트라인에 상기 제1 박막트랜지스터의 문턱전압 이상의 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9.

제 8 항에 있어서,

상기 $n+2$ 번째 게이트라인에 공급되는 상기 제1 박막트랜지스터의 문턱전압 이상의 전압은,

제1 교류 게이트온전압과 제2 교류 게이트온전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10.

제 9 항에 있어서,

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압은 2 수평주기마다 전압레벨이 변하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11.

제 10 항에 있어서,

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압의 위상은 서로 역위상인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12.

제 11 항에 있어서,

n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되는 제2 박막트랜지스터를 이용하여 $n+2$ 번째 상기 게이트라인에 상기 제1 박막트랜지스터의 문턱전압 이상의 전압을 공급하는 단계는,

상기 n 번째 게이트라인에 접속된 n 번째 상기 제2 박막트랜지스터를 이용하여 상기 $n+2$ 번째 게이트라인에 상기 제1 교류 게이트온전압을 공급하는 단계와;

$n+1$ 번째 상기 게이트라인에 접속된 $n+1$ 번째 상기 제2 박막트랜지스터를 이용하여 $n+3$ 번째 상기 게이트라인에 상기 제1 교류 게이트온전압을 공급하는 단계와;

상기 $n+2$ 번째 게이트라인에 접속된 $n+2$ 번째 상기 제2 박막트랜지스터를 이용하여 $n+4$ 번째 상기 게이트라인에 상기 제2 교류 게이트온전압을 공급하는 단계와;

상기 $n+3$ 번째 게이트라인에 접속된 $n+3$ 번째 상기 제2 박막트랜지스터를 이용하여 $n+5$ 번째 상기 게이트라인에 상기 제1 교류 게이트온전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 게이트 드라이브 집적회로의 변경 없이 프리차징 효과를 극대화 시키도록 한 액정표시장치에 관한 것이다.

일반적으로, 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이러한 추세에 따라, 액정표시장치는 사무자동화기기, 오디오/비디오 기기 등에 이용되고 있다. 이러한 액정표시장치는 매트릭스 형태로 배열되어진 다수의 제어용 스위칭소자들에 인가되는 신호에 따라 광범의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다. 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 이용되고 있다.

도 1을 참조하면, 종래의 액정표시장치는 다수의 데이터라인들(GL_1 내지 GL_i)과 다수의 게이트라인들(GL_1 내지 GL_i)이 교차되고 그 교차부들에 화소전압을 액정셀(Clc)들에 공급하기 위한 다수의 박막트랜지스터(TFT)들이 형성된 액정패널(3)과, 게이트라인들(GL_1 내지 GL_i)에 스캔펄스를 순차적으로 공급하기 위한 게이트 구동회로(2)와, 데이터라인들(GL_1 내지 GL_i)에 화소전압을 공급하는 데이터 구동회로(1)와, 게이트 구동회로(2) 및 데이터 구동회로(1)를 제어하기 위한 타이밍 컨트롤러(4)를 구비한다.

액정패널(3)에는 데이터라인들(DL_1 내지 DL_j)과 게이트라인들(GL_1 내지 GL_i)은 상호 교차하도록 형성된다. 데이터라인들(DL_1 내지 DL_j)과 게이트라인들(GL_1 내지 GL_i)의 교차로 마련되는 영역에는 액정셀(Clc)들이 형성된다. 데이터라인들(DL_1 내지 DL_j)과 게이트라인들(GL_1 내지 GL_i)의 교차부에는 액정셀(Clc)들을 구동하기 위한 박막트랜지스터(TFT)들이 형성된다. 박막트랜지스터(TFT)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 데이터라인(DL)을 경유하여 공급되는 화소전압을 액정셀(Clc)에 공급한다. 이를 위하여, 박막트랜지스터(TFT)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 액정셀

(Clc)은 화소전극으로 공급되는 화소전압과 도시하지 않은 공통전극라인을 통해 공급되는 공통전압(Vcom)과의 전압차로 구동된다. 액정셀(Clc)들 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

타이밍 컨트롤러(4)는 데이터 드라이버(1) 및 게이트 드라이버(2)를 제어함과 아울러 그래픽카드로부터의 디지털 비디오 신호를 클럭신호에 맞춰 데이터 드라이버(101)에 공급한다.

데이터 드라이버(1)는 타이밍 컨트롤러(4)로부터 공급되는 디지털의 비디오신호를 액정패널(3) 상의 액정셀(Clc)들을 구동하기 위한 아날로그의 비디오신호(화소전압)로 변환하여 데이터라인들(DL_1 내지 DL_j)에 공급한다.

게이트 드라이버(2)는 스캔펄스를 게이트라인들(GL_1 내지 GL_i)에 순차적으로 공급하여 화소전압이 공급될 수평라인을 선택한다.

이와 같은 액정표시장치에서는 액정패널(3)의 액정셀(Clc)들을 구동하는데 있어 플리커 및 액정의 열화를 방지하기 위하여 액정셀(Clc)에 공급되는 비디오신호의 극성을 일정 주기로 반전시키는 인버전 구동 방식을 사용한다.

인버전 구동 방식에는 프레임 인버전 방식(Frame Inversion Method), 라인 인버전 방식(Line Inversion Method), 컬럼 인버전 방식(Column Inversion Method) 및 도트 인버전 방식(Dot Inversion Method) 등이 있다. 이 중 도트 인버전 방식은 중대형 패널에서 특히 많이 사용된다.

도 2는 도트 인버전 방식에서 액정패널(3)의 각 화소에 공급되는 비디오신호의 극성을 도식화 한 것이다. 도 2에서 사각형으로 구분된 공간은 하나의 액정셀(Clc)을 서브화소라 가정하였을 때 서브화소들을 포함하는 하나의 화소를 나타내고, "+"는 화소에 공급되는 정극성의 비디오신호를 나타내며, "-"는 액정셀에 공급되는 부극성의 비디오신호를 나타낸다. 그리고, 도 2에서 (a)와 (b)는 프레임간의 극성 반전을 나타낸다. 도트 인버전 방식에서는 인접한 화소간에 반전된 극성으로 화소전압이 공급되며 동일 화소에 대하여 프레임마다 극성이 반전된 화소전압이 공급되는데, 예를 들어 제1 프레임에는 화소들에 (a)에서와 같은 극성으로 비디오신호가 공급되면 제2 프레임에는 동일한 화소들에 대하여 (b)에서와 같이 극성이 반전된 비디오신호가 공급되게 된다.

그런데, 이와 같은 도트 인버전 구동방식은 비디오신호의 극성 반전으로 인한 소비전류가 증가 및 데이터 집적회로의 발열 등의 문제점을 가진다. 이와 같은 문제점을 해결하기 위하여, 차지셰어링(Charge Sharing)를 이용하여 액정셀(Clc)을 프리차징(Pre-Charging)시킴으로써 전압 스윙폭을 줄이는 방안이 제시되었다. 즉, 도 2에서 보는 바와 같은 도트 인버전 구동에서 n번째 수평라인의 액정셀들과 동일한 극성으로 충전될 n+2번째 수평라인의 액정셀들을 n번째 수평라인에 공급되는 화소전압으로 프리차징시킴으로써 극성의 반전으로 인한 전압의 스윙폭을 줄이도록 하는 구동 방식이 제안되었다.

그런데, 이와 같은 프리차징을 이용한 구동 방식에서 n번째 수평라인의 박막트랜지스터(TFT)들이 턴온될 때 n+2번째 수평라인의 박막트랜지스터(TFT)들을 같이 턴-온 시키기 위하여 단순히 n번째 게이트라인과 n+2번째 게이트라인을 연결하는 경우 n+2번째 수평라인의 박막트랜지스터(TFT)들이 턴온될 때 n번째 수평라인의 박막트랜지스터(TFT)이 같이 턴-온되어 n번째 수평라인의 액정셀들에 이미 충전된 화소전압이 변경되는 문제점이 있다. 따라서, 이러한 문제점을 해결하기 위하여 다양한 방안이 제시되었으나 제시된 다수의 방안들은 게이트 드라이브 집적회로의 변경이 요구되어 비용이 증가하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 게이트 드라이브 집적회로의 변경 없이 프리차징 효과를 극대화 시키도록 한 액정표시장치에 관한 것이다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차부들에 화소전압을 화소전극들에 공급하기 위한 다수의 제1 박막트랜지스터들이 형성된 화소 어레이와; 상기 게이트라인들에 스캔펄스를 순차적으로 공급하기 위한 게이트 구동회로와; 상기 데이터라인들에 1 수평기간을 주기로

극성이 반전되는 상기 화소전압을 공급하는 데이터 구동회로와; n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되어 $n+2$ 번째 상기 게이트라인에 상기 제1 박막트랜지스터의 문턱전압 이상의 전압을 공급하는 다수의 제2 박막트랜지스터들을 포함하는 프리차징 회로를 구비한다.

상기 프리차징 회로는 제1 교류 게이트온전압이 공급되는 제1 전압공급배선과; 제2 교류 게이트온전압이 공급되는 제2 전압공급배선을 더 구비한다.

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압은 2 수평주기마다 전압레벨이 변한다.

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압의 위상은 서로 역위상이다.

상기 다수의 제2 박막트랜지스터들은 상기 n 번째 게이트라인에 게이트단자, 상기 제1 전압공급배선에 소스단자, 그리고 상기 $n+2$ 번째 게이트라인에 드레인단자가 접속된 n 번째 제2 박막트랜지스터와; $n+1$ 번째 상기 게이트라인에 게이트단자, 상기 제1 전압공급배선에 소스단자, 그리고 $n+3$ 번째 상기 게이트라인에 드레인단자가 접속된 $n+1$ 번째 제2 박막트랜지스터와; 상기 $n+2$ 번째 게이트라인에 게이트단자, 상기 제2 전압공급배선에 소스단자, 그리고 $n+4$ 번째 상기 게이트라인에 드레인단자가 접속된 $n+2$ 번째 제2 박막트랜지스터와; 상기 $n+3$ 번째 게이트라인에 게이트단자, 상기 제2 전압공급배선에 소스단자, 그리고 $n+5$ 번째 상기 게이트라인에 드레인단자가 접속된 $n+3$ 번째 제2 박막트랜지스터를 구비한다.

상기 프리차징 회로는 상기 게이트라인들, 상기 데이터라인들 및 상기 제1 박막트랜지스터들과 동일 기관 상에 형성된다.

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압을 발생하는 전압발생부를 더 구비한다.

본 발명의 실시예에 따른 액정표시장치의 구동방법은 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 그 교차부들에 화소전압을 화소전극들에 공급하기 위한 다수의 제1 박막트랜지스터들이 형성된 화소 어레이를 구비하는 액정표시장치의 구동방법에 있어서, 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 단계와; 상기 데이터라인들에 1 수평기간을 주기로 극성이 반전되는 상기 화소전압을 공급하는 단계와; n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되는 제2 박막트랜지스터를 이용하여 $n+2$ 번째 상기 게이트라인에 상기 제1 박막트랜지스터의 문턱전압 이상의 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

상기 $n+2$ 번째 게이트라인에 공급되는 상기 제1 박막트랜지스터의 문턱전압 이상의 전압은, 제1 교류 게이트온전압과 제2 교류 게이트온전압을 포함한다.

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압은 2 수평주기마다 전압레벨이 변한다.

상기 제1 교류 게이트온전압과 상기 제2 교류 게이트온전압의 위상은 서로 역위상이다.

n (n 은 양의 정수)번째 상기 게이트라인에 공급된 스캔펄스에 따라 턴-온되는 제2 박막트랜지스터를 이용하여 $n+2$ 번째 상기 게이트라인에 상기 제1 박막트랜지스터의 문턱전압 이상의 전압을 공급하는 단계는, 상기 n 번째 게이트라인에 접속된 n 번째 상기 제2 박막트랜지스터를 이용하여 상기 $n+2$ 번째 게이트라인에 상기 제1 교류 게이트온전압을 공급하는 단계와; $n+1$ 번째 상기 게이트라인에 접속된 $n+1$ 번째 상기 제2 박막트랜지스터를 이용하여 $n+3$ 번째 상기 게이트라인에 상기 제1 교류 게이트온전압을 공급하는 단계와; 상기 $n+2$ 번째 게이트라인에 접속된 $n+2$ 번째 상기 제2 박막트랜지스터를 이용하여 $n+4$ 번째 상기 게이트라인에 상기 제2 교류 게이트온전압을 공급하는 단계와; 상기 $n+3$ 번째 게이트라인에 접속된 $n+3$ 번째 상기 제2 박막트랜지스터를 이용하여 $n+5$ 번째 상기 게이트라인에 상기 제1 교류 게이트온전압을 공급하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시예에 대한 설명을 통하여 명백히 드러나게 될 것이다.

이하, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들(GL_1 내지 GL_i)과 다수의 게이트라인들(GL_1 내지 GL_i)이 교차되고 그 교차부들에 화소전압을 액정셀(Clc)들에 공급하기 위한 다수의 제1 박막트랜지스터(TFT1)들이 형성된 화소 어레이(112) 및 n 번째 게이트라인(GL_n)에 공급되는 스캔펄스에 따라 $n+2$ 번째 게이트라인(GL_{n+2})에 제1 박막트랜지스터(TFT1)의 문턱전압 이상의 전압을 공급하는 프리차징 회로(110)가 형성된 액정패널

(103)과, 프리차징 회로(110)를 구동하기 위한 구동전압을 발생하는 전압발생부(108)와, 게이트라인들(GL₁ 내지 GL_i)에 스캔펄스를 순차적으로 공급하기 위한 게이트 구동회로와, 데이터라인들(GL₁ 내지 GL_i)에 1 수평기간을 주기로 극성이 반전되는 화소전압을 공급하는 데이터 구동회로(101)를 구비한다.

액정패널(103)의 화소 어레이(112)에는 데이터라인들(DL₁ 내지 DL_j)과 게이트라인들(GL₁ 내지 GL_i)은 상호 교차하도록 형성된다. 데이터라인들(DL₁ 내지 DL_j)과 게이트라인들(GL₁ 내지 GL_i)의 교차로 마련되는 영역에는 액정셀(Clc)들이 형성된다. 데이터라인들(DL₁ 내지 DL_j)과 게이트라인들(GL₁ 내지 GL_i)의 교차부에는 액정셀(Clc)들을 구동하기 위한 제1 박막트랜지스터(TFT1)들이 형성된다. 제1 박막트랜지스터(TFT1)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 데이터라인(DL)을 경유하여 공급되는 화소전압을 액정셀(Clc)에 공급한다. 이를 위하여, 제1 박막트랜지스터(TFT1)의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 액정셀(Clc)은 화소전극으로 공급되는 화소전압과 도시하지 않은 공통전극라인을 통해 공급되는 공통전압(Vcom)과의 전압차로 구동된다. 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

액정패널(103)의 화소 어레이(112) 외부 일측에는 프리차징 회로(110)가 형성된다. 프리차징 회로(110)는 도 4에서 보는 바와 같이 n번째 게이트라인(GL_n)에 공급되는 스캔펄스에 따라 턴-온되어 n+2번째 게이트라인(GL_{n+2})에 제1 박막트랜지스터(TFT1)의 문턱전압 이상의 전압을 공급하는 다수의 제2 박막트랜지스터(TFT2)들과 이 프리차징 회로(110)를 구동하기 위하여 게이트라인들(GL₁ 내지 GL_i) 및 데이터라인들(DL₁ 내지 DL_j)과는 별도로 형성되는 전압공급배선들(Lon1, Lon2)을 포함한다. 이 프리차징 회로(110)는 화소 어레이(112) 제조공정과 같은 공정을 통해 화소 어레이(112)와 함께 액정패널(103)에 형성된다. 이러한 프리차징 회로(110)의 상세한 구성 및 동작에 대해서는 후술하기로 한다.

전압발생부(108)는 프리차징 회로(110)를 구동하기 위하여 후술될 제1 및 제2 교류 게이트온전압을 발생한다. 이러한 전압발생부(108)는 시스템의 인쇄회로기판(PCB) 상에 형성될 수 있다.

타이밍 컨트롤러(104)는 데이터 드라이버(101) 및 게이트 드라이버(102)를 제어함과 아울러 그래픽카드로부터의 디지털 비디오신호를 클럭신호에 맞춰 데이터 드라이버(101)에 공급한다.

데이터 드라이버(101)는 타이밍 컨트롤러(112)로부터 공급되는 디지털 비디오신호를 액정패널(103) 상의 액정셀(Clc)들을 구동하기 위한 아날로그 비디오신호(화소전압)로 변환하여 데이터라인들(DL₁ 내지 DL_j)에 공급한다.

게이트 드라이버(102)는 비디오신호에 동기되는 스캔펄스를 게이트라인들(GL₁ 내지 GL_i)에 순차적으로 공급한다.

도 4 및 도 5는 프리차징 회로(110)의 회로 구성과 그 구동과형을 나타낸다.

도 4 및 도 5를 참조하면, 본 발명의 실시예에 따른 프리차징 회로(110)는 제1 교류 게이트온전압(Von1)이 공급되는 제1 전압공급배선(Lon1)과, 제1 교류 게이트온전압(Von1)과 역위상을 가지는 제2 교류 게이트온전압(Von2)이 공급되는 제2 전압공급배선(Lon2)과, 게이트라인들(GL₁ 내지 GL_n) 각각에 접속된 제2 박막트랜지스터(TFT2)들을 포함하고, 제2 박막트랜지스터(TFT2)들 각각은 자신이 접속된 게이트라인(GL_n)에 공급되는 스캔펄스에 응답하여 제1 및 제2 전압공급배선(Lon1, Lon2) 중 어느 하나로부터 공급되는 제1 교류 게이트온전압(Von1) 또는 제2 교류 게이트온전압(Von2)을 다음 다음 단 게이트라인(GL_{n+2})에 공급한다.

제1 전압공급배선(Lon1)에는 2 수평주기마다 제1 박막트랜지스터(TFT1)의 문턱전압 이상 전압의 게이트하이전압(Vh)과 제1 박막트랜지스터(TFT1)의 문턱전압 미만 전압의 게이트로우전압(Vl) 사이를 스위칭하는 제1 교류 게이트온전압(Von1)이 공급되고, 제2 전압공급배선(Lon2)에는 제1 교류 게이트온전압(Von1)과 역위상을 가지는 제2 교류 게이트온전압(Von2)이 공급된다.

n번째 게이트라인(GL_n)에 접속된 n번째 제2 박막트랜지스터(TFT2_n)는 n번째 게이트라인(GL_n)에 공급되는 스캔펄스(SP)에 응답하여 제1 전압공급배선(Lon1)으로부터의 게이트하이전압(Vh)을 n+2번째 게이트라인(GL_{n+2})에 공급한다. 이를 위하여 n번째 제2 박막트랜지스터(TFT2_n)의 게이트전극은 n번째 게이트라인(GL_n)에 접속되고, 소스전극은 제1 전압공급배선(Lon1)에 접속되고, 드레인전극은 n+2번째 게이트라인(GL_{n+2})에 접속된다.

n+1번째 게이트라인(GL_{n+1})에 접속된 n+1번째 제2 박막트랜지스터(TFT2_{n+1})는 n+1번째 게이트라인(GL_{n+1})에 공급되는 스캔펄스(SP)에 응답하여 제1 전압공급배선(Lon1)으로부터의 게이트하이전압(Vh)을 n+3번째 게이트라인

(GL_{n+3})에 공급한다. 이를 위하여 n+1번째 제2 박막트랜지스터(TFT2_{n+1})의 게이트전극은 n+1번째 게이트라인(GL_{n+1})에 접속되고, 소스전극은 제1 전압공급배선(Lon1)에 접속되고, 드레인전극은 n+3번째 게이트라인(GL_{n+3})에 접속된다.

n+2번째 게이트라인(GL_{n+2})에 접속된 n+2번째 제2 박막트랜지스터(TFT2_{n+2})는 n+2번째 게이트라인(GL_{n+2})에 공급되는 스캔펄스(SP)에 응답하여 제2 전압공급배선(Lon2)으로부터의 게이트하이전압(Vh)을 n+4번째 게이트라인(GL_{n+4})에 공급한다. 이를 위하여 n+2번째 제2 박막트랜지스터(TFT2_{n+2})의 게이트전극은 n+2번째 게이트라인(GL_{n+2})에 접속되고, 소스전극은 제2 전압공급배선(Lon2)에 접속되고, 드레인전극은 n+4번째 게이트라인(GL_{n+4})에 접속된다.

n+3번째 게이트라인(GL_{n+3})에 접속된 n+3번째 제2 박막트랜지스터(TFT2_{n+3})는 n+3번째 게이트라인(GL_{n+3})에 공급되는 스캔펄스(SP)에 응답하여 제2 전압공급배선(Lon2)으로부터의 게이트하이전압(Vh)을 n+5번째 게이트라인(GL_{n+5})에 공급한다. 이를 위하여 n+3번째 제2 박막트랜지스터(TFT2_{n+3})의 게이트전극은 n+3번째 게이트라인(GL_{n+3})에 접속되고, 소스전극은 제2 전압공급배선(Lon2)에 접속되고, 드레인전극은 n+5번째 게이트라인(GL_{n+5})에 접속된다.

이하, 본 발명의 실시예에 따른 프리차징 회로(110)의 동작에 대하여 상세히 설명하기로 한다.

우선, n번째 게이트라인(GL_n)에 스캔펄스(SP)가 공급되면, n번째 게이트라인(GL_n)에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되어 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들에 정극성(부극성)의 화소전압이 공급된다. 이 때, n번째 제2 박막트랜지스터(TFT2_n)도 스캔펄스(SP)에 의해 턴-온되고 이 n번째 제2 박막트랜지스터(TFT2_n)를 경유하여 제1 전압공급배선(Lon1)으로부터의 게이트하이전압(Vh)이 n+2번째 게이트라인(GL_{n+2})에 공급되어 n+2번째 게이트라인(GL_{n+2})에 접속된 제1 박막트랜지스터(TFT1)들을 턴-온시킨다. n+2번째 게이트라인(GL_{n+2})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되면 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들이 정극성(부극성)의 화소전압으로 프리차징된다. 이 때, n+2번째 게이트라인(GL_{n+2})에 접속된 n+2번째 제2 박막트랜지스터(TFT2_{n+2})가 턴-온되어 제2 전압공급배선(Lon2)으로부터의 게이트로우전압(Vl)이 n+4번째 게이트라인(GL_{n+4})에 공급되어 n+4번째 게이트라인(GL_{n+4})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-오프된다.

이어서, n+1번째 게이트라인(GL_{n+1})에 스캔펄스(SP)가 공급되면, n+1번째 게이트라인(GL_{n+1})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되어 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들에 부극성(정극성)의 화소전압이 공급된다. 이 때, n+1번째 제2 박막트랜지스터(TFT2_{n+1})도 스캔펄스(SP)에 의해 턴-온되고 이 n+1번째 제2 박막트랜지스터(TFT2_{n+1})를 경유하여 제1 전압공급배선(Lon1)으로부터의 게이트하이전압(Vh)이 n+3번째 게이트라인(GL_{n+3})에 공급되어 n+3번째 게이트라인(GL_{n+3})에 접속된 제1 박막트랜지스터(TFT1)들을 턴-온시킨다. n+3번째 게이트라인(GL_{n+3})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되면 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들이 부극성(정극성)의 화소전압으로 프리차징된다. 이 때, n+3번째 게이트라인(GL_{n+3})에 접속된 n+3번째 제2 박막트랜지스터(TFT2_{n+3})가 턴-온되어 제2 전압공급배선(Lon2)으로부터의 게이트로우전압(Vl)이 n+5번째 게이트라인(GL_{n+5})에 공급되어 n+5번째 게이트라인(GL_{n+5})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-오프된다.

이어서, n+2번째 게이트라인(GL_{n+2})에 스캔펄스(SP)가 공급되면, n+2번째 게이트라인(GL_{n+2})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되어 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들에 정극성(부극성)의 화소전압이 공급된다. 이 때, n번째 게이트라인(GL_n) 구동시 정극성(부극성)의 화소전압으로 프리차징되어있던 액정셀(Clc)들은 더욱 빠른 속도로 화소전압이 충전된다. 그리고, n+2번째 제2 박막트랜지스터(TFT2_{n+2})도 스캔펄스(SP)에 의해 턴-온되고 이 n+2번째 제2 박막트랜지스터(TFT2_{n+2})를 경유하여 제2 전압공급배선(Lon2)으로부터의 게이트하이전압(Vh)이 n+4번째 게이트라인(GL_{n+4})에 공급되어 n+4번째 게이트라인(GL_{n+4})에 접속된 제1 박막트랜지스터(TFT1)들을 턴-온시킨다. n+4번째 게이트라인(GL_{n+4})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되면 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들이 정극성(부극성)의 화소전압으로 프리차징된다. 이 때, 제1 전압공급배선(Lon1)에 공급되는 제1 교류 게이트온전압(Von1)은 게이트로우전압(Vl)으로 반전되고, n+4번째 게이트라인(GL_{n+4})에 접속된 n+4번째 제2 박막트랜지스터(TFT2_{n+4})가 턴-온되어 제1 전압공급배선(Lon1)으로부터의 게이트로우전압(Vl)이 n+6번째 게이트라인(GL_{n+6})에 공급되어 n+6번째 게이트라인(GL_{n+6})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-오프된다.

이어서, n+3번째 게이트라인(GL_{n+3})에 스캔펄스(SP)가 공급되면, n+3번째 게이트라인(GL_{n+3})에 접속된 제1 박막트랜지스터(TFT1)들이 턴-온되어 이 제1 박막트랜지스터(TFT1)들과 접속된 액정셀(Clc)들에 부극성(정극성)의 화소전

압이 공급된다. 이 때, $n+1$ 번째 게이트라인(GL_n) 구동시 부극성(정극성)의 화소전압으로 프리차징되어있던 액정셀(Clc)들은 더욱 빠른 속도로 화소전압이 충전된다. 그리고, $n+3$ 번째 제2 박막트랜지스터($TFT2_{n+3}$)도 스캔필스(SP)에 의해 턴-온되고 이 $n+3$ 번째 제2 박막트랜지스터($TFT2_{n+3}$)를 경유하여 제2 전압공급배선($Lon2$)으로부터의 게이트하이전압(V_h)이 $n+5$ 번째 게이트라인(GL_{n+5})에 공급되어 $n+5$ 번째 게이트라인(GL_{n+5})에 접속된 제1 박막트랜지스터($TFT1$)들을 턴-온시킨다. $n+5$ 번째 게이트라인(GL_{n+5})에 접속된 제1 박막트랜지스터($TFT1$)들이 턴-온되면 이 제1 박막트랜지스터($TFT1$)들과 접속된 액정셀(Clc)들이 부극성(부극성)의 화소전압으로 프리차징된다. 이 때, $n+5$ 번째 게이트라인(GL_{n+5})에 접속된 $n+5$ 번째 제2 박막트랜지스터($TFT2_{n+5}$)가 턴-온되어 제1 전압공급배선($Lon2$)으로부터의 게이트로우전압(V_l)이 $n+7$ 번째 게이트라인(GL_{n+7})에 공급되어 $n+7$ 번째 게이트라인(GL_{n+7})에 접속된 제1 박막트랜지스터($TFT1$)들이 턴-오프된다.

이와 같이, 본 발명의 실시예에 따른 프리차징 회로(110)는 n 번째 게이트라인(GL_n)의 액정셀(Clc)들 구동 시 n 번째 게이트라인(GL_n)의 액정셀(Clc)들과 같은 극성의 화소전압으로 충전될 $n+2$ 번째 게이트라인(GL_{n+2})의 액정셀(Clc)들을 프리차징시킴으로써 $n+2$ 번째 게이트라인(GL_{n+2})의 액정셀(Clc)들은 화소전압이 충전되기에 충분한 시간이 확보된다. 특히, 본 발명의 실시예에 따른 프리차징 회로(110)는 중대형 패널에 적용되는 경우 도트 인버전 구동시 요구되는 액정셀 충전 시간을 충분히 확보하여 응답지연으로 인한 화질 저하를 방지할 수 있다. 또한, $n+2$ 번째 게이트라인(GL_{n+2})의 액정셀(Clc)들을 프리차징시킬 때 $n+4$ 번째 게이트라인(GL_{n+4})에 접속된 제1 박막트랜지스터($TFT1$)들이 같이 턴-온되는 경우 플리커(Flicker) 및 잔상 문제가 발생할 수 있는데, 본 발명의 실시예에 따른 프리차징 회로(110)는 n 번째 게이트라인(GL_n)의 액정셀(Clc)들이 프리차징시킬 때 $n+4$ 번째 게이트라인(GL_{n+4})에 접속된 제1 박막트랜지스터($TFT1$)들은 턴-오프시킴으로써 그러한 문제가 해결된다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따른 액정표시장치 및 그 구동방법은 기존의 게이트 드라이브 집적회로의 변경 없이 도트 인버전 구동시 요구되는 충분한 액정셀 충전 시간 확보 및 응답지연으로 인한 화질 저하의 방지가 가능한 프리차징 회로를 액정패널 상에 내장 실장하여 액정패널을 구동함으로써 고속응답 및 화질향상에 유리함과 아울러 비용절감의 효과를 가지며, 이러한 효과는 특히 중대형 패널에 있어서 그 효과가 극대화될 수 있다.

또한, 본 발명에 프리차징회로는 그 구조가 간단하며 특정기능을 가지는 집적회로(IC)의 추가를 통해서 구현되는 것이 아니라 액정패널 화소구동용 박막트랜지스터 형성시 함께 형성되는 박막트랜지스터들로 구현되는 특징으로 인하여 액정패널 상에 구동용 집적회로 및 시스템을 실장함으로써 액정패널 상에 복잡한 회로구현이나 추가의 칩을 실장하기가 어려운 COG(Chip On Glass) 및 SOP(System On Panel) 방식의 액정패널에도 적용이 용이한 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 도면.

도 2는 도트 인버전 구동을 나타내는 도면.

도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.

도 4는 도 3에 도시된 프리차징 회로를 나타내는 도면.

도 5는 도 4에 도시된 프리차징 회로의 구동파형을 나타내는 도면.

<도면의 주요 부호에 대한 설명>

1, 101 : 데이터 구동회로 2, 102 : 게이트 구동회로

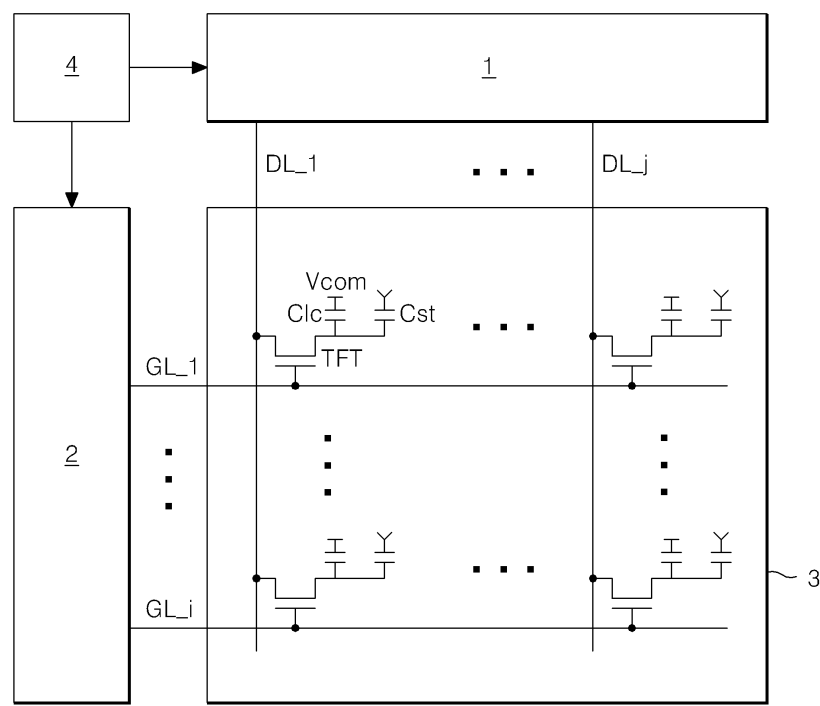
2, 103 : 액정패널 4, 104 : 타이밍 컨트롤러

108 : 전압발생회로 110 : 프리차징 회로

112 : 화소어레이

도면

도면1



도면2

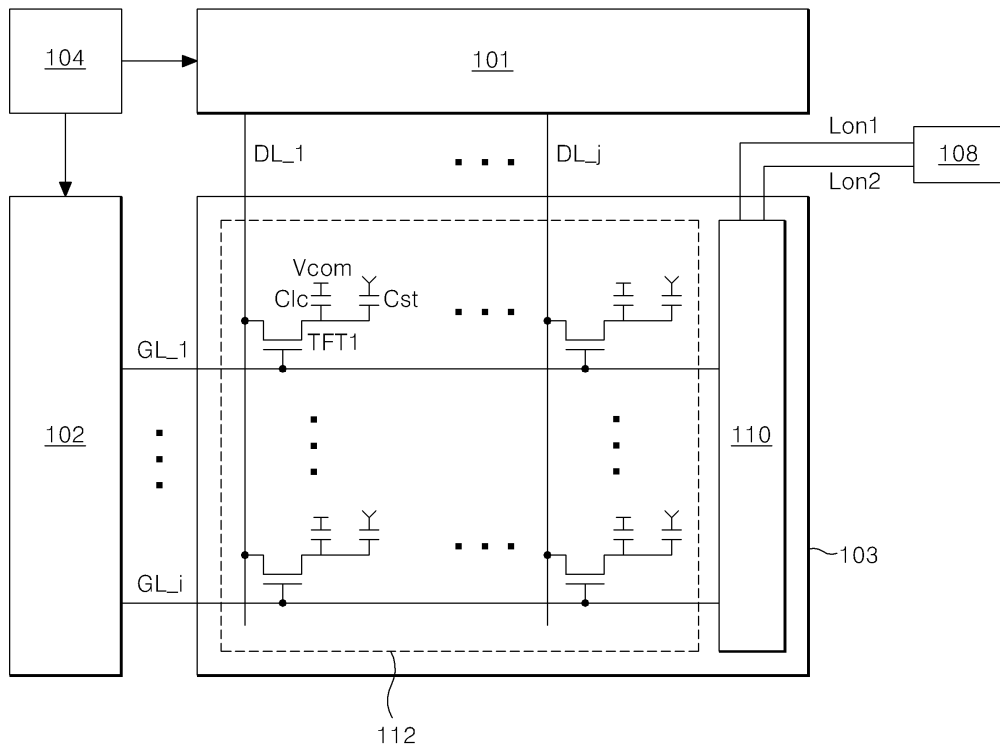
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+

(a)

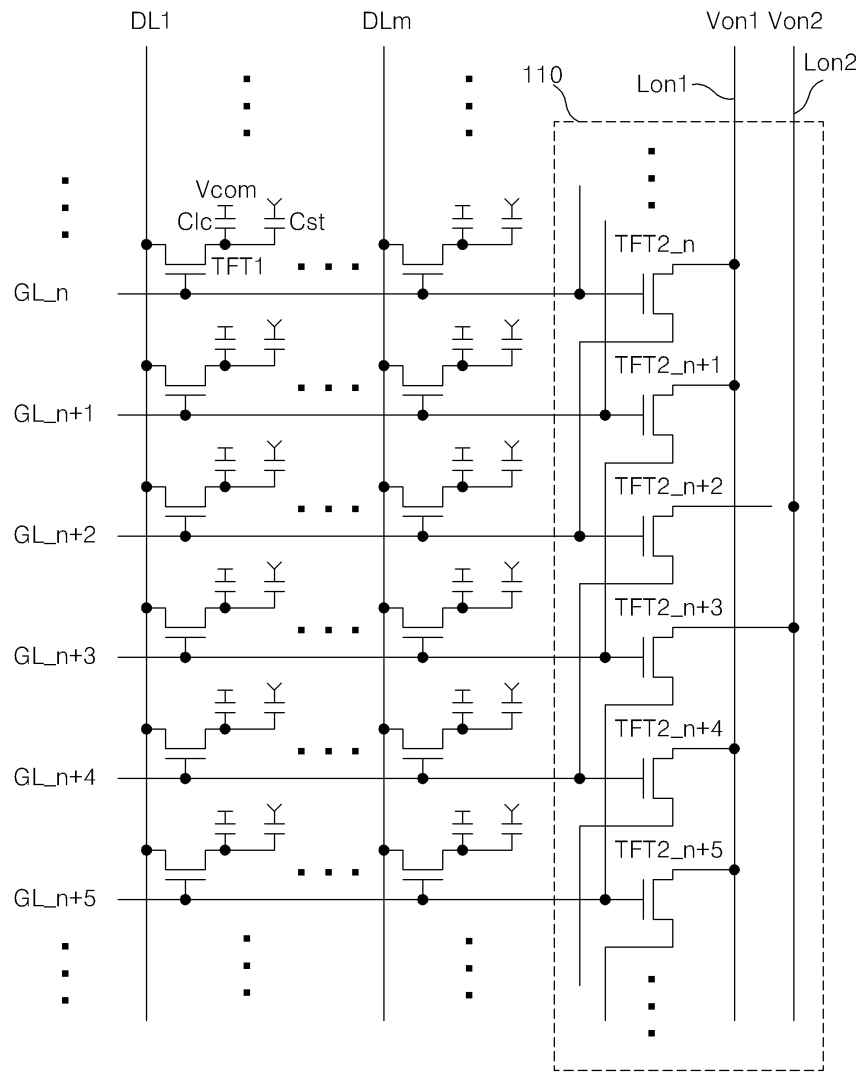
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-

(b)

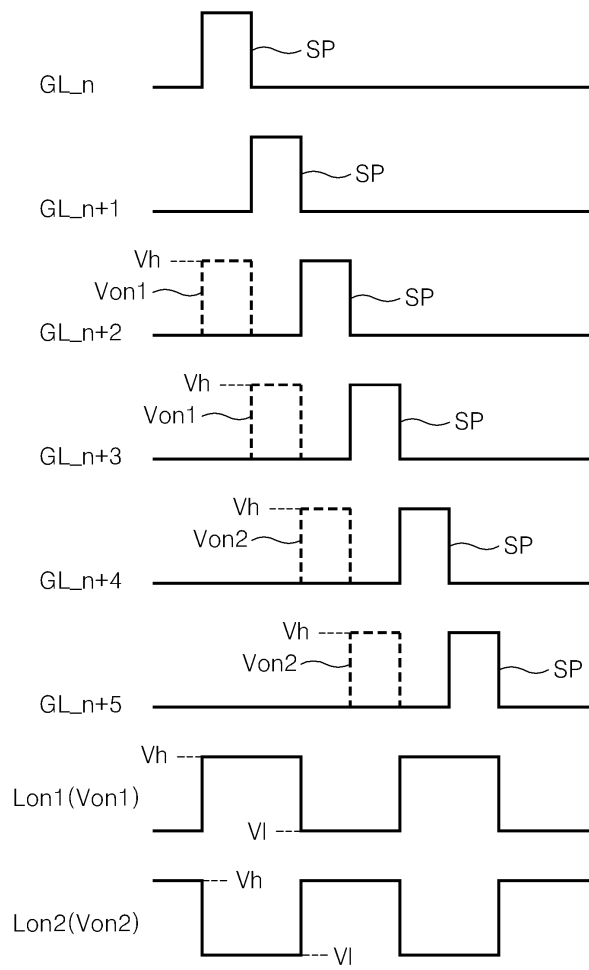
도면3



도면4



도면5



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020070069791A	公开(公告)日	2007-07-03
申请号	KR1020050132270	申请日	2005-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BYUN SEUNG CHAN		
发明人	BYUN,SEUNG CHAN		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/0251 G09G3/3614 G09G3/3677		
其他公开文献	KR101182561B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD装置及其驱动方法，通过驱动嵌入预充电电路的液晶电路来提高LCD装置的图像质量。

