

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.

G02F 1/1343 (2006.01)*G02F 1/1339* (2006.01)

(11) 공개번호

10-2006-0088242

(43) 공개일자

2006년08월04일

(21) 출원번호 10-2005-0009067

(22) 출원일자 2005년02월01일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 송태준
경기 수원시 팔달구 인계동 선경3단지아파트 301동 302호
박승렬
경기 안양시 동안구 비산동 425외 비산삼성래미안아파트 130동 704호(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 횡전계형 액정 표시 장치 및 이의 제조 방법

요약

본 발명은 유기 보호막을 포함하는 액정 표시 장치의 터치 불량을 해결한 횡전계형 액정 표시 장치 및 이의 제조 방법에 관한 것으로, 본 발명의 횡전계형 액정 표시 장치는 서로 대향하는 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 상기 게이트 라인과 상기 데이터 라인의 층간에 형성된 게이트 절연막과, 상기 데이터 라인을 포함한 게이트 절연막 상부에 형성된 유기 보호막과, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 유기 보호막 상의 화소 영역에 형성된 화소 전극과 상기 화소 전극과 교번하여 형성된 공통 전극과, 상기 화소 전극과 동일층이며, 상기 게이트 라인 상부에 형성된 투명 전극 패턴과, 상기 화소 전극, 공통 전극 및 투명 전극 패턴 하부의 유기 보호막 사이에 정의되는 애싱부와, 상기 제 2 기판 상에 형성된 컬러 필터 어레이와, 상기 투명 전극 패턴에 대응되어 형성된 칼럼 스페이서 및 상기 제 1, 제 2 기판 사이에 충진된 액정층을 포함하여 이루어짐을 특징으로 한다.

대표도

도 7

색인어

터치 불량, 칼럼 스페이서, 애싱(ashing), 유기 보호막, 투명 전극 패턴, 고개울

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시 장치의 분해사시도

도 2는 종래의 횡전계형 액정 표시 장치를 나타낸 평면도

도 3은 도 2의 I~I' 선상의 구조 단면도

도 4는 터치 얼룩 발생시의 액정 패널의 표면을 나타낸 평면도

도 5a 및 도 5b는 종래의 횡전계형 액정 표시 장치의 터치 얼룩 발생 전후의 모습을 나타낸 단면도

도 6은 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도

도 7은 도 6의 III~III' 선상의 구조 단면도

도 8a 내지 도 8e는 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 제조 방법에 있어서, 각 마스크를 이용한 공정 후 형성된 패턴을 나타낸 평면도

도 9a 내지 도 9e는 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 제조 방법을 나타낸 공정 단면도

도 10은 본 발명의 제 2 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도

도 11은 본 발명의 제 3 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도

도 12는 본 발명의 제 4 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도

도면의 주요 부분에 대한 부호 설명

100 : 제 1 기판 101 : 게이트 라인

101a : 게이트 전극 102 : 데이터 라인

102a : 소오스 전극 102b : 드레인 전극

103 : 게이트 절연막 104 : 유기 보호막

104a : 보호막 홀 105 : 화소 전극

106 : 공통 전극 106a : 공통 전극

107, 107a : 애싱부 108 : 투명 전극 패턴

111 : 공통 라인 113 : 반도체층

113a : 비정질 실리콘층 113b : n+ 층

120 : 제 2 기판 121 : 블랙 매트릭스층

122 : 컬러 필터층 123 : 오버코트층

130 : 칼럼 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로 특히, 유기 보호막을 포함하는 횡전계형 액정 표시 장치의 터치 불량을 해결한 횡전계형 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같은 액정 표시 장치가 일반적인 화면 표시 장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비 전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 관건이 걸려 있다고 할 수 있다.

이하, 첨부된 도면을 참조하여 종래의 액정 표시 장치를 설명하면 다음과 같다.

도 1은 일반적인 액정 표시 장치를 나타낸 분해사시도이다.

액정 표시 장치는, 도 1과 같이, 일정 공간을 갖고 합착된 제 1 기판(1) 및 제 2 기판(2)과, 상기 제 1 기판(1)과 제 2 기판(2) 사이에 주입된 액정층(3)으로 구성되어 있다.

보다 구체적으로 설명하면, 상기 제 1 기판(1)에는 화소 영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(4)과, 상기 게이트 라인(4)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(5)이 배열된다. 그리고, 상기 각 화소 영역(P)에는 화소 전극(6)이 형성되고, 상기 각 게이트 라인(4)과 데이터 라인(5)이 교차하는 부분에 박막 트랜지스터(T)가 형성되어 상기 게이트 라인(4)에 인가되는 신호에 따라 상기 데이터 라인(5)의 데이터 신호를 상기 각 화소 전극(6)에 인가한다.

그리고, 상기 제 2 기판(2)에는 상기 화소 영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(7)이 형성되고, 상기 각 화소 영역에 대응되는 부분에는 색상을 표현하기 위한 R, G, B 컬러 필터층(8)이 형성되고, 상기 컬러 필터층(8) 위에는 화상을 구현하기 위한 공통 전극(9)이 형성되어 있다.

상기와 같은 액정 표시 장치는 상기 화소 전극(6)과 공통 전극(9) 사이의 전계에 의해 상기 제 1, 제 2 기판(1, 2) 사이에 형성된 액정층(3)의 액정이 배향되고, 상기 액정층(3)의 배향 정도에 따라 액정층(3)을 투과하는 빛의 양을 조절하여 화상을 표현할 수 있다.

이와 같은 액정 표시 장치를 TN(Twisted Nematic) 모드 액정 표시 장치라 하며, 상기 TN 모드 액정 표시 장치는 시야각이 좁다는 단점을 가지고 있어 이러한 TN 모드의 단점을 극복하기 위한 횡전계형(IPS: In-Plane Switching) 모드 액정 표시 장치가 개발되었다.

상기 횡전계형(IPS) 모드 액정 표시 장치는 제 1 기판의 화소 영역에 화소 전극과 공통 전극을 일정한 거리를 갖고 서로 평행하게 형성하여 상기 화소 전극과 공통 전극 사이에 횡 전계(수평 전계)가 발생하도록 하고 상기 횡 전계에 의해 액정층이 배향되도록 한 것이다.

이와 같이 형성되는 액정 표시 장치의 제 1, 제 2 기판(1, 2) 사이에는 액정층이 형성되는 일정한 간격을 유지하기 위해 스페이서가 형성된다.

이러한 스페이서는 그 형상에 따라 볼 스페이서 또는 칼럼 스페이서로 나뉘어진다.

볼 스페이스는 구 형상이며, 제 1, 제 2 기관(1, 2) 상에 산포하여 제조되고, 상기 제 1, 제 2 기관(1, 2)의 합착 후에도 움직임이 비교적 자유롭고, 상기 제 1, 제 2 기관(1, 2)과의 접촉 면적이 작다.

반면, 칼럼 스페이스는 제 1 기관 또는 제 2 기관 상의 어레이 공정에서 형성되는 것으로, 소정 기관 상에 소정 높이를 갖는 기둥 형태로 고정되어 형성된다. 따라서, 제 1, 2 기관과의 접촉 면적이 볼 스페이스에 비하여 상대적으로 크다.

이하에서는 칼럼 스페이스를 구비한 횡전계형 액정 표시 장치에 대하여 설명한다.

도 2는 종래의 횡전계형 액정 표시 장치를 나타낸 평면도이며, 도 3은 도 2의 I-I' 선상의 구조 단면도이다.

도 2 및 도 3과 같이, 종래의 횡전계형 액정 표시 장치는, 제 1 기관(30) 상에 화소 영역을 정의하기 위해 게이트 라인(31) 및 데이터 라인(32)이 서로 수직으로 교차하여 배열되고, 상기 각 게이트 라인(31)과 데이터 라인(32)이 교차하는 부분에 박막 트랜지스터(TFT)가 형성되며, 각 화소 영역에는 화소 전극(33)과 공통 전극(35a)이 서로 교번하여 형성된다.

여기서, 상기 박막 트랜지스터(TFT)는 상기 게이트 라인(31)으로부터 돌출된 게이트 전극(31a), 상기 데이터 라인(32)으로부터 돌출된 소오스 전극(32a) 및 이와 소정 간격된 드레인 전극(32b)을 포함하여 이루어진다. 그리고, 상기 게이트 전극(31a)을 덮는 형상으로 상기 소오스 전극(32a)/드레인 전극(32b)의 하부층에 반도체층(34)이 더 형성된다.

또한, 상기 제 1 기관(30) 상에는 상기 게이트 라인(31)을 포함한 기관 전면에 게이트 절연막(36)이 형성되며, 상기 게이트 절연막(36)위에 보호막(37)이 형성된다. 상기 보호막(37) 중 상기 드레인 전극(32b)의 소정 부위 상부는 노출되어 보호막 홀(37a)이 정의되며, 상기 보호막 홀(37a)을 통해 상기 화소 전극(33)이 드레인 전극(32b)과 연결되어 있다. 여기서, 상기 게이트 절연막(36) 및 보호막(37)은 무기 절연막 성분으로 2000~4000Å의 두께로 증착되어 형성된다.

상기 공통 전극(35a)은 상기 게이트 라인(31)과 평행한 공통 라인(35)으로부터 분기되어 형성되며, 상기 공통 라인(35)은 상기 화소 전극(33)과 오버랩되어 형성된다.

그리고, 상기 제 1 기관(30)에 대향되는 제 2 기관(40)에는 상기 화소 영역을 제외한 비화소 영역(게이트 라인(31), 데이터 라인(32) 및 박막 트랜지스터(TFT) 영역)을 가리기 위한 블랙 매트릭스층(41)과, 상기 블랙 매트릭스층(41)을 포함한 컬러 필터 기관(40) 상에 각 화소 영역별로 차례로 R, G, B 안료가 대응되어 형성된 컬러 필터층(42) 및 상기 컬러 필터층(42)을 포함한 상기 제 2 기관(2) 전면에 형성된 오버코트층(43)이 형성된다. 그리고, 제 1, 제 2 기관(30, 40) 사이에 일정 간격을 갖도록 셀갭(cell gap)을 유지하기 위한 칼럼 스페이스(20)가 형성된다.

여기서, 상기 칼럼 스페이스(20)는, 상기 게이트 라인(31) 상측에 대응되어 형성된다.

도 4는 터치 얼룩 발생시의 액정 패널의 표면을 나타낸 평면도이며, 도 5a 및 도 5b는 종래의 횡전계형 액정 표시 장치의 터치 얼룩 발생 전후의 모습을 나타낸 단면도이다.

도 4와 같이, 상술한 종래의 칼럼 스페이스를 포함하는 횡전계형 액정 표시 장치는, 액정 패널(10)의 표면을 손이나 그 밖의 물건을 이용하여 소정 방향으로 터치하여 지나가게 되면, 터치된 부위에서 얼룩이 발생한다. 이러한 얼룩은 터치시에 발생한 얼룩이라 하여 터치 얼룩이라 하며, 이와 같이 화면에서 얼룩이 관찰되기 때문에 터치 불량이라고도 한다.

이러한 터치 불량은, 이전의 볼 스페이스의 구조에 비해 상기 칼럼 스페이스와 대향하는 하부 기관간의 접촉 면적이 크기 때문에, 마찰력이 커서 나타나는 것으로 파악된다. 즉, 볼 스페이스에 비해 원기둥 형태로 형성되는 칼럼 스페이스는 하부 기관과의 접촉 면적이 크기 때문에, 터치로 인해 제 1, 제 2 기관간의 쉬프트된 후, 원 상태로 복원하는데 오랜 시간이 걸리기 때문에 원 상태로 복원하기 전까지 얼룩이 잔존하게 된다.

이하, 도 5a 및 도 5b를 통해, 터치 전후의 표시 영역과 비표시 영역에서의 변화를 살펴본다.

도 5a와 같이, 종래의 횡전계형 액정 표시 장치는 표시가 이루어지는 표시 영역과, 표시가 이루어지지 않는 그 외곽의 비표시 영역으로 이루어진다.

여기서, 비표시 영역에는 상기 제 1 기관(30)과, 상기 제 2 기관(40) 사이에는 쉘 패턴(50)이 형성되어 두 기관을 합착하고 있다. 이 때, 상기 비표시 영역의 상기 제 2 기관(40)에는 블랙 매트릭스층(41)이 형성되어 빛샘이 발생하지 않도록 한다. 이 때, 상기 비표시 영역의 블랙 매트릭스층(41) 상에는 오버코트층(43)이 더 형성될 수 있다.

그리고, 표시 영역은 도 2 및 도 3에 대해 기술한 바와 같이, 구성된다.

종래의 횡전계형 액정 표시 장치는 서로 다른 층에 공통 전극(35a)과 화소 전극(33)이 교번하는 배치로 형성되어, 각 전극에 전압 인가시 두 전극간에 횡전계를 형성한다.

이 경우, 상기 공통 전극(35a)과 화소 전극(33) 사이에는 게이트 절연막(36)과 보호막(37a)이 개재되어 있다.

또한, 상기 제 1 기관(30)의 게이트 라인(도 2의 31 참조), 데이터 라인(32) 및 박막 트랜지스터(도 2의 TFT 표시부위)에 대응하는 위치에 상기 제 2 기관(40) 상에 블랙 매트릭스층(41)이 형성되고, 상기 블랙 매트릭스층(41)과 일부 오버랩하여 상기 화소 영역들에 대응하여 컬러 필터층(42)이 형성되고, 상기 블랙 매트릭스층(41) 및 컬러 필터층(42)을 포함한 제 2 기관(40) 전면에 오버코트층(43)이 형성된다.

여기서, 상기 블랙 매트릭스층(41)은 상기 공통 전극(35a)과 데이터 라인(32) 이격된 영역에서 전경선 발생으로 나타나는 빛샘 불량을 방지하기 위하여 상기 공통 전극(35a)과 일부 오버랩되어 형성하는 것이 좋다.

즉, 종래의 보호막을 무기 절연막으로 형성하는 구조의 횡전계형 액정 표시 장치에 있어서는, 데이터 라인(32)과 이에 인접한 공통 전극(35a) 사이의 기생 용량을 저감시키기 위해, 공통 전극과 데이터 라인 사이에 일정 간격 이상을 두어 형성하였다. 이 경우, 상기 데이터 라인(32)과 상기 공통 전극(35a)간의 이격된 공간에서는 데이터 라인(32)과 인접 공통 전극(35a)간의 기생 캐피시턴스(Cdp) 형성으로 정상적인 횡전계가 형성되지 않아, 상기 공통 전극(35a)과 데이터 라인(32) 사이의 공간을 블랙 매트릭스층(41)으로 가리워왔다. 이와 같이, 블랙 매트릭스층(41)이 형성된 구간만큼 개구되지 않은 부분이 늘게 되어 종래에는 일정 부분 이상, 즉, 데이터 라인과 인접한 화소 영역의 사이의 공간만큼 개구율의 손실이 있어왔다.

그러나, 도 5b와 같이, 터치 후에는 상기 제 1 기관(30)에 비해 상기 제 2 기관(40)이 상대적으로 밀리게 되어, 비표시 영역에서 쉘 패턴(50)은 쉬프트되 방향으로 편향하고, 이 때, 터치 전 블랙 매트릭스층(41)에 가려졌던 상기 공통 전극(35a)과 데이터 라인(32)간의 이격된 영역은 터치 후 노출되게 되어 이 부위에서 빛샘이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

종래의 칼럼 스페이서를 포함하는 횡전계형 액정 표시 장치는 다음과 같은 문제점이 있다.

첫째, 칼럼 스페이서를 사용하는 경우에는 터치시 상기 칼럼 스페이서와 이와 접하는 대향 기관과의 접촉면적이 커 마찰력이 증가함으로 인해, 터치로 인한 일측 기관의 쉬프트 후, 원 상태로 복원이 어렵기 때문에, 빛샘 현상이 일정 시간 지속되는 터치 불량이 관찰된다.

둘째, 상술한 터치 불량은 액정이 부족할 경우, 터치로 인해 패널면이 눌러지는 영향이 커 주로 발생하는 것으로, 액정량을 늘리면 해결될 수 있으나, 액정 적하 방식으로 제조되는 액정 표시 장치의 경우 적정량의 액정량을 기관 상에 적하하기란 실제로 어려운 일이다. 또한, 적하량이 늘면 중력 불량이라는 또 다른 문제점을 야기할 수 있게 되어, 적하량을 늘리는 데에도 한계가 있다.

셋째, 칼럼 스페이서는 대향 기관과의 접촉 면적이 크기 때문에, 상기 칼럼 스페이서가 형성된 부위를 눌렀을 경우, 상기 칼럼 스페이서에 대한 대향 기관이 가하는 압력이 늘어나 상기 칼럼 스페이서의 변형이 일어난다. 그리고, 눌림시 가압의 정도가 심하면 상기 칼럼 스페이서의 하부 구조가 주저앉는 현상이 발생할 수도 있다. 이를 눌림 불량 혹은 도장 불량이라 하는데 이는 칼럼 스페이서를 포함하는 액정 표시 장치에서 나타나는 문제점이다.

넷째, 보호막으로 무기 절연막을 이용하는 종래의 횡전계형 액정 표시 장치의 구조에 있어서는, 데이터 라인과 이에 인접한 공통 전극간의 이격된 공간에서는 데이터 라인과 인접 공통 전극간의 기생 캐피시턴스(Cdp) 형성으로 정상적인 횡전계

가 형성되지 않아, 상기 공통 전극과 데이터 라인 사이의 공간을 블랙 매트릭스층으로 가리워왔다. 이와 같이, 블랙 매트릭스층이 형성된 구간만큼 개구되지 않은 부분이 늘게 되어 종래에는 일정 부분 이상, 즉, 데이터 라인과 인접한 화소 영역의 사이의 공간만큼 개구율의 손실이 있어왔다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 유기 보호막을 포함하는 구조의 터치 불량을 해결한 횡전계형 액정 표시 장치 및 이의 제조 방법을 제공하는 데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 횡전계형 액정 표시 장치는 서로 대향하는 제 1 기판 및 제 2 기판과, 상기 제 1 기판 상에 서로 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차부에 형성된 박막 트랜지스터와, 상기 게이트 라인과 상기 데이터 라인의 층간에 형성된 게이트 절연막과, 상기 데이터 라인을 포함한 게이트 절연막 상부에 형성된 유기 보호막과, 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 유기 보호막 상의 화소 영역에 형성된 화소 전극과 상기 화소 전극과 교번하여 형성된 공통 전극과, 상기 공통 전극 및 화소 전극과 이격되어 상기 유기 보호막 상에 형성된 투명 전극 패턴과, 상기 화소 전극, 공통 전극 및 투명 전극 패턴 하부의 유기 보호막 사이에 정의되는 애싱부와, 상기 제 2 기판 상에 형성된 컬러 필터 어레이와, 상기 투명 전극 패턴에 대응되어 형성된 칼럼 스페이서 및 상기 제 1, 제 2 기판 사이에 충진된 액정층을 포함하여 이루어짐에 그 특징이 있다.

상기 투명 전극 패턴 주위에는 애싱부가 형성되며, 상기 칼럼 스페이서는 상기 투명 전극 패턴을 포함한 상기 투명 전극 패턴 주위의 애싱부에 대응된다. 이 때, 상기 칼럼 스페이서와 상기 투명 전극 패턴의 접촉 부위에서 상기 칼럼 스페이서의 접촉면의 면적이 상기 투명 전극 패턴의 접촉면에 비해 크다. 그리고, 상기 유기 보호막 상에 형성되는 투명 전극 패턴의 하부면(유기 보호막 상의 형성면)의 임계치수는 $10\mu\text{m}$ 미만이다. 또한, 상기 칼럼 스페이서는 상기 투명 전극 주위의 애싱부의 경계에 대하여 $\pm 10\mu\text{m}$ 이내에 대응되어 형성된다. 상기 애싱부는 상기 화소 전극, 공통 전극 및 투명 전극 패턴을 마스크로 하여 상기 유기 보호막을 애싱 처리함으로써, 노출된 부위의 유기 보호막이 상부로부터 일부 두께 제거되어 이루어진다.

한편, 상기 공통 전극은 상기 데이터 라인과 오버랩되어 형성된다.

상기 게이트 라인과 동일층에, 상기 게이트 라인과 동일 방향으로 상기 화소 영역을 가로지르는 공통 라인이 더 형성된다. 그리고, 상기 공통 전극은 상기 공통 라인과 전기적으로 연결된다.

상기 투명 전극 패턴은 상기 게이트 라인, 데이터 라인, 공통 라인 및 박막 트랜지스터 중 어느 한 부위에 대응되어 형성된다. 상기 화소 전극, 공통 전극 및 투명 전극 패턴은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 어느 하나로 이루어진다.

상기 컬러 필터 어레이는 상기 제 1 기판의 게이트 라인, 데이터 라인 및 박막 트랜지스터에 대응되어 형성된 블랙 매트릭스층과, 상기 데이터 라인과 평행하며, 상기 화소 영역을 지나도록 형성된 컬러 필터층 및 상기 제 2 기판 전면에서 형성된 오버코트층을 포함하여 이루어진다. 상기 칼럼 스페이서는 상기 오버코트층 상에 형성된다.

또한, 동일한 목적을 달성하기 위한 본 발명의 횡전계형 액정 표시 장치의 제조 방법은 제 1 기판 및 제 2 기판을 준비하는 단계와, 상기 제 1 기판 상에 일 방향으로 게이트 라인, 상기 게이트 라인에서 돌출된 게이트 전극 및 상기 게이트 라인과 평행한 방향으로 공통 라인을 형성하는 단계와, 상기 게이트 전극, 게이트 라인 및 공통 라인을 포함한 제 1 기판 전면에서 게이트 절연막을 형성하는 단계와, 상기 게이트 전극을 덮도록 반도체층을 형성하는 단계와, 상기 게이트 라인과 수직한 방향으로 데이터 라인을 형성하고, 상기 데이터 라인으로부터 돌출된 소오스 전극 및 이와 이격된 드레인 전극을 형성하는 단계와, 상기 데이터 라인 및 소오스 전극 및 드레인 전극을 포함한 게이트 절연막 상에 유기 보호막을 전면 형성하는 단계와, 상기 유기 보호막을 선택적으로 제거하여 상기 드레인 전극 상부를 노출하는 제 1 콘택 홀을 형성하는 단계와, 상기 제 1 콘택 홀을 매립하며, 상기 유기 보호막 상에 투명 도전막을 증착하는 단계와, 상기 투명 도전막을 선택적으로 제거하여 상기 제 1 콘택 홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소 전극과, 상기 화소 전극과 교번되는 공통 전극 및 상기 화소 전극과 공통 전극과 이격하는 투명 전극 패턴을 형성하는 단계와, 상기 화소 전극, 공통 전극 및 투명 전극 패턴을 마스크로 하여 그 하부의 유기 보호막을 애싱하여 상기 유기 보호막을 소정 두께 제거하는 단계와, 상기 제 2 기판 상에 블랙 매트릭스층을 형성하는 단계와, 상기 블랙 매트릭스층을 포함한 제 2 기판 상에 컬러 필터층을 형성하는 단계와, 상기 블랙 매트릭스층 및 컬러 필터층을 포함한 제 2 기판 상에 오버코트층을 형성하는 단계와, 상기 투명 전극 패턴 및 그 주위의 애싱부에 대응되도록 칼럼 스페이서를 형성하는 단계와, 상기 제 1 기판 및 제 2 기판 중 어느 일 기판 상에 액정을 적하하는 단계 및 상기 제 1 기판과 제 2 기판을 대향시켜 합착시키는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

여기서, 상기 투명 전극 패턴은 상기 게이트 라인, 게이트 전극, 공통 라인, 데이터 라인, 소오스 전극 및 드레인 전극 중 어느 하나에 대응되어 형성한다.

상기 유기 보호막의 소정 부위에 제 2 콘택 홀을 형성하여 상기 공통 전극과 상기 공통 라인을 상기 제 2 콘택 홀을 통해 전기적으로 연결한다.

상기 유기 보호막의 애싱은 500~3000Å의 두께를 제거하는 정도로 이루어진다.

이하에서 설명하는 본 발명의 횡전계형 액정 표시 장치에서는 개구율 손실을 방지하기 위해, 데이터 라인과 오버랩하여 투명 전극 성분의 공통 전극을 형성하고, 또한, 이 경우 상기 데이터 라인과 공통 전극간의 기생 용량의 증가를 막기 위해 상기 데이터 라인과 공통 전극 사이에 보호막을 저유전율의 유기 절연막으로 개재한다. 이로써, 투명 전극 성분의 공통 전극을 상기 데이터 라인들과 오버랩하여도, 상기 유기 절연막이 갖는 낮은 유전율로 인해 상기 데이터 라인과 공통 전극 사이에 형성되는 기생 용량이 종래 구조에 비하여 크지 않게 되고, 또한, 데이터 라인과 공통 전극이 수평 거리로는 떨어져 있지 않게 되어 상기 데이터 라인과 공통 전극간의 기생 용량은 두 전극간에 개재되는 유기 보호막의 두께로 좌우되어, 기판 전체에 걸쳐 화소별 기생 용량이 균일하게 될 것이다. 그리고, 상기 유기 절연막 상부에 동일층에 형성되는 공통 전극과 화소 전극간에 정상적인 횡전계가 형성되게 될 수 있으며, 실질적으로 투명 전극 성분의 공통 전극이 데이터 라인에 오버랩함으로 인해 상기 공통 전극과 데이터 라인간의 이격 공간이 없어, 그만큼 블랙 매트릭스층 대응 부위를 줄일 수 있어, 실 개구율을 높일 수 있다. 이와 같이, 데이터 라인과 일부 또는 전체 오버랩되어 공통 전극이 형성됨으로 인해 개구율이 높아진 구조를 고개구율 구조라고 한다.

한편, 최근 터치 불량률을 칼럼 스페이스와 하부 기관간의 대면적 접촉에 따른 마찰력에 기인한 것으로 보고, 상기 칼럼 스페이스와 하부 기관간의 마찰력을 최소화하기 위한 구조가 연구되고 있다. 그 예로서 하부 기관 상에 돌기를 구성하여, 상기 돌기에 칼럼 스페이스가 대응하도록 하여 상기 칼럼 스페이스의 하부 기관 접촉 면적을 줄이는 구조가 제안되고 있다.

그러나, 고개구율을 확보하기 위하여 BCB(BenzoCycloButene)나 포토 아크릴(photo acryl) 등의 유기막을 적용한 경우, 하부 기관 상에 형성된 구조물 최상부면은 평탄화되기에, 영역별 단차가 발생하기 어렵기 때문에, 칼럼 스페이스와 하부 기관간의 접촉 면적은 상기 칼럼 스페이스의 상부면(이 때, 하부면은 상기 칼럼 스페이스가 형성되는 기관측에 접촉하는 면)에 상당하게 된다. 따라서, 고개구율 구조에서는 돌기 형태의 구성물을 유기막 하부에 구성한다 하더라도, 상기 유기막 상은 평탄화되어 상기 칼럼 스페이스와 하부 기관이 대면적으로 접촉하기 때문에 터치 불량률은 남아있게 된다.

본 발명의 횡전계형 액정 표시 장치는 이러한 고개구율 구조를 채택하여, 이 구조에서 이루어지는 터치 불량 개선에 대해 설명한다.

이하, 첨부된 도면을 참조하여 본 발명의 횡전계형 액정 표시 장치 및 이의 제조 방법을 상세히 설명하면 다음과 같다.

도 6은 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도이며, 도 7은 도 6의 II~II' 선상의 구조 단면도이다.

도 6 및 도 7과 같이, 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치는 크게, 서로 대향되는 제 1 기관 및 제 2 기관과, 상기 제 1, 제 2 기관 사이에 충전된 액정층을 포함하여 이루어진다.

상기 제 1 기관 상에는 서로 교차하여 화소 영역을 정의하는 게이트 라인(101)과 데이터 라인(102)과, 상기 게이트 라인(101)과 데이터 라인(102)의 교차부에 형성된 박막 트랜지스터, 상기 박막 트랜지스터의 드레인 전극(102b)과 전기적으로 연결된 화소 전극(105)과, 상기 화소 전극(105)과 교번되는 분기된 제 1 공통 전극(106a)을 구비하며, 상기 공통 전극(106a)과 연결되며 상기 화소 영역 주위의 게이트 라인 및 데이터 라인과 오버랩되어 제 2 공통 전극(106)이 형성된다. 또한, 상기 제 1, 제 2 공통 전극(106a, 106)은 상기 게이트 라인(101)과 동일층에 상기 게이트 라인(101)에 평행하게 형성된 공통 라인(111)과 전기적으로 연결된다. 이러한 공통 라인(111)과 제 1, 제 2 공통 전극(106a, 106)간의 전기적인 연결은 화소별로 콘택하여 이루어질 수도 있고, 패드부 일측에서만 콘택하여 이루어질 수도 있다.

여기서, 상기 박막 트랜지스터는 상기 게이트 라인(101)에서 돌출된 게이트 전극(101a)과, 상기 데이터 라인(102)에서 돌출되어 형성된 소오스 전극(102a)과, 상기 소오스 전극(102a)과 소정 간격 이격되어, 화소 영역 내부로 타측이 연장되어 형성된 드레인 전극(102b)을 포함하여 형성된다. 그리고, 상기 데이터 라인(102), 소오스 전극(102a), 드레인 전극(102b)

하부 및 상기 소오스 전극(102a)과 드레인 전극(102b) 사이의 채널 영역 하부에는 반도체층(111)이 더 형성된다. 여기서, 상기 반도체층(113)은 하부로부터 비정질 실리콘층(113a)과 n+ 층(113b)의 적층체로 이루어지며, 상기 소오스 전극(102a)과 드레인 전극(102b) 사이의 영역에 대응되는 채널 영역에서는 상기 n+ 층(113b)이 제거되어 있다.

한편, 상기 화소 영역을 지나가는 공통 라인(111)의 중심부에는 스토리지 전극(111a)이 형성되고, 상기 스토리지 전극(111a)과 상기 드레인 전극(102b) 또는 화소 전극(105)이 만나는 부위에 스토리지 캐패시터(storage capacitor)가 정의된다.

또한, 상기 게이트 라인(101)과 반도체층(113) 사이의 층에는 게이트 절연막(103)이 개재되며, 상기 데이터 라인(102)과 상기 화소 전극(105)/제 1, 제 2 공통 전극(106a, 106)의 사이의 층에는 유기막으로 이루어진 유기 보호막(104)이 개재되어 개재된 두 층간의 절연을 피하고 있다. 상기 유기 보호막(104)은 4이하의 저유전율을 갖는 BCB(BenzoCycloButene)나 포토 아크릴(photo acryl) 등의 유기막 성분이며, 그 두께는 1~3.5 μm 정도로, 유기 보호막(104)을 도포한 후에는 그 표면이 평탄화할 정도이다.

한편, 상기 드레인 전극(102b)의 타측의 일부에 대응하는 상기 유기 보호막(104)의 부위에는 보호막 홀(104a)이 형성되어, 상기 보호막 홀(104a)을 통해 상기 드레인 전극(102b)과 화소 전극(106)과의 전기적인 연결을 피하고 있다.

그리고, 상기 화소 전극(105) 및 제 1, 제 2 공통 전극(106a, 106)은 유기 보호막(104) 상에 형성되는 전극으로, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 어느 하나로 이루어진다.

이러한 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 구조에 있어서, 상기 박막 트랜지스터의 채널에 대응되는 부위에 상기 화소 전극(105) 및 제 1, 제 2 공통 전극(106a, 106)과 동일층에 투명 전극 패턴(108)이 형성된다. 이러한 투명 전극 패턴(108)은 하부면(상기 유기 보호막(104) 상의 형성면)이 약 10 μm 미만의 임계 치수(Critical Dimension)를 가지며, 그 주위가 애싱(ashing)되어 상기 투명 전극 패턴(108)의 두께 및 애싱된 두께의 합에 따른 주위와의 단차를 갖는다. 이러한 투명 전극 패턴(108)의 상부면(상기 칼럼 스페이서와의 접촉면)은 상기 칼럼 스페이서(130)와의 상부면(이 경우, 상기 제 2 기판(12) 상에 형성된 형성면을 하부면으로 가정)에 비해 작은 면적이다.

이와 같이, 투명 전극 패턴(108)을 형성한 이유는, 상기 투명 전극 패턴(108)에 칼럼 스페이서(도 7의 130 참조)를 대응시켜 상기 칼럼 스페이서(130)가 작은 면적으로 제 1 기판(100)에 접촉하도록 하여 터치시 접촉 면적 감소에 따라 마찰력을 줄이기 위함이다. 그리고, 상기 투명 전극 패턴(108) 주위에 애싱부(107)를 더 형성하여준 이유는, 상기 투명 전극 패턴(108) 증착시 약 500~1200Å의 두께로 증착되는데, 평탄한 유기 보호막(104) 상기 투명 전극 패턴(108)을 형성하여 두면 상기 칼럼 스페이서(130)가 갖는 탄성력에 의해 상기 투명 전극 패턴(108)과 접촉시 탄성력을 갖는 상기 칼럼 스페이서(130)의 상부면(이 경우, 제 2 기판(120) 상의 칼럼 스페이서의 형성면을 하부면이라고 정의)이 대응되는 투명 전극 패턴(108) 및 그 주위에 눌러져 원하는 접촉 면적 감소 효과를 얻을 수 없기 때문에, 애싱 공정을 통해 단차를 늘려주기 위함이다. 이 경우, 애싱부(107)의 깊이는 상기 칼럼 스페이서(130)가 탄성력에 의해 눌러지더라도 상기 애싱부(107)에서는 닿지 않을 정도로, 상기 칼럼 스페이서(130)의 탄성 마진을 감안하여 설계한다.

이와 같이, 본 발명의 제 1 실시예와 같이, 이러한 애싱으로 인해 상기 투명 전극 패턴(108) 주위에 소정 두께 제거된 애싱부(107)는 별도의 마스크를 준비하여 단독으로 형성될 수도 있지만, 도 7에 도시된 바와 같이, 상기 화소 전극(105) 및 제 1, 제 2 공통 전극(106a, 106)을 패터닝할 때, 상기 투명 전극 패턴(108)을 함께 패터닝하고, 상기 화소 전극(105), 제 1, 제 2 공통 전극(106a, 106) 및 상기 투명 전극 패턴(108)을 마스크로 하여 상기 유기 보호막(104)을 애싱하여 동시에 노출되어 있는 유기 보호막(104)의 부위에 애싱부(107, 107a)를 형성함이 공정의 회수를 줄이는데 유리하다.

그리고, 상술한 제 1 기판(100)과 대향되는 제 2 기판(120) 상에는 비화소 영역과 박막 트랜지스터 영역에 대응되어 형성된 블랙 매트릭스층(121)과, 상기 화소 영역에 대응되어 형성된 컬러 필터층(122)과, 상기 블랙 매트릭스층(121) 및 컬러 필터층(122)을 평탄화하기 위한 오버코트층(123)이 형성된다.

또한, 상기 투명 전극 패턴(108)을 포함한 그 주위의 애싱부(107)에 대응하여 상기 오버코트층(123) 상에 칼럼 스페이서(130)가 형성된다. 여기서, 상기 칼럼 스페이서(130)는 상기 애싱부(107)의 경계를 기준으로 $\pm 10\mu\text{m}$ 이내의 영역에 대응되도록 한다. 이는 상기 투명 전극 패턴(108)과 그 주위의 애싱부(107)가 갖는 단차에 대응되어 칼럼 스페이서(130)를 형성하여 상기 칼럼 스페이서(130)와 제 1 기판(100)간의 접촉 면적을 줄이기 위함이다.

이하에서는 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 제조 방법을 설명한다.

도 8a 내지 도 8e는 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 제조 방법에 있어서, 각 마스크를 이용한 공정 후 형성된 패턴을 나타낸 평면도이며, 도 9a 내지 도 9e는 본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 제조 방법을 나타낸 공정 단면도이다.

본 발명의 제 1 실시예에 따른 횡전계형 액정 표시 장치의 제조 방법은 제 1 기판(100) 및 제 2 기판(120)을 준비하여 진행한다.

그리고, 상기 제 1 기판(100) 상에는 다음과 같이 공정이 이루어진다.

먼저, 도 8a 및 도 9a와 같이, 상기 제 1 기판(100) 상에 금속 물질을 증착하고 이를 선택적으로 제거하여, 일 방향으로 게이트 라인(101), 상기 게이트 라인(101)에서 돌출된 게이트 전극(101a) 및 상기 게이트 라인(101)과 평행한 방향으로 공통 라인(111)을 형성한다. 상기 공통 라인(111) 상에는 화소 영역에 중심에 대응되는 스토리지 전극(111a)이 돌출되어 형성된다.

도 9b와 같이, 상기 게이트 전극(101a), 게이트 라인(101), 스토리지 전극(111a) 및 공통 라인(111)을 포함한 제 1 기판(100) 전면에 게이트 절연막(103)을 형성한다.

도 8b와 같이, 상기 게이트 절연막(103) 상에 비정질 실리콘층(113a) 및 n⁺ 층(113b)을 차례로 증착하고 이를 선택적으로 제거하여 상기 게이트 라인(101)의 방향과 수직한 방향으로 형성되며, 상기 수직한 방향에서 돌출되어 상기 게이트 전극(101a) 상부를 지나 상기 스토리지 전극(111a)의 소정 부위까지 연장된 반도체층(113)을 형성한다.

도 8c 및 도 9c와 같이, 상기 반도체층(113)을 포함한 게이트 절연막(103) 상에 금속물질을 증착하여 이를 선택적으로 제거하여, 상기 게이트 라인(101)과 수직한 방향의 데이터 라인(102)과 상기 데이터 라인(102)에서 돌출되는 형상의 소오스 전극(102a)과, 상기 소오스 전극(102a)과 소정 간격 이격된 드레인 전극(102b)을 형성한다. 상기 소오스 전극(102a) 및 드레인 전극(102b)은 상기 게이트 전극(101a)의 양측에 대응되어 형성된다. 그리고, 상기 데이터 라인(102a) 및 소오스/드레인 전극(102a, 102b)은 상기 반도체층(113) 상에 대응되어 형성한다.

이어, 상기 소오스/드레인 전극(102a, 102b)을 마스크로 하여 상기 n⁺ 층(113b)을 제거하여 채널 부위가 정의되는 반도체층(113)을 형성한다.

도 8d 및 도 9d와 같이, 상기 데이터 라인(102), 소오스 전극(102a) 및 드레인 전극(102b)을 포함한 게이트 절연막(103) 전면에 유기 보호막(104)을 전면 도포한 후 이를 선택적으로 제거하여 상기 스토리지 전극(111a) 상의 드레인 전극(102b)이 소정 부위가 노출되는 보호막 홀(104a)을 형성한다. 상기 보호막 홀(104a)을 형성하는 공정에서, 패드층 일측에서 상기 공통 라인(111)의 소정 부위가 노출되도록 하는 별도의 콘택 홀(미도시)을 더 형성하여 이어 형성될 상기 공통 라인(111)과 제 2 공통 전극(106)과의 콘택을 피할 수 있을 것이다. 여기서, 상기 유기 보호막(104)이 두께는 약 1~3.5 μ m 정도이다. 상기 유기 보호막(104)의 도포 후에는 하부 구조물의 단차가 거의 무시될 정도로 상기 유기 보호막(104) 표면이 평탄화된 다.

도 8e 및 도 9e와 같이, 상기 보호막 홀(104a)을 매립하며, 상기 유기 보호막(104) 전면에 투명 도전막을 증착한 후, 이를 선택적으로 제거하여 상기 보호막 홀(104a)을 통해 상기 드레인 전극(102b)과 전기적으로 연결되는 화소 전극(106)과, 상기 화소 전극(106)과 교번되는 제 1 공통 전극(106a), 상기 제 1 공통 전극(106a)과 연결되며 상기 게이트 라인(101)과 데이터 라인(102)에 오버랩되는 제 2 공통 전극(106) 및 상기 박막 트랜지스터의 채널 부위에 대응되는 투명 전극 패턴(108)을 형성한다. 여기서, 상기 화소 전극(106)은 'H'자형에 유사하게 형성되며, 상기 제 1 공통 전극(106a)은 상기 화소 전극(106)과 교번되는 형상으로 'H'자형 내측에 형성되며, 상기 제 2 공통 전극(106)은 화소 영역 주위의 게이트 라인(101) 및 데이터 라인(102)을 오버랩하여 형성한다. 상기 제 2 공통 전극(106)은 경우에 따라 게이트 라인(101) 및 데이터 라인(102)에 대해 일부 오버랩되거나 혹은 전체가 오버랩되어 형성될 수 있다.

여기서, 상기 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 어느 하나로 이루어진다.

이어, 상기 화소 전극(105), 제 1, 제 2 공통 전극(106a, 106) 및 투명 전극 패턴(108)을 마스크로 하여 그 사이의 노출된 유기 보호막(104)을 애싱(ashing)하여 소정 두께 제거한다. 이 때, 애싱시 제거되는 애싱부(107, 107a)의 깊이는 상기 칼럼 스페이서(130)가 탄성력에 의해 눌러지더라도 상기 애싱부(107, 107a)에서는 상기 칼럼 스페이서(130)가 닿지 않을 정도로, 약 500~3000Å의 두께를 제거하는 정도로 형성한다.

이러한 애싱은 산소 플라즈마(O_2 plasma)를 이용하여 진행하며, 모델에 따라 애싱 면적 및 두께를 고려하여 애싱 속도 및 시간을 조절하여 이루어진다. 중요한 점은 애싱 후의 상기 투명 전극 패턴(108) 주위의 애싱부(107) 및 상기 제 1, 제 2 공통 전극(106a, 106)과 화소 전극(105)의 애싱부에서 소정 두께(약 500~3000Å)가 제거됨으로 인해 상기 투명 전극 패턴(108)에 칼럼 스페이서(107)가 대응될 때 대응 접촉 면적이 줄어든다는 점이다. 이 경우, 상기 애싱 후에 유기 보호막(104)은 표면의 극히 일부 두께가 제거된 것으로, 상기 유기 보호막(104)에 의한 기생 용량 감소 효과는 그대로 유지될 것이다.

상술한 제 1 기판(100) 상에 이루어지는 공정과 대응하여 상기 제 2 기판(120) 상에는 다음과 같은 공정이 이루어진다.

먼저, 상기 제 2 기판(120) 상에 블랙 매트릭스층(121)을 형성한다. 이 때, 상기 블랙 매트릭스층(121)은 상기 게이트 라인(101), 데이터 라인(102) 및 박막 트랜지스터 부위를 가리는 정도로 형성된다.

이어, 상기 블랙 매트릭스층(121)을 포함한 제 2 기판(120) 상에 컬러 필터층(122)을 형성한다.

이어, 상기 블랙 매트릭스층(121) 및 컬러 필터층(122)을 포함한 제 2 기판(120) 상에 오버코트층(123)을 형성한다.

이어, 상기 투명 전극 패턴(108) 및 그 주위의 애싱부(107)에 대응되도록 칼럼 스페이서(130)를 형성한다.

이상과 같이, 제 2 기판(130) 상의 공정을 진행한 후, 상기 제 1 기판(100) 및 제 2 기판(120) 중 어느 일 기판 상에 액정(미도시)을 적하하고, 상기 제 1 기판(100)과 제 2 기판(120)을 대향시켜 합착시켜 액정 패널을 형성한다.

한편, 상술한 제 1 실시예에 있어서는 상기 투명 전극 패턴(108) 및 그 주위의 애싱부(107)가 상기 박막 트랜지스터의 영역, 특히 채널 영역에 대응되어 형성된 예를 들어 설명하였으나, 경우에 따라 칼럼 스페이서가 대응되는 투명 전극 패턴 및 그 주위의 애싱부는 게이트 라인 상, 혹은 데이터 라인 상, 혹은 공통 라인 상 또는 채널 부위를 제외한 박막 트랜지스터의 타부위에 대응되어서 형성될 수 있을 것이다.

도 10 내지 도 12는 이러한 실시예들에 대하여 설명한다.

도 10은 본 발명의 제 2 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도이다.

도 10과 같이, 본 발명의 제 2 실시예에 따른 횡전계형 액정 표시 장치는 칼럼 스페이서(130)가 대응되는 투명 전극 패턴(108) 및 애싱부(107)가 게이트 라인(101)상에 대응되어 형성된다.

도 11은 본 발명의 제 3 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도이다.

도 11과 같이, 본 발명의 제 3 실시예에 따른 횡전계형 액정 표시 장치는 칼럼 스페이서(130)가 대응되는 투명 전극 패턴(108) 및 애싱부(107)가 데이터 라인(102) 상에 대응되어 형성된다.

도 12는 본 발명의 제 4 실시예에 따른 횡전계형 액정 표시 장치를 나타낸 평면도이다.

도 12와 같이, 본 발명의 제 4 실시예에 따른 횡전계형 액정 표시 장치는 칼럼 스페이서가 대응되는 투명 전극 패턴(108) 및 애싱부(107)가 공통 라인(111) 상에 대응되어 형성된다.

이상과 같은 다른 실시예들에서도 상기 투명 전극 패턴(108) 및 애싱부(107)의 정의는 화소 전극 및 공통 전극을 패터닝하는 공정에서 이루어지는 것으로, 별도의 마스크 추가나 재료의 추가없이 단지 상기 화소 전극 및 공통 전극을 패터닝하는 마스크에 있어서, 상기 애싱부(107)에 상응하는 부위에 개구부를 더 마련하여 좁으로써 이러한 형상의 구현이 가능하다.

이러한 실시예들에서 상기 게이트 라인, 데이터 라인, 공통 라인 및 박막 트랜지스터 영역은 블랙 매트릭스층에 가리워짐을 가정한다. 그리고, 각 실시예에 대응되는 칼럼 스페이서는 투명 전극 패턴 및 그 주위의 애싱부에 대응되어 형성되어, 작은 면적으로 투명 전극 패턴과 접촉하여 칼럼 스페이서와 대향되는 제 1 기관과의 작은 면적 접촉으로 인해 마찰력 감소로 터치시 원 상태로의 복귀가 용이하여 터치 불량률이 개선될 수 있다.

또한, 본 발명에 횡전계형 액정 표시 장치에 있어서는 상기 데이터 라인과 오버랩하여 상기 공통 전극이 형성하게 되어, 블랙 매트릭스층이 가리는 부위를 게이트 라인, 데이터 라인 및 박막 트랜지스터 부위로 제한하여 실제로 고개구율 구조를 채택할 수 있다.

그리고, 터치시 제 1, 제 2 기관간의 쉬프트가 발생하더라도 공통 전극과 데이터 라인 사이의 공간이 노출되지 않아 빗샘이 발생되지 않게 되어 빗샘 불량률이 방지될 수 있게된다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같은 본 발명의 횡전계형 액정 표시 장치 및 이의 제조 방법은 다음과 같은 효과가 있다.

첫째, 차광성의 금속 라인 혹은 박막 트랜지스터 영역 중 소정 부위에 투명 전극 패턴 및 그 주위에 애싱부를 정의하고, 상기 투명 전극 패턴을 포함한 그 주위의 애싱부에 대응되어 칼럼 스페이서를 형성함으로써, 터치시 칼럼 스페이서와 대향 기관간의 작은 면적으로 접촉이 가능하게 된다. 따라서, 터치시 상하 기관간의 쉬프트가 발생하더라도 원 상태로의 복귀가 용이하여 터치 불량률이 개선될 수 있다.

둘째, 데이터 라인과 오버랩하여 공통 전극이 형성하게 되어, 블랙 매트릭스층이 가리는 부위를 게이트 라인, 데이터 라인 및 박막 트랜지스터 부위로 제한하여 실제로 고개구율 구조를 채택할 수 있다.

셋째, 터치시 제 1, 제 2 기관간의 쉬프트가 발생하더라도 공통 전극과 데이터 라인 사이의 공간이 노출되지 않아 빗샘이 발생되지 않게 되어 빗샘 불량률이 방지될 수 있게 된다.

넷째, 화소 전극과 공통 전극을 제조하는 공정과 동일 공정에서, 약간의 마스크 개구부 변경으로 투명 전극 패턴 및 그 주위의 애싱부 구현이 가능하며, 별도의 마스크 추가나 재료의 추가없이 터치 불량률의 개선이 가능하다.

궁극적으로 본 발명의 횡전계형 액정 표시 장치 및 이의 제조 방법은 고개구율을 구현하기 위해 유기 절연막을 사용하는 제품에서, 패널의 화상 품질에 큰 영향을 미치는 터치 불량률을 개선하는 방법으로, 고개구율 모델에서 뛰어난 패널 품질을 확보할 수 있다.

(57) 청구의 범위

청구항 1.

서로 대향하는 제 1 기관 및 제 2 기관;

상기 제 1 기관 상에 서로 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인;

상기 게이트 라인과 데이터 라인의 교차부에 형성된 박막 트랜지스터;

상기 게이트 라인과 상기 데이터 라인의 층간에 형성된 게이트 절연막;

상기 데이터 라인을 포함한 게이트 절연막 상부에 형성된 유기 보호막;

상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되며 상기 유기 보호막 상의 화소 영역에 형성된 화소 전극과 상기 화소 전극과 교번하여 형성된 공통 전극;

상기 공통 전극 및 화소 전극과 이격되어 상기 유기 보호막 상에 형성된 투명 전극 패턴;

상기 화소 전극, 공통 전극 및 투명 전극 패턴 하부의 유기 보호막 사이에 정의되는 애싱부;

상기 제 2 기판 상에 형성된 컬러 필터 어레이;

상기 투명 전극 패턴에 대응되어 형성된 칼럼 스페이서; 및

상기 제 1, 제 2 기판 사이에 충진된 액정층을 포함하여 이루어짐을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 2.

제 1항에 있어서,

상기 투명 전극 패턴 주위에는 애싱부가 형성되며, 상기 칼럼 스페이서는 상기 투명 전극 패턴을 포함한 상기 투명 전극 패턴 주위의 애싱부에 대응되는 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 3.

제 2항에 있어서,

상기 칼럼 스페이서와 상기 투명 전극 패턴의 접촉 부위에서 상기 칼럼 스페이서의 접촉면의 면적이 상기 투명 전극 패턴의 접촉면에 비해 큰 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 4.

제 2항에 있어서,

상기 유기 보호막 상에 형성되는 투명 전극 패턴의 하부면(유기 보호막 상의 형성면)의 임계치수는 $10\mu\text{m}$ 이하인 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 5.

제 2항에 있어서,

상기 칼럼 스페이서는 상기 투명 전극 주위의 애싱부의 경계에 대하여 $\pm 10\mu\text{m}$ 이내에 대응되어 형성된 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 6.

제 1항에 있어서,

상기 공통 전극은 상기 데이터 라인과 오버랩되어 형성된 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 7.

제 1항에 있어서,

상기 게이트 라인과 동일층에, 상기 게이트 라인과 동일 방향으로 상기 화소 영역을 가로지르는 공통 라인이 더 형성된 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 8.

제 7항에 있어서,

상기 공통 전극은 상기 공통 라인과 전기적으로 연결된 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 9.

제 7항에 있어서,

상기 투명 전극 패턴은 상기 게이트 라인, 데이터 라인, 공통 라인 및 박막 트랜지스터 중 어느 한 부위에 대응되어 형성된 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 10.

제 1항에 있어서,

상기 애싱부는 상기 화소 전극, 공통 전극 및 투명 전극 패턴을 마스크로 하여 상기 유기 보호막을 애싱 처리함으로써, 노출된 부위의 유기 보호막이 상부로부터 일부 두께 제거되어 이루어지는 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 11.

제 1항에 있어서,

상기 화소 전극, 공통 전극 및 투명 전극 패턴은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 어느 하나로 이루어진 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 12.

제 1항에 있어서,

상기 컬러 필터 어레이는

상기 제 1 기관의 게이트 라인, 데이터 라인 및 박막 트랜지스터에 대응되어 형성된 블랙 매트릭스층;

상기 데이터 라인과 평행하며, 상기 화소 영역을 지나도록 형성된 컬러 필터층; 및

상기 제 2 기관 전면면에 형성된 오버코트층을 포함하여 이루어짐을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 13.

제 12항에 있어서,

상기 칼럼 스페이서는 상기 오버코트층 상에 형성된 것을 특징으로 하는 횡전계형 액정 표시 장치.

청구항 14.

제 1 기관 및 제 2 기관을 준비하는 단계;

상기 제 1 기관 상에 일 방향으로 게이트 라인, 상기 게이트 라인에서 돌출된 게이트 전극 및 상기 게이트 라인과 평행한 방향으로 공통 라인을 형성하는 단계;

상기 게이트 전극, 게이트 라인 및 공통 라인을 포함한 제 1 기관 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극을 덮도록 반도체층을 형성하는 단계;

상기 게이트 라인과 수직한 방향으로 데이터 라인을 형성하고, 상기 데이터 라인으로부터 돌출된 소오스 전극 및 이와 이격된 드레인 전극을 형성하는 단계;

상기 데이터 라인 및 소오스 전극 및 드레인 전극을 포함한 게이트 절연막 상에 유기 보호막을 전면 형성하는 단계;

상기 유기 보호막을 선택적으로 제거하여 상기 드레인 전극 상부를 노출하는 제 1 콘택 홀을 형성하는 단계;

상기 제 1 콘택 홀을 매립하며, 상기 유기 보호막 상에 투명 도전막을 증착하는 단계;

상기 투명 도전막을 선택적으로 제거하여 상기 제 1 콘택 홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소 전극과, 상기 화소 전극과 교번되는 공통 전극 및 상기 화소 전극과 공통 전극과 이격하는 투명 전극 패턴을 형성하는 단계;

상기 화소 전극, 공통 전극 및 투명 전극 패턴을 마스크로 하여 그 하부의 유기 보호막을 애싱하여 상기 유기 보호막을 소정 두께 제거하는 단계;

상기 제 2 기관 상에 블랙 매트릭스층을 형성하는 단계;

상기 블랙 매트릭스층을 포함한 제 2 기관 상에 컬러 필터층을 형성하는 단계;

상기 블랙 매트릭스층 및 컬러 필터층을 포함한 제 2 기관 상에 오버코트층을 형성하는 단계;

상기 투명 전극 패턴 및 그 주위의 애싱부에 대응되도록 칼럼 스페이서를 형성하는 단계;

상기 제 1 기관 및 제 2 기관 중 어느 일 기관 상에 액정을 적하하는 단계; 및

상기 제 1 기관과 제 2 기관을 대향시켜 합착시키는 단계를 포함하여 이루어짐을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

청구항 15.

제 14항에 있어서,

상기 투명 전극 패턴은 상기 게이트 라인, 게이트 전극, 공통 라인, 데이터 라인, 소오스 전극 및 드레인 전극 중 어느 하나에 대응되어 형성함을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

청구항 16.

제 14항에 있어서,

상기 유기 보호막의 소정 부위에 제 2 콘택 홀을 형성하여 상기 공통 전극과 상기 공통 라인을 상기 제 2 콘택 홀을 통해 전기적으로 연결하는 것을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

청구항 17.

제 14항에 있어서,

상기 공통 전극은 상기 데이터 라인을 오버랩하는 형상으로 형성하는 것을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

청구항 18.

제 14항에 있어서,

상기 유기 보호막의 애싱은 500~3000Å의 두께를 제거하는 정도로 이루어지는 것을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

청구항 19.

제 14항에 있어서,

상기 유기 보호막 상에 형성되는 공통 전극 패턴의 하부면의 크기는 가로, 세로 10 μ m 미만인 것을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

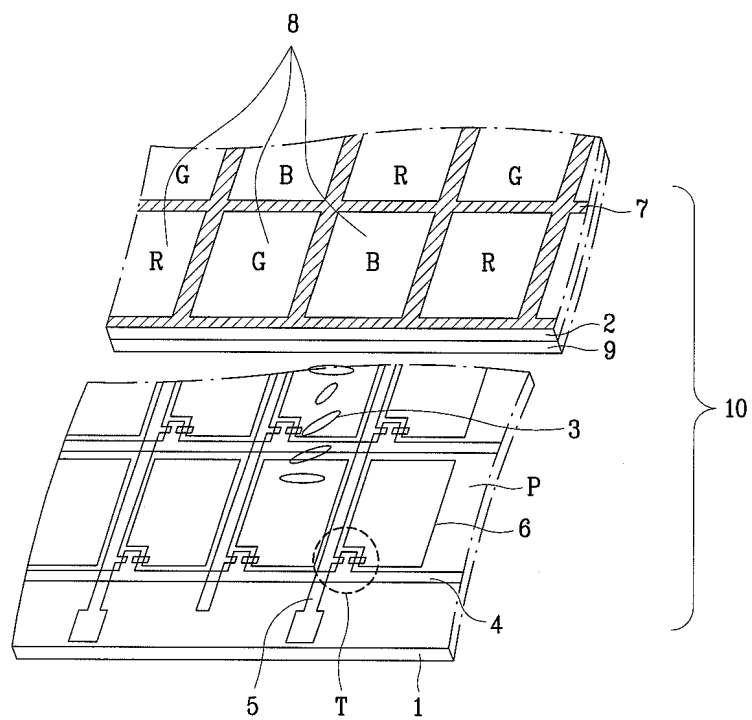
청구항 20.

제 14항에 있어서,

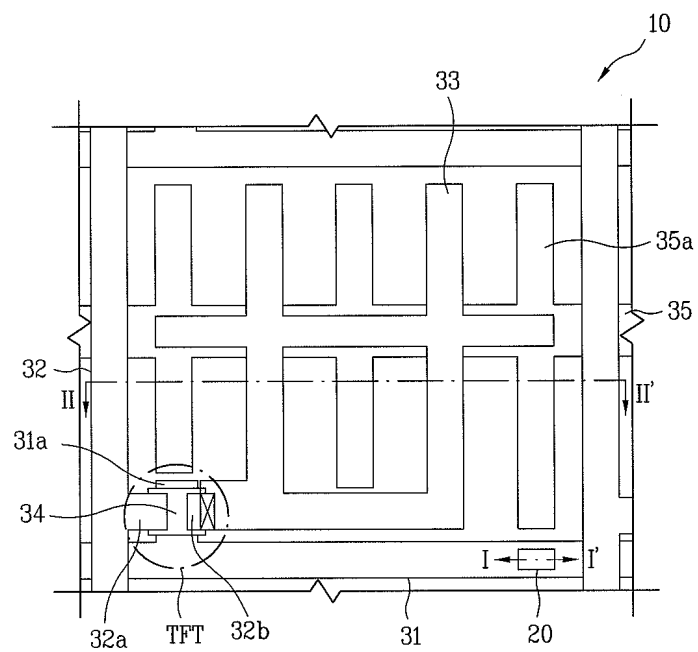
상기 화소 전극, 공통 전극 및 투명 전극 패턴은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 어느 하나로 이루어진 것을 특징으로 하는 횡전계형 액정 표시 장치의 제조 방법.

도면

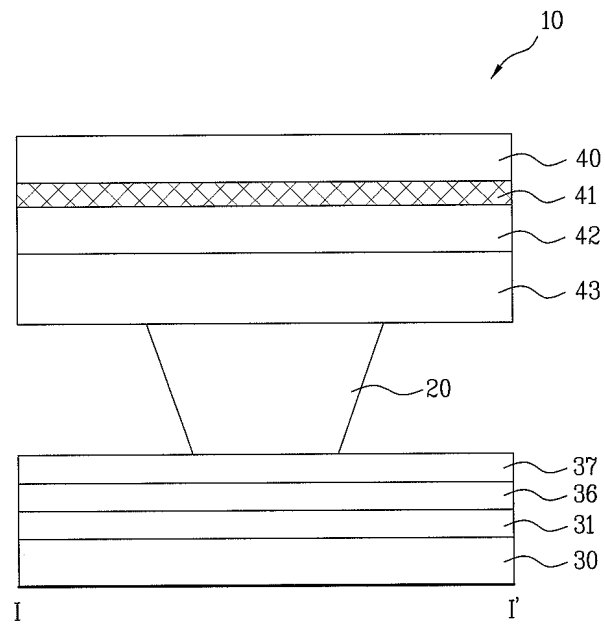
도면1



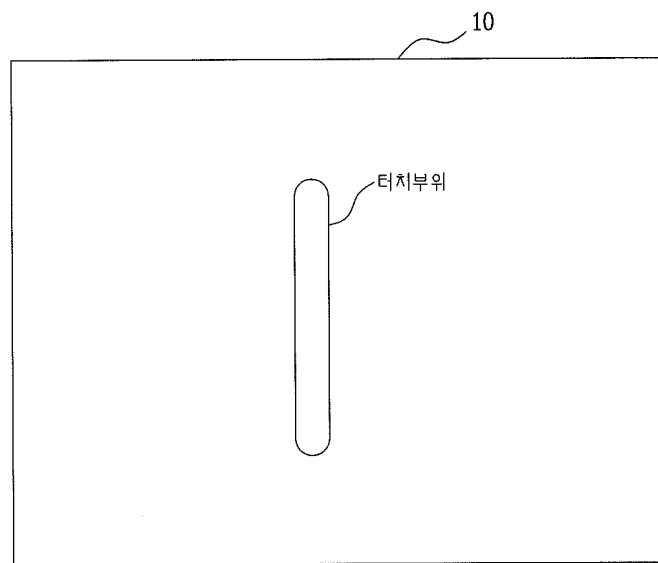
도면2



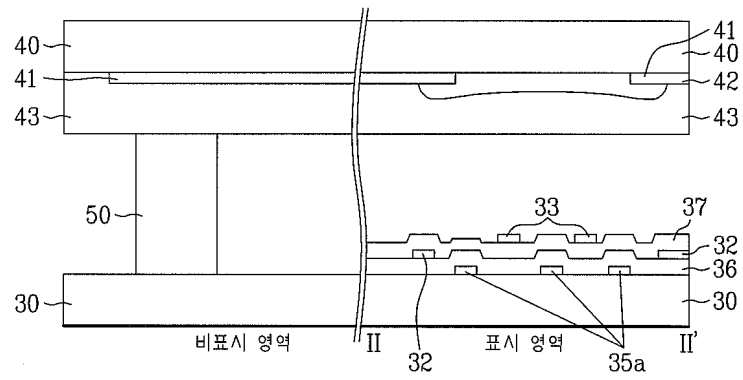
도면3



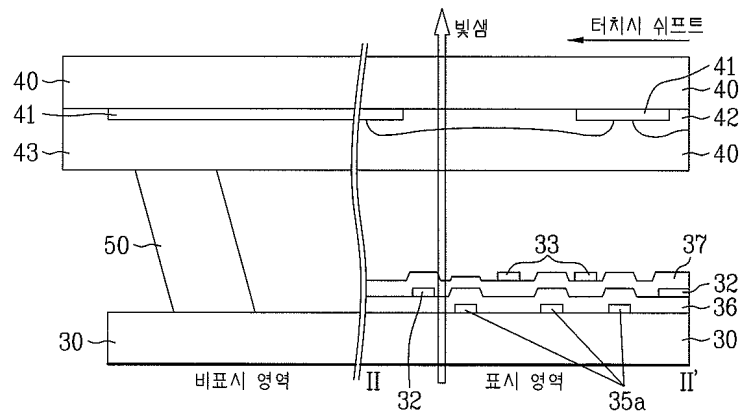
도면4



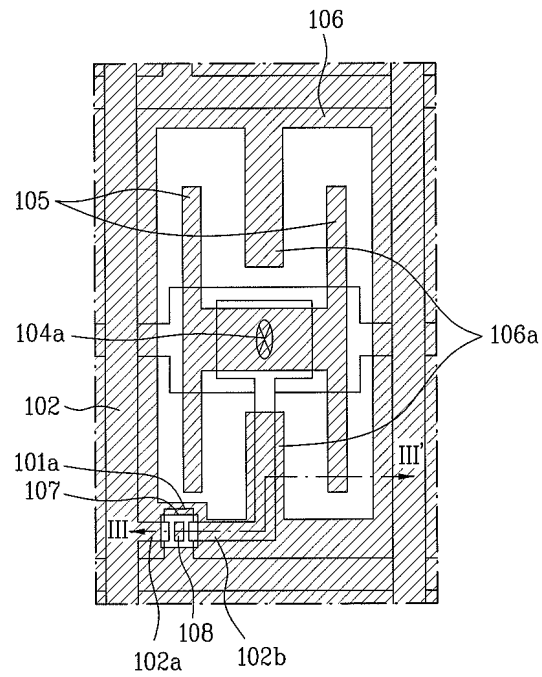
도면5a



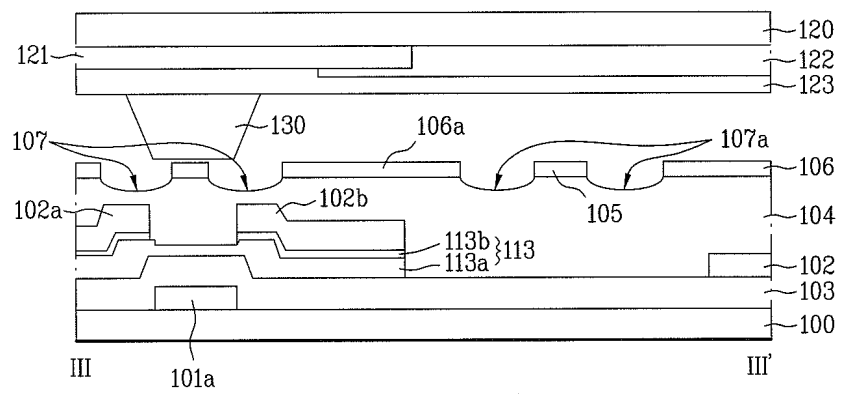
도면5b



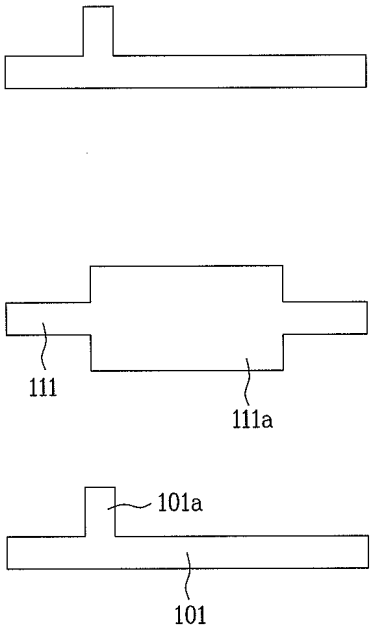
도면6



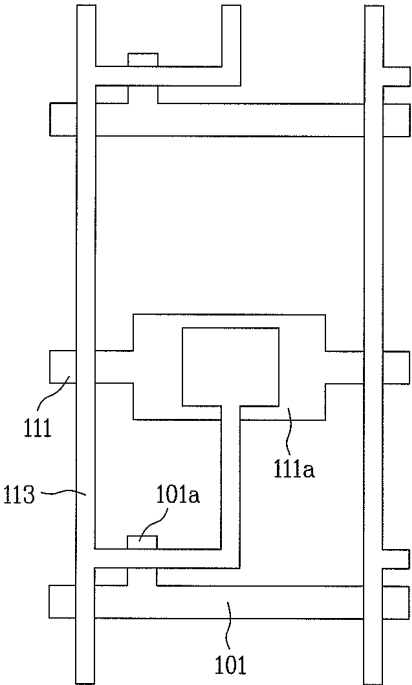
도면7



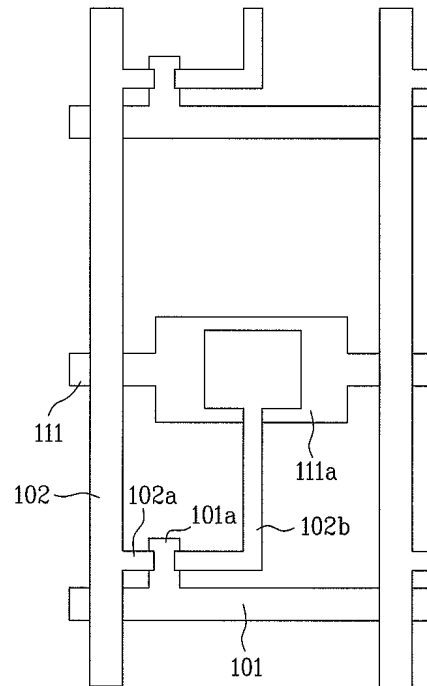
도면8a



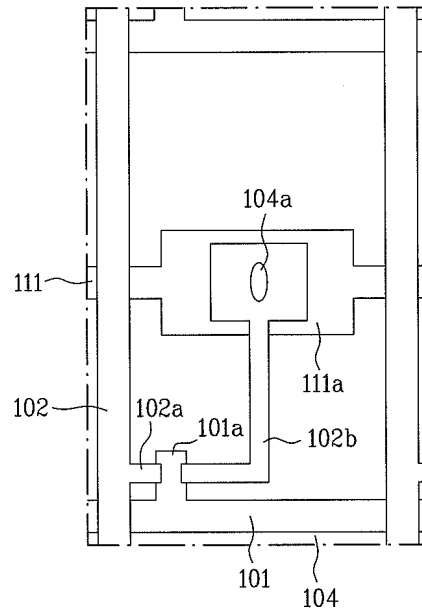
도면8b



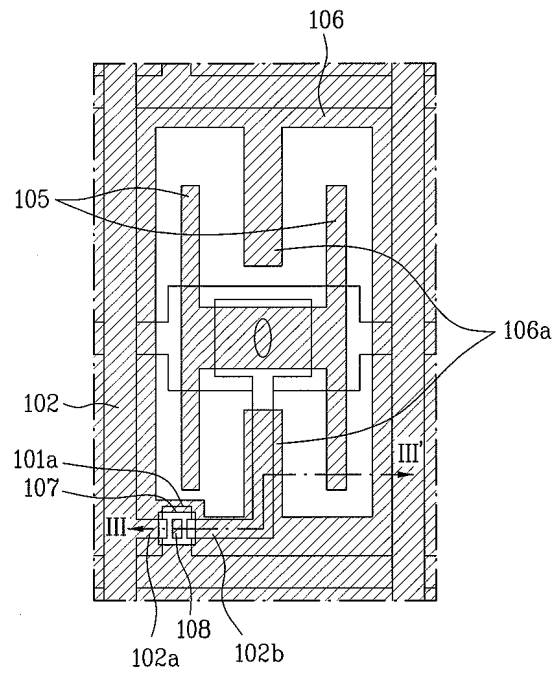
도면8c



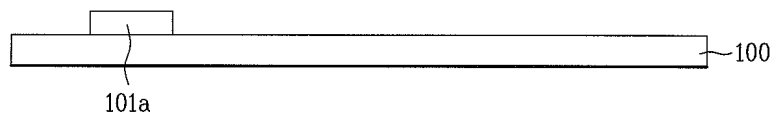
도면8d



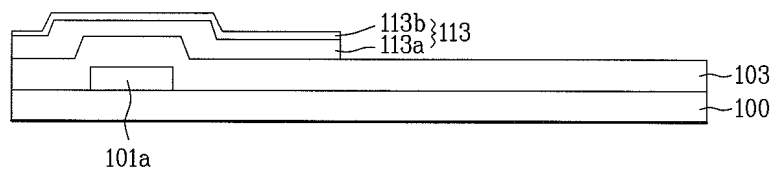
도면8e



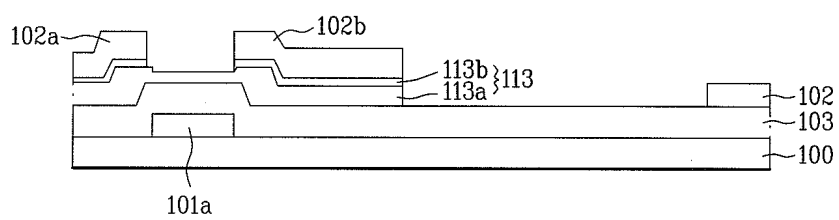
도면9a



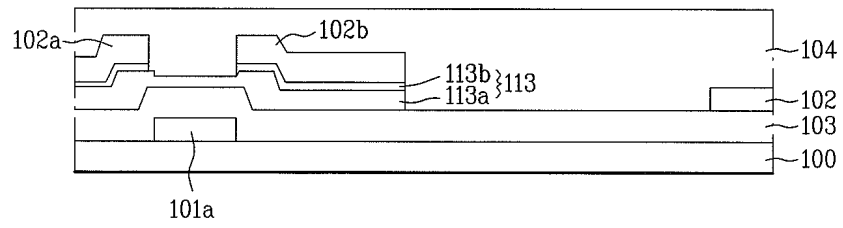
도면9b



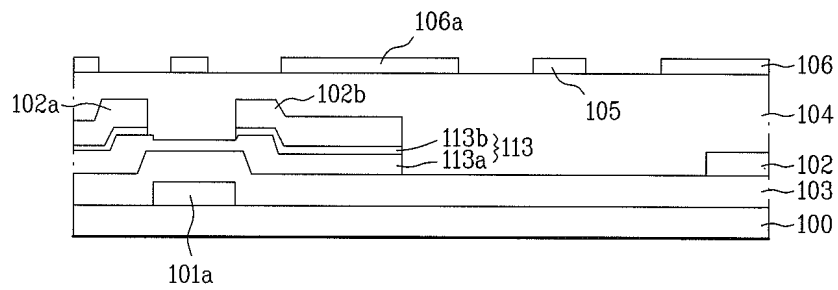
도면9c



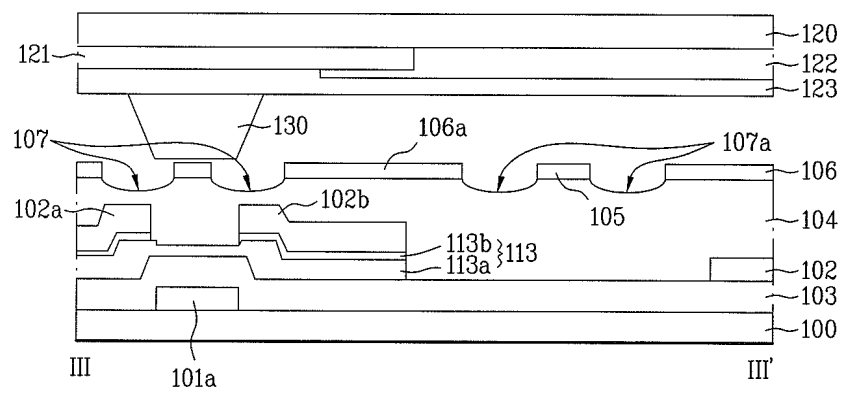
도면9d



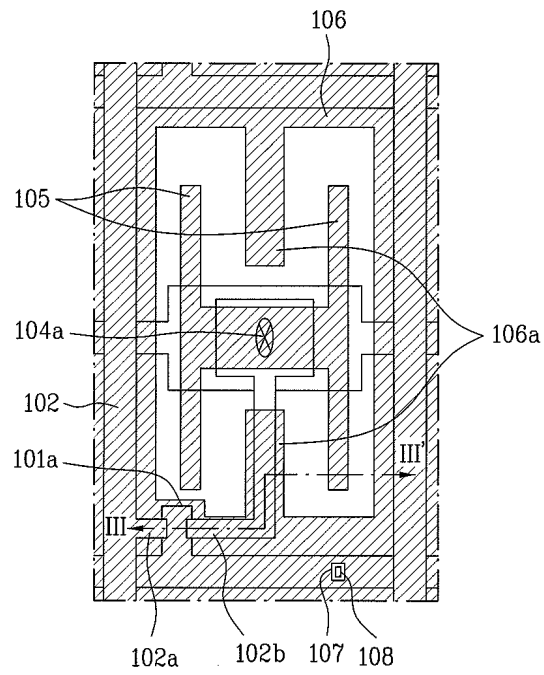
도면9e



도면9f



도면10



도면11

