

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/1343(11) 공개번호 10-2005-0031592
(43) 공개일자 2005년04월06일(21) 출원번호 10-2003-0067792
(22) 출원일자 2003년09월30일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 김동국
서울특별시강서구방화1동신안아파트12-201

(74) 대리인 정원기

심사청구 : 없음

(54) 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법

요약

본 발명은 횡전계 방식 액정표시장치(IPS-LCD)에 관한 것으로 특히, 어레이기판에 컬러필터가 구성된 COT(color filter on TFT)구조의 횡전계 방식 액정표시장치에 관한 것이다.

본 발명에 따른 횡전계 방식 액정표시장치는 제 1 기판과 이에 대향하여 합착되는 제 2 기판 중 하나의 기판에 어레이배선과 박막트랜지스터를 구성하고, 상기 어레이 배선과 박막트랜지스터의 상부에 컬러필터를 형성하고, 상기 컬러필터의 상부에 공통 전극과 화소 전극을 서로 이격하여 평행하게 구성한다.

전술한 구성에서 특징적인 것은, 상기 어레이배선과 박막트랜지스터의 상부에 오버 코팅층을 사용하지 않기 때문에 전극 접지 홀을 형성하기 위해 오버 코팅층을 패터닝하는 공정에서, 오버 코팅층의 두께 때문에 홀이 넓게 형성되는 것을 방지할 수 있다.

따라서, 오버 코팅층을 사용하지 않음으로써 비용이 절감되고, 오버 코팅층을 패터닝하는 공정을 생략함과 동시에 컬러필터를 어레이 기판에 구성함으로써 공정을 단순화 할 수 있고, 전극 접지 홀의 크기를 줄일 수 있으므로 개구율을 개선할 수 있는 장점이 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 2는 COT구조의 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이고,

도 3은 도 2의 II-II를 따라 절단한 종래에 따른 COT구조의 수직전계 방식 액정표시패널의 단면도이고,

도 4는 본 발명에 따른 COT 구조의 횡전계 방식 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이고,

도 5a 내지 도 5g는 COT 구조 횡전계 방식 액정표시장치용 어레이기판의 제조방법을 공정순서에 따라 도시한 공정 평면도이고,도 6a 내지 도 6g는 도 5a 내지 도 5g의 각 평면도의 IV-IV를 따라 절단한 공정 단면도이고,

도 7a내지 도 7f와 도 8a 내지 도 8f는 각각 도 5a 내지 도 5f의 V-V,VI-VI을 따라 절단한 단면도이고,

도 9는 오버 코팅층을 형성하였을 경우 콘택홀의 형상을 도시한 확대 단면도이고,

도 10a 내지 도 10e와 도 11a 내지 도 11d와 도 12a 내지 도 12d는 도 4의 IV-IV, V-V, VI-VI을 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서로 도시한 공정 단면도이고,

도 13a 내지 도 13f와 도 14a 내지 도 14e와 도 15a 내지 도 15e는 본 발명의 도 4의 IV-IV, V-V, VI-VI을 따라 절단하여 본 발명의 제 3 실시예에 따른 공정순서에 따라 도시한 공정 단면도이고,

도 16a 내지 도 16e와 도 17a 내지 도 17d와 도 18a 내지 도 18d는 본 발명의 제 4 실시예에 따른 공정순서로 도시한 공정 단면도이고,

도 19a 내지 도 19b는 본 발명의 제 5 실시예에 따른 공정 순서로 도시한 공정 단면도이다.

< 도면의 주요부분에 대한 간단한 설명 >

100 : 기판 102 : 게이트 배선(게이트 전극)

104 : 게이트 패드 106 : 공통 배선

110 : 반도체층 114 : 데이터 배선

116 : 데이터 패드 118 : 소스 전극

120 : 드레인 전극 124 : 블랙 매트릭스

126a, 126b : 컬러필터 128a, 128b : 화소 전극

130a, 130b : 공통 전극 CS : 컬럼스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 어레이기판에 컬러필터가 구성되고 전극 접지 홀 프리(hole free)구조를 가지는 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.

일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 대향하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.

도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.

상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.

이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.

상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.

상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(30)을 사용한다.

이때, 상기 섬형상의 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.

전술한 바와 같이 상부 컬러필터 기관(5)과 하부 어레이기관(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기관(5)과 어레이기관(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.

따라서, 이하 도 2에 도시한 바와 같이, 상기 컬러필터와 블랙 매트릭스를 어레이 기관에 한꺼번에 구성하는 액정표시장치가 제안되었다.

도 2는 종래에 따른 COT(color filter on TFT)구조의 액정표시장치용 어레이기관의 구성을 개략적으로 도시한 평면도이다.

도시한 바와 같이, 기관(G1)상에 일방향으로 연장되고 일 끝단에 게이트 패드(58)를 포함하는 게이트 배선(54)이 구성되고, 상기 게이트 배선(54)과는 수직하게 연장되고 일 끝단에 데이터 패드(68)를 포함하는 데이터 배선(66)이 구성된다.

상기 데이터 배선(66)과 게이트 배선(54)의 교차로 인해 정의된 영역을 화소 영역(P)이라 칭한다.

상기 게이트 배선(54)과 데이터 배선(66)의 교차지점에는 게이트 전극(52)과 반도체층(60)과 소스 전극(62)과 드레인 전극(64)을 포함하는 박막트랜지스터(T)가 구성된다.

전술한 박막트랜지스터(T)의 구성에서, 상기 게이트 전극(52)은 게이트 배선(54)과 연결되고, 상기 소스 전극(62)은 데이터 배선(66)과 연결된다.

상기 화소 영역(P)에는 상기 드레인 전극(64)과 접촉하면서 화소 영역(P)의 상측을 지나가는 게이트 배선(54)에 연장된 투명한 화소 전극(76)이 구성되고, 상기 게이트 패드(56)와 데이터 패드(68)의 상부에는 이들과 각각 접촉하는 섬형상의 투명한 게이트 패드 전극(78)과 데이터 패드 전극(80)이 구성된다.

상기 화소 영역(P)의 상측을 지나가는 게이트 배선(54)의 일부 상부에 스토리지 캐패시터(C)를 구성하되, 스토리지 캐패시터(C, 점해칭 영역)의 제 1 전극으로는 게이트 배선(54)의 일부를 사용하고, 제 2 전극으로는 상기 게이트 배선(54)과 절연막(미도시)을 사이에 두고 형성되고, 상기 화소 전극(76)의 연장부와 접촉하여 구성된 섬형상의 금속층(67)을 사용한다.

전술한 구성이 COT 구조로 구성되기 위해서는, 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(BM)를 형성하고, 다수의 화소 영역(P)에는 적색과 녹색과 적색의 컬러필터(72a, 72b, 72c)가 순차 구성된다.

이하, 도 3을 참조하여 전술한 바와 같이 평면적으로 구성된 COT 구조의 어레이기관을 포함하는 액정표시장치의 구조를 설명한다.

도 3은 도 2의 II-II를 절단하여, 이를 참조하여 나타낸 종래에 따른 COT 구조 액정표시패널을 도시한 단면도이다.

도시한 바와 같이, 종래에 따른 수직전계 방식 COT 구조 액정표시장치(L)는 제 1 기관(G1)과 제 2 기관(G2)이 소정간격 이격하여 구성되고, 상기 제 1 기관(G1)에는 어레이 배선(54, 66)과, 스위칭 소자(T)와, 화소 전극(76)이 구성되고, 상기 제 1 기관(G1)과 마주보는 제 2 기관(G2)의 일면에는 상기 화소 전극(pixel electrode, 76)과 함께 전위차를 형성하는 투명한 공통 전극(common electrode, 92)이 구성된다.

상기 제 1 기관(G1)의 구성을 자세히 설명하면, 상기 제 1 기관(G1)은 스위칭 영역(S)과 화소영역(P)과 스토리지 영역(C)과 패드부(D)로 구성된다.

상기 화소 영역(P)의 일측과 이에 수직한 타측에는 게이트 배선(54)과 데이터 배선(66)이 수직하게 교차하여 구성되며, 상기 두 배선(54, 66)의 교차지점인 스위칭 영역에는 박막트랜지스터(T)가 구성된다.

상기 박막트랜지스터(T)는 게이트 전극(52)과 반도체층(60)과 소스 전극(62)으로 드레인 전극(64)으로 구성된다.

상기 게이트 배선(54)과 데이터 배선(66)의 일 끝단에는 상기 패드부(D)에 대응하여 게이트 패드(미도시)와 데이터 패드(68)가 구성된다.

상기 스토리지 영역(C)에는 화소 영역(P)의 일부를 지나가는 게이트 배선(54)의 일부를 제 1 전극으로 하고, 상기 게이트 배선(54)의 상부에 상기 소스 및 드레인 전극(62, 64)과 동일하게 형성된 섬형상의 금속층(67)을 제 2 전극하는 스토리지 캐패시터가 구성된다.

상기 게이트 배선(54)과 데이터 배선(66)이 구성된 기관(G1)의 전면에는 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나로 형성된 무기 절연막(70)이 구성된다.

상기 무기 절연막(70)을 패터닝하여, 일차로 상기 드레인 전극(64)과, 상기 게이트 배선(54)상부의 금속층(67)과, 게이트 패드(미도시)와, 데이터 패드(미도시, 68)를 노출하는 제 1, 제 2, 제 3 콘택홀(CH1, CH2, CH3)을 형성한다.

상기 무기 절연막(70)의 상부에는 각 화소(P)에 대응하여 적색과 녹색과 청색의 컬러필터(72a,72b,미도시)가 순차적으로 구성된다.

다음으로, 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(BM)가 구성된다.

상기 컬러필터(72a,72b,미도시)와 블랙매트릭스(BM)가 형성된 기판(G1)의 상부에 기판(G1)을 평탄화 하기 위해 투명한 유기절연물질을 도포한 오버 코팅층(over coating layer,74)이 구성되며, 상기 오버 코팅층(74)에는 앞서 형성한 제 1, 제 2, 제 3 콘택홀(CH1,CH2,CH3)에 대응하여 이보다 넓은 제 4, 제 5, 제 6 콘택홀(CH4,CH5,CH6)이 구성된다.

상기 제 4 콘택홀(CH4)을 통해 노출된 드레인 전극(64)과 접촉하는 투명한 화소 전극(76)이 화소 영역(P)에 구성되며 화소 전극(76)은 상기 게이트 배선(54)상부에 위치한 섬형상의 금속층(67)으로 연장되어 제 5 콘택홀(CH5)을 통해 이와 접촉하도록 구성된다.

연속하여, 상기 데이터 패드(68)의 상부에는 상기 제 6 콘택홀(CH6)을 통해 데이터 패드와 접촉하는 데이터 패드 전극(80)을 형성한다. 도시하지는 않았지만 상기 게이트 패드(미도시) 또한 콘택홀(미도시)을 통해 섬형상의 투명한 게이트 패드 전극(미도시)과 접촉하도록 구성된다.

전술한 바와 같이 구성된 제 1 기판(G1)과 실런트(96)를 통해 합착되는 제 2 기판(G2)의 일면에는 도시한 바와 같이 기판(G2)의 전면에 대해 투명한 공통 전극이(92) 구성된다.

상기 제 1 기판(G1)과 제 2 기판(G2)사이에는 두 기판 사이의 갭(gap)을 유지하기 위한 스페이서(SP)가 위치하게 되며, 두 기판(G1,G2)이 합착된 후에는 상부 기판(G2)의 일부를 절단하여 상기 게이트 패드 전극(미도시)과 데이터 패드 전극(80)을 노출하는 공정이 진행된다.

전술한 바와 같은 구성으로 제작된 COT 구조 액정표시장치는 공통 전극과 화소 전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 수직전계 방식으로 투과율과 개구율 등의 특성이 우수하다.

그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.

또한, 상기 컬러필터와 블랙매트릭스의 상부에 두터운 오버 코팅층을 형성함으로써, 오버 코팅층을 식각하여 형성하는 콘택홀의 경사가 오버 코팅층의 두께에 의해 매우 커져 콘택홀의 면적이 개구영역을 잠식하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 바와 같은 문제를 해결하기 위해 제안된 것으로, 시야각을 개선하기 위해 COT 구조의 횡전계 방식 액정표시장치용 어레이기판 및 그 제조방법을 제안하며, 이때 컬러필터 상부에는 오버 코팅층(이하, "오버 코팅층"이라 칭함)을 형성하지 않는 것을 특징으로 한다.

즉, 상기 오버 코팅층을 생략함으로써 오버 코팅층에 콘택홀을 구성함으로써 이러한 콘택홀에 의해 발생하는 디스클리네이션 영역을 줄일 수 있기 때문에 개구율을 개선할 수 있다.

그러므로, 본 발명은 오버 코팅층을 사요하지 않은 COT 구조 횡전계 방식 액정표시장치용 어레이기판을 제안하여, 단순한 공정으로 고개구율 및 개선된 시야각 특성을 가진 횡전계 방식 액정표시장치를 제작하는 것을 목적으로 한다.

발명의 구성 및 작용

전술한 목적을 달성하기 위한 본 발명의 제 1 특징에 따른 횡전계 방식 액정표시장치용 어레이기판은 기판 상에 일 방향으로 연장되며 서로 평행하게 이격된 다수의 게이트 배선과; 상기 다수의 게이트 배선의 이격 영역마다 위치한 공통 배선과; 상기 다수의 게이트 배선과 수직하게 교차하여 다수의 화소 영역을 정의하는 다수의 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터와; 상기 박막트랜지스터와 게이트 배선과 데이터 배선이 형성된 기판의 전면에 형성된 보호막과; 상기 박막트랜지스터와 게이트 배선과 데이터 배선에 대응하는 보호막의 상부에 위치하는 블랙매트릭스와; 상기 다수의 화소 영역에 대응하여 적색과 녹색과 청색이 순차 구성되고, 모서리가 "???" 또는 "L"형상으로 패터닝되어, 상기 블랙매트릭스와 "???"형상의 제 1 오픈부와 제 2 오픈부를 구성하는 컬러필터와; 상기 제 1 오픈부로 노출된 드레인 전극과 접촉하는 화소 전극과; 상기 화소 전극과 평행하게 이격하여 구성되고, 상기 제 2 오픈부를 통해 상기 공통 배선과 접촉하는 공통 전극을 포함한다.

상기 박막트랜지스터는 상기 게이트 배선과 연결된 게이트 전극과, 상기 게이트 배선의 상부에 위치하는 반도체층과, 상기 데이터 배선과 연결된 소스 전극과, 상기 소스 전극과 평행하게 이격하여, 상기 공통 배선의 상부로 연장 형성된 드레인 전극을 포함한다.

상기 연장 형성된 드레인 전극을 제 1 전극으로 하고, 상기 드레인 전극과 겹치는 하부의 공통 배선을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 구성된다.

상기 화소 전극은 상기 화소 전극과 접촉하는 수평부와 수평부에서 상기 화소 영역으로 수직하게 연장된 다수의 수직부로 구성되고, 상기 공통 전극은 상기 공통 배선과 접촉하는 수평부와 수평부에서 상기 화소영역으로 수직하게 연장되어 상기 화소 전극의 수직부와 평행하게 이격하여 구성된다.

상기 공통 배선은 상기 게이트 배선의 이격영역 사이 마다 사각형상의 페루프가 다수개 연결되어 상기 게이트 배선과 평행한 방향으로 구성된다.

상기 공통 배선은 화소 영역에 대응하여 사각형상의 페루프로 구성된다.

상기 게이트 배선의 일 끝단에는 게이트 패드가 구성되고, 상기 데이터 배선의 일 끝 단에는 데이터 패드가 구성되며, 상기 반도체층에서 상기 데이터 배선 및 데이터 패드의 하부로 연장 형성된 반도체층의 연장부가 더욱 구성된다.

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막은 완전히 제거될 수도 있고, 부분적으로 제거될 수도 있다.

상기 제 1 오픈부와 제 2 오픈부에 대응하여 기둥형상의 컬럼 스페이서가 더욱 구성되며, 상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 구성될 수 있다.

이때, 상기 컬럼 스페이서가 구성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이서와 동일 물질로 채워져 구성되는 것을 특징으로 한다.

상기 반도체층과 반도체층의 연장부는 상기 소스 및 드레인 전극과 데이터 배선 및 데이터 패드의 주변으로 노출 형성되어 구성될 수 있다.

본 발명의 특징에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조방법은 기판 상에 일 방향으로 연장되며 서로 평행하게 이격된 다수의 게이트 배선과, 상기 게이트 배선의 이격 영역에 위치하고, 사각형상의 페루프 형상이 다수개 연결되어 상기 게이트 배선과 평행한 방향으로 구성된 공통 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선과 공통 배선의 상부에 게이트 절연막을 형성하는 단계와; 상기 게이트 배선이 일부 상부에 대응하는 게이트 절연막의 상부에 반도체층을 형성하는 제 2 마스크 공정 단계와; 상기 게이트 배선과 수직하게 교차하여 상기 사각형상의 페루프를 포함하는 다수의 화소 영역을 정의하는 데이터 배선과, 상기 데이터 배선과 연결된 소스 전극과, 소스 전극과 이격된 드레인 전극을 형성하는 제 3 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하는 단계와; 상기 소스 및 드레인 전극과, 상기 게이트 배선과 상기 데이터 배선에 대응하여 블랙매트릭스를 형성하는 제 4 마스크 공정 단계와; 상기 화소영역에 대응하여 적색과 녹색과 청색이 순차 구성되고, "┐" 또는 "└"형상으로 모서리가 패터닝되어 상기 블랙매트릭스와 "口"형상의 제 1 오픈부와 제 2 오픈부를 구성하는 컬러필터를 형성하는 제 5 마스크 공정 단계와;

상기 블랙 매트릭스와 컬러필터를 식각 방지막으로 하여, 하부로 노출된 보호막을 식각하여, 상기 제 1 오픈부와 제 2 오픈부를 통해 하부의 드레인 전극과 공통 배선을 노출하는 단계와; 상기 제 1 오픈부로 노출된 드레인 전극과 접촉하는 화소 전극과, 상기 화소 전극과 평행하게 이격하여 구성되고, 상기 제 2 오픈부를 통해 상기 공통 배선과 접촉하는 공통 전극을 형성하는 제 6 마스크 공정 단계를 포함한다.

이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.

-- 제 1 실시예 --

본 발명의 제 1 실시예는 COT 구조의 횡전계 방식 액정표시장치용 어레이기판의 구조와 그 제조방법을 제안하는 것을 특징으로 한다.

도 4는 본 발명에 따른 COT(color filter on TFT)구조의 횡전계 방식 액정표시장치용 어레이기판의 일부를 확대한 확대 평면도이다.

도시한 바와 같이, 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(104)를 포함하는 게이트 배선(102)과, 게이트 배선(102)과는 수직한 방향으로 교차하여 연장되고 일 끝단에 데이터 패드(116)를 포함하는 데이터 배선(114)을 구성한다.

상기 게이트 배선(102)과 데이터 배선(114)이 교차하여 정의되는 영역을 화소 영역(P)이라 하며, 화소 영역(P)에는 화소 영역(P)의 둘레에 페루프(closed roof)형상의 공통 배선(106)을 형성한다.

이때, 각 화소 영역(P)마다 형성된 공통 배선(106)은 모두 연결되어 구성된다.

상기 게이트 배선(102)과 데이터 배선(114)의 교차지점에는 게이트 전극(102, 게이트 배선의 일부이므로 번호 동일하게 사용함)과 반도체층(110)과 소스 전극(118)과 드레인 전극(120)을 포함하는 박막트랜지스터(T)가 구성되고, 상기 데이터 배선(114)의 하부에는 상기 반도체층(110)에서 연장된 연장부(112)를 구성하여, 연장부(112)로 하여금 데이터 배선(114) 및 데이터 패드(116)의 접촉 특성이 강화되도록 한다.

이때, 상기 드레인 전극(120)은 상기 게이트 배선(102)과 근접하여 위치하는 공통배선(106)의 일부 상에 이와는 평면적으로 겹쳐지는 막대 형상으로 연장 형성된다.

전술한 바와 같이, 게이트 배선(102)과 데이터 배선(114)과, 박막트랜지스터(T)가 구성된 기판(100)의 상부에 격자형상의 블랙매트릭스(124)를 구성한다.

상기 블랙매트릭스(124) 사이로 노출된 화소 영역(P)에 적색과 녹색과 청색의 컬러필터(126a, 126b, 미도시)를 순차 구성한다. 이때, 컬러필터(126a, 126b, 미도시)는 사각형상으로 형성되는데 한쪽 대각선 방향에 대응하는 두 모서리(A1, A2)를 "┐" 또는 "┌"자 형상으로 패터닝하여, 상기 컬러필터(126a, 126b, 미도시)의 모서리와 블랙매트릭스(124)의 서로 수직한 두 변과 만나 "ㄱ"형상의 제 1 오픈부(B1)와 제 2 오픈부(B2)가 구성된다.

상기 제 2 오픈부(B2)를 통해 하부의 공통 배선(106)이 노출되고, 상기 제 1 오픈부(B1)를 통해 상기 연장된 드레인 전극(120)의 일부가 노출된다.

상기 컬러필터(126a, 126b, 미도시)의 상부에는 공통 전극(130a, 130b)과 화소 전극(128a, 128b)을 구성하는데, 공통 전극(130a, 130b)은 상기 제 2 오픈부(B2)를 통해 공통 배선(106)과 접촉하는 수평부(130a)와 수평부(130a)에서 수직하게 연장된 다수의 수직부(130b)로 구성되고, 상기 화소 전극(128a, 128b)은 상기 제 1 오픈부(B1)를 통해 연장된 드레인 전극(120)의 일부로 접촉하는 수평부(128a)와 수평부(128a)에서 상기 공통 전극(130b)사이로 연장되어 이와는 평행하게 이격된 다수의 수직부(128b)로 구성된다.

상기 제 1 오픈부(B1)와 제 2 오픈부(B2)에는 액정패널의 갭을 유지하기 위한 기둥형상의 스페이서(spacer)(SP)를 구성한다.

전술한 바와 같은 구성으로, 본 발명에 따른 컬러필터 온 박막트랜지스터 형 횡전계 방식 컬러필터를 구성할 수 있다.

전술한 구성의 특징은 종래와는 달리 콘택홀을 구성해야 하는 오버 코팅층을 형성하지 않고 전술한 바와 같이, 상기 공통 전극(130a, 130b)과 화소 전극(128a, 128b)이 공통 배선(106)과 드레인 전극(120)과 접촉하기 위해 별도의 콘택홀을 구성하지 않은 콘택홀 프리 구조(contact hole free)를 도입한 것이다.

또한, 전술한 구성에서는 각 화소마다 공통 전극(130a, 130b)과 공통 배선(106)을 접지하는 방식으로, 공통 전압을 공통 전극(130a, 130b)에 인가하는 방식을 취하였다.

그러나, 전술한 구성 이외에도, 상기 공통 전극(130a, 130b)과 공통 배선(106)을 각 화소(P)마다 연결하여 구성하지 않고, 어레이 기관의 외곽에서 상기 공통 전극(130a, 130b)과 공통 배선(106)을 직접 연결하여 구성하는 것도 가능하다.

이러한 경우에, 상기 공통 전극(130a, 130b)은 이웃한 화소에 위치하는 공통 전극과 모두 연결되도록 구성하면 된다.

따라서, 전술한 바와 같은 구성을 적용하게 되면, 각 화소(P)마다 상기 공통 전극과 공통 배선을 연결하기 위한 제 2 오픈부를 형성하지 않아도 되는 장점이 있다.

이하, 도 5a 내지 도 5g와 도 6a 내지 도 6g와 도 7a 내지 도 7f와 도 8a 내지 도 8f를 참조하여, 본 발명의 제 1 실시예에 따른 COT구조의 횡전계 방식 액정표시장치용 어레이기관의 제조방법을 설명한다.

도 5a 내지 도 5g는 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 평면도이고, 도 6a 내지 도 6g와 도 7a 내지 도 7f와 도 8a 내지 도 8f는 도 5a 내지 도 5g의 각 평면도를 IV-IV', V-V', VI-VI'을 따라 절단하여 도시한 단면도이다. (이때, 상기 도 7은 게이트 패드부의 단면도이고, 상기 도 8은 데이터 패드부의 단면도이다.)

도 5a와 도 6a와 도 7a와 도 8a에 도시한 바와 같이, 절연 기관(100)상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo)등의 도전성 금속을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 일방향으로 연장되고 일 끝단에 게이트 패드(104)를 포함하는 다수의 게이트 배선(102)을 형성한다.

동시에, 상기 다수의 게이트 배선(102)사이 마다 다수개의 사각형상이 상기 게이트 배선(102)과 평행한 방향으로 연결된 구조의 공통배선(106)을 형성한다.

상기 게이트 배선(102)과 게이트 패드(104)와 공통배선(106)이 형성된 기관(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(108)을 형성한다.

도 5b와 도 6b와 도 7b와 도 8b에 도시한 바와 같이, 상기 게이트 절연막(108)이 형성된 기관(100)의 전면에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+ a-Si:H)을 증착하고 제 2 마스크 공정으로 패터닝하여, 게이트 배선(102)의 일부 상부에 액티브층(110a)과 오믹 콘택층(110b)으로 구성된 반도체층(110)을 형성한다. 동시에, 상기 반도체층(110)에서 상기 게이트 배선(102)과 수직한 방향으로 연장된 반도체층의 연장부(112)를 형성한다.

이때, 상기 반도체층(110)과 겹쳐지는 부분의 게이트 배선(102)은 게이트 전극으로서 기능을 하게 된다.

도 5c와 도 6c와 도 7c와 도 8c에 도시한 바와 같이, 상기 반도체층(110)과 반도체층의 연장부(112)가 형성된 기관(100)의 전면에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 증착하고 제 3 마스크 공정을 패터닝하여, 상기 반도체층의 연장부 상부로 이와 평면적으로 겹쳐지도록 연장되고 일 끝단에 데이터 패드(116)를 포함하는 데이터 배선(114)과, 데이터 배선(114)에서 상기 게이트 배선(102) 상부의 반도체층(110) 상으로 연장된 소스 전극(118)과, 이와는 소정간격 이격되고, 상기 게이트 배선(102)과 평행한 방향으로 연장된 드레인 전극(120)을 형성한다.

이때, 상기 데이터 배선(120)은 앞서 형성한 공통배선(106)의 구성에서 다수의 사각형 사이에 위치하게 되고, 상기 드레인 전극(120)은 상기 사각형상의 일측변과 겹쳐 형성된다.

따라서, 상기 드레인 전극(120)과 상기 공통 배선(106)이 겹쳐지는 부분은 스토리지 캐패시턴스가 발생하는 스토리지 영역(C, 접해칭영역)을 형성하게 된다.

연속하여, 상기 소스 및 드레인 전극(118,120)사이로 노출된 오믹 콘택층(110b)을 제거하여 하부의 액티브층(110a)이 노출되도록 한다.

도 5d와 도 6d와 도 7d와 도 8d에 도시한 바와 같이, 상기 소스 및 드레인 전극(118,120)과 데이터 배선(114)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 보호막(passivation layer)(122)을 형성한다.

상기 보호막(122)은 앞서 노출된 액티브층(110b)을 보호하는 목적으로 구성하며, 더 나아가 상기 액티브층(110b)의 표면이 이후 형성되는 유기막과 접촉하지 않도록 하는 역할을 하게 된다.

왜냐하면, 상기 액티브층(110b)과 유기막은 계면특성이 좋지 않기 때문에 전자를 트랩하는 트랩준위가 발생하게 되고 이러한 현상은 박막트랜지스터의 동작특성을 저하하는 원인이 되기 때문이다.

연속하여, 상기 보호막(122)이 형성된 기판(100)의 전면에 불투명한 유기절연물질을 도포하고 제 4 마스크 공정으로 패터닝하여, 상기 게이트 배선(102)과 데이터 배선(114)에 대응하는 상부에 위치하는 격자형상의 블랙매트릭스(124)를 형성한다.

이때, 블랙매트릭스(124)를 형성하는 유기물질은 옵티컬 덴시티(optical density)가 3이상인 물질이어야 하며 동시에, $10^{13}\Omega/\text{cm}^2$ 이상의 고저항값을 가지는 것이 바람직하다.

전술한 바와 같은 고저항 값을 가져야만 데이터 및 게이트 배선(114,102)을 흐르는 신호의 지연을 방지할 수 있다.

도 5e와 도 6e와 도 7e와 도 8e에 도시한 바와 같이, 상기 격자형상의 블랙매트릭스(124) 사이로 노출된 다수의 영역 즉 다수의 화소 영역(P)에 대응하여 제 5 마스크 공정을 통해 적색과 녹색과 청색의 컬러필터(126a,126b,미도시)를 임의의 순서로 순차 형성한다.

이때, 각 컬러 필터(126a,126b,미도시)마다 상기 소스 및 드레인 전극(118,120)이 위치하지 않은 대각선 방향의 모서리(A1,A2)를 "┐"또는 "└"형상으로 패터닝하여, 이러한 형상의 컬러 필터 모서리와 상기 블랙매트릭스(124)의 수직한 두변이 만나 하부의 보호막(122)을 "口"형상으로 노출하는 제 1 오픈부(B1)와 제 2 오픈부(B2)를 형성한다.

더 자세히는 상기 제 1 오픈부(B1)는 상기 연장된 드레인 전극(120)의 일끝단에 대응하여 위치하게 되고, 상기 제 2 오픈부(B2)는 상기 드레인 전극(120)과 대향하는 방향의 공통배선(106)의 일부에 대응하여 위치하게 된다.

연속하여, 상기 블랙매트릭스(124)와 컬러필터(126a,126b,미도시)를 식각방지막으로 하여 상기 오픈부(B1,B2)로 노출된 부분의 보호막(및 게이트 절연막)(122)을 제거하여, 상기 제 1 오픈부(B1)에 대응하여 드레인 전극(120)의 일부를 노출하고 상기 제 2 오픈부(B2)를 통해 하부의 공통 배선(106)의 일부를 노출하는 공정을 진행한다.

이때, 본 발명의 제 1 실시예에서 특징적인 것은 상기 제 1 및 제 2 오픈부(B1,B2)를 통해 하부의 드레인 전극(120)과 공통 배선(106)을 노출하는 공정에서 마스크를 사용하지 않는 것이다.

따라서, 도 7e와 도 8e에 도시한 바와 같이, 상기 게이트 패드(104)와 데이터 패드(116)가 모두 노출되는 형상으로 공정이 진행된다.

도 5f와 도 6f와 도 7f 도 8f에 도시한 바와 같이, 상기 컬러필터(126a,126b,미도시)가 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속물질 그룹 중 선택된 하나를 증착하고 제 5 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(120)과 접촉하는 투명한 화소 전극(128a,128b)과, 상기 노출된 공통배선(106)과 접촉하는 투명한 공통전극(130a,130b)을 형성한다.

상기 화소 전극(128a,128b)과 공통 전극(130a,130b)의 형상을 자세히 설명하면, 상기 화소 전극(128a,128b)은 상기 드레인 전극(120)과 접촉하는 수평부(128a)와, 수평부(128a)에서 화소 영역(P)으로 연장된 다수의 수직부(128b)로 형성하고, 상기 공통 전극(130a,130b)은 상기 공통 배선(106)과 접촉하는 수평부(130a)와, 수평부(130a)에서 화소 영역(P)으로 수직하게 연장되고 상기 화소 전극(128b)과 평행하게 이격된 다수의 수직부(130b)로 형성한다.

상기 화소 전극(128a,128b)과 공통 전극(130a,130b)을 형성하는 동시에, 상기 노출된 게이트 패드(102)와 접촉하는 섬형상의 게이트 패드 전극(132)과, 상기 데이터 패드(116)와 접촉하는 섬형상의 데이터 패드 전극(134)을 형성한다.

도 5g와 도 6g에 도시한 바와 같이, 화소 전극(128a,128b)과 공통 전극(130a,130b)이 형성된 기판(100)의 전면에 투명한 유기절연물질을 도포한 후 제 7 마스크 공정을 진행하여, 상기 제 1 오픈부(B1)와 제 2 오픈부(B2)에 대응하여 기동형상의 스페이서(CS)를 형성한다.

상기 스페이서(CS)는 전술한 바와 같이 제작된 제 1 기판과 도시하지는 않았지만 제 2 기판이 합착될 때, 두 기판의 겹을 유지하는 기능을 하게 된다.

전술한 공정은 종래의 예와는 달리 컬러필터 상에 오버 코팅층을 사용하지 않았기 때문에 개구율을 확보할 수 있는 장점이 있다.

이에 대해 도 9를 참조하여 설명한다.

도 9는 오버 코팅층을 사용하였을 경우, 콘택홀(CH)의 형상을 도시한 확대 단면도이다.

도면을 통해 좀더 자세히 설명하면, 컬러필터(CF)상부에 오버 코팅층(OC)을 사용하였을 경우, COT 구조의 컬러필터 층이 박막트랜지스터(미도시)의 상부에 위치하게 되므로 상기 오버 코팅층 까지 사용하게 될 경우, 전체 유기막 두께는 3~4 μ m (즉, 컬러필터 1.5 ~2.0 μ m, 오버 코팅층>1.5 μ m) 된다.

그런데, 상기 오버 코팅층(OC)을 통해 상기 오픈부1과 오픈부 2에 대응하여 노출된 드레인 전극과 공통 배선을 노출하기 위해, 상기 오버 코팅층에 콘택홀(CH)을 형성해야만 하는데 이때, 콘택홀 형성시 유기막 단차 경사부(K1,K2)로 인한 전경 영역(disclination area)(DC)이 매우 커지게 된다.

따라서, 콘택홀(CH) 형성시 전경영역(DC)을 커버하기 위해 드레인 전극과 이에 겹쳐지는 공통배선의 영역의 면적이 커져야 한다.

그러므로, 전술한 본 발명의 경우와 같이, COT구조에서 오버 코팅층을 사용하지 않는다면 상대적으로 전경 영역이 작아지기 때문에 개구율에 매우 유리하게 된다.

전술한 바와 같은 공정을 통해 본 발명에 따른 컬러필터 온 박막트랜지스터형 횡전계 방식 액정표시장치용 어레이기판을 형성할 수 있다.

-- 제 2 실시예 --

전술한 제 1 실시예의 공정은 상기 제 1 오픈부와 제 2 오픈부를 형성하는 공정에서, 상기 블랙매트릭스와 컬러필터를 식각방지막으로 하여 하부의 절연막을 제거함으로써 공정을 진행하였으나 이와는 다른 방법으로, 별도의 포토 마스크 공정을 통해 상기 오픈부 1과 오픈부 2를 형성하는 공정을 설명한다.

이에 대해 이하, 10a 내지 도 10e와 도 11a 내지 11d와 도 12a 내지 도 12d를 참조하여, 본 발명의 제 2 실시예에 따른 COT구조의 횡전계 방식 액정표시장치용 어레이기판의 제조공정을 설명한다.

도 10a 내지 도 10e와 도 11a 내지 도 11d와 도 12a 내지 도 12d는 도 4의 IV-IV, V-V, VI-VI을 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서로 도시한 공정 단면도이다. (본 공정은 앞의 제 1 실시예의 공정에서 컬러필터를 형성하는 공정까지 동일하므로, 이를 생략하고 그 이후의 공정부터 설명한다.)

도 10a와 도 11a와 도 12a에 도시한 바와 같이, 기판(200)상에 게이트 전극(202)과 반도체층(210)과, 소스 전극(218)과 드레인 전극(220)으로 구성된 박막트랜지스터(T)를 구성하고, 상기 박막트랜지스터(T)를 사이에 두고 교차하여 게이트 배선(202)과 데이터 배선(214)을 형성한다.

이때, 상기 게이트 배선(202)과 데이터 배선(214)의 일 끝단에는 각각 게이트 패드(212)와 데이터 패드(216)가 구성된다.

전술한 바와 같이, 박막트랜지스터(T)와 게이트 배선 및 데이터 배선(202,214)이 형성된 기판(200)의 전면에 불투명한 유기절연물질을 도포한 후 패터닝하여, 상기 박막트랜지스터(T)와 데이터 배선(214)과 게이트 배선(202)에 대응하여 위치하는 격자형상의 블랙매트릭스(224)를 형성한다.

상기 격자형상의 블랙매트릭스(224) 사이로 노출된 다수의 영역 즉 다수의 화소 영역(P)에 대응하여 제 5 마스크 공정을 통해 적색과 녹색과 적색의 컬러필터(226a,미도시,미도시)를 임의의 순서로 순차 형성한다.

이때, 각 컬러 필터(226a,미도시,미도시) 마다 상기 소스 및 드레인 전극(218,220)이 위치하지 않은 대각선 방향의 모서리(도 4의 A1,A2)를 "┐"또는 "└"으로 패터닝하여, 이러한 형상의 컬러 필터 모서리와 상기 블랙매트릭스(224)의 수직한 두 변이 만나 하부의 보호막(122)을 "ㄱ"형상으로 노출하는 제 1 오픈부(B1)와 제 2 오픈부(B2)를 형성한다.

더 자세히는 상기 제 1 오픈부(B1)는 상기 연장된 드레인 전극(220)의 일끝단에 대응하여 위치하게 되고, 상기 제 2 오픈부(B2)는 상기 드레인 전극(220)과 대향하는 방향의 공통배선(206)의 일부에 대응하여 위치하게 된다.

다음으로, 도시한 바와 같이, 상기 블랙매트릭스(224)와 컬러필터(226a,미도시, 미도시)가 형성된 기판(200)의 전면에 포토레지스트(photo-resist)를 도포하여 감광층(228)을 형성한다.

이때, 상기 포토레지스트는 포지티브(positive)특성을 가진 것을 예를 들어 설명한다.

상기 감광층(228)이 형성된 기판(200)의 이격된 상부에는 투과부(F1)와 차단부(F2)로 구성된 마스크(M)를 위치시킨다.

상기 투과부(F1)에 대응하는 부분은 상기 제 1 오픈부(B1)와 제 2 오픈부(B2)와, 상기 게이트 패드(204)와 데이터 패드(216)에 대응하는 부분이다.

도 10b와 도 11b와 도 12b에 도시한 바와 같이, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(228)을 노광하고 노광된 감광층을 현상하는 공정을 진행하면, 상기 마스크(도 10a, 11a, 12a의 M)의 투과부(F1)에 대응하는 감광층이 제거되어 하부의 보호막(222)이 노출된다.

다음으로, 상기 노출된 보호막(222)을 제거하는 공정을 진행한다.

도 10c, 11c, 12c에 도시한 바와 같이, 상기 보호막(222)이 제거된 부분은 하부의 드레인 전극(220)을 노출하는 제 1 콘택홀(CH1)과, 하부의 공통 배선(106)을 노출하는 제 2 콘택홀(CH2)과, 상기 게이트 패드(204)를 노출하는 제 3 콘택홀(CH3)과, 상기 데이터 패드(216)를 노출하는 제 4 콘택홀(CH4)을 형성한다.

다음으로, 상기 도 10d1인 평면도와 도 10d2와 도 11d와 도 12d에 도시한 바와 같이, 상기 제 1, 제 2, 제 3, 제 4 콘택홀(CH1, CH2, CH3, CH4)이 형성된 기판(200)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(220)과 접촉하는 화소 전극(230a, 230b)과 상기 공통 배선(206)과 접촉하는 공통전극(232a, 232b)과, 상기 게이트 패드(204)와 접촉하는 게이트 패드 전극(234)과, 상기 데이터 패드(216)와 접촉하는 데이터 패드 전극(236)을 형성한다.

이때, 상기 화소 전극(230a, 230b)은 상기 드레인 전극(220)과 접촉하는 수평부(230a)와, 수평부에서 화소 영역(P)으로 연장된 다수의 수직부(230b)로 구성되고, 상기 공통 전극(232a, 232b) 또한 상기 공통 배선(206)과 접촉하는 수평부(232a)와, 상기 수평부(232a)에서 상기 화소 전극(230b)사이로 연장되어 이와는 평행하게 이격된 수직부(232b)로 구성된다.

다음으로, 도 10e에 도시한 바와 같이, 상기 공통 전극(232a, 232b)과 화소 전극(230a, 230b)등이 형성된 기판(200)의 전면에 투명한 유기절연물질을 도포한 후 패터닝하여, 상기 제 1 오픈부(B1)와 제 2 오픈부(B2)에 대응하여 기둥형상의 컬럼 스페이서(CS)를 형성한다.

전술한 바와 같은 공정을 통해 본 발명의 제 2 실시예에 따른 COT 구조의 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.

-- 제 3 실시예 --

본 발명의 제 3 실시예의 특징은 노광공정 중 회절 노광(또는 하프톤 노광, half tone mask)를 사용한 노광공정을 이용하여, 전체 마스크 공정을 단순화하여 COT 구조의 횡전계 방식 액정표시장치용 어레이기판을 형성하는 것을 특징으로 한다.

도 13a 내지 도 13f와 도 14a 내지 도 14e와 도 15a 내지 도 15e는 본 발명의 도 4의 IV-IV, V-V, VI-VI을 따라 절단하여 본 발명의 제 3 실시예에 따른 공정순서에 따라 도시한 공정 단면도이다.

도 13a와 도 14a와 도 15a에 도시한 바와 같이, 절연 기판(300)상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo)등의 도전성 금속을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 일방향으로 연장되고 일 끝단에 게이트 패드(304)를 포함하고 서로 소정간격 평행하게 이격된 다수의 게이트 배선(302)을 형성한다.

동시에, 상기 다수의 게이트 배선(302)사이 마다 다수개의 사각형상이 상기 게이트 배선(302)과 평행한 방향으로 연결된 구조의 공통배선(306)을 형성한다.

상기 게이트 배선(302)과 게이트 패드(304)와 공통배선(306)이 형성된 기판(300)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(308)을 형성한다.

연속하여, 상기 게이트 절연막(308)상에 순수 비정질 실리콘(a-Si:H)을 증착한 비정질 실리콘층(310)과, 불순물이 포함된 비정질 실리콘(n+ a-Si:H)을 증착한 불순물 비정질 실리콘층(312)을 형성한다.

다음으로, 상기 불순물 비정질 실리콘이 형성된 기판(300)의 전면에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo)을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 증착하여 도전성 금속층(314)을 형성한다.

이하, 도 13b1 내지 도 13b5와 도 14b1 내지 도 14b5와 도 15b1 내지 도 15b5의 도면은 제 2 마스크 공정을 나타낸 도면이다.

도 13b1과 도 14b1과 도 15b1에 도시한 바와 같이, 상기 게이트 절연막(308)과, 순수 비정질 실리콘층(310)과, 불순물 비정질 실리콘층(312)과, 도전성 금속층(314)이 형성된 기판(300)의 전면에 포토레지스트(포지티브 특성)를 도포하여 감광층(316)을 형성한다.

연속하여, 상기 감광층(316)이 형성된 기판(300)의 이격된 상부에 투과부(F1)와 차단부(F2)와 반투과부(F3)로 구성된 마스크(M)를 위치시킨다.

이때, 상기 게이트 전극(302)에 대응하는 상부에는 게이트 전극(302)의 중심에 대응하여 상기 마스크(M)의 반투과부(F3)가 대응되도록 하고, 상기 반투과부(F3)의 주변으로 차단부(F2)가 대응되도록 한다.

또한, 상기 게이트 배선(302)과 수직한 방향으로 연장된 형상으로 차단부(F2)가 대응되도록 한다.

이때, 상기 반투과부(F3)는 투과부(F1)에 비해 빛의 강도(light intensity)를 1/2 이하로 낮추는 기능을 하게 되고, 이를 위해 상기 반투과부(F3)는 슬릿(slit) 형상이거나 반투명막으로 형성할 수 있다.

다음으로, 상기 마스크(M)의 상부로부터 빛을 조사하여 하부의 감광층(316)을 노광(exposure)하고 현상(develop)하는 공정을 진행한다.

도 13b2과 도 14b2와 도 15b2에 도시한 바와 같이, 상기 감광층을 현상하는 공정을 진행하게 되면, 상기 마스크의 차단부에 대응한 부분이 남게되고 나머지는 현상액에 의해 제거된다.

따라서, 게이트 전극(302)의 상부에 제 1 감광층 패턴(318a)과, 상기 게이트 패드부에 상기 게이트 배선(302)과 수직한 방향으로 연장된 제 2 감광층 패턴(318b)이 남게되고, 제 1 및 제 2 감광층(318a, 318b) 사이로 하부의 도전성 금속층(314)이 노출된다.

상기 제 1 감광층 패턴(318a)은 앞에서 언급한 마스크의 반투과부에 대응한 부분이 일부 제거되어 서로 다른 높이로 형성된다.

도 13b3과 도 14b3과 도 15b3에 도시한 바와 같이, 상기 제 1 감광층 패턴과 제 2 감광층 패턴(318a, 318b)의 하부로 노출된 금속층을 제거하게 되면, 상기 제 1 감광층(318a)과 제 2 감광층(318b)의 하부에 제 1 금속 패턴(320a)과 제 2 금속 패턴(320b)이 남게 된다.

이때, 상기 제 2 금속 패턴(320b) 또한 상기 제 2 감광층(318b)에 의해 상기 제 1 금속 패턴(320a)에서 상기 게이트 배선(302)과 수직한 방향으로 연장된 형상으로 구성된다.

연속하여, 도 13b1, 14b1, 15b1에 도시한 바와 같이, 상기 제 1 및 제 2 금속 패턴(320a, 320b) 사이로 노출된 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층을 건식식각하는 공정을 진행한다.

다음으로, 상기 제 1 감광층(318a)중 높이가 낮은 부분을 완전히 제거하는 애싱공정(ashing process)을 진행하여, 상기 감광층(318a)의 높이가 낮은 부분에 대응하는 하부의 제 1 금속 패턴(320a)을 노출하는 공정을 진행한다.

전술한 애싱공정을 진행하는 동안 제 1 및 제 2 감광층(318a, 318b)의 높이는 전체적으로 낮아지게 되고, 상기 제 1 및 제 2 금속 패턴(320a, 320b)의 주변(L)에 대응한 부분이 제거되어 하부의 제 1 및 제 2 금속 패턴(320a, 320b)이 노출되는 형상이 된다.

다음으로, 도 13b5과 도 14b5과 도 15b5에 도시한 바와 같이, 상기 제 1 및 제 2 감광층(318a, 318b) 사이로 노출된 제 1 및 제 2 금속 패턴(320a, 320b)을 다시한번 제거하는 공정을 진행한다.

상기 감광층 사이로 노출된 제 1 및 제 2 금속 패턴을 제거하게 되면, 상기 게이트 전극(302)의 상부에 대응하여 이격된 소스 전극(320)과 드레인 전극(322)이 구성되고, 상기 소스 전극(320)에서 게이트 배선(302)과 수직한 방향으로 연장되고 일 끝단에 데이터 패드(326)를 포함하는 데이터 배선(324)이 형성된다.

동시에, 상기 소스 및 드레인 전극(320, 322)의 하부에는 액티브층(328a)과 오믹 콘택층(328b)으로 그 기능을 나눌 수 있는 제 1 액티브 패턴(328)과, 제 1 액티브 패턴에서 상기 데이터 배선 및 데이터 패드(324, 326)의 하부로 연장된 제 2 액티브 패턴(330)이 형성된다.

상기 제 2 액티브 패턴(330)은 상부에 형성된 데이터 배선(324)의 접촉특성을 강화하는 기능을 하게 된다.

이때, 상기 드레인 전극(320)은 상기 게이트 배선(302)과 평행한 방향으로 연장 형성되며, 하부의 공통 배선(306)과 겹쳐지는 형상이 된다.

따라서, 상기 공통 배선(306)을 제 1 전극으로 하고 이에 겹쳐지는 드레인 전극(322)을 제 2 전극으로 하는 스토리지 캐패시터(C)가 형성된다.

상기 소스 및 드레인 전극(320, 322)을 형성한 후, 소스 및 드레인 전극(320, 322)사이로 노출된 불순물 비정질 실리콘층을 제거하여 하부의 액티브층(328a)을 노출하는 공정을 진행한다.

이상으로, 제 2 마스크 공정을 통해 액티브 패턴(328)과 소스 및 드레인 전극(320, 322)과 데이터 배선(324)을 동시에 형성하는 공정을 설명하였다.

도 13c와 도 14c와 도 15c에 도시한 바와 같이, 상기 소스 및 드레인 전극(320,322)과 데이터 배선(324)등이 형성된 기판(300)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 보호막(passivation layer)(332)을 형성한다.

상기 보호막(332)은 앞서 노출된 액티브층(328a)을 보호하는 목적으로 구성하며, 더 나아가 상기 액티브층(328a)의 표면이 이후 형성되는 유기막과 접촉하지 않도록 하는 역할을 하게 된다.

왜냐하면, 상기 액티브층과 유기막은 계면특성이 좋지 않기 때문에 전자를 트랩하는 트랩준위가 발생하게 되고 이러한 현상은 박막트랜지스터의 동작특성을 저하하는 원인이 되기 때문이다.

연속하여, 상기 보호막(332)이 형성된 기판(300)의 전면에 불투명한 유기절연물질을 도포하고 제 3 마스크 공정으로 패터닝하여, 상기 게이트 배선(302)과 데이터 배선(316)에 대응하는 상부에 위치하는 격자형상의 블랙매트릭스(334)를 형성한다.

이때, 블랙매트릭스(334)를 형성하는 유기물질은 옵티컬 텐시티(optical density)가 3이상인 물질이어야 하며 동시에, $10^{13}\Omega/\text{cm}^2$ 이상의 고저항 값을 가지는 것이 바람직하다.

전술한 바와 같은 고저항 값을 가져야만 데이터 및 게이트 배선(324,302)을 흐르는 신호의 지연을 방지할 수 있다.

도 13d와 도 14d와 도 15d에 도시한 바와 같이, 상기 격자형상의 블랙매트릭스(334)사이로 노출된 다수의 영역 즉 다수의 화소 영역(P)에 대응하여 제 5 마스크 공정을 통해 적색과 녹색과 적색의 컬러필터(326a,미도시,미도시)를 임의의 순서로 순차 형성한다.

이때, 각 컬러 필터(336a,미도시,미도시)마다 상기 소스 및 드레인 전극(320,322)이 위치하지 않은 대각선 방향의 모서리(도 4의 A1,A2)를 "┐"또는 "└"형상으로 패터닝하여, 이러한 형상의 컬러 필터 모서리와 상기 블랙매트릭스(334)의 수직한 두변이 만나 하부의 보호막(332)을 "ㄱ"형상으로 노출하는 제 1 오픈부(B1)와 제 2 오픈부(B2)를 형성한다.

더 자세히는 상기 제 1 오픈부(B1)는 상기 연장된 드레인 전극(322)의 일끝단에 대응하여 위치하게 되고, 상기 제 2 오픈부(B2)는 상기 드레인 전극(322)과 대향하는 방향의 공통배선(306)의 일부에 대응하여 위치하게 된다.

연속하여, 상기 블랙매트릭스(334)와 컬러필터(336a,336b,미도시)를 식각방지막으로 하여 상기 오픈부(B1,B2)로 노출된 부분의 보호막(및 게이트 절연막)(332)을 제거하여, 상기 제 1 오픈부(B1)에 대응하여 드레인 전극(322)의 일부를 노출하고, 상기 제 2 오픈부(B2)를 통해 하부의 공통배선(306)의 일부를 노출하는 공정을 진행한다. 이때, 도 14d와 도 15d에 도시한 바와 같이, 상기 게이트 패드(304)와 데이터 패드(326)가 모두 노출되는 형상으로 공정이 진행된다.

도 13e와 도 14e와 도 15e에 도시한 바와 같이, 상기 컬러필터(336a,미도시,미도시)가 형성된 기판(300)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속물질 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 노출된 드레인 전극(322)과 접촉하는 투명한 화소 전극(338a,338b)과, 상기 노출된 공통 배선(306)과 접촉하는 투명한 공통전극(340a,340b)을 형성한다.

상기 화소 전극(338a,338b)과 공통 전극(340a,340b)의 형상을 자세히 설명하면, 상기 화소 전극(338a,338b)은 상기 드레인 전극(322)과 접촉하는 수평부(338a)와, 수평부(338a)에서 화소 영역(P)으로 연장된 다수의 수직부(338b)로 형성하고, 상기 공통 전극(340a,340b)은 상기 공통 배선(306)과 접촉하는 수평부(340a)와, 수평부(340b)에서 화소 영역(P)으로 수직하게 연장되고 상기 화소 전극(338b)과 평행하게 이격된 다수의 수직부(340b)로 형성한다.

상기 화소 전극(338a,338b)과 공통 전극(340a,340b)을 형성하는 동시에, 상기 노출된 게이트 패드(304)와 접촉하는 섬형상의 게이트 패드 전극(342)과, 상기 데이터 패드(316)와 접촉하는 섬형상의 데이터 패드 전극(346)을 형성한다.

도 13f에 도시한 바와 같이, 화소 전극(338a,338b)과 공통 전극(340a,340b)이 형성된 기판(100)의 전면에 투명한 유기절연물질을 도포한 후 제 7 마스크 공정을 진행하여, 상기 제 1 오픈부(B1)와 제 2 오픈부(B2)에 대응하여 기둥형상의 스페이서(CS)를 형성한다.

상기 스페이서(CS)는 전술한 바와 같이 제작된 제 1 기판과 도시하지는 않았지만 제 2 기판이 합착될 때, 두 기판의 겹을 유지하는 기능을 하게 된다.

전술한 바와 같은 공정을 통해 본 발명의 제 3 실시예에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

전술한 공정에서, 상기 제 1 및 제 2 오픈부(B1,B2)의 하부에 노출된 보호막(및 하부의 게이트 절연막)(332)을 제거하는 공정에서, 상기 컬러필터(336a)와 블랙매트릭스(334)를 식각 방지막으로 하여 건식식각 하는 공정을 진행하였으나 이하, 제 4 실시예 예시와 같이 상기 보호막을 제거할 때 포토 마스크 공정을 진행할 수 있다.

-- 제 4 실시예 --

본 발명의 제 4 실시예의 특징은 상기 제 3 실시예의 제조 공정에서, 상기 제 1 오픈부와 제 2 오픈부에 의해 노출된 보호막을 제거하는 공정에서 포토 공정을 사용하는 것을 특징으로 한다.

도 16a 내지 도 16e와 도 17a 내지 도 17d와 도 18a 내지 도 18d는 본 발명의 제 4 실시예에 따른 공정순서로 도시한 공정 단면도이다.

도 16a와 도 17a와 도 18a에 도시한 바와 같이, 앞서 제 3 실시예에서 설명한 바와 같이, 제 1 마스크 공정과 제 2 마스크 공정을 통해, 기판(400)상에 게이트 전극(400)과 액티브 패턴(428)과, 소스 전극(420)과 드레인 전극(422)으로 구성된 박막트랜지스터(T)를 구성하고, 상기 박막트랜지스터(T)를 사이에 두고 교차하여 게이트 배선(402)과 데이터 배선(424)을 형성한다.

이때, 상기 게이트 배선(402)과 데이터 배선(424)의 일 끝단에는 각각 게이트 패드(404)와 데이터 패드(426)가 구성된다.

전술한 바와 같이, 박막트랜지스터(T)와 데이터 배선 및 게이트 배선(424, 402)이 형성된 기판(400)의 전면에 불투명한 유기절연물질을 도포한 후 패터닝하여, 상기 박막트랜지스터(T)와, 데이터 배선(424)과 게이트 배선(402)에 대응하여 위치하는 격자형상의 블랙매트릭스(434)를 형성한다.

상기 격자형상의 블랙매트릭스(434)사이로 노출된 다수의 영역 즉 다수의 화소 영역(P)에 대응하여 공정을 통해 적색과 녹색과 적색의 컬러필터(436a, 미도시)를 임의의 순서로 순차 형성한다.

이때, 각 컬러 필터(436a,)마다 상기 소스 및 드레인 전극(420, 422)이 위치하지 않은 대각선 방향의 모서리(도 4의 A1, A2)를 "┐" 또는 "└"형상으로 패터닝하여, 이러한 형상의 컬러 필터 모서리와 상기 블랙매트릭스(124)의 수직한 두변이 만나 하부의 보호막(122)을 "ㄱ"형상으로 노출하는 제 1 오픈부(B1)와 제 2 오픈부(B2)를 형성한다.

더 자세히는 상기 제 1 오픈부(B1)는 상기 연장된 드레인 전극(422)의 일끝단에 대응하여 위치하게 되고, 상기 제 2 오픈부(B2)는 상기 드레인 전극(422)과 대향하는 방향의 공통 배선(406)의 일부에 대응하여 위치하게 된다.

다음으로, 도시한 바와 같이, 상기 블랙매트릭스(434)와 컬러필터(436a)가 형성된 기판(400)의 전면에 포토레지스트(photo-resist)를 도포하여 감광층(438)을 형성한다.

이때, 상기 포토레지스트는 포지티브(positive)특성을 가진 것을 예를 들어 설명한다.

상기 감광층(438)이 형성된 기판(400)의 이격된 상부에는 투과부(F1)와 차단부(F2)로 구성된 마스크(M)를 위치시킨다.

상기 투과부(F2)에 대응하는 부분은 상기 제 1 오픈부(B1)와 제 2 오픈부(B2)와 상기 게이트 패드(402)와 데이터 패드(426)에 대응하는 부분이다.

도 16b와 도 17b와 도 18b에 도시한 바와 같이, 상기 마스크의 상부로 빛을 조사하여, 하부의 감광층을 노광하고 노광된 감광층을 현상하는 공정을 진행하면, 상기 마스크의 투과부에 대응하는 감광층이 제거되어 하부의 보호막(432)이 노출된다.

다음으로, 상기 노출된 보호막(432)을 제거하는 공정을 진행한다.

도 16c와 17c와 도 18c에 도시한 바와 같이, 상기 보호막(432)이 제거된 부분은 하부의 드레인 전극(422)을 노출하는 제 1 콘택홀(CH1)과, 하부의 공통 배선(406)을 노출하는 제 2 콘택홀(CH2)과, 상기 게이트 패드(402)를 노출하는 제 3 콘택홀(CH3)과, 상기 데이터 패드(426)를 노출하는 제 4 콘택홀(CH4)을 형성한다.

다음으로, 상기 도 16d1인 평면도와 도 16d2에 도시한 바와 같이, 상기 제 1, 제 2, 제 3, 제 4 콘택홀(CH1, CH2, CH3, CH4)이 형성된 기판(400)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 드레인 전극(422)과 접촉하는 화소 전극(440a, 440b)과 상기 공통 배선(406)과 접촉하는 공통 전극(442a, 442b)과, 상기 게이트 패드(404)와 접촉하는 게이트 패드 전극(446)과, 상기 데이터 패드(426)와 접촉하는 데이터 패드 전극(448)을 형성한다.

이때, 상기 화소 전극(440a, 440b)은 상기 드레인 전극(422)과 접촉하는 수평부(440a)와, 수평부(440a)에서 화소 영역(P)으로 연장된 다수의 수직부(440b)로 구성되고, 상기 공통 전극(442a, 442b) 또한 상기 공통 배선(406)과 접촉하는 수평부(442a)와, 상기 수평부(442a)에서 상기 화소 전극(440b) 사이로 연장되어 이와는 평행하게 이격된 수직부(442b)로 구성된다.

도 16d-1의 평면도는 앞서 설명한 본원 발명의 제 1 실시예에 따른 평면도와 약간의 차이가 있다.

즉, 앞서 설명한 제 3 실시예의 회절 노광(또는 하프톤 마스크 공정)을 실시하게 되면 소스 및 드레인 전극(420, 422)과 데이터 배선(426)의 외부로 하부의 액티브층(428a, 430)이 노출되는 구조가 된다.

다음으로, 도 16e에 도시한 바와 같이, 상기 공통 전극(442a, 442b)과 화소 전극(440a, 440b)등이 형성된 기판(400)의 전면에 투명한 유기절연물질을 도포한 후 패터닝하여, 상기 제 1 오픈부(B1)와 제 2 오픈부(B2)에 대응하여 기둥형상의 컬러필터스페이서(CS)를 형성한다.

전술한 바와 같은 공정을 통해 본 발명의 제 4 실시예에 따른 COT 구조의 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.

전술한 바와 같이 제 1 내지 제 4 실시예에서 공정의 마지막 단계에서 컬럼 스페이서를 형성하였다.

그런데, 제 1 기판에 대해 형성된 컬럼 스페이서의 밀도가 과도하게 되면 상기 제 1 기판과 제 2 기판을 합착하는 경우, 제 1 기판과 제 2 기판이 정교한 얼라인(align)을 하지 못하는 경우가 있다.

이는 과도한 밀도로 구성된 컬럼 스페이서와 상기 제 2 기판의 마찰이 그 원인이다.

따라서, 이하 제 5 실시예를 통해 상기 컬럼 스페이서의 밀도를 낮추고 동시에, 컬럼 스페이서가 형성되지 않는 콘택홀 부분(제 1 오픈부 또는 제 2 오픈부)은 평탄화 하는 방법을 설명한다.

-- 제 5 실시예 --

본 발명에 따른 제 5 실시예는 컬럼 스페이서의 밀도를 낮추는 동시에, 컬럼 스페이서가 형성되지 않은 부분은 평탄화한 구조 및 그 제조방법을 제공하는 것을 특징으로 한다.

도 19a 내지 도 19b는 본 발명의 제 5 실시예에 따른 기둥형상의 스페이서 제조공정을 공전순서로 도시한 공정 단면도이다.

도 19a에 도시한 바와 같이, 박막트랜지스터(T)와, 박막트랜지스터(T)를 수직하게 교차하여 연장된 게이트 배선(502)과 데이터 배선(514)을 형성한다.

상기 게이트 배선(502)과 데이터 배선(514)이 교차하여 정의되는 화소 영역(P)에는 사각형의 페루프 형상인 공통 배선을(506) 형성한다.

상기 박막트랜지스터(T)와 게이트 및 데이터 배선(502,514)이 형성된 기판(500)의 전면에 보호막(522)을 형성하고, 보호막(522)의 상부에는 블랙매트릭스(524)와 컬러필터(526a)를 형성한다.

상기 게이트 배선(502)과 데이터 배선(514)이 교차하여 정의되는 화소 영역(P)의 컬러 필터(526a)상부에 상기 드레인 전극(518)과 접촉하는 수평부(528a)와, 수평부(528a)에서 상기 화소 영역(P)으로 수직하게 연장된 다수의 수직부(528b)로 구성된 화소 전극(528a,528b)과, 상기 공통 배선(506)과 접촉하는 수평부(530a)와 상기 수평부(530a)에서 화소 전극(528b)사이로 평행하게 이격되는 위치로 수직하게 연장된 수직부(530b)로 구성된 공통 전극(530a,530b)을 형성한다.

다음으로, 상기 공통 전극(530a,530b)과 화소 전극(538a,538b)이 형성된 기판(500)의 전면에 절연성의 포토 아크릴(네가티브 특성을 가짐)을 도포하여 선행 스페이서층(526)을 형성한다.

상기 선행 스페이서층(526)이 형성된 기판(500)의 이격된 상부에 투과부(F1)와 차단부(F2)와 반 투과부(F3)로 구성된 마스크(M)를 위치시킨다.

앞서 언급한 바와 같이 상기 선행 스페이서층(518)은 네가티브 특성 즉, 노광되지 않은 부분이 현상되는 특성을 가지므로 상기 마스크(M)의 투과부(F1)는 상기 공통 배선(506)과 공통 전극(524a)이 접촉하는 부분(H2) 또는 상기 드레인 전극(512)과 화소 전극(528a)이 접촉하는 부분(H2)에 중 스페이서가 형성될 부분에 대응하여 투과부(F1)가 위치하도록 하고, 스페이서 형성되지 않을 부분에 대응하여는 반투과부(F3)가 위치하도록 하고, 나머지 영역은 차단부(F2)가 위치하도록 한다.

전술한 바와 같이 구성된 마스크(M)의 상부로 빛을 조사하여 하부의 선행 스페이서층을 노광하고 연속하여 현상액을 이용한 현상공정을 진행하게 된다.

결과적으로, 도 19b에 도시한 바와 같이, 상기 마스크(M)의 투과부(F1)에 대응하는 부분은 기둥형상의 스페이서(CS)가 형성되고, 상기 반투과부에 대응하는 부분은 상부로부터 일부만이 현상되어 상기 접촉부(H1)의 단차를 채우는 형상으로 남게 된다.

만약, 상기 스페이서(CS)가 형성되지 않는 부분(H2)의 접촉부(H2)를 단차지게 남겨 둔다면 상기 접촉부에 위치하는 액정의 초기 배향방향이 화소영역과는 다르게 될 것이고 이로 인해 전압이 인가된다 하여도 액정의 정상적인 배열특성이 얻어질 수 없다.

결과적으로 이부분은 빛이 새는 빗샘 영역이 되어 화질을 떨어뜨리는 원인이 될 것이다.

따라서, 전술한 바와 같이 스페이서(CS)가 형성되지 않는 접촉부(H2)는 단차를 평탄화 하는 것이 중요하다.

이상과 같은 공정을 통해 상기 스페이서의 밀도를 낮추어 형성하게 되면, 두 기판을 합착하는 공정에서 합착 불량을 방지할 수 있는 장점이 있다.

전술한 바와 같은 제 1 내지 도 5 실시예를 통해 본 발명에 따른 COT 구조의 횡전계 방식 액정표시장치를 제작할 수 있다.

발명의 효과

본 발명에 따른 COT 구조의 횡전계 방식 액정표시장치는 아래와 같은 효과가 있다.

첫째, 횡전계 방식을 사용함으로써 수직전계 방식의 액정표시장치에 비해 시야각을 넓게 확보할 수 있는 효과가 있다.

둘째, 횡전계 방식 액정표시장치에 COT(Color filter on TFT)구조를 도입함으로써, 상기 컬러필터를 별도의 상부기판에 형성하지 않음으로서, 컬러필터를 상부에 형성하는 공정에 비해 합착 마진(align margin)을 둘 필요가 없으므로 개구율을 개선할 수 있고, 공정을 단순화 할 수 있는 효과가 있다.

셋째, 종래의 구조와 비교하여 컬러필터와 오버 코팅층을 사용하지 않았기 때문에, 컬러필터층의 상부에 위치한 구성층과 컬러필터층의 하부에 위치한 구성층을 연결하는 콘택홀의 단차진 경사가 크지 않아도 되므로 그 만큼 전경(disclination)이 발생하는 영역이 작아진다. 따라서 개구율을 더욱 개선하는 효과가 있다.

넷째, 어레이 기판을 형성하는 공정 중 하프턴 마스크 공정을 사용하여 공정을 단순화하는 효과가 있다.

다섯째, 액정패널의 겹을 유지하는 스페이서를 하부기판에 구성함으로써, 상기 스페이서를 상부기판에 구성하는 경우보다는 합착 마진을 둘 필요가 없고, 회절 노광을 사용하여 스페이서의 밀도를 낮추는 동시에 스페이서가 형성되지 않는 콘택 부분을 채우는 공정을 동시에 진행할 수 있어, 공정을 단순화하는 동시에 화질 저하를 방지하는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 일 방향으로 연장되며 서로 평행하게 이격된 다수의 게이트 배선과;

상기 다수의 게이트 배선의 이격 영역마다 위치한 공통 배선과;

상기 다수의 게이트 배선과 수직하게 교차하여 다수의 화소 영역을 정의하는 다수의 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터와;

상기 박막트랜지스터와 게이트 배선과 데이터 배선이 형성된 기판의 전면에 형성된 보호막과;

상기 박막트랜지스터와 게이트 배선과 데이터 배선에 대응하는 보호막의 상부에 위치하는 블랙매트릭스와;

상기 다수의 화소 영역에 대응하여 적색과 녹색과 청색이 순차 구성되고, 모서리가 "┐" 또는 "┌"형상으로 패터닝되어, 상기 블랙매트릭스와 "□"형상의 제 1 오픈부와 제 2 오픈부를 구성하는 컬러필터와;

상기 제 1 오픈부로 노출된 드레인 전극과 접촉하는 화소 전극과;

상기 화소 전극과 평행하게 이격하여 구성되고, 상기 제 2 오픈부를 통해 상기 공통 배선과 접촉하는 공통 전극

을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선과 연결된 게이트 전극과, 상기 게이트 배선의 상부에 위치하는 반도체층과, 상기 데이터 배선과 연결된 소스 전극과, 상기 소스 전극과 평행하게 이격하여 상기 공통 배선의 상부로 연장 형성된 드레인 전극을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 3.

제 2 항에 있어서,

상기 연장 형성된 드레인 전극을 제 1 전극으로 하고, 상기 드레인 전극과 겹치는 하부의 공통 배선을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 4.

제 1 항에 있어서,

상기 화소 전극은 상기 화소 전극과 접촉하는 수평부와 수평부에서 상기 화소 영역으로 수직하게 연장된 다수의 수직부로 구성되고, 상기 공통 전극은 상기 공통 배선과 접촉하는 수평부와 수평부에서 상기 화소영역으로 수직하게 연장되어 상기 화소 전극의 수직부와 평행하게 이격하여 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 5.

제 1 항에 있어서,

상기 공통 배선은 상기 게이트 배선의 이격영역 사이마다 사각형상의 페루프가 다수개 연결되어 상기 게이트 배선과 평행한 방향으로 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 6.

제 5 항에 있어서,

상기 공통 배선은 화소 영역에 대응하여 하나의 사각형상 페루프가 위치하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 7.

제 1 항에 있어서,

상기 게이트 배선의 일 끝단에는 게이트 패드가 구성되고, 상기 데이터 배선의 일 끝 단에는 데이터 패드가 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 8.

제 2 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 반도체층에서 상기 데이터 배선 및 데이터 패드의 하부로 연장 형성된 반도체층의 연장부가 더욱 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 9.

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막이 모두 제거된 횡전계 방식 액정표시장치용 어레이기판.

청구항 10.

제 9 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하여 기둥형상의 컬럼 스페이서가 더욱 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 11.

제 10 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 구성되며, 상기 컬럼 스페이서가 구성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이서와 동일 물질로 채워져 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 12.

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막은 완전히 제거되지 않고 일부가 제거되어 하부의 드레인 전극과, 공통 배선과, 게이트 패드와 데이터 패드가 일부 노출되어 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 13.

제 12 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하는 기둥형상의 컬럼 스페이서가 더욱 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 14.

제 13 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 구성되며, 상기 컬럼 스페이서가 구성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이스와 동일 물질로 채워져 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 15.

제 1 항에 있어서,

상기 블랙 매트릭스는 광학 텐시티(optical density)가 3이상이고, 저항값이 $10^{13}\Omega/\text{cm}^2$ 이상인 횡전계 방식 액정표시장치용 어레이기판.

청구항 16.

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 반도체층과 반도체층의 연장부는 상기 소스 및 드레인 전극과 데이터 배선 및 데이터 패드의 주변으로 노출 형성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 17.

제 16 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막이 모두 제거된 횡전계 방식 액정표시장치용 어레이기판.

청구항 18.

제 17 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하여 기둥형상의 컬럼 스페이서가 더욱 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 19.

제 18 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 구성되며, 상기 컬럼 스페이서가 구성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이서와 동일 물질로 채워져 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 20.

제 16 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막은 완전히 제거되지 않고 일부가 제거되어 하부의 드레인 전극과, 공통 배선과, 게이트 패드와 데이터 패드가 일부 노출되어 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 21.

제 20 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하는 기둥형상의 컬럼 스페이서가 더욱 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 22.

제 21 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 구성되며, 상기 컬럼 스페이서가 구성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼 스페이서와 동일 물질로 채워져 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 23.

제 1 항에 있어서,

상기 공통 전극은 상기 제 2 오픈부를 통해서가 아니라, 기판의 외곽에서 상기 공통 배선과 연결되어 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 24.

제 23 항에 있어서,

상기 공통 전극은 이웃한 화소에 구성된 공통 전극과 서로 연결되어 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 25.

기판 상에 일 방향으로 연장되며 서로 평행하게 이격된 다수의 게이트 배선과, 상기 게이트 배선의 이격 영역에 위치하고, 사각형상의 페루프 형상이 다수개 연결되어 상기 게이트 배선과 평행한 방향으로 구성된 공통 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선과 공통 배선의 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 배선이 일부 상부에 대응하는 게이트 절연막의 상부에 반도체층을 형성하는 제 2 마스크 공정 단계와;

상기 게이트 배선과 수직하게 교차하여 상기 사각형상의 페루프를 포함하는 다수의 화소 영역을 정의하는 데이터 배선과, 상기 데이터 배선과 연결된 소스 전극과, 소스 전극과 이격된 드레인 전극을 형성하는 제 3 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하는 단계와;

상기 소스 및 드레인 전극과, 상기 게이트 배선과 상기 데이터 배선에 대응하여 블랙매트릭스를 형성하는 제 4 마스크 공정 단계와;

상기 화소영역에 대응하여 적색과 녹색과 청색이 순차 구성되고, "┐" 또는 "L"형상으로 모서리가 패터닝되어 상기 블랙매트릭스와 "口"형상의 제 1 오픈부와 제 2 오픈부를 구성하는 컬러필터를 형성하는 제 5 마스크 공정 단계와;

상기 블랙 매트릭스와 컬러필터를 식각 방지막으로 하여, 하부로 노출된 보호막을 식각하여, 상기 제 1 오픈부와 제 2 오픈부를 통해 하부의 드레인 전극과 공통 배선을 노출하는 단계와;

상기 제 1 오픈부로 노출된 드레인 전극과 접촉하는 화소 전극과, 상기 화소 전극과 평행하게 이격하여 구성되고, 상기 제 2 오픈부를 통해 상기 공통 배선과 접촉하는 공통 전극을 형성하는 제 6 마스크 공정 단계

을 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 26.

제 25 항에 있어서,

상기 연장 형성된 드레인 전극을 제 1 전극으로 하고, 상기 드레인 전극과 겹치는 하부의 공통 배선을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 27.

제 25 항에 있어서,

상기 화소 전극은 상기 화소 전극과 접촉하는 수평부와 수평부에서 상기 화소 영역으로 수직하게 연장된 다수의 수직부로 구성되고, 상기 공통 전극은 상기 공통 배선과 접촉하는 수평부와 수평부에서 상기 화소영역으로 수직하게 연장되어 상기 화소 전극의 수직부와 평행하게 이격하여 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 28.

제 25 항에 있어서,

상기 공통 배선은 상기 게이트 배선의 이격영역 사이 마다 사각형상의 페루프가 다수개 연결되어 상기 게이트 배선과 평행한 방향으로 구성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 29.

제 28 항에 있어서,

상기 공통 배선은 화소 영역에 대응하여 하나의 사각형상의 페루프가 위치하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 30.

제 25 항에 있어서,

상기 게이트 배선의 일 끝단에는 게이트 패드가 구성되고, 상기 데이터 배선의 일 끝단에는 데이터 패드가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 31.

제 25 항 내지 제 30 항 중 어느 한 항에 있어서,

상기 반도체층에서 상기 데이터 배선 및 데이터 패드의 하부로 연장 형성된 반도체층의 연장부가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기판.

청구항 32.

제 31 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막이 모두 제거된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 33.

제 32 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하여, 기둥 형상의 컬럼 스페이서가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 34.

제 33 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 형성되며, 상기 컬럼 스페이서가 형성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이서와 동일 물질로 채워져 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 35.

제 25 항 내지 제 30 항 중 어느 한 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막은 완전히 제거되지 않고 일부가 제거되어 하부의 드레인 전극과, 공통 배선과 게이트 패드와 데이터 패드의 일부를 노출하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 36.

제 35 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하는 기둥형상의 컬럼 스페이서를 형성하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 37.

제 36 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 형성되며, 상기 컬럼 스페이서가 형성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이서와 동일 물질로 채워져 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 38.

제 25 항에 있어서,

상기 블랙 매트릭스는 광학 밀도(optical density)가 3이상이고, 저항값이 $10^{13}\Omega/\text{cm}^2$ 이상인 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 39.

기관 상에 일 방향으로 연장되며 서로 평행하게 이격된 다수의 게이트 배선과, 상기 게이트 배선의 이격 영역에 위치하고, 사각형상의 페루프 형상이 다수개 연결되어 상기 게이트 배선과 평행한 방향으로 구성된 공통 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선과 공통 배선의 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 배선이 일부 상부에 대응하는 게이트 절연막의 상부에 반도체층과, 반도체층의 상부에 이격된 소스 및 드레인 전극과, 상기 소스 전극과 연결되고 상기 게이트 배선과 수직계 교차하여 화소 영역을 정의하는 데이터 배선을 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기관의 전면에 보호막을 형성하는 단계와;

상기 소스 및 드레인 전극과, 상기 게이트 배선과 상기 데이터 배선에 대응하여 블랙매트릭스를 형성하는 제 3 마스크 공정 단계와;

상기 화소영역에 대응하여 적색과 녹색과 청색이 순차 구성되고, "┐" 또는 "L"형상으로 모서리가 패터닝되어 상기 블랙매트릭스와 "口"형상의 제 1 오픈부와 제 2 오픈부를 구성하는 컬러필터를 형성하는 제 4 마스크 공정 단계와;

상기 블랙 매트릭스와 컬러필터를 식각 방지막으로 하여, 하부로 노출된 보호막을 식각하여, 상기 제 1 오픈부와 제 2 오픈부를 통해 하부의 드레인 전극과 공통 배선을 노출하는 단계와;

상기 제 1 오픈부로 노출된 드레인 전극과 접촉하는 화소 전극과, 상기 화소 전극과 평행하게 이격하여 구성되고, 상기 제 2 오픈부를 통해 상기 공통 배선과 접촉하는 공통 전극을 형성하는 제 5 마스크 공정 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 40.

제 39 항에 있어서,

상기 제 2 마스크 공정 단계는,

상기 게이트 절연막의 상부에 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 도전성 금속층과 감광층을 순차 적층하는 단계와;

상기 감광층이 형성된 기관의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로부터 빛을 조사하여 하부의 감광층을 노광하고 현상하여, 게이트 배선의 일 부 상부에 높이가 다른 섬형상의 제 1 감광층 패턴과, 제 1 감광층 패턴과 연결되어 상기 게이트 배선과 수직한 방향으로 형성된 제 2 감광층 패턴을 형성하는 단계와;

상기 제 1 감광층 패턴과 제 2 감광층 패턴의 하부로 노출된 상기 도전성 금속층을 식각하여, 상기 제 1 감광층 패턴의 하부에 제 1 금속 패턴과, 상기 제 2 감광층 패턴의 하부에 제 2 금속패턴을 형성하는 단계와;

상기 제 1 및 제 2 감광층 패턴의 하부로 노출된 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 식각하여, 상기 제 1 금속층 하부에 반도체층과, 상기 제 2 금속패턴의 하부에 반도체층의 연장부를 형성하는 단계와;

상기 제 1 감광성 패턴과 제 2 감광성 패턴을 깎는 애싱공정(ashing process)을 실시하여, 상기 제 1 감광층의 높이가 낮은 부분을 제거하여 하부의 제 1 금속패턴을 노출하는 단계와;

상기 노출된 금속패턴을 제거하고 상기 제 1 및 제 2 감광층을 제거하여, 상기 제 1 액티브패턴의 상부에 이격된 소스 전극과 드레인 전극과, 상기 소스 전극과 연결된 데이터 배선을 형성하는

단계를 포함하는 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 41.

제 39 항에 있어서,

상기 연장 형성된 드레인 전극을 제 1 전극으로 하고, 상기 드레인 전극과 겹치는 하부의 공통 배선을 제 2 전극으로 하는 스토리지 캐패시터가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기관 제조방법.

청구항 42.

제 39 항에 있어서,

상기 화소 전극은 상기 화소 전극과 접촉하는 수평부와 수평부에서 상기 화소 영역으로 수직하게 연장된 다수의 수직부로 구성되고, 상기 공통 전극은 상기 공통 배선과 접촉하는 수평부와 수평부에서 상기 화소영역으로 수직하게 연장되어 상기 화소 전극의 수직부와 평행하게 이격하여 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 43.

제 39 항에 있어서,

상기 게이트 배선의 일 끝단에는 게이트 패드가 구성되고, 상기 데이터 배선의 일 끝단에는 데이터 패드가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 44.

제 39 항 내지 제 43 항 중 어느 한 항에 있어서,

상기 반도체층과 반도체층의 연장부는 상기 소스 및 드레인 전극과 상기 데이터 배선과 데이터 패드의 주변으로 노출 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 45.

제 44 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막이 모두 제거된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 46.

제 45 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하여 기둥형상의 컬럼 스페이서가 더욱 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 47.

제 46 항에 있어서,

상기 컬럼 스페이서는 화소 영역에 대응하여 산만하게 형성되며, 상기 컬럼 스페이서가 형성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이서와 동일 물질로 채워져 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 48.

제 39 항 내지 제 43 항 중 어느 한 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부와 상기 게이트 패드와 데이터 패드에 대응하는 보호막은 완전히 제거되지 않고 일부가 제거되어 하부의 드레인 전극과, 공통 배선과 게이트 패드와 데이터 패드의 일부를 노출하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 49.

제 48 항에 있어서,

상기 제 1 오픈부와 제 2 오픈부에 대응하는 기둥형상의 컬럼 스페이스를 형성하는 단계를 더욱 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 50.

제 49 항에 있어서,

상기 컬럼 스페이스는 화소 영역에 대응하여 산만하게 형성되며, 상기 컬럼 스페이스가 형성되지 않은 제 1 오픈부 또는 제 2 오픈부는 상기 컬럼스페이스와 동일 물질로 채워져 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 51.

제 39 항에 있어서,

상기 블랙 매트릭스는 광학 밀도(optical density)가 3이상이고, 저항값이 $10^{13}\Omega/\text{cm}^2$ 이상인 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 52.

기관 상에 일 방향으로 연장되며 서로 평행하게 이격된 다수의 게이트 배선과; 상기 다수의 게이트 배선의 이격 영역마다 위치한 공통 배선과; 상기 다수의 게이트 배선과 수직하게 교차하여 다수의 화소 영역을 정의하는 다수의 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터와;

상기 박막트랜지스터와 게이트 배선과 데이터 배선이 형성된 기관의 전면에 형성된 보호막과; 상기 박막트랜지스터와 게이트 배선과 데이터 배선에 대응하는 보호막의 상부에 위치하는 블랙매트릭스와; 상기 다수의 화소 영역에 대응하여 적색과 녹색과 청색이 순차 구성되고, 모서리가 "┐" 또는 "└"형상으로 패터닝되어, 상기 블랙매트릭스와 "口"형상의 제 1 오픈부와 제 2 오픈부를 구성하는 컬러필터와; 상기 제 1 오픈부로 노출된 드레인 전극과 접촉하는 화소 전극과; 상기 화소 전극과 평행하게 이격하여 구성되고, 상기 제 2 오픈부를 통해 상기 공통 배선과 접촉하는 공통 전극을 포함하는 액정표시장치용 어레이기판에서, 상기 제 1 또는 제 2 오픈부에 대응하여 기둥형상의 컬럼 스페이스를 형성하는 단계는

상기 화소 전극과 공통 전극이 형성된 기관의 전면에 감광성 투명 유기물질을 도포하여 스페이스 선행층을 형성하는 단계와;

상기 스페이스 선행층이 형성된 기관과 이격된 상부에 투과부와 반투과부와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부이 스페이스 선행층을 노광하고 현상하여, 상기 제 1 오픈부 또는 제 2 오픈부에 기둥형상의 스페이스를 형성하고, 스페이스가 형성되지 않은 제 2 오픈부 또는 제 1 오픈부를 채우는 단계를 포함하는 횡전계 방식 액정표시장치용 어레이기판의 스페이스 제조방법.

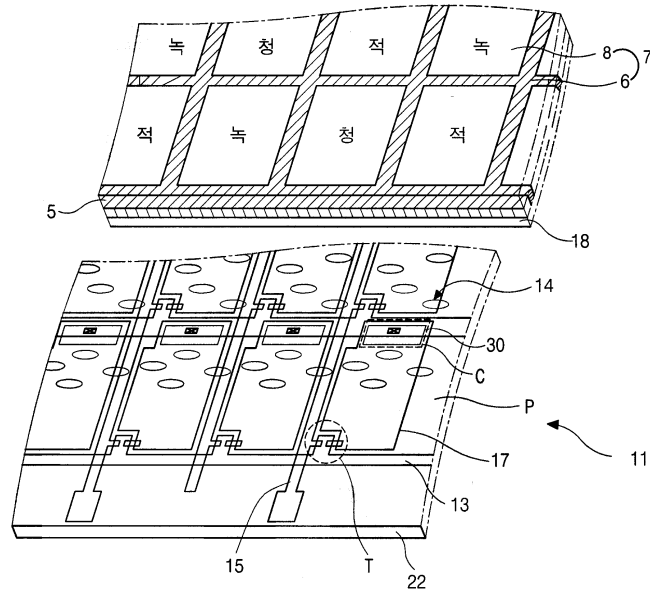
청구항 53.

제 52 항에 있어서,

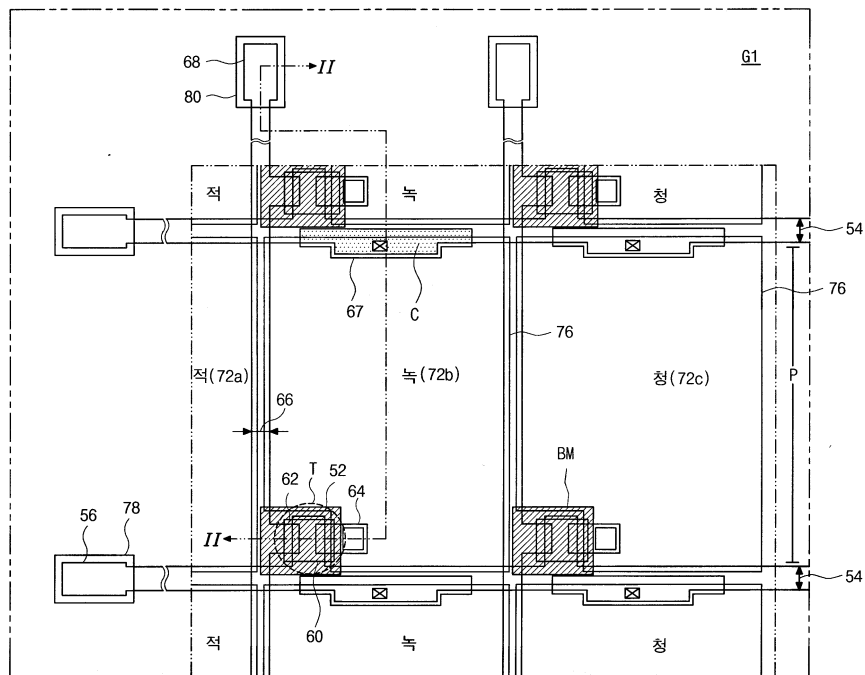
상기 컬럼스페이스가 형성되지 않은 제 2 오픈부 또는 제 1 오픈부는 상기 마스크의 반투과부가 대응하는 영역인 횡전계 방식 액정표시장치용 어레이기판의 스페이스 제조방법.

도면

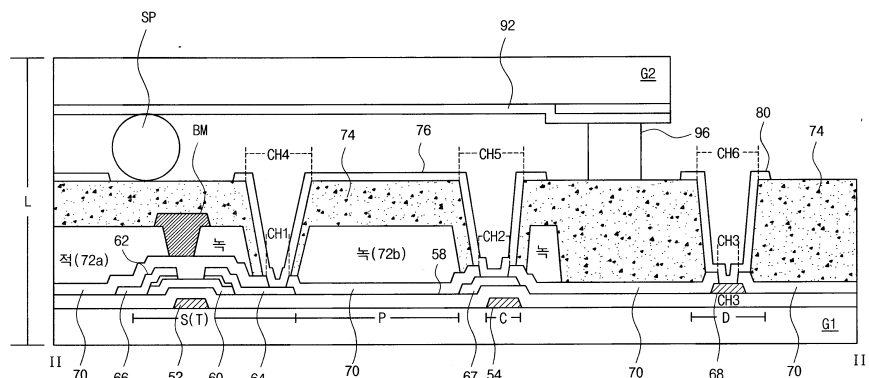
도면1



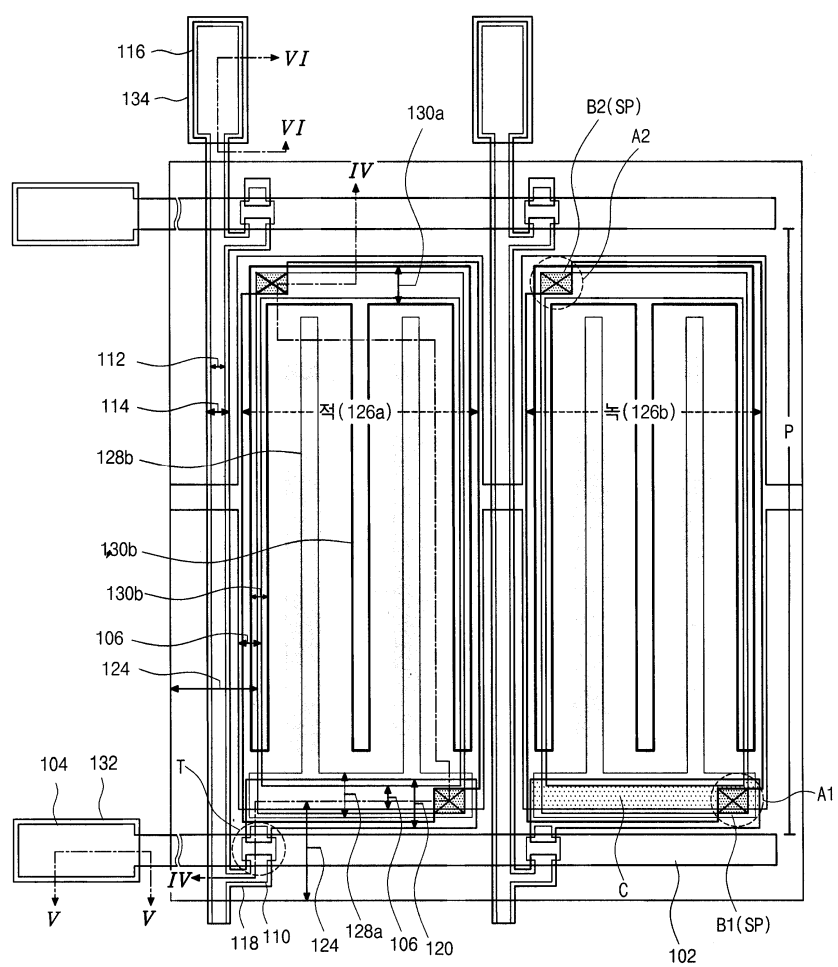
도면2



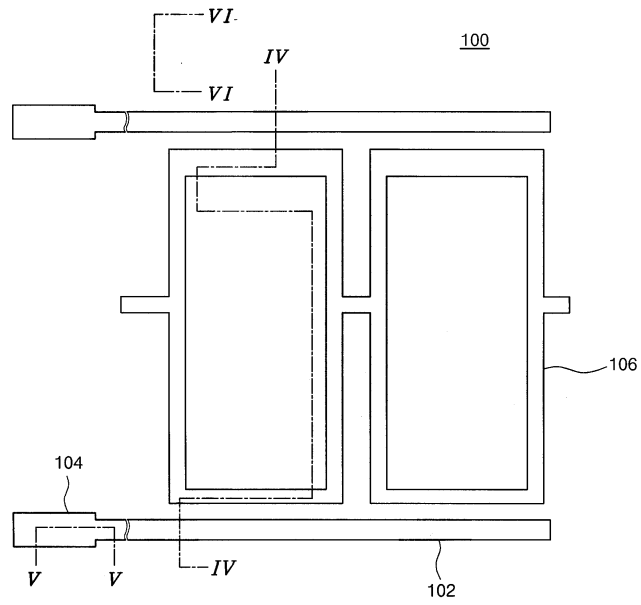
도면3



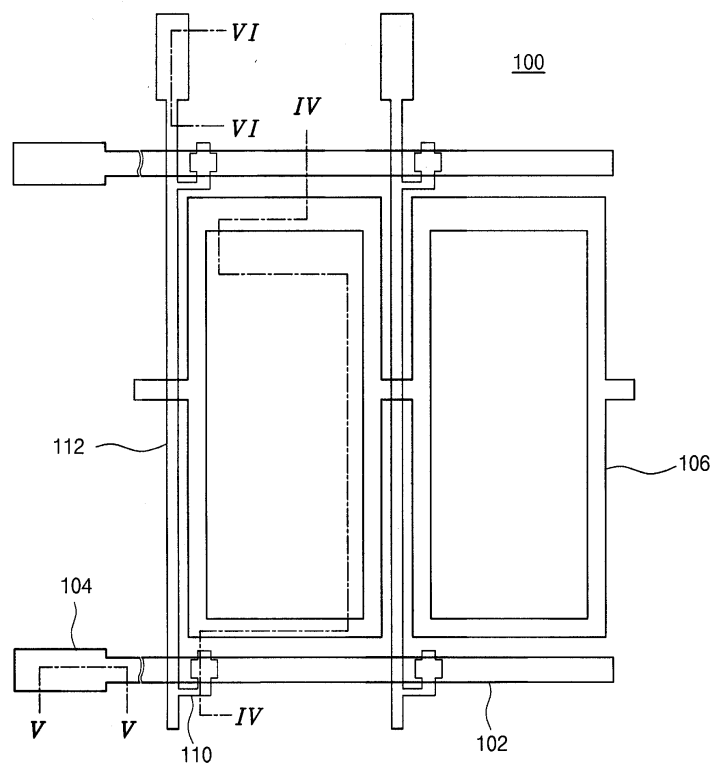
도면4



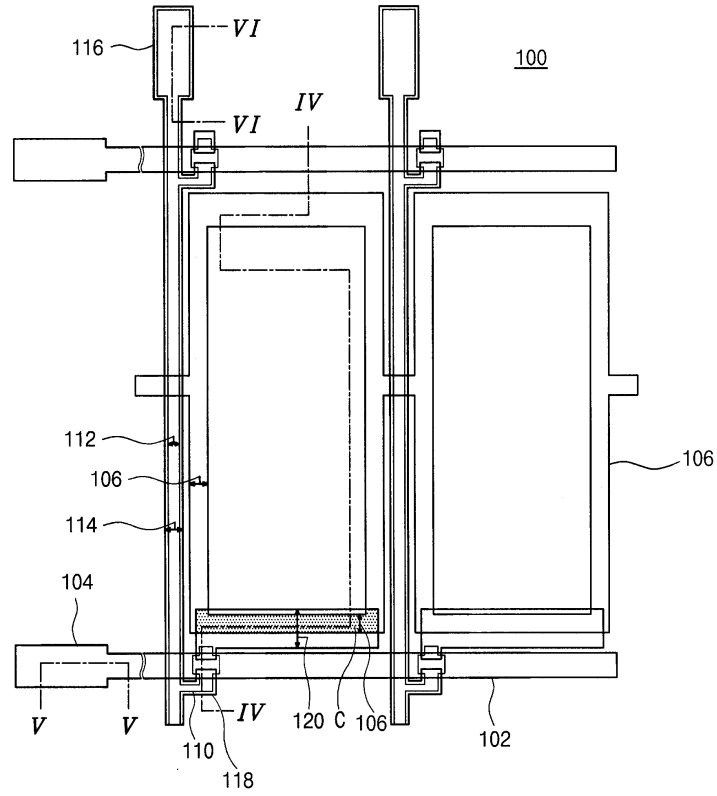
도면5a



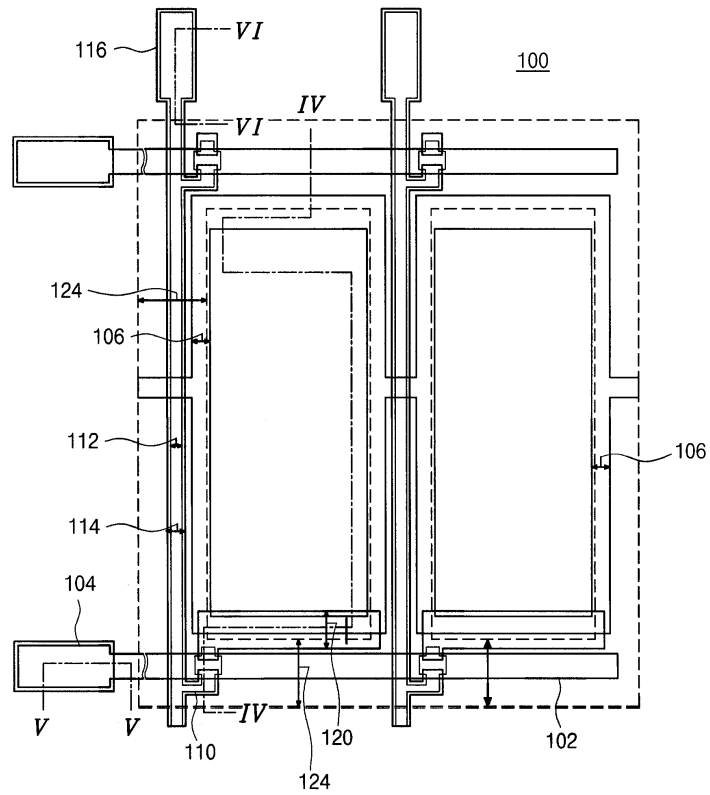
도면5b



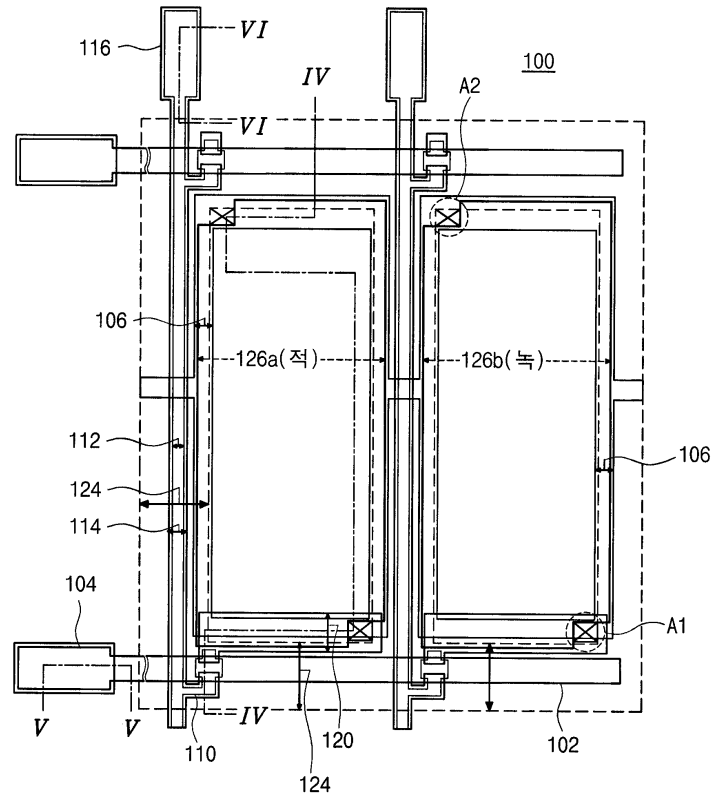
도면5c



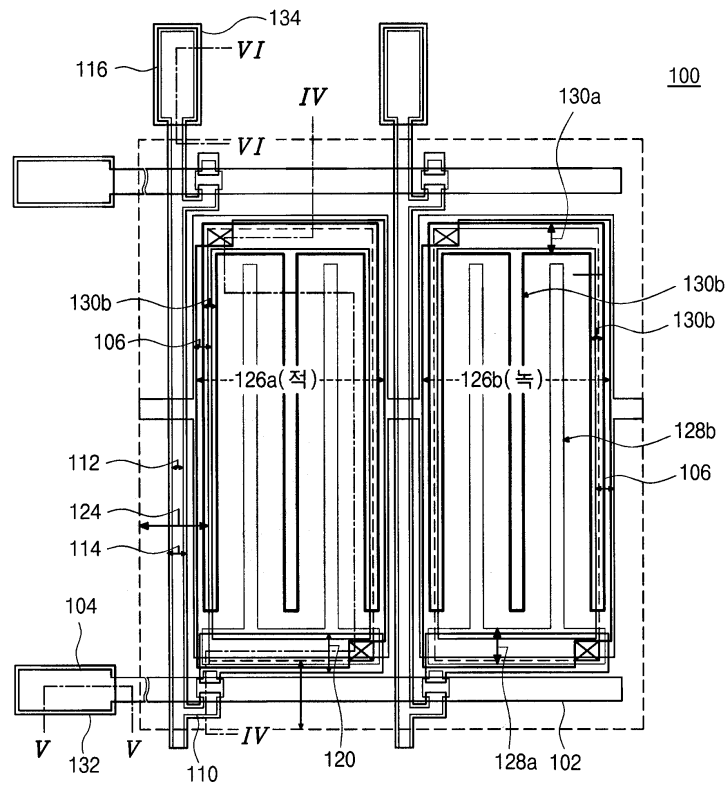
도면5d



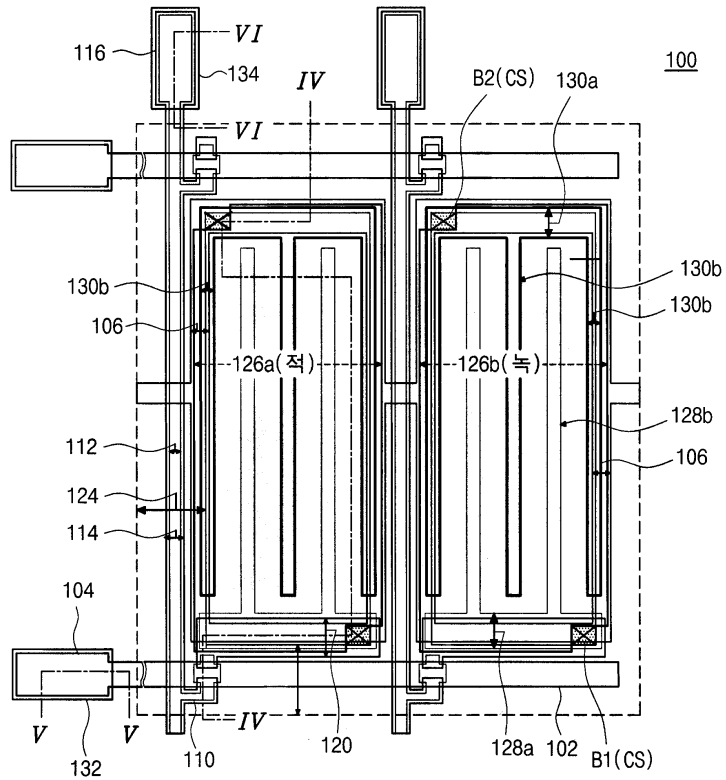
도면5e



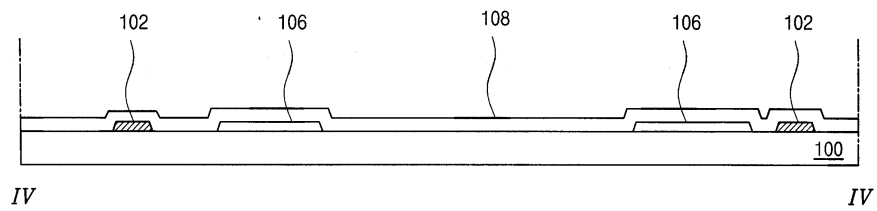
도면5f



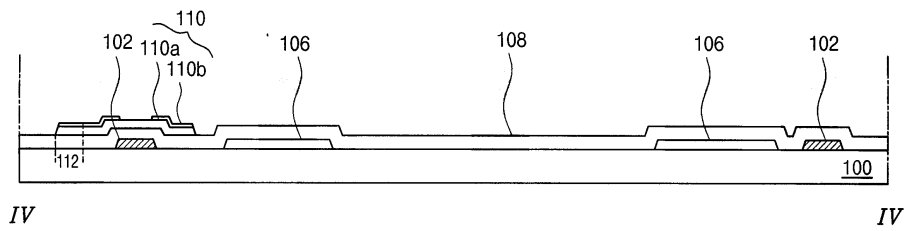
도면5g



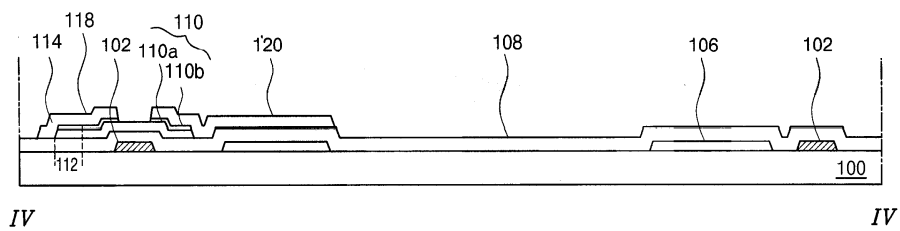
도면6a



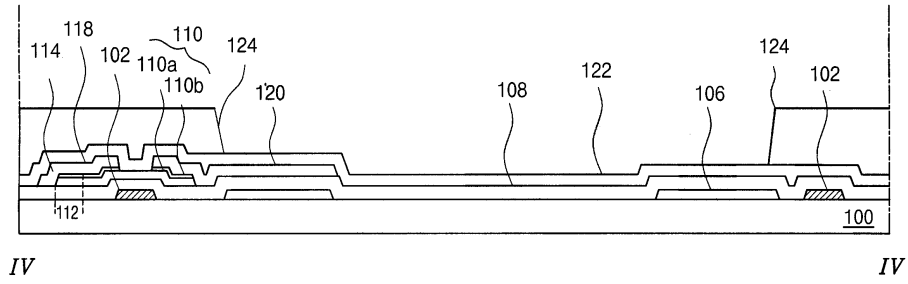
도면6b



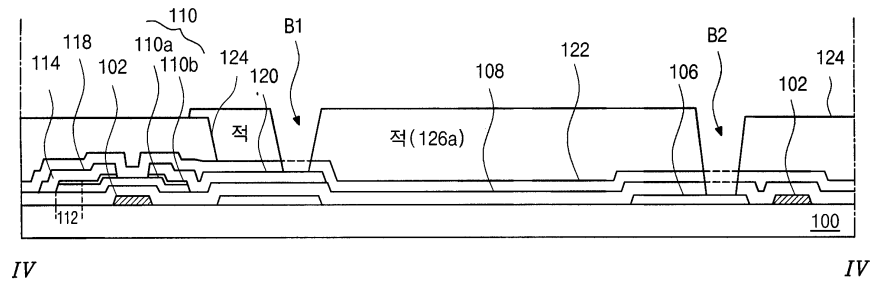
도면6c



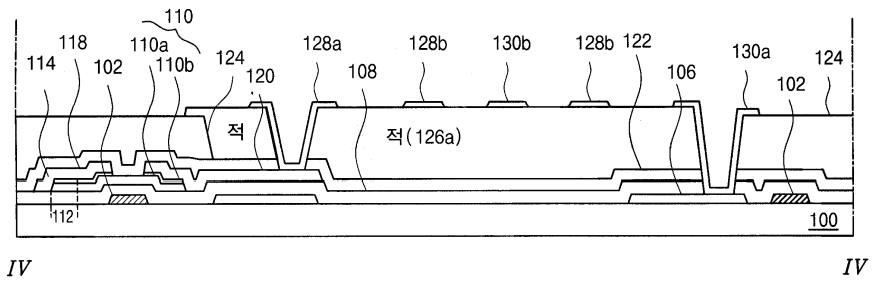
도면6d



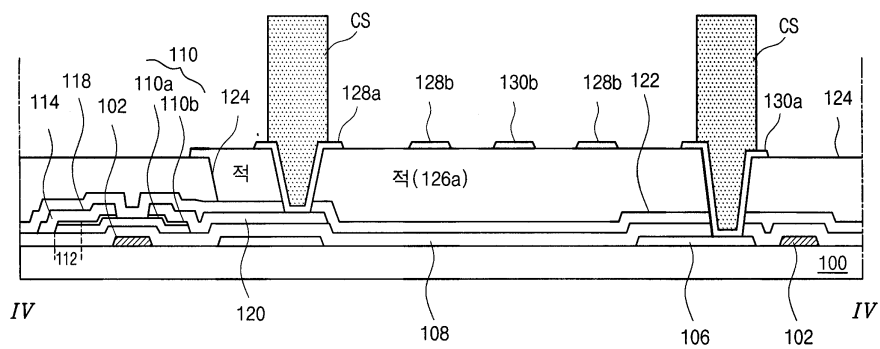
도면6e



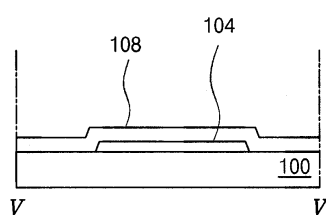
도면6f



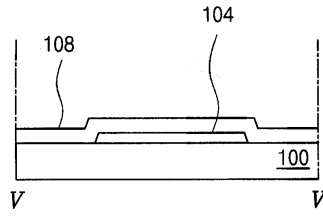
도면6g



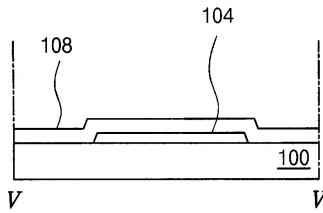
도면7a



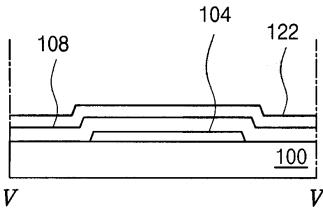
도면7b



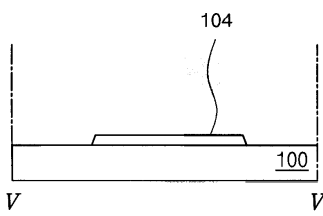
도면7c



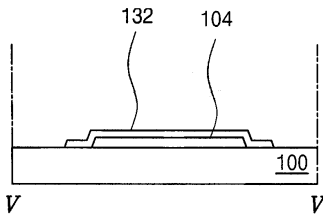
도면7d



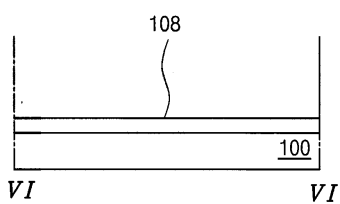
도면7e



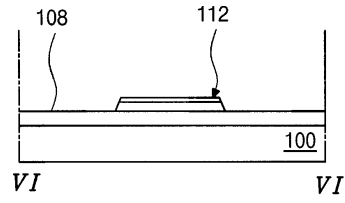
도면7f



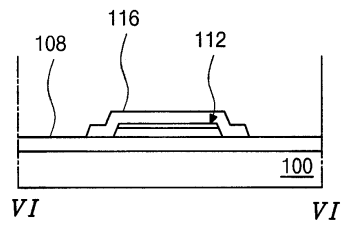
도면8a



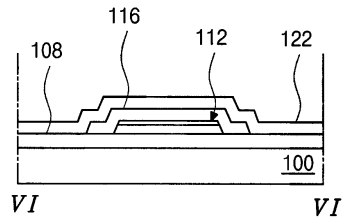
도면8b



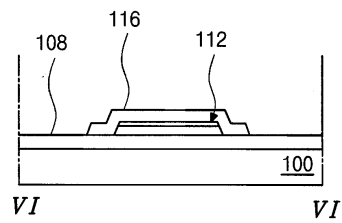
도면8c



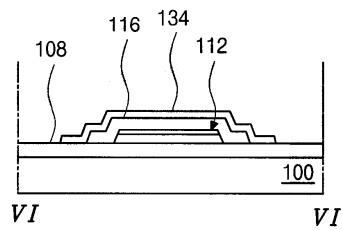
도면8d



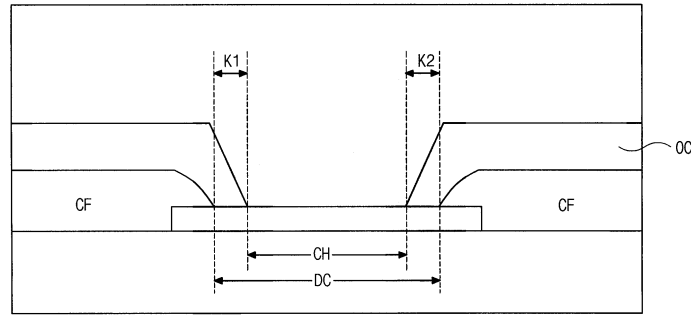
도면8e



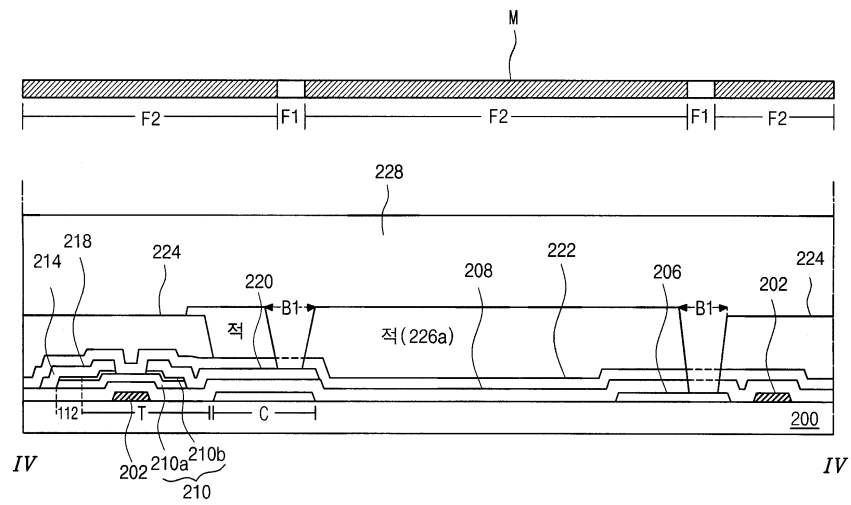
도면8f



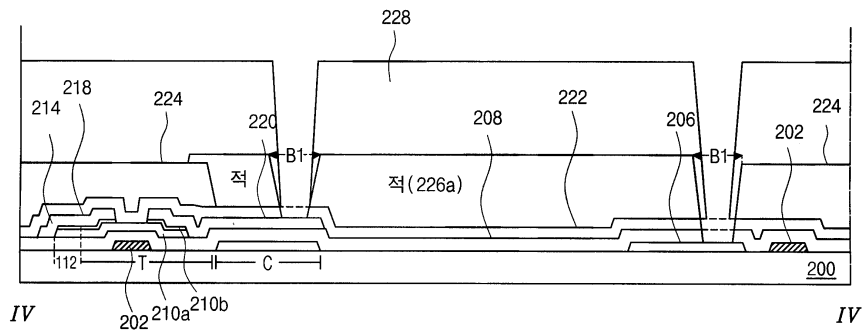
도면9



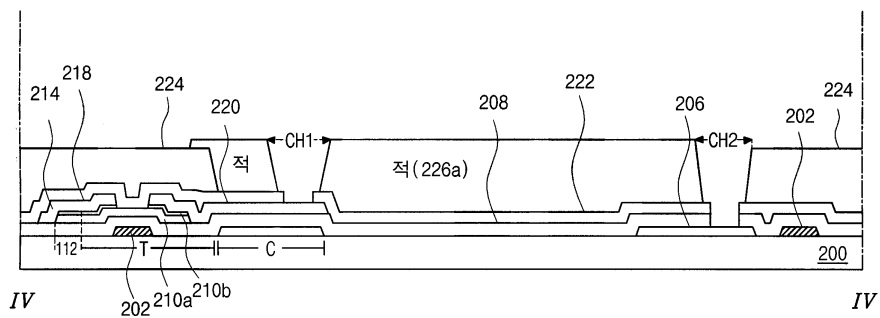
도면10a



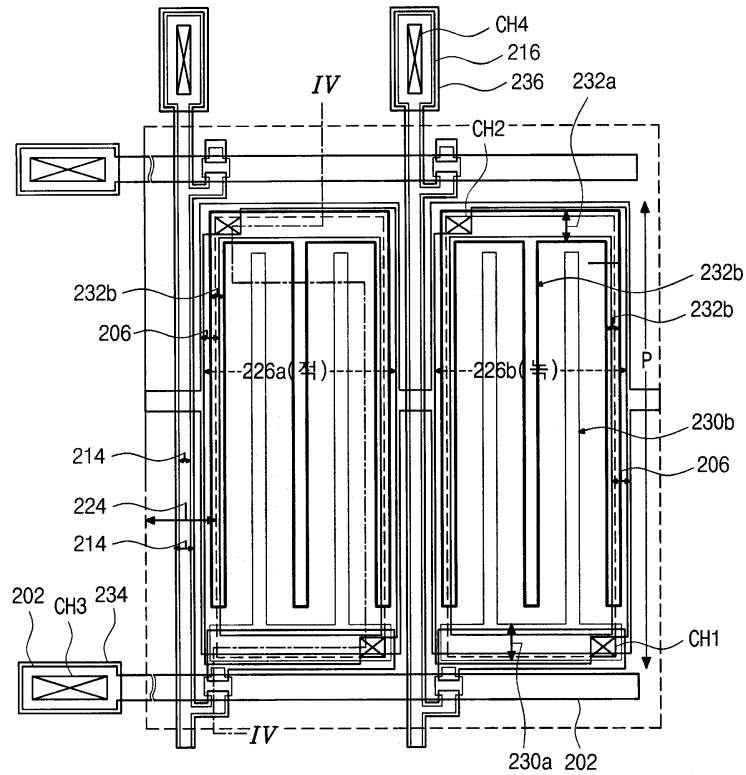
도면10b



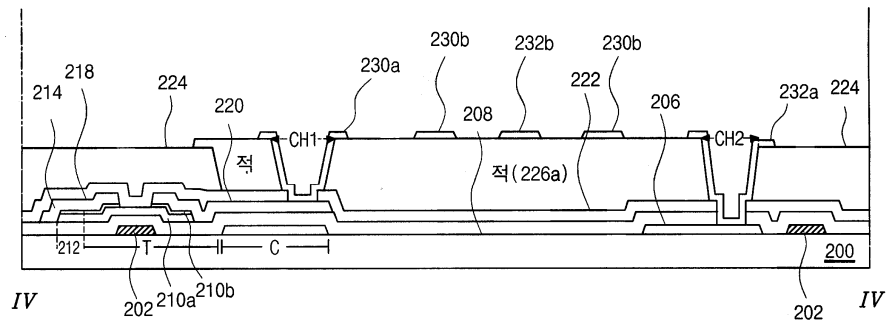
도면10c



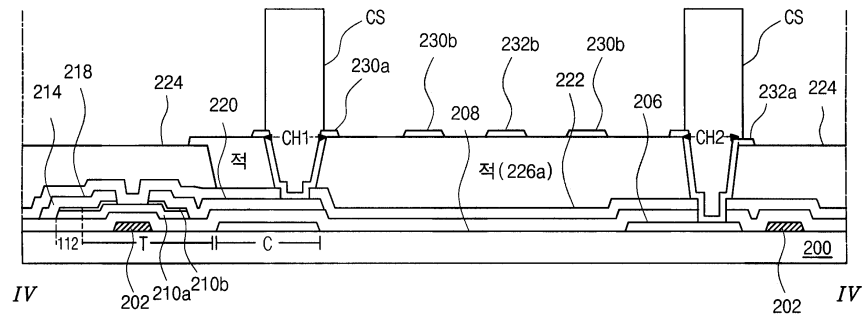
도면10d1



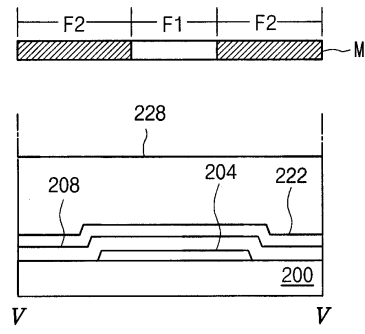
도면10d2



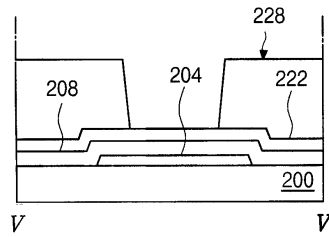
도면10e



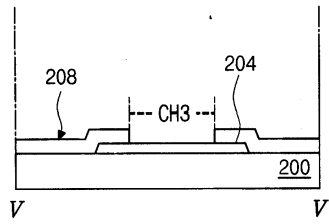
도면11a



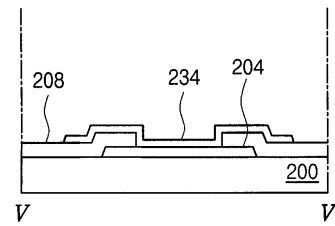
도면11b



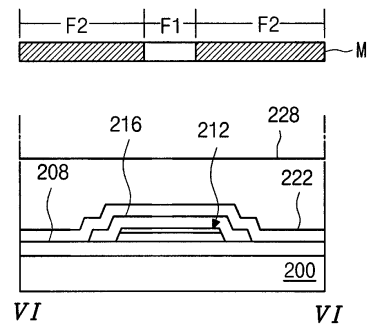
도면11c



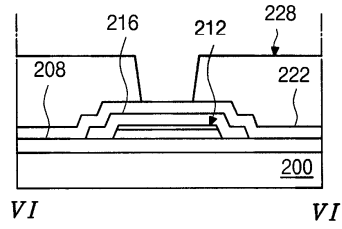
도면11d



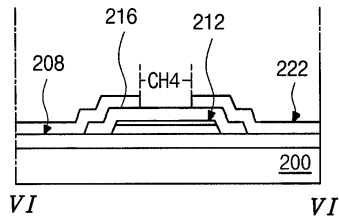
도면12a



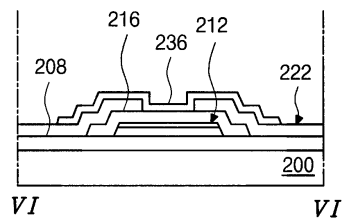
도면12b



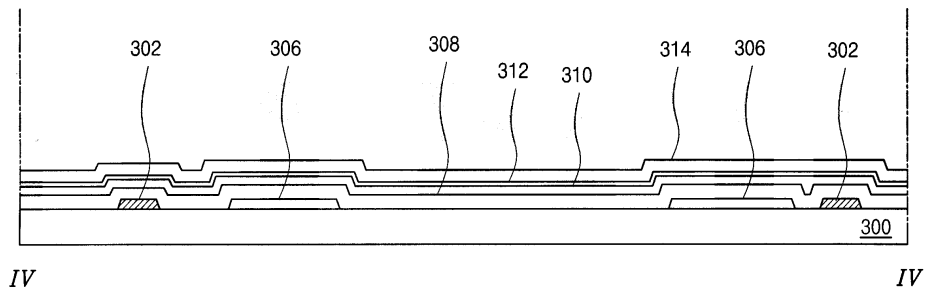
도면12c



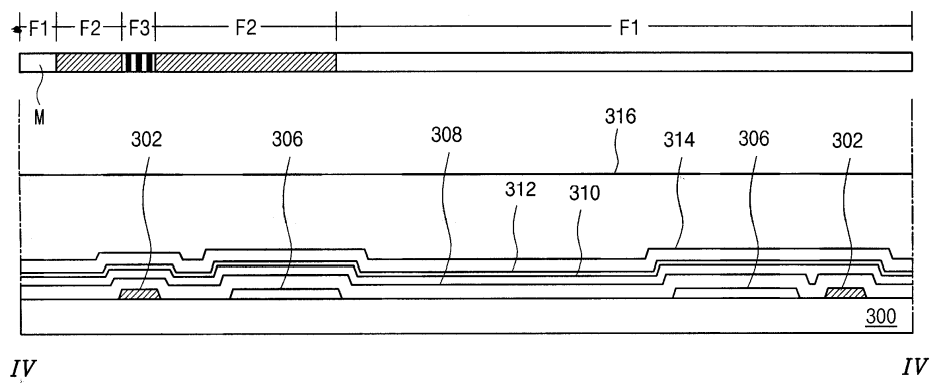
도면12d



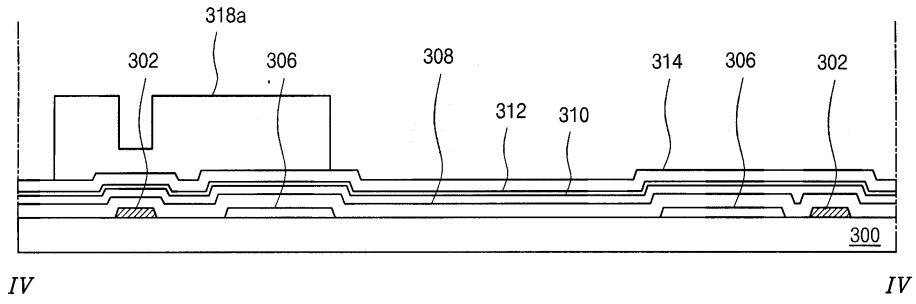
도면13a



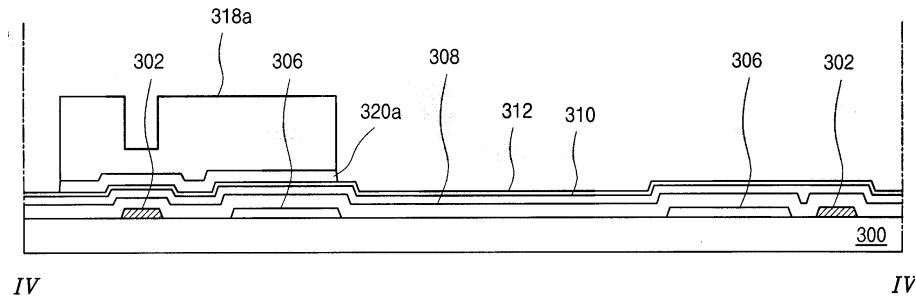
도면13b1



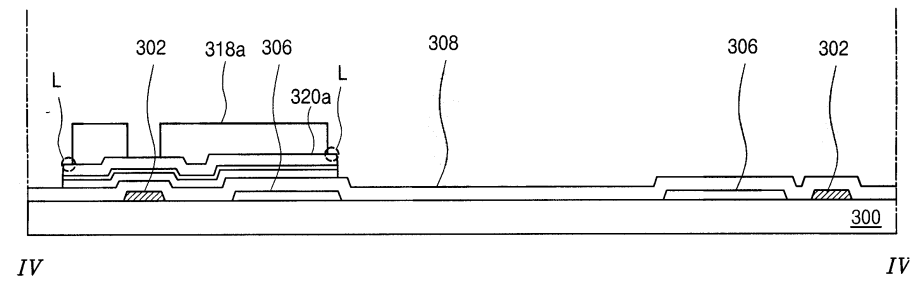
도면13b2



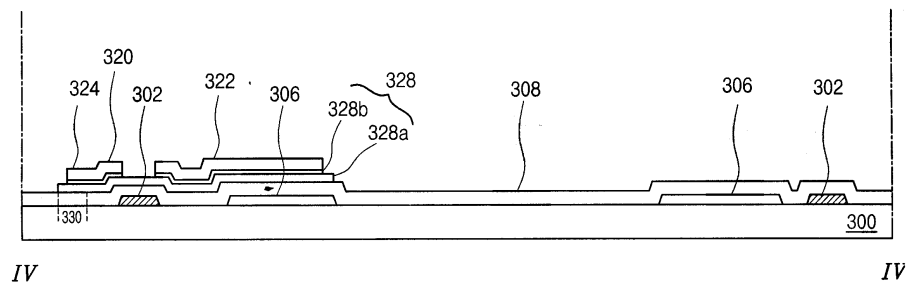
도면13b3



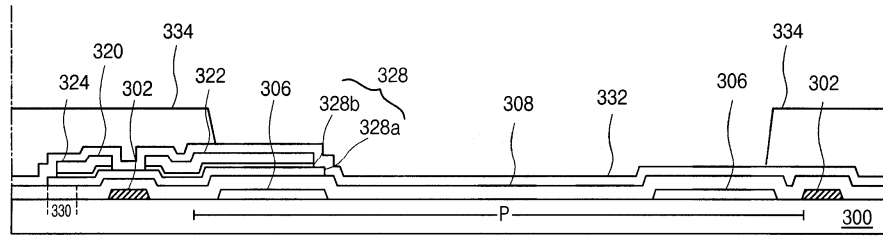
도면13b4



도면13b5



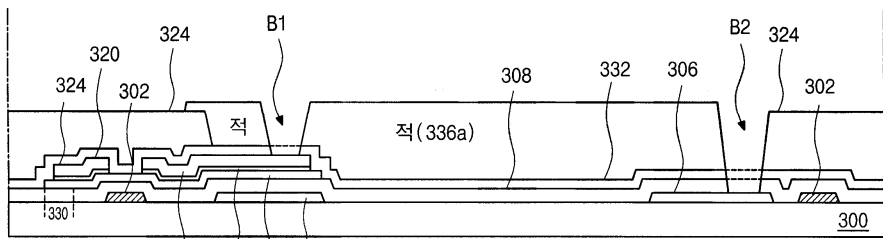
도면13c



IV

IV

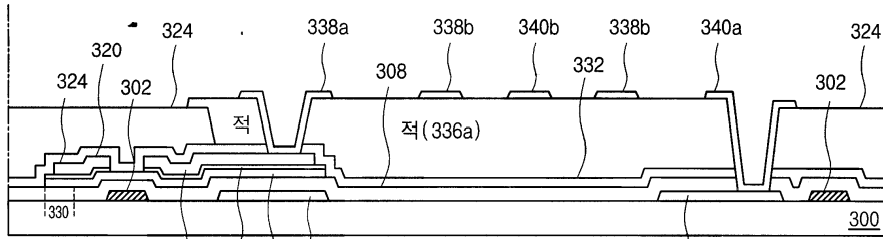
도면13d



IV

IV

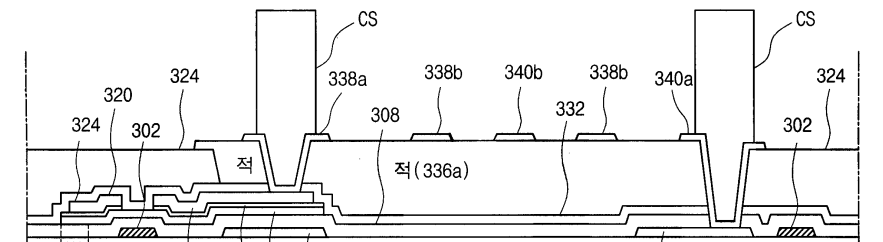
도면13e



IV

IV

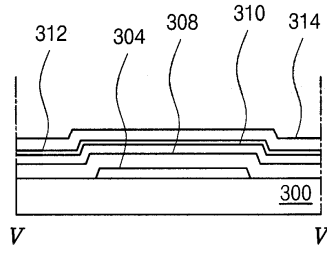
도면13f



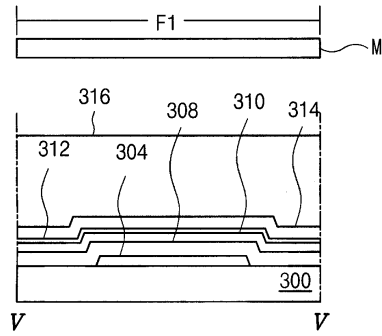
IV

IV

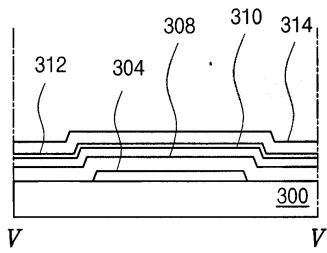
도면14a



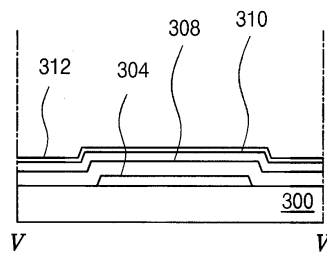
도면14b1



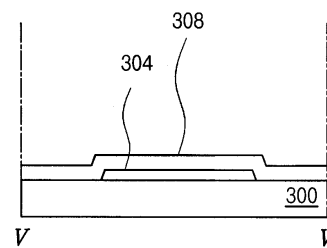
도면14b2



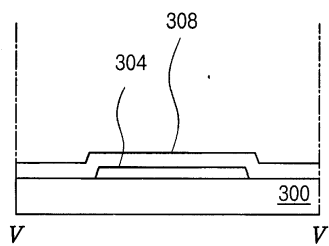
도면14b3



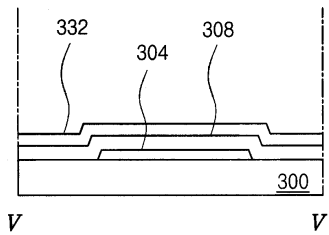
도면14b4



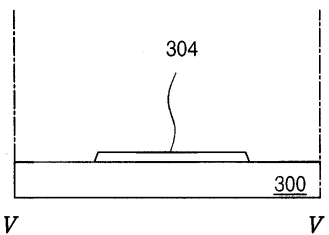
도면14b5



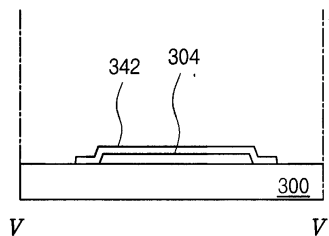
도면14c



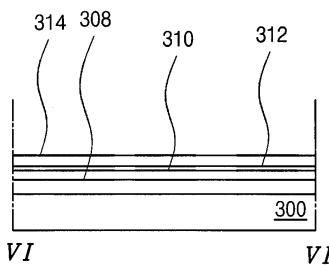
도면14d



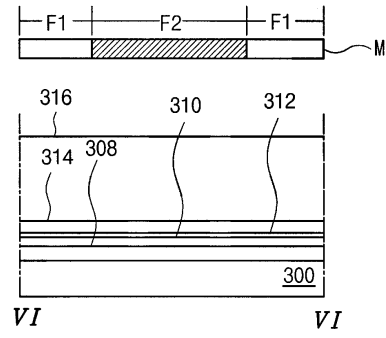
도면14e



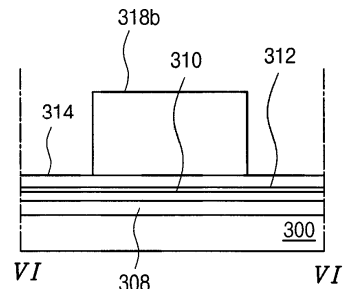
도면15a



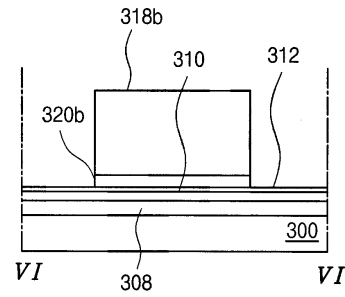
도면15b1



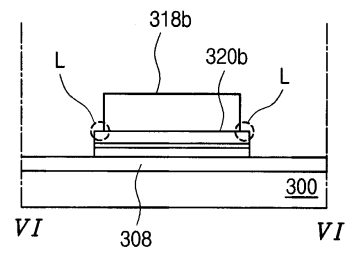
도면15b2



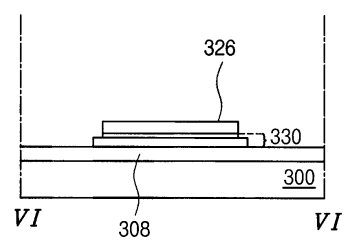
도면15b3



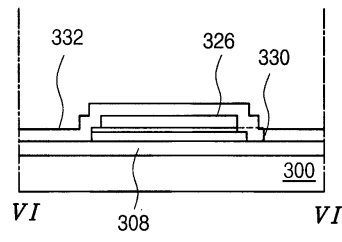
도면15b4



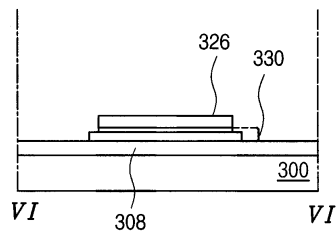
도면15b5



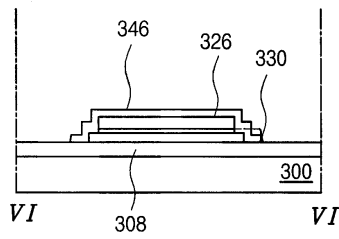
도면15c



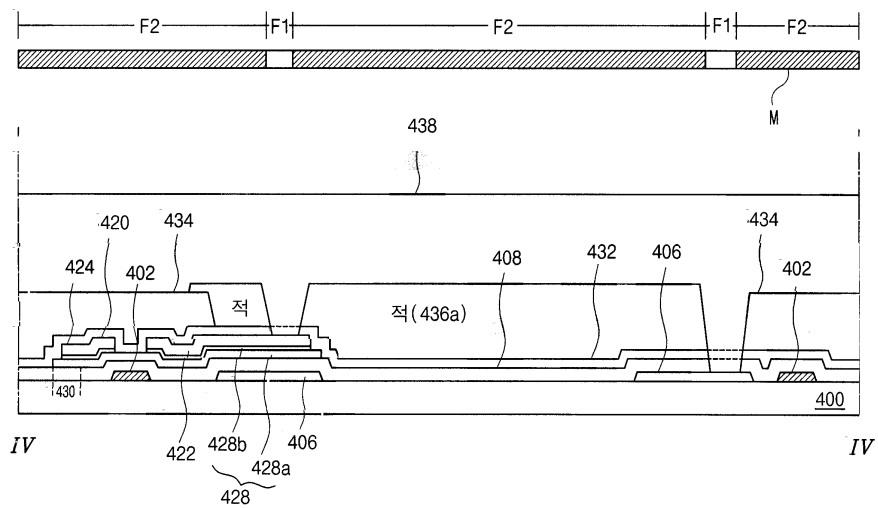
도면15d



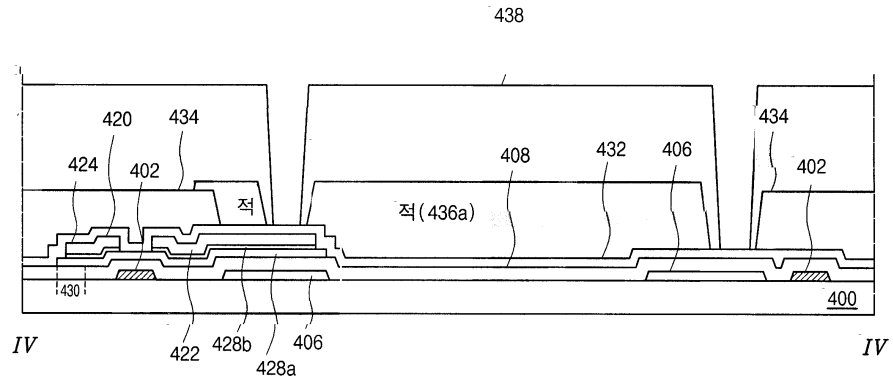
도면15e



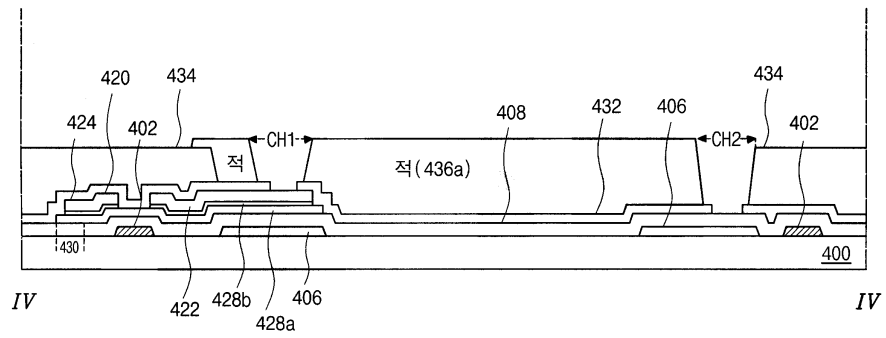
도면16a



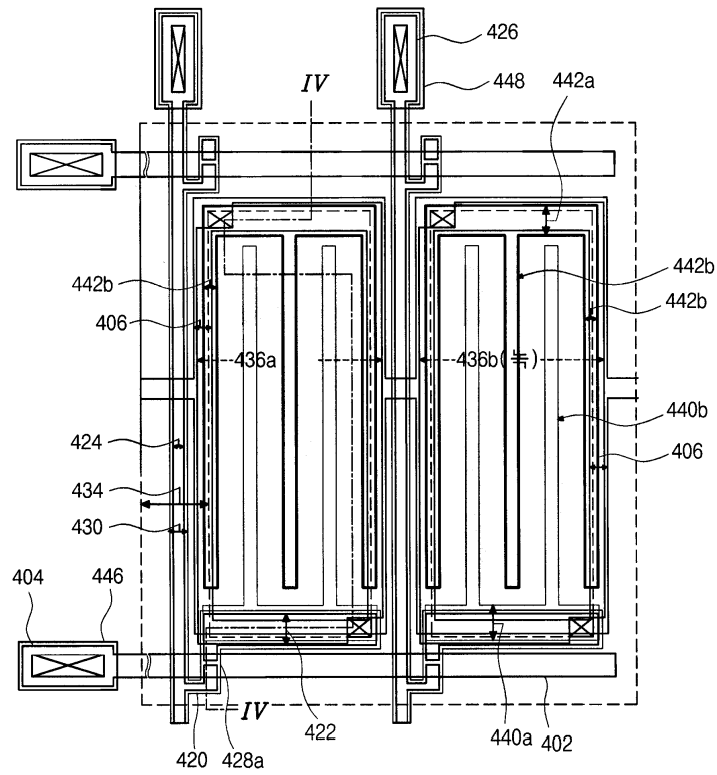
도면16b



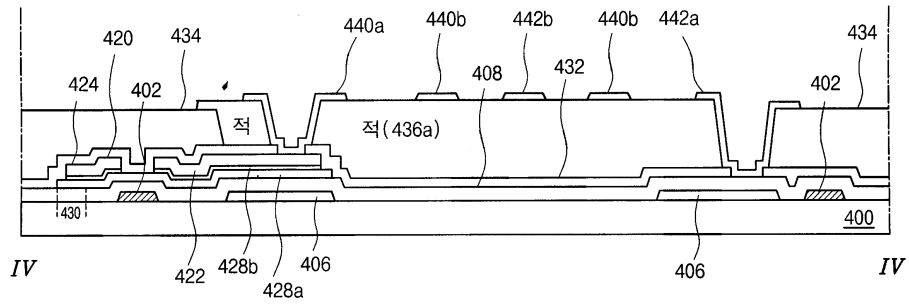
도면16c



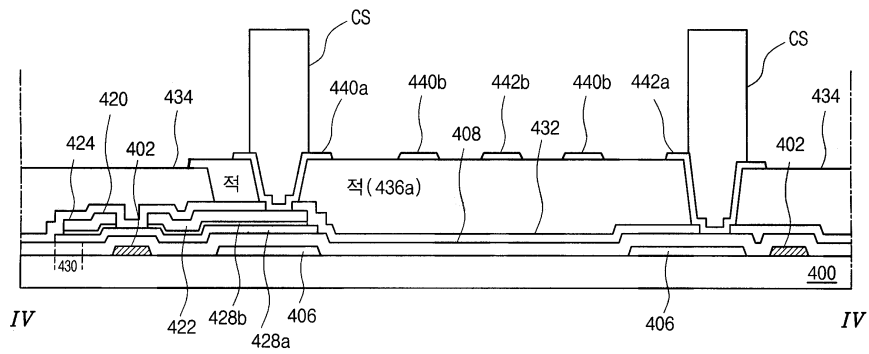
도면16d1



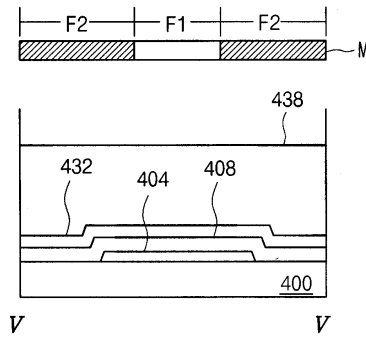
도면16d2



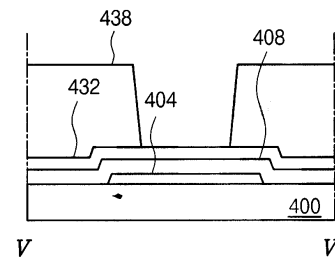
도면16e



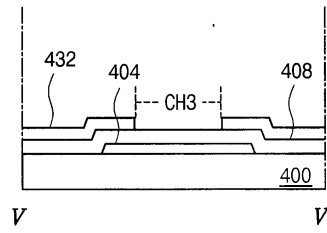
도면17a



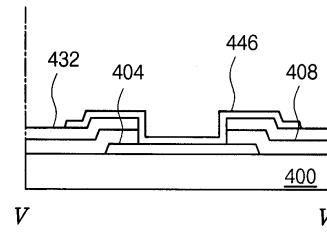
도면17b



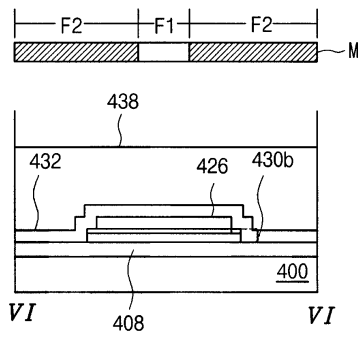
도면17c



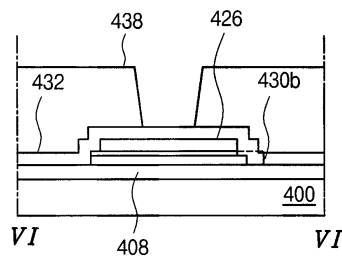
도면17d



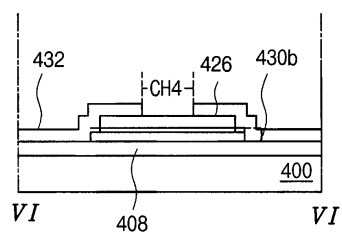
도면18a



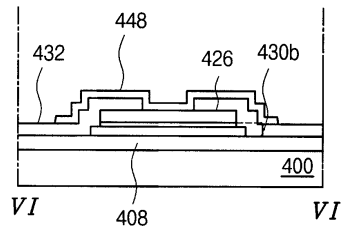
도면18b



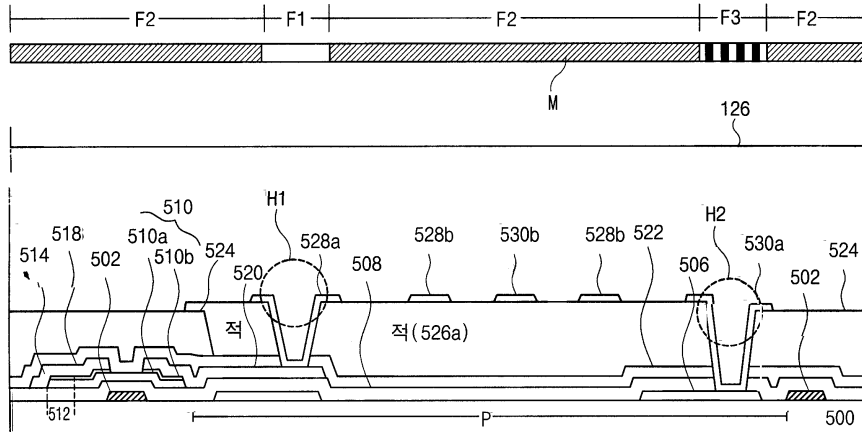
도면18c



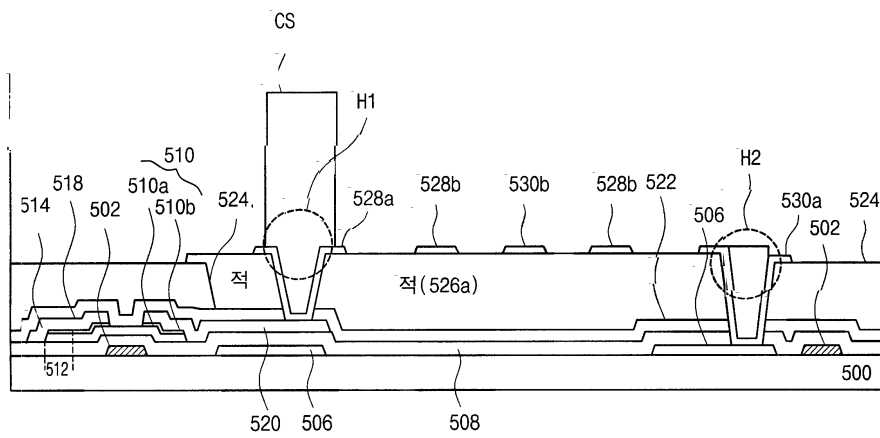
도면18d



도면19a



도면19b



专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020050031592A	公开(公告)日	2005-04-06
申请号	KR1020030067792	申请日	2003-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DONGGUK		
发明人	KIM,DONGGUK		
IPC分类号	G02F1/1343		
其他公开文献	KR101100134B1		
外部链接	Espacenet		

摘要(译)

用途：提供用于IPS（面内切换）LCD（液晶显示器）的阵列基板和制造阵列基板的方法，以通过省略外涂层来改善视角。

