(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2002-0042515
(43) 공개일자 2002년06월05일

(21) 출원번호 10-2001-0075355
(22) 출원일자 2001년11월30일

(30) 우선권주장
JP-P-2000-0036435 2000년11월30일 일본(JP)
JP-P-2001-0032810 2001년10월19일 일본(JP)
JP-P-2001-0035206 2001년11월21일 일본(JP)

(71) 출원인
닛뽕덴끼 가부시끼가이샤
가네꼬 히사시
일본 도오꾜도 미나또꾸 시바 5쵸메 7방 1고

(72) 발명자
시가순스께
일본도꾜도미나또꾸시바5쵸메7방1고닛뽕덴끼가부시끼가이샤나이
다무라후미노리
일본도꾜도미나또꾸시바5쵸메7방1고닛뽕덴끼가부시끼가이샤나이
구로하쇼이찌
일본도꾜도미나또꾸시바5쵸메7방1고닛뽕덴끼가부시끼가이샤나이
와따나베마꼬또
일본도꾜도미나또꾸시바5쵸메7방1고닛뽕덴끼가부시끼가이샤나이

(74) 대리인
특허법인코리아나

심사청구 : 있음

(54) 액티브 매트릭스형 액정 표시 장치 및 이 장치에 사용하는스위칭 소자

요약

반도체 영역은 채널 폭 방향의 소스 및 드레인 전극들을 포함하고, 게이트 전극, 소스 전극 및 반도체 영역이 구성하는 평면 소스측의 오버랩 영역, 및 이 게이트 전극, 이 소스 전극 및 이 반도체 영역이 구성하는 평면 드레인측의 오버랩 영역이 존재하도록 박막 트랜지스터를 설계한다. 채널 길이 방향의 그 소스측 및 그 드레인측의 오버랩 영역들 중 하나의 오버랩 영역의 적정 오버랩 길이를, 예를 들면 4 ㎛ 로 결정하여, 그 박막 트랜지스터의 채널부 상에 입사하는 광이 그 박막 트랜지스터로 입사하는 백라이트의 광강도의 0.2 % 이하의 광강도를 가지도록 함으로써, 광-유도 오프 리크

전류를 충분히 저감시키고, 플리커 및 표시 균일성을 개선한다.

대표도

도 6

색인어

액정 표시 장치

명세서

도면의 간단한 설명

도 1 은 종래 기술을 설명하기 위해 나타낸 박막 트랜지스터 어레이 기판의 단위 화소의 평면도.

도 2 는 도 1 의 박막 트랜지스터의 단면도.

도 3 은 종래 기술을 설명하기 위해 나타낸 박막 트랜지스터 부분의 단면도.

도 4 는 본 발명의 제 1 실시형태로 사용되는 박막 트랜지스터 어레이 기판의 단위 화소의 평면도.

도 5 는 본 발명의 제 1 실시형태를 나타내는 박막 트랜지스터부의 평면도.

도 6 은 도 4 의 A-A' 를 따라 절단한 단면도.

도 7 은 빛이 반사하여 박막 트랜지스터의 채널부에 최종적으로 도달하는 것을 설명하는 모식도.

도 8 은 액정 구동장치의 구성을 설명하는 구성도.

도 9 는 일반적인 백라이트로부터의 출사광의 반지름 방향의 분포를 나타내는 모식도.

도 10 은 박막 트랜지스터의 프론트 채널부에 입사하는 빛의 경로의 모식도.

도 11 은 백라이트의 스펙트럼을 나타내는 그래프.

도 12 는 백라이트의 출사광의 출사각도 θ_o과 채널부에 박막 트랜지스터의 채널부에 입사하는 빛의 강도 I 사이의 관계를 나타내는 그래프.

도 13 은 백라이트의 출사광의 출사각도 θ_c이 50 내지 70 ° 인 경우에, " 채널 길이 방향의 게이트 전극을 오버래핑하는 소스 또는 드레인 전극에 의해 결정되는 적절한 오버랩 길이 'd'와 채널부에 입사하는 빛의 강도 I 사이의 관계를 나타내는 그래프.

도 14 는 채널 길이 방향의 게이트 전극을 오버래핑하는 소스 또는 드레인 전극에 의해 결정되는 적절한 오버랩 길이 'd' 와 플리커 레벨 (dB) 사이의 관계를 나타내는 그래프.

도 15 는 본 발명의 제 2 실시형태를 나타내는 단위 화소의 평면도.

도 16 은 본 발명의 제 2 실시형태를 나타내는 박막 트랜지스터부의 평면도.

도 17 은 도 15 의 B-B' 를 따라 절단한 단면도.

※도면의 주요부분에 대한 부호의 설명

101 : 게이트 라인 102 : 드레인 라인

103 : 박막 트랜지스터 104 : 공통전극

105 : 소스(화소) 전극 106 : 드레인 전극

107 : 비정질 실리콘막 108 : n+ 비정질 실리콘막

109 : 제 1 절연막 110 : 제 2 절연막

111 : 제 1 배향막 112 : 제 2 유리기판

113 : 차광막 114 : 컬러층

115 : 제 3 절연막 116 : 액정

117 : 제 2 배향막 119 : 백라이트 입사광

120 : 공기층 121 : 제 1 편광판

122 : 제 2 편광판 124 : 채널영역

130 : 박막 트랜지스터 어레이 기판 140 : 대향기판

150 : 액정기판 151 : 백라이트

152 : 구동회로 153 : 백라이트 출사광

154 : 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 액정 표시 장치 및 그 안에서 사용하는 스위칭 소자에 관한 것이며, 특히 저 레벨 플리커뿐만 아니라 우수한 표시 균일성을 가지는 액티브 매트릭스형 액정 표시 장치 및 이 표시 장치 내에 사용하는 스위칭 소자에 관한 것이다.

박막 트랜지스터 (TFT) 들을 다양한 장치들용의 구동 회로들 내에서 스위칭 소자들로서 널리 사용한다. 특히, 액티브 매트릭스형 액정 표시 장치들 내에서 TFTs 를 사용하는 것은 주목할 만하다. 액정 표시 등에 종종 사용하는 비정질 실리콘으로 TFT 의 반도체 영역을 형성하는 경우, 이 반도체 영역 내에 백라이트 또는 표시용 광원으로부터의 입사광이

포토캐리어들을 생성한다. 이 포토캐리어들이 채널부에서 이동할 때, 광-유도 오프 누설 전류를 생성한다. 이 광-유도 오프 누설 전류는 화소 전위를 낮추어, 모듈의 휘도 저하, 불균일한 표시 및 플리커와 같은 다양한 바람직하지 않은 결점들을 발생시킨다.

이 광-유도 오프 누설 전류를 억제하는 몇가지 방법들이 일본 특개평 26768/1999 호, 일본 특개평 122754/1995 호에 개시되어 있다. 도 1 및 도 2 는, 일본 특개평 26768/1999 호에 개시한 기술에 따른 액티브 매트릭스형 액정 표시 장치의 TFT를 도시한다. 도 1 은 이 TFT 의 평면도이고, 도 2 는 이 TFT를 채널 길이 방향으로 절단했을 때, 도 1 의 TFT 근방 일부의 단면도이다.

도 1 에 도시한 평면도가 수직 전계 모드로 동작하는 액티브 매트릭스 기판의 화소를 도시하지만, 본 발명의 발명자는 TFT 의 레이아웃 패턴을 주로 설명하고자 하므로, 이 TFT 이외의 구성요소들의 레이아웃 패턴은 단지 예시적인 레이아웃 패턴이며, 즉 액티브 매트릭스 기판의 수직 전계형의 구성요소들의 레이아웃 패턴으로 제한하지 않는다. 이런 이유로, 액티브 매트릭스 기판의 수직 전계형 대신에, 이하 TFT 에 입사하는 빛 (119) 의 경로를 설명하기 위해, 도 2 는 수평 전계 모드로 동작하는 액티브 매트릭스 기판의 단면도를 도시하며, 통상적으로 이 수평 전계형은 액티브 매트릭스 기판의 수직 전계형보다 입사광에 더 민감하다.

도 2 에서, 제 1 유리 기판 (100) 상에 게이트 라인 (101), 공통전극 (104), 제 1 절연막 (109), 비정질 실리콘막 (107), n+ 비정질 실리콘막 (108), 소스(화소) 전극 (105) 및 드레인 전극 (106) 을 형성한다. 또한, 이 게이트 라인, 이 막들 및 이 전극들 위에 제 2 절연막 (110) 및 제 1 배향막 (111) 을 형성하여, 박막 트래지스터 기판 (이하, "TFT 기판" 이라함) (130) 을 완성한다.

이 TFT 기판 (130) 과 대향하고 이 TFT 기판 (130) 과 대향 기판 (140) 사이에 액정 (116) 을 삽입하도록, 대향 기판 (140) 을 형성한다. 이 대향 기판 (140) 은 제 1 유리 기판 (110) 과 대향하는 제 2 유리 기판 (112) 의 측으로부터 제 2 유리 기판 (112), 차광막 (113), 컬러층 (114), 제 3 절연막 (115), 및 제 2 배향막 (117) 을 순차적으로 형성한다.

또한, 제 1 유리 기판 (100) 의 하부측에 제 1 편광판 (121) 을 부착하고, 제 2 유리 기판 (112) 의 하부측에 제 2 편광판 (122) 을 부착하여, 액정 표시 패널 (150) 을 완성한다.

소스 전극 (105) 과 드레인 전극 (106) 사이에 샌드위치된 게이트 라인 (101) 위의 반도체 영역 (107) 의 일부를 도 1 에 도시한 바와 같이 절단할 때, 도 2 의 경로 1 을 따라 백 (back) 채널에 입사하는 빛의 영향이 저감한다.

도 3 은 일본 특개평 122754/1995 호에 개시한 기술에 따른 액티브 매트릭스 액정 표시 장치의 한 TFT 의 단면도이다. 도 2 에 도시한 재료들 및 소자들과 동일한 재료들 및 소자들에게는 동일한 도면부호들을 부여한다. 도 3 에 도시한 바와 같이, 채널 길이 방향의 게이트 전극의 폭 α 가 게이트 라인 (101) 으로부터 대향 기판측의 차광막까지의 거리 d 의 4 배 이상이 되도록 게이트 전극을 형성할 때, 도 3 의 경로 (1) 를 따라 1 회 반사하여 백 채널에 입사하는 광이 억제된다.

모니터용, 내장 표시용의 액정 표시 패널에 사용하는 TFTs 의 경우, 고휘도 표시의 요구를 충족하기 위해 백라이트 휘도를 증가시키기 때문에, 입사광이 반도체 영역 내에 생성하는 광-유도 오프 누설 전류를 기존의 기술만으론 해결할 수 없다. 이 문제는, 수평 전계 모드로 구동하는 패널의 경우, 개구율이 낮고, 백라이트 휘도를 수직 전계로 구동하는 TN 형의 휘도보다 더 높게 설정해야 하므로 더 중대하다.

광-유도 오프 누설 전류를 저감시키는 상술한 종래의 방법들은 이 광-유도 오프 누설 전류를 억제하기에 불충분하므로 이 광-유도 오프 누설 전류를 더욱 억제할 필요가 있다.

상술한 종래의 방법들을 사용하여 얻어지는 불충분한 효과를 아래에 좀더 상세히 설명한다. 고 반사율을 갖는 2 층 Cr 또는 다층 Cr 을 대향 기판 상의 차광막으로서 사용하는 경우, 이 대향 기판 상의 이 차광막의 일부가 반사시키는 광량은 그 TFT 기판으로부터 이 대향 기판으로 입사하는 백라이트에 비례하여 증가한다. 그러므로, 일본 특개평 26768/1999 호에 개시한 종래기술은,그 반사광을 받는 반도체 영역의 면적을 감축하여 광-유도 오프 누설 전류를 저감시키는 주요한 효과를 설명하고, 일본 특개평 122754/1995 호에 개시한 종래기술은, 게이트 전극폭을 확장하여 그 차광막이 반사시키는 광 자체를 저감함으로써 백 채널 상에 입사하는 광량을 저감하여 광-유도 오프 누설 전류를 저감시키는 효과를 설명한다. 그러나, 수평 전계 모드 등으로 구동하는 액티브 매트릭스 액정 표시 장치 내에서 종종 사용하는 저-반사율 수지를 그 대향기판 상의 차광막으로서 사용하는 경우, 이 차광막의 저-반사율로 인해 이 차광막이 반사시키는 광량이 감소하기 때문에, 광-유도 오프 누설 전류를 저감하는 효과는 비교적 작으며, 즉 상술한 2 기술들을 그 장치 내에서 사용해도 크게 영향을 주지 않는다.

상술한 2 기술들이 광-유도 오프 누설 전류를 그리 크게 저감할 수 없는 다른 이유는, 도 2 의 경로 (2) 로 나타낸 바와 같이, 반도체 영역을 투과하면서 TFT의 드레인과 게이트 전극 사이에서 백라이트를 수 배정도 반사시켜, 상당한 광량이 프론트 (front) 채널로 입사하기 때문이다. 그러므로, 이 경로 (2) 를 따라 입사하는 광이 야기시키는 광-유도 오프 누설 전류를 억제하기 위해 새로운 기술을 요구한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은, 종래기술의 액티브 매트릭스 액정 표시 장치에 문제를 발생시키고 트랜지스터들 상에 입사하는 광이 야기시키는 누설전류의 저감으로 저 플리커 및 우수한 표시 균일성을 갖는 액티브 매트릭스 액정 표시 장치를 제공하는 데 있다. 본 발명의 다른 목적은, 저 플리커 및 우수한 표시 균일성을 갖는 스위칭 소자를 제공하고, 이런 스위칭 소자들을 사용하는 표시 장치를 제공하는 것이다.

본 발명에 따르는 액티브 매트릭스 액정 표시 장치는, 다음의 기본 구조를 갖는다.

이 액티브 매트릭스 액정 표시 장치는, 박막 트랜지스터 어레이 기판, 이 박막 트랜지스터 어레이 기판을 대향하도록 배치한 대향 기판, 및 이 대향 기판과 그 박막 트랜지스터 어레이 기판 사이에 샌드위치되는 액정을 포함한다.

상술한 표시 장치의 그 박막 트랜지스터 어레이는, 제 1 기판의 일면 상에 형성하는 박막 트랜지스터들, 이 제 1 기판의 다른 면 상에 형성하는 편광판을 가지며, 각각의 그 박막 트랜지스터들은 그 제 1 기판 상에 형성하는 게이트 전극을 피복하는 절연막 상에 형성하는 반도체 영역 및 부분적으로 그 반도체 영역을 오버랩하도록 이 반도체 영역의 양 종단부 상에 서로 분리하여 형성하는 소스전극과 드레인 전극을 포함하고, 채널 폭 방향의 이 소스 전극 및 드레인 전극의 폭들을 그 채널 폭 방향의 그 반도체 영역의 폭이 포함하도록 그 소스 전극 및 드레인 전극을 형성하면서, 그 게이트 전극, 이 소스전극 및 그 반도체 영역이 구성하는 평면 소스측 오버랩 영역, 및 그 게이트 전극, 그 소스전극 및 그 반도체 영역이 구성하는 평면 드레인측 오버랩 영역 모두를 제공할 때, 각각의 그 박막 트랜지스터들의 채널부 상에 입사하는 광이 그 제 1 기판 상에 입사하는 백라이트의 광강도의 0.2% 이하의 광강도를 가지도록 채널 길이 방향의 그 소스측 및 그 드레인측 오버랩 영역들 중 하나의 오버랩 영역의 적정 오버랩 길이를 결정한다.

본 발명의 액티브 매트릭스 액정 표시 장치의 바람직한 제 1 실시형태는, 채널 길이 방향의 각각의 그 박막 트랜지스터들의 그 반도체 영역의 폭을 채널 길이 방향의 그 게이트 전극의 폭보다 더 넓게 형성하여, 이 채널 길이 방향의 이 게이트 전극보다 더 넓게 연장하도록 채널 길이 방향의 그 반도체 영역을 형성하도록 구성한다.

본 발명의 액티브 매트릭스 액정 표시 장치의 바람직한 제 2 실시형태는, 채널 길이 방향의 각각의 그 박막 트랜지스터들의 반도체 영역의 폭을 채널 길이 방향의 그 게이트 전극의 폭보다 더 좁게 형성하여, 채널 길이 방향의 이 게이트 전극 내에 그 반도체 영역을 포함하도록 이 반도체 영역을 형성하여 구성한다.

본 발명에 따르는 스위칭 소자는 다음의 기본 구조를 가진다.

이 스위칭 소자는, 기판의 표면 상에 형성하는 게이트 전극, 이 기판 및 이 게이트 전극 상에 형성하는 절연막, 이 절연막 상에 형성하여 그 게이트 전극의 위에 위치하는 반도체 영역, 및 이 반도체 영역을 부분적으로 오버랩하도록 이 반도체 영역의 양 종단부 상에 서로 분리하여 형성하며 그 절연막 상에서 연장하는 소스 전극 및 드레인 전극을 포함한다.

그 스위칭 소자의 상술한 구성에서, 채널 폭 방향의 그 반도체 영역의 폭이 채널 폭 방향의 그 소스 전극 및 드레인 전극의 폭들을 포함하도록 이 소스 전극 및 드레인 전극을 형성하면서, 그 게이트 전극, 이 소스전극 및 그 반도체 영역이 구성하는 평면 소스측 오버랩 영역, 및 그 게이트 전극, 그 소스전극 및 그 반도체 영역이 구성하는 평면 드레인측 오버랩 영역 모두를 제공할 때, 각각의 그 박막 트랜지스터들의 채널부 상에 입사하는 광이 그 제 1 기판 상에 입사하는 백라이트의 광강도의 0.2% 이하의 광강도를 가지도록 채널 길이 방향의 그 소스측 및 그 드레인측 오버랩 영역들 중 하나의 오버랩 영역의 적정 오버랩 길이를 결정한다.

본 발명의 이 스위칭 소자의 바람직한 제 1 실시형태는, 이 스위칭 소자의 그 반도체 영역의 폭을 채널 길이 방향의 그 게이트 전극의 폭보다 더 넓게 형성하여, 이 채널 길이 방향의 이 게이트 전극보다 더 넓게 연장하도록 그 반도체 영역을 형성하도록 구성한다.

본 발명의 스위칭 소자의 바람직한 제 2 실시형태는, 채널 길이 방향의 이 스위칭 소자의 반도체 영역의 폭을 채널 길이 방향의 그 게이트 전극의 폭보다 더 좁게 형성하여, 채널 길이 방향의 이 게이트 전극 내에 그 반도체 영역을 포함하도록 이 반도체 영역을 형성하여 구성한다.

발명의 구성 및 작용

본 발명의 바람직한 실시형태에 따른 액티브 매트릭스 액정 표시 장치 및 스위칭 소자를 첨부한 도면들을 참조하여 상세히 설명한다. 그 실시형태들의 다음의 상세 설명부는, 저 개구율로 인해 소망의 휘도를 얻기 위해 고휘도의 백라이트광을 사용하며 유리기판에 평행한 전계를 인가하는 수평 전계형 액정 표시 장치를 예시 표시 장치로서 설명하지만, 또한 본 발명은 유리기판에 수직인 전계를 인가하는 수직 전계형 액정 표시 장치에도 적용할 수 있다.

(제 1 실시형태)

본 발명의 제 1 실시형태를 첨부한 도면들을 참조하여 설명한다.

도 4 는 이 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 박막 트랜지스터 어레이 기판 (130) 의 단위 화소의 평면도이며, 도 6 의 단면도의 하측에 구성한 표시 장치의 일부를 도시한다. 도 5 는 각 단위 화소의 박막 트랜지스터부의 확대 평면도이다. 도 6 은 도 4 의 A-A' 를 따라 절단한 단면도이며, 또한 박막 트랜지스터 어레이 기판 (130) 에 대향하는 그 표시 장치의 일부를 도시한다.

도 4 내지 도 6 에 도시한 바와 같이, 본 발명의 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치는, 박막 트랜지스터 어레이 기판 (이하, TFT 기판이라 함) (130), 이 TFT 기판 (130) 에 평행하고 분리하여 형성한 투명한 대향 기판 (140), 및 이 대향 기판 (140) 과 그 TFT 기판 (130) 사이에 밀폐한 형태로 삽입한 액정 (116) 을 구비하는 전반적인 구성을 가진다.

도 4 내지 도 6 에 도시한 바와 같이, 그 박막 트랜지스터는 제 1 유리기판 (100), 게이트 라인 (101), 비정질 실리콘 (이하, 수소-함유 비정질 실리콘을 a-Si:H 로 표시함) 막 (107), n+ 비정질 실리콘막 (108), 드레인 라인 (102), 소스(화소)전극 (105), 공통전극 (104), 및 드레인 전극 (106) 을 구비한다. 이 드레인 전극 (106) 은 그 드레인 라인 (102) 에 전기접속한다. 게이트 라인들 (101) 과 드레인 라인들 (102) 이 둘러싼 영역들 내에 다수의 단위 화소들을 형성하며, 도 4 의 수평 및 수직 방향으로 배열한 형태로 배치한다. 소스(화소) 전극 (105) 의 일단은 소스 전극으

로서 기능하는 박막 트랜지스터 (TFT) (103) 의 n+ 비정질 실리콘막 (108) 에 접속하며, 공통전극 (104) 에 평행하게 연장하는 소스(화소) 전극 (105) 의 일부는 화소 전극으로서 기능한다. 비정질 실리콘막 (107) 을 오버랩하는 게이트 라인 (101) 의 일부는 TFT (103) 의 게이트 전극으로서 기능한다.

도 7 은 액정 (116) 에 대향하여 위치한 백라이트로부터의 경사광이 TFT 기판 (130) 에 입사하고 반사되어 프론트 채널부에 용이하게 도달하는 구조를 갖는 TFT 를 도시한다. 이 경우, TFT 의 드레인 전극 (106) 또는 소스(화소) 전극 (105) 의 폭이 비정질 실리콘 막 (107) 의 폭보다 넓게, 즉 채널 폭 방향에서 전극 아래에 비정질 실리콘 막이 존재하지 않는 영역이 채널 폭 방향에서 비정질 실리콘 막 위로 연장하는 드레인 전극 (106) 또는 소스(화소) 전극 (105) 의 영역에 대응하여 존재하도록 드레인 전극 또는 소스 전극을 형성한다. 따라서, 게이트 라인 (101) 의 아래쪽으로부터 경사지게 비교적 낮은 광 흡수율 (비정질 실리콘 막의 광 흡수가 존재하지 않는데 기인함) 을 가지는 사선부로 입사하는 광은 그 전극에서 반사하여 채널부에 용이하게 도달한다.

상술한 이유로, 도 5 에 도시한 바와 같이, 본 발명은 TFT 를 구성하는 드레인 전극 (106) 또는 소스(화소) 전극 (105) 을 채널 폭 방향으로 비정질 실리콘 막 (107) 에 포함하는 기본구조를 갖는다. 구체적으로, 도 5 의 TFT (103) 는 다음의 포함관계를 만족하도록 형성한다.

수학식 1

$$[LS \subset LA] \cap [LD \subset LA]$$

여기서, LD 는 채널 폭 방향의 드레인 전극 (106) 의 폭이고, LS 는 채널 폭 방향의 소스 전극 (105) 의 폭이며, LA 는 채널 폭 방향의 비정질 실리콘 막 (107) 의 폭이다.

제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 제조방법을 도 4 내지 도 6 을 참조하여 설명한다.

먼저, 제 1 유리기판 (100) 상에 Cr 막을 스퍼터링법으로 증착하고, 선택적으로 에칭하여 게이트 라인 (101) 및 공통전극 (104) 을 형성한다. 그런 후, 이 게이트 라인 (101) 을 포함하여 그 표면에 실리콘 질화막을 CVD (Chemical Vapor Deposition) 법으로 증착하여, 제 1 절연막 (109) 을 형성한다. 그런 후, 이 제 1 절연막 (109) 상에 비정질 실리콘막 (107) 및 n+ 비정질 실리콘막 (108) 을 적층막으로서 CVD 법으로 순차증착하고, 이 적층막이 게이트 라인 (101) 을 부분적으로 오버랩하도록 적층막을 패턴화한다. 다음으로, Cr 등으로 제조하는 금속막을 증착하고, 그 비정질 실리콘막 (107) 을 부분적으로 오버랩하도록 패턴화하여 소스(화소) 전극 (105) 및 드레인 전극 (106) 을 형성한다.

그런 후, 이 드레인 전극 (106) 및 소스 (화소) 전극 (105) 을 에칭 마스크로 사용하여, 그 비정질 실리콘막 (107) 상의 n+ 비정질 실리콘막 (108) 을 제거함으로써, 그 비정질 실리콘막 (107) 상에서 드레인 전극 (106) 과 소스(화소) 전극 (105) 의 단락을 피하여, TFT (103) 의 형성을 완료한다. 그 후, 이 TFT (103), 드레인 라인 (102) 및 소스(화소) 전극 (105) 을 피복하고 보호하도록 제 2 절연막 (110) 을 형성하여, TFT 기판 (130) 을 완성한다. 이 제 2 절연막 (110) 상에 액정 (116) 을 배향시키는 유기 재료로 형성하는 배향막을 피복하고, 배향처리하여, 제 1 배향막 (111) 을 형성한다.

제 1 유리기판 (100) 의 대향하는 제 2 유리기판 (112) 의 측으로부터 불투명 차광막 (113), 컬러층 (114), 제 3 절연막 (115), 및 제 2 배향막 (117) 을 순차적으로 형성하여, 제 2 유리기판 (112) 과 제 1 유리기판 (100) 사이에 액정 (116) 을 삽입한다.

또한, 제 1 유리기판 (100) 의 후면 (TFT (103) 를 형성하는 표면의 반대측) 에 제 1 편광판 (121) 을 부착하고, 제 2 유리기판 (112) 의 이면에 제 2 편광판 (122) 을 부착하여, 액정 표시 패널 (150) 을 완성한다.

도 8 은 액정 표시 패널 (150) 과 백라이트 (151) 간의 위치관계를 나타내는 사시도이다. 백라이트 (151) 위에 액정 표시 패널 (150) 을 배치하고, 이 액정 표시 패널 (150) 에 이 액정 표시 패널 (150) 의 TFTs 을 구동하는 액정 구동 회로 (152) 를 배선 (154) 을 통하여 접속하여, 액정 표시 장치를 완성한다.

이하, 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 동작을 설명한다.

이 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치는, 종래의 액티브 매트릭스형 액정 표시 장치의 동작과 유사한 방식으로 다음과 같이 동작한다 : 먼저, 액정 구동회로 (152) 로부터의 신호를 액정 표시 패널 (150) 에 입력하고; 매트릭스 형상의 각 세그먼트 내에 배치한 TFT (103) 를 동작 시킨 후; 소스(화소) 전극 (105) 과 공통 전극 (104) 사이에 전계를 발생시키고; 그 후에, 양 기판들 (140, 130) 사이에 밀봉한 액정 (116) 이 전기광학효과를 야기하여, 액정 표시 패널 (150) 의 광 투과율을 변화시키고; 그 결과, 도 6 에 도시한 바와 같이, 백라이트 (151) 로부터 출사한 광 (119) 의 투과율을 액정 표시 패널 (150) 을 통하여 변조시켜, 각 화소마다 광 강도가 변화하여 표시 장치에 화상표시를 할 수 있다.

백라이트 (151) 로부터 액정 표시 패널 (150) 상에 입사한 광에 대하여, 이 실시형태에 따른 액정 표시 장치는 다음의 부가적인 구조적 특징을 갖는다. 즉, TFT (103) 내에서 발생한 포토캐리어들이 생성하는 누설 전류를 감소시키기 위해, 도 5 에 도시한 바와 같이, 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 또는 드레인 전극으로 결정하는 적정 오버랩 길이 " d" 를 최적화한다. 이하, 오버랩 길이 " d" 를 최적화하는 동작을 상세히 설명한다.

도 9 는 보통의 백라이트 (151) 로부터의 출사광의 반지름 방향의 분포를 도시한다. I_0 는 방선 (放線) 방향으로 출사하는 광의 강도라고 가정하여, 극각 (極角)(θ_c) 방향의 광 강도를 $I_0 \cos\theta_0$ 로 표시한다.

도 9 에 도시한 바와 같이, 백라이트 (151) 로부터 출사광 (153) 이 발생하는 경우를 생각해 보자. 도 10 은 제 1 편광판 (121), 제 1 유리기판 (100), 게이트 라인 (101), 제 1 절연막 (109), 비정질 실리콘막 (107), 및 드레인 전극 (106) 을 나타내는 TFT 기판 (130) 의 확대 단면도이다. 도 10 을 참조하여, TFT 기판 (130) 의 후면 (백라이트 측) 으로부터 입사하는 광의 경로를 분석한다.

게이트 라인 (101) 이 광을 투과시키지 않기 때문에, 게이트 라인 (101) 의 종단을 통과하는 경로를 채널부 상에 입사하는 광의 경로로서 분석한다. 액정 표시 패널 (150) 상의 입사광 (119) 은 백라이트 (151) 로부터의 과의 출사각과 동일한 θ_c 의 각도로 입사한다는 점에 주목한다. 액정 표시 패널 (150) 내를 진행하는 광선에 굴절의 법칙(스넬의 법칙)을 적용하면, 이 광선은 다음의 수학식 3 을 만족하면서 진행한다.

수학식 3

$$n_0 \sin\theta_0 = n_p \sin\theta_p = n_1 \sin\theta_1 = n_2 \sin\theta_2 = n_3 \sin\theta_3$$

여기서, n_0 : 공기층 (120) 의 굴절률,

n_p : 제 1 편광판의 굴절률,

n_1 : 제 1 유리기판 (100) 의 굴절률,

n_2 : 제 1 절연막 (109) 의 굴절률,

n_3: 비정질 실리콘막 (107) 의 굴절률,

θ_0: 공기층 (120) 과 제 1 편광판 (121) 사이의 계면에서의 굴절각,

θ_1: 제 1 편광판 (121) 과 제 1 유리기판 (100) 사이의 계면에서의 굴절각,

θ_2: 제 1 유리기판 (100) 과 제 1 절연막 (109) 사이의 계면에서의 굴절각, 및

θ_3: 제 1 절연막 (109) 과 비정질 실리콘막 (107) 사이의 계면에서의 굴절각.

다음의 수학식 4 를 이용하여 광강도를 계산한다.

수학식 4

$$\left.\begin{aligned} I_p &= T_{0p} \times I \times \exp(-\alpha_p \times t_p/\cos\theta_0) \\ I_1 &= T_{p1} \times I_p \times \exp(-\alpha_1 \times t_1/\cos\theta_1) \\ I_2 &= T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2) \\ I_3 &= T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3), \end{aligned}\right\}$$

여기서, α_p: 제 1 편광판 (121) 의 광 흡수계수,

α_1: 제 1 유리기판 (100) 의 광 흡수계수,

α_2: 제 1 절연막 (109) 의 광 흡수계수, 및

α_3: 비정질 실리콘 막 (107) 의 광 흡수계수.

Ip, I_1, I_2, 및 I_3는 도 10 의 각각의 위치들에서의 광의 강도.

다음의 여러 가지 변수들을 사용하여 추가적으로 계산한다.

T_{0p} : 공기층 (120) 과 제 1 편광판 (121) 사이의 계면에서의 투과율,

T_{p1} : 제 1 편광판 (121) 과 제 1 유리기판 (100) 사이의 계면에서의 투과율,

T_{12} : 제 1 유리기판 (100) 과 제 1 절연막 (109) 사이의 계면에서의 투과율,

T_{23} : 제 1 절연막 (109) 과 비정질 실리콘막 (107) 사이의 계면에서의 투과율,

t_p: 제 1 편광판 (121) 의 막 두께,

t_1 : 제 1 유리기판 (100) 의 막 두께,

t_2 : 제 1 절연막 (109) 의 막 두께,

t_3 : 비정질 실리콘막 (107) 의 막 두께.

제 1 편광판 (121), 제 1 유리기판 (100), 제 1 절연막 (109), 및 비정질 실리콘막 (107) 을 통과하여 드레인 전극 (106) 의 표면에 도달하며 I_3 로 표시하는 광강도를 가지는 광이, 게이트 라인 (101) 과 드레인 전극 (106) 사이에서 수 회 반사와 굴절을 되풀이하여, 결국 채널부에 도달한다. 이 단계에서 필요한 계산을 다음과 같이 수행한다 : 먼저, 게이트 전극과 드레인 전극에서의 반사율 R_1 및 R_3 을 부가적으로 사용하면서 게이트 라인 (101) 과 드레인 전극 (106) 사이에서의 반사와 굴절마다의 반복적 계산에 다음의 수학식 6 및 수학식 7 을 적용하고; 처음부터 I_3 의 강도를 가지는 광의 채널부로의 진행 동안의 반사와 굴절마다 반복적으로 광강도를 계산하고; 광이 거리 " d" 를 진행할 때, 즉 채널부에 도달할 때, 광강도를 계산한다. 수학식 6 및 7 은 각각 굴절의 법칙을 나타내는 수학식과 광 흡수법칙을 나타내는 수학식들의 일부이다.

수학식 6

$$n_2 \sin\theta_2 = n_3 \sin\theta_3$$

수학식 7

$$\left.\begin{aligned} I_2 &= T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2) \\ I_3 &= T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3) \end{aligned}\right\}$$

I_n 을 채널부에서의 광강도로 가정하면, I_n 이 특정 레벨을 초과하면, 입사광이 발생시킨 전자 - 정공쌍을 무시할 수 없고, 누설 전류로 인한 플리커 또는 표시 균일성의 열화가 현저하게 된다.

이하, 표 1 에 주어진 파라미터들을 가지는 부재들을 사용하여 액정 표시 장치를 제조함으로써 얻어지는 결과를 설명한다. 표 1 에 포함된 항목은 백라이트의 스펙트럼을 나타내는 도 11 의 그래프를 참조한다.

실시형태 1의 LCD 장치를 구성하는 구성요소의 파라미터

기호		단위	값	비고
굴절율	n_0	-	1	-
	n_p		1.5	SQ1852APO (Sumitomo Chemical Co., Ltd.)
	n_1		1.5	OA10 (Nippon Electric Glass Co., Ltd.)
	n_2		1.9	질화실리콘
	n_3		3	-
광흡수계수	α_p	m^{-1}	$7.0X10^2$	SQ1852APO (Sumitomo Chemical Co., Ltd.)
	α_1		0	OA10 (Nippon Electric Glass Co., Ltd.)
	α_2		0	-
	α_3		$1.0X10^6$	-
막두께	t_p	m	$2.2X10^{-3}$	SQ1852APO (Sumitomo Chemical Co., Ltd.)
	t_1		$7.0X10^{-4}$	OA10 (Nippon Electric Glass Co., Ltd.)
	t_2		$5.0X10^{-7}$	-
	t_3		$3.3X10^{-7}$	-
각 계면에서의 투과율	T_{0p}	%	50	측정값
	T_{p1}		100	
	T_{12}		99	
	T_{23}		95	
금속표면에서의 반사율	R_1	cd/m^2	100	-
	R_3		100	-
백라이트의 정면 휘도	-	$w/(m^2 \cdot nm \cdot sr)$	8000	측정값
백라이트의 스펙트럼	-		FIG. 11	측정값

도 12 는 수학식 1 및 수학식 2 를 사용하여 " d" 의 다양한 값들에 대하여 백라이트의 출사광의 출사각도 θ_c와 채널부에 입사하는 광강도 I 사이의 관계를 계산한 결과를 도시한다. 백라이트 (151) 의 정면에서의 출사광 강도 I_0를 편의상 " 100" 으로 가정하여 그래프를 도시한다. 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 또는 드레인 전극에 의해 결정되는 " 최적의 오버랩 길이 'd'" 를 실용적인 제조의 범위 (d= 2 내지 5 ㎛) 내에서 변화시키면서 4 개의 곡선을 그린다. 도 12 부터, 백라이트로부터의 광의 출사 각도 θ_c가 50 내지 70 ° 일 때, 최대 강도를 가지는 광이 채널부에 입사한다는 것을 알 수 있다.

도 13 은, 백라이트로부터의 광의 출사각도 θ_c가 50 내지 70 ° 일 때, 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 또는 드레인 전극에 의해 결정되는 " 최적의 오버랩 길이 'd'" 와 채널부에 입사하는 광의 강도 " I" 사이의 관계를 나타낸다.

도 14 는, 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 또는 드레인 전극에 의해 결정되는 " 최적의 오버랩 길이 'd'" 와 플리커 레벨 (dB) 사이의 관계를 나타내며 실험들을 통하여 얻은 그래프이다. 여기서, 사람의 눈이 플리커를 인식할 수 없는 플리커 레벨은 - 30 dB 이하이고, 이 값에 대응하는 " d" 는 4 ㎛ 이상으로 결정된다. 3 ㎛의 값에서 " d" 를 설정하면, 플리커 레벨은 열악해진다. 이런 실험들을 고려하여, 4 ㎛ 이상의 임계치 " d" 에 대응하는 채널부 상에 입사하는 광의 강도 " I" 는, 도 13 의 그래프로부터 알 수 있는 바와 같이, 대략 0.2 이하여야 한다. 즉, 백라이트로부터의 출사광의 강도 " I_0" 가 광이 채널부에 도달할 때까지 0.2 % 이하로 감쇠할 때, TFT (103) 내에서 발생한 광 - 유도 오프 누설 전류는 표시 특성의 관점에서 무시할 수 있다. 또한, 사람의 눈이 플리커를 인식할 수 없는 - 30 dB 이하의 플리커 레벨 값은 절대적인 임계치로서 유효하지만, 채널 길이 방향으로 게이트 전극을 오버래핑하는 소스 또는 드레인 전극에 의해 결정되는 도 14 의 " 최적의 오버랩 길이 'd'" 로서 최적화한 4 ㎛ 이상의 값은, 경계값으로서의 " - 30 dB" 의 값에 대하여 결정하므로, 상대적 값이며, 즉 본 실시형태의 제작공정에서 사용하는 재료들에 의존하여 자연적으로 변한다.

상술한 수단으로 TFT (103) 의 채널부 상에 입사하는 광의 강도를 저감시킨 결과로서 광 - 유도 오프 누설 전류를 감소시킴으로써, 플리커의 저감 및 표시 균일성의 향상을 실현할 수 있다.

(제 2 실시형태)

본 발명의 제 2 실시형태를 첨부한 도면들을 참조하여 설명한다.

도 15 는 제 2 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 TFT 기판 (130) 의 단위 화소의 평면도이며, 도 6 의 단면도의 하측에 구성한 표시 장치의 일부를 도시한다. 도 16 은 각 단위 화소의 한 박막 트랜지스터의 확대 평면도이다. 도 17 은 도 15 의 B-B'를 따라 절단한 단면도이며, 또한그 TFT 기판 (130) 에 대향하는 표시 장치의 일부를 도시한다.

도 15 에 도시한 제 2 실시형태에 따른 액티브 매트릭스형 액정 표시 장치는, 게이트 라인 (101) 내에 비정질 실리콘막 (107) 을 완전히 포함한다는 점에서 도 4 내지 도 6 에 도시한 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치와 다르다. 즉, TFT (103) 를 구성하는 구성요소들은 다음의 포함관계를 만족시키도록 형성한다 ;

수학식 2

$$[\phi \subset (G \cap D) \subset A] \cup [\phi \subset (G \cap S) \subset A]$$

여기서, A 는 비정질 실리콘 막 (107) 이 점유하는 영역, G 는 게이트 라인 (101) 이 점유하는 영역, D 는 드레인 전극 (106) 이 점유하는 영역, S 는 소스(화소) 전극 (105) 이 점유하는 영역이며, ϕ 는 공집합이다.

이 제 2 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 전기적인 동작은 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치의 동작과 유사하다. 그러나, 제 2 실시형태는 제 1 실시형태와 아래와 같이 상이하다 ; 도 17 의 단면도에 도시한 바와 같이, 제 1 실시형태와는 달리, 게이트 라인 (101) 내에 비정질 실리콘막 (107) 을 완전히 포함하므로, 백라이트로부터 그 표시 장치의 내부쪽으로 게이트 라인 (101) 의 종단부를 통과하는 광이 게이트 라인 (101) 과 드레인 전극 (106) 사이 또는 게이트 라인 (101)과 소스(화소) 전극 (105) 사이에서 수회 반사되어, 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 또는 드레인 전극에 의해 결정되는 거리, 즉 " 최적의 오버랩 길이 'd'" 를 진행한 결과 ; 그 입사광의 감쇠가 제 1 실시형태에 따른 액티브 매트릭스형 액정 표시 장치가 달성하는 감쇠보다 더욱 현저하게 됨으로써, 보다 현저한 플리커의 저감 또는 표시 균일성을 확보한다. 결과적으로, 제 2 실시형태에서는 제 1 실시형태의 오버랩 길이와 동일한 값을 갖는 최적의 오버랩 길이 " d" 면 충분하다.

그러나, 상술한 구조의 몇가지 단점들은 다음과 같다 : 게이트 라인 (101) 내에 비정질 실리콘막 (107) 을 설계할 필요성은 화소들의 레이아웃을 제한하고; 채널부에 입사하는 광의 그 현저한 감소는 TFT (103) 의 on 전류를 감소시키고; 그 결과, TFT (103) 가 구동하는 소스(화소) 전극 (105) 에 공급할 전하들이 그 소스(화소) 전극을 구동하기에 불충분하여, 소망의 휘도를 얻을 수 없다. 따라서, 이러한 단점들도 또한 고려하여 액정 표시 장치를 설계하는 것이 바람직하다.

그 실시형태들의 상술한 설명부에서 설명한 바와 같이, 채널부의 전자-정공쌍의 개수를 충분히 저감시킴으로써 달성하는 플리커의 감소 및 표시 균일성의 향상을 다음의 방법으로 실현한다 : 먼저, 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 전극 또는 드레인 전극에 의해 결정되는 " 최적의 오버랩 길이 'd'" 를 정의하고; 이 최적치 " d" 를 TFT 를 구성하는 재료들의 물리 상수들 (본 발명에서는 " 변수들" 이라 칭함) 을 포함하고 물리법칙들에 관한 다양한 수학식들을 사용하여, 표시 장치의 내부측의 게이트 전극의 종단부로부터 입사하는 광이 진행하는 거리에 의해 그 값 " d" 를 결정하고 입사광에 비하여 진행 후의 광 강도가 반도체 영역 내에 주로 보여지는 광 흡수에 의해 충분히 감쇠하도록

계산하고; 마지막으로, 그 값 " d" 를 TFTs의 레이아웃에 적용한다.

본 발명의 상술한 실시형태들은, 편광판을 TFT 기판의 후면에 형성하고 액정 표시 장치의 TFTs의 채널부들 상에 입사하는 광을 감소시킬 수 있는 구조를 이용하지만, 이런 구조로 본 발명을 제한하지 않는다. 즉, 본 발명은 통상적인 스위칭 소자로서 박막 트랜지스터를 사용할 수 있으며, 좀더 상세히 말하면, TFT 기판의 후면에 편광판이 없고, 또한 이 TFT 기판에 대향하는 대향기판이 없는 박막 트랜지스터를 사용할 수 있다. 이런 경우, TFT 기판 상에 제 1 및 제 2 실시형태들의 편광판을 형성하지 않는 경우에 유용한 다양한 변수들 및 수학식들을 계산에 적용할 수 있다. 즉, 광-유도 오프 누설 전류를 감소시킬 수 있는 구조를 가지는 스위칭 소자가 다음의 수학식들을 만족시킬 것을 요구한다.

본 발명의 스위칭 소자는, 채널 폭 방향으로 비정질 실리콘 내에 TFT를 구성하는 소스 (화소) 전극 또는 드레인 전극을 포함하는 기본 구조를 가진다. 구체적으로, 다음의 포함관계를 만족하도록 TFT 를 형성한다 :

[수학식 1]

$$[LS \subset LA] \cap [LD \subset LA]$$

여기서, LD 는 채널 폭 방향의 TFT의 드레인 전극의 폭, LS 는 채널 폭 방향의 소스 전극의 폭이고, LA 는 채널 폭 방향의 반도체 영역의 전극폭이다.

TFT 기판 상에 제 1 실시형태의 편광판을 제공하지 않는 경우에 대하여 다양한 변수들 및 수학식들을 스위치 소자의 이같은 구성에 다음 방법으로 적용할 수 있다.

굴절 법칙 (스넬의 법칙)을 액정 표시 패널 (150) 내에서 진행하는 광에 적용할 때, 이 광은 다음의 수학식 8 을 만족하면서 진행한다.

수학식 8

$$n_0 \sin\theta_0 = n_1 \sin\theta_1 = n_2 \sin\theta_2 = n_3 \sin\theta_3$$

여기서, n_0 : 공기층 (120) 의 굴절율 ,

n_1 : 제 1 유리기판 (100) 의 굴절율,

n_2 : 제 1 절연막 (109) 의 굴절율,

n_3 : 비정질 실리콘막 (107) 의 굴절율,

θ_1; 공기층 (120) 과 제 1 유리기판 (100) 사이의 계면에서의 굴절각,

θ_2; 제 1 유리기판 (100)과 제 1 절연막 (109) 사이의 계면에서의 굴절각,

θ_3; 제 1 절연막 (109) 과 비정질 실리콘막 (107) 사이의 계면에서의 굴절각.

또한, 광의 강도를 다음의 수학식 9 를 이용하여 계산한다.

수학식 9

$$\left.\begin{aligned} I_1 &= T_{01} \times I \times \exp(-\alpha_1 \times t_1/\cos\theta_1) \\ I_2 &= T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2) \\ I_3 &= T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3) \end{aligned}\right\}$$

여기서,

α_1; 제 1 유리기판 (100) 의 광 흡수계수,

α_2; 제 1 절연막 (109) 의 광 흡수계수, 및

α_3; 비정질 실리콘막 (107) 의 광 흡수계수.

I_1,I_2, 및 I_3 은, 도 10 에 도시한 구조로부터 도면 부호 121 로 표시한 부분을 제거하여 구성한 구조의 각각의 위치들에서의 광강도이다. 수학식 9 에 사용한 다른 변수들은 다음과 같다.

T_{01} : 공기층 (120) 과 제 1 유리기판 (100) 사이의 계면에서의 투과율,

T_{12} : 제 1 유리 기판 (100) 과 제 1 절연막 (109) 사이의 계면에서의 투과율,

T_{23} : 제 1 절연막 (109) 과 비정질 실리콘막 (107) 사이의 계면에서의 투과율,

t_1 : 제 1 유리기판 (100) 의 막 두께,

t_2 : 제 1 절연막 (109) 의 막 두께, 및

t_3 : 비정질 실리콘막 (107) 의 막 두께.

제 1 유리기판, 제 1 절연막 (109), 및 비정질 실리콘막 (107)을 투과하여 드레인 전극 (106) 의 표면으로 도달하고 " I_3 " 로 표시한 광강도를 가지는 광은 게이트 라인 (101) 과 드레인 전극 (106) 사이에서 수회 반사와 굴절을 반복하여, 결국 채널부에 도달한다. 이 단계에서 필요한 계산은 다음과 같이 수행한다 : 먼저, 게이트 라인 (101) 과 드레인 전극 (106) 사이의 반사와 굴절마다의 반복적인 계산에, 게이트 전극 및 드레인 전극에서의 반사율 R_1 및 R_3 를 부가적으로 이용하여, 다음의 수학식 6 및 7 을 적용하여; 처음부터 I_3 의 강도를 가지고 채널부로의 광의 진행 동안의 반사와 굴절마다 반복적으로 광강도를 계산하고; 이 광이 " d" 의 거리를 진행할 때 즉, 채널부에 도달할 때, 광강도를 계산한다. 수학식 6 및 7 은 각각 굴절의 법칙을 나타내는 수학식 및 광 흡수의 법칙을 나타내는 수학식들의 일부부들이다.

[수학식 6]

$$n_2 \sin\theta_2 = n_3 \sin\theta_3$$

[수학식 7]

$$\left.\begin{aligned} I_2 &= T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2) \\ I_3 &= T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3) \end{aligned}\right\}$$

I_n 을 채널부에서의 광강도라고 가정하면, I_n 이 특정 레벨을 초과할 때, 입사광에 의해 발생한 전자 - 정공쌍을 무시할 수 없어, 누설 전류로 인한 플리커 및 표시 균일성의 열화가 현저하게 된다.

본 발명의 바람직한 실시형태들을 상술하였지만, 이러한 실시형태들로 본 발명은 제한되지 않으며, 다양한 기타의 변경된 구조들을 사용할 수도 있다. 예를 들면, 본 발명에 따른 TFT 부분의 게이트 전극을 채널 길이 방향으로 오버랩하는 소스 전극 또는 드레인 전극에 의해 결정되는 최적화된 오버랩 길이를 또한 비정질 실리콘막, 예를 들면 폴리실리콘막 이외의 반도체 영역들에도 적용할 수 있다. 또한, 본 발명을, 2 이상의 영역을 가지며 이 영역들에 대응하는 배향층들이 상이한 프리틸트들 (pretilts) 을 가지고, 고 영상 품질을 요구하는 즉, 특히 수평 전계 모드로 동작할 때 저 플리커 및 저 불균일 휘도를 요구하는 표시 장치 내에서 시각 방향에 의존하는 콘트라스트 비율을 향상시키는데 사용하는 다중-영역 액정 셀에 적용할 수도 있다.

본 발명은, 상술한 백라이트, 또는 사이드라이트를 사용하는 투명형 액정 표시 장치로 제한되지 않으며, TFTs 를 사용하지만 백라이트가 필요없는 반사형 액정 표시 장치에 사용할 수도 있고, 또한 투명형 및 반사형 모두의 기능들을 가지는 반투명형/반반사형 액정 표시 장치에서 사용할 수도 있다. 또한, 본 발명을 액정 표시 장치 뿐만 아니라 EL (전자 냉광) 표시 장치에도 적용할 수 있다. 또한, Al, Mo 및 Ta 와 같은 Cr 이외의 금속들을 게이트 라인, 드레인 라인 및 기타 개개의 전극들 용으로 사용할 수 있다.

발명의 효과

상술한 바와 같이, 유리 기판 상에 형성하는 다수의 게이트 라인들, 이 게이트 라인들을 교차하도록 형성하는 다수의 드레인 라인들, 이 드레인 라인들 과 그 게이트 라인들의 각각의 교차점 근방에 형성하는 TFTs, 각각의 이 TFTs 에 접속하는 소스(화소) 전극 및 이 소스(화소) 전극을 대향하도록 형성하는 공통전극을 포함하는 TFT 기판을 가지는 본 발명의 액티브 매트릭스 액정 표시 장치 내에서, 채널 길이 방향으로 게이트 전극을 오버랩하는 소스 또는 드레인 전극에 의해 결정되는 최적의 오버랩 길이 " d" 를 확보함으로써, 채널부 상에 입사하는 광에 의한 비정질 실리콘 내에서의 전자 - 정공 쌍들의 발생으로 인한 광 - 유도 오프 누설 전류를 충분히 억제하여, 플리커 및 표시 균일성을 개선한다. 좀 더 상세하게는, 광이 채널부로 진행하는 거리 " d" 를 진행한 후 백라이트로부터의 출사광의 강도 " I_0 " 의 0.2% 이하 되는 그 거리를 계산하여 그 최적의 오버랩 길이 " d" 를 얻는다. 이 최적의 오버랩 길이 " d" 를 계산하기 위해, 아래의 수학식들, 스넬의 등식 3 및 광 흡수율에 관한 등식들 4 와, 게이트 라인 표면에서의 반사율 R_1 및 드레인 전극 표면에서의 반사율 R_3 를 사용한다.

[수학식 3]

$$n_0 \sin\theta_0 = n_p \sin\theta_p = n_1 \sin\theta_1 = n_2 \sin\theta_2 = n_3 \sin\theta_3$$

[수학식 4]

$$\left.\begin{aligned} I_p &= T_{0p} \times I \times \exp(-\alpha_p \times t_p/\cos\theta_0) \\ I_1 &= T_{p1} \times I_p \times \exp(-\alpha_1 \times t_1/\cos\theta_1) \\ I_2 &= T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2) \\ I_3 &= T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3), \end{aligned}\right\}$$

(57) 청구의 범위

청구항 1.

제 1 기판의 일면 상에 형성하며 박막 트랜지스터들 및 상기 제 1 기판의 타면 상에 형성하는 편광판을 가지는 박막 트랜지스터 어레이 기판;

상기 박막 트랜지스터 어레이 기판을 대향하도록 배치된 대향기판; 및

상기 박막 트랜지스터 어레이 기판과 상기 대향기판 사이에 샌드위치된 액정을 구비하며,

각각의 상기 박막 트랜지스터들은 상기 제 1 기판 상에 형성하는 게이트 전극을 피복하는 절연막 상에 형성하는 반도체 영역, 및 부분적으로 상기 반도체 영역을 오버랩하도록 상기 반도체 영역의 양 종단부 상에 서로 분리하여 형성하는 소스전극과 드레인 전극을 가지며,

채널 폭 방향의 상기 소스 전극 및 상기 드레인 전극의 폭들을 상기 채널 폭 방향의 상기 반도체 영역의 폭이 포함하도록 상기 소스 전극 및 상기 드레인 전극을 형성하면서, 상기 게이트 전극, 상기 소스전극 및 상기 반도체 영역이 구성하는 평면 소스측 오버랩 영역, 및 상기 게이트 전극, 상기 소스전극 및 상기 반도체 영역이 구성하는 평면 드레인측 오버랩 영역 모두를 제공하며, 각각의 상기 박막 트랜지스터들의 채널부 상에 입사하는 광이 상기 제 1 기판 상에 입사하는 백라이트의 광강도의 0.2% 이하의 광강도를 가지도록 상기 채널 길이 방향의 상기 소스측 및 상기 드레인측 오버랩 영

역들 중 하나의 오버랩 영역의 적정 오버랩 길이가 결정되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 채널 길이 방향으로 상기 게이트 전극 내에 포함되도록 상기 반도체 영역이 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 3.

제 1 항에 있어서,

상기 액정은, 상기 박막 트랜지스터 어레이 기판 상에 발생되며 상기 박막 트랜지스터 어레이 기판에 거의 평행한 전계에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 4.

제 3 항에 있어서,

상기 박막 트랜지스터 어레이 기판에 거의 평행한 상기 전계가 2 이상의 방향으로 인가되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 5.

제 1 항에 있어서,

상기 액정은, 상기 박막 트랜지스터 어레이 기판상에 발생되며 상기 박막 트랜지스터 어레이 기판에 거의 수직인 전계에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 채널 길이 방향으로 상기 소스측 오버랩 영역 및 상기 드레인측 오버랩 영역 중 하나의 오버랩 영역의 상기 최적의 오버랩 길이는, 각각의 상기 박막 트랜지스터들의 상기 채널부에서, 상기 백라이트로부터 유래하여 모든 각도로 상기 액정 표시 장치로 방출되는 광의 강도의 최대치로서 정의된 플리커 출력 레벨로서 -30 dB 이하의 값을 만족하도록 또한 결정되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 반도체 영역은, 상기 채널 길이 방향으로 상기 게이트 전극 내에 포함되도록 형성되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 8.

제 6 항에 있어서,

상기 액정은, 상기 박막 트랜지스터 어레이 기판 상에 발생되며 상기 박막 트랜지스터 어레이 기판에 거의 평행한 전계에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 9.

제 8 항에 있어서,

상기 박막 트랜지스터 어레이 기판에 평행한 상기 전계가 2 이상의 방향으로 인가되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 10.

제 6 항에 있어서,

상기 액정은, 상기 박막 트랜지스터 어레이 기판에서 발생되며 상기 박막 트랜지스터 어레이 기판에 거의 평행한 전계에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 11.

제 1 항에 있어서,

각각의 상기 박막 트랜지스터들의 상기 채널부에서의 상기 광의 상기 강도는, 다양한 변수들 및 다음의 수학식들에 기초하여 미지의 변수들을 계산하고 다음 과정들을 거치게 함으로써 얻어지고, 상기 채널 길이 방향으로의 상기 소스측 및 상기 드레인측 오버랩 영역들 중 하나의 오버랩 영역의 상기 최적의 오버랩 길이는, 각각의 상기 박막 트랜지스터들의 채널부 상에 입사하는 광이 상기 백라이트로부터 방출되는 상기 백라이트-광의 광강도의 0.2% 이하의 광강도를 갖도록 결정하며,

상기 수학식들은 다음의 변수들을 사용하고,

α_p: 상기 제 1 편광판의 광 흡수계수,

α_1: 상기 제 1 기판의 광 흡수계수,

α_2: 제 1 절연막의 광 흡수계수,

α_3: 상기 반도체 영역의 광 흡수계수,

T_{0p} : 공기층과 상기 제 1 편광판 사이의 계면에서의 투과율,

T_{p1} : 상기 제 1 편광판과 상기 제 1 기판 사이의 계면에서의 투과율,

T_{12} : 상기 제 1 기판과 상기 제 1 절연막 사이의 계면에서의 투과율,

T_{23} : 상기 제 1 절연막과 상기 반도체 영역 사이의 계면에서의 투과율,

n_0 : 상기 공기층의 굴절률,

n_p : 상기 제 1 편광판의 굴절률,

n_1 : 상기 제 1 기판의 굴절률,

n_2 : 상기 제 1 절연막의 굴절률,

n_3 : 상기 반도체 영역의 굴절률,

R_1 : 게이트 라인 용의 금속재료의 반사율,

R_3 : 상기 드레인 전극 및 상기 소스 전극 중 하나의 전극용의 금속재료의 반사율,

t_p : 상기 제 1 편광판의 막 두께,

t_1 : 상기 제 1 기판의 막 두께,

t_2 : 상기 제 1 절연막의 막 두께,

t_3 : 상기 반도체 영역의 막 두께,

I_0 : 상기 백라이트로부터 법선방향으로 방출되는 광의 강도,

d : 상기 채널 길이 방향으로 상기 게이트 라인을 오버랩하는 상기 소스 및 상기 드레인 전극들 중 하나의 전극에 의해 한정되는 영역의 길이,

상기 수학식들은 굴절법칙을 나타내는 수학식 3, 광흡수를 나타내는 수학식 4, 및 백라이트 강도의 반지름방향의 분포를 나타내는 수학식 5 인 다음과 같은 식들을 포함하고,

[수학식 3]

$$n_0 \sin\theta_0 = n_p \sin\theta_p = n_1 \sin\theta_1 = n_2 \sin\theta_2 = n_3 \sin\theta_3$$

[수학식 4]

$$I_p = T_{0p} \times I \times \exp(-\alpha_p \times t_p / \cos\theta_0)$$

$$I_1 = T_{p1} \times I_p \times \exp(-\alpha_1 \times t_1 / \cos\theta_1)$$

$$I_2 = T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2)$$

$$I_3 = T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3)$$

[수학식 5]

$$I = I_0 \times \cos\theta_c$$

상기 미지의 변수들은 순차적으로 계산되는 다음의 항목들을 포함하고,

I : 상기 제 1 편광판으로 입사하는 광의 강도,

I_p: 상기 제 1 기판으로 입사하는 광의 강도,

I_1 : 상기 제 1 절연막으로 입사하는 광의 강도,

I_2 : 상기 반도체 영역으로 입사하는 광의 강도,

I_3 : 상기 반도체 영역을 통과한 후 반사된 광의 강도,

θ_c: 상기 제 1 편광판으로부터 상기 제 1 기판으로의 광의 입사각,

θ_1: 상기 제 1 기판으로부터 상기 제 1 절연막으로의 광의 입사각,

θ_2: 상기 제 1 절연막으로부터 상기 반도체 영역으로의 광의 입사각,

θ_3: 상기 제 1 절연막으로부터 상기 반도체 영역으로의 광의 출사각,

상기 수학식들은 상기 굴절법칙의 일부를 나타내는 수학식 6 및 상기 광흡수 법칙을 나타내는 수학식 7 인 다음 식들을 포함하며,

[수학식 6]

$$n_2 \sin\theta_2 = n_3 \sin\theta_3$$

[수학식 7]

$$I_2 = T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2)$$

$$I_3 = T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3)$$

및 상기 최적의 오버랩 길이는,

상기 게이트 전극과 상기 드레인 전극에서의 반사율 R_1 및 R_3 을 부가적으로 사용하면서 상기 게이트 라인과 상기 드레인 전극 사이에서의 반사와 굴절마다의 반복적 계산에 상기 수학식 6 및 수학식 7 을 적용하고, 처음부터 I_3 의 강도를 가지는 광의 상기 채널부로의 진행 동안의 반사와 굴절마다 반복적으로 광강도를 계산하고, 최종적으로 상기 채널부에서의 광강도를 계산함으로써 결정되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 12.

제 11 항에 있어서,

상기 반도체 영역은, 상기 채널 길이 방향으로 상기 게이트 전극 내에 포함되도록 형성되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 13.

제 11 항에 있어서,

상기 액정은, 상기 박막 트랜지스터 어레이 기판 상에 발생되며 상기 박막 트랜지스터 어레이 기판과 거의 평행한 전계에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 14.

제 13 항에 있어서,

상기 박막 트랜지스터 어레이 기판에 거의 평행한 상기 전계가 2 이상의 방향으로 인가되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 15.

제 11 항에 있어서,

상기 액정은, 상기 박막 트랜지스터 어레이 기판 상에 발생되며 상기 박막 트랜지스터 어레이 기판에 거의 평행한 전계에 의해 구동되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 16.

기판의 표면 상에 형성하는 게이트 전극;

상기 게이트 전극을 피복하는 절연막;

상기 절연막 상 및 상기 게이트 전극의 위에 형성하는 반도체 영역; 및 상기 반도체 영역을 부분적으로 오버랩하도록 상기 반도체 영역의 양쪽 단부 상에 서로 분리하여 형성하며 상기 절연막 상에서 연장하는 소스 전극 및 드레인 전극을 구비하며,

상기 소스전극 및 드레인 전극은, 상기 채널 폭 방향의 상기 소스 전극 및 상기 드레인 전극의 폭들이 상기 채널 폭 방향의 상기 반도체 영역의 폭에 포함하도록 형성되고, 상기 게이트 전극, 상기 소스전극 및 상기 반도체 영역으로 구성되는 평면 소스측 오버랩 영역, 및 상기 게이트 전극, 상기 소스전극 및 상기 반도체 영역이 구성하는 평면 드레인측 오버랩 영역 양방이 제공되어, 각각의 상기 박막 트랜지스터들의 채널부 상에 입사하는 광이 상기 기판 상에 입사하는 백라이트의 광강도의 0.2% 이하의 광강도를 가지도록 채널 길이 방향의 상기 소스측 및 상기 드레인측 오버랩 영역들 중 하나의 오버랩 영역의 최적의 오버랩 길이가 결정되는 것을 특징으로 하는 스위칭 소자.

청구항 17.

제 16 항에 있어서,

상기 채널 길이 방향으로의 상기 반도체 영역의 폭은 상기 채널 길이 방향으로의 상기 게이트 전극의 폭보다 넓으며, 상기 채널 길이 방향으로 상기 게이트 전극을 넘어서 연장하도록 상기 반도체 영역이 형성되는 것을 특징으로 하는 스위칭 소자.

청구항 18.

제 16 항에 있어서,

상기 스위칭 소자의 상기 채널부에서의 상기 광의 상기 강도는, 다양한 변수들 및 다음의 수학식들에 기초하여 미지의 변수들을 계산하고 다음 과정들을 거치게 함으로써 얻어지고, 상기 채널 길이 방향의 상기 소스측 및 상기 드레인측 오버랩 영역들 중 하나의 오버랩 영역의 상기 최적의 오버랩 길이는, 상기 스위칭 소자의 채널부 상에 입사하는 광이 상기 기판 상에 입사하는 상기 백라이트의 광강도의 0.2% 이하의 광강도를 갖도록 결정하며,

상기 수학식들은 다음의 변수들을 사용하고:

α_1: 상기 기판의 광 흡수계수,

α_2: 상기 절연막의 광 흡수계수,

α_3: 상기 반도체 영역의 광 흡수계수,

T_{01} : 상기 공기층과 상기 기판 사이의 계면에서의 투과율,

T_{12} : 상기 기판과 상기 절연막 사이의 계면에서의 투과율,

T_{23} : 상기 절연막과 상기 반도체 영역 사이의 계면에서의 투과율,

n_0 : 상기 공기층의 굴절률,

n_1 : 상기 기판의 굴절률,

n_2 : 상기 절연막의 굴절률,

n_3 : 상기 반도체 영역의 굴절률,

R_1 : 게이트 라인용의 금속재료의 반사율,

R_3 : 상기 드레인 전극 또는 상기 소스 전극용의 금속재료의 반사율,

t_1 : 상기 기판의 막 두께,

t_2 : 상기 절연막의 막 두께,

t_3 : 상기 반도체 영역의 막 두께,

I_0 : 상기 공기층으로부터 법선방향으로 상기 기판의 다른 표면으로 방출되는 광의 강도, 및

d : 상기 채널 길이 방향으로 상기 게이트 라인을 오버랩하는 상기 소스 및 상기 드레인 전극들 중 하나의 전극에 의해 한정되는 영역의 길이,

상기 수학식들은 굴절법칙을 나타내는 수학식 8, 광흡수를 나타내는 수학식 9, 및 백라이트 강도의 반지름방향의 분포를 나타내는 수학식 5 인 다음과 같은 식들을 포함하고,

[수학식 8]

$$n_0 \sin\theta_0 = n_1 \sin\theta_1 = n_2 \sin\theta_2 = n_3 \sin\theta_3$$

[수학식 9]

$$I_1 = T_{01} \times I \times \exp(-\alpha_1 \times t_1/\cos\theta_1)$$

$$I_2 = T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2)$$

$$I_3 = T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3)$$

[수학식 5]

$$I = I_0 \times \cos\theta_0$$

상기 미지의 변수들은 순차적으로 계산되는 다음의 항목들을 포함하고,

I_0 : 상기 기판으로 입사하는 광의 강도,

I_1 : 상기 절연막으로 입사하는 광의 강도,

I_2 : 상기 반도체 영역으로 입사하는 광의 강도,

I_3 : 상기 반도체 영역을 통과한 후 반사된 광의 강도,

θ_c : 상기 공기층으로부터 상기 기판으로의 광의 입사각,

θ_1 : 상기 기판으로부터 상기 절연막으로의 광의 입사각,

θ_2 : 상기 절연막으로부터 상기 반도체 영역으로의 광의 입사각,

θ_3 : 상기 절연막으로부터 상기 반도체 영역으로의 광의 출사각,

상기 수학식들은 상기 굴절법칙의 일부를 나타내는 수학식 6 및 상기 광흡수 법칙을 나타내는 수학식 7 인 다음 식들을 포함하며 :

[수학식 6]

$$n_2 \sin\theta_2 = n_3 \sin\theta_3$$

[수학식 7]

$$I_2 = T_{12} \times I_1 \times \exp(-\alpha_2 \times t_2/\cos\theta_2)$$

$$I_3 = T_{23} \times I_2 \times \exp(-\alpha_3 \times t_3/\cos\theta_3)$$

및 상기 최적의 오버랩 길이는,

상기 게이트 전극과 상기 드레인 전극에서의 반사율 R_1 및 R_3 를 부가적으로 사용하면서 상기 게이트 라인과 상기 드레인 전극 사이에서의 반사와 굴절마다의 반복적 계산에 상기 수학식 6 및 수학식 7 을 적용하고, 처음부터 I_3 의 강도를 가지는 광의 상기 채널부로의 진행 동안의 반사와 굴절마다 반복적으로 광강도를 계산하고, 최종적으로 상기 채널부에서의 광강도를 계산함으로써 결정되는 것을 특징으로 하는 스위칭 소자.

청구항 19.

제 18 항에 있어서,

상기 채널 길이 방향으로의 상기 반도체 영역의 폭은 상기 채널 길이 방향으로의 상기 게이트 전극의 폭보다 넓으며, 상기 채널 길이 방향으로 상기 게이트 전극을 넘어서 연장하도록 상기 반도체 영역이 형성되는 것을 특징으로 하는 스위칭 소자.

청구항 20.

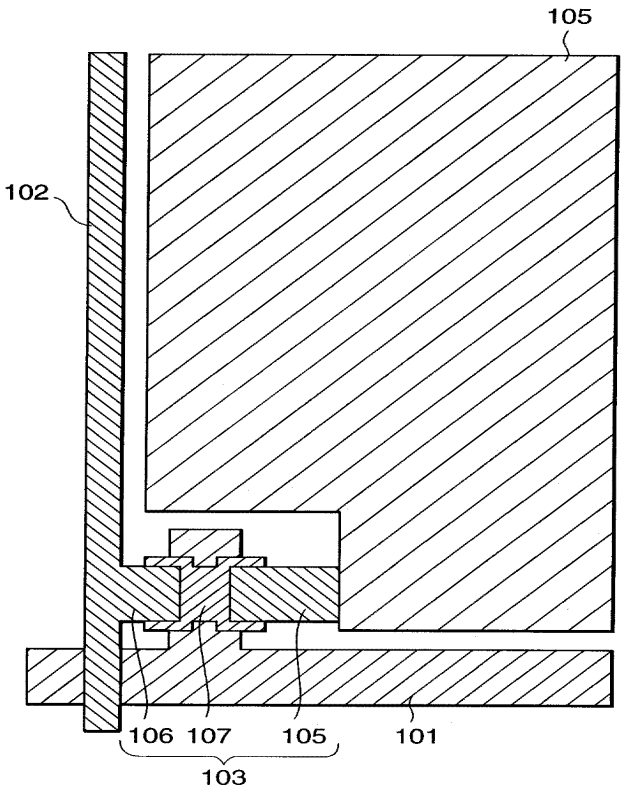
제 18 항에 있어서,

상기 채널 길이 방향으로의 상기 반도체 영역의 폭이 상기 채널 길이 방향으로의 상기 게이트 전극의 폭보다 좁으며, 상기 채널 길이 방향으로 상기 게이트 전극 내에 포함되도록 상기 반도체 영역이 형성되는 것을 특징으로 하는 스위칭 소자.

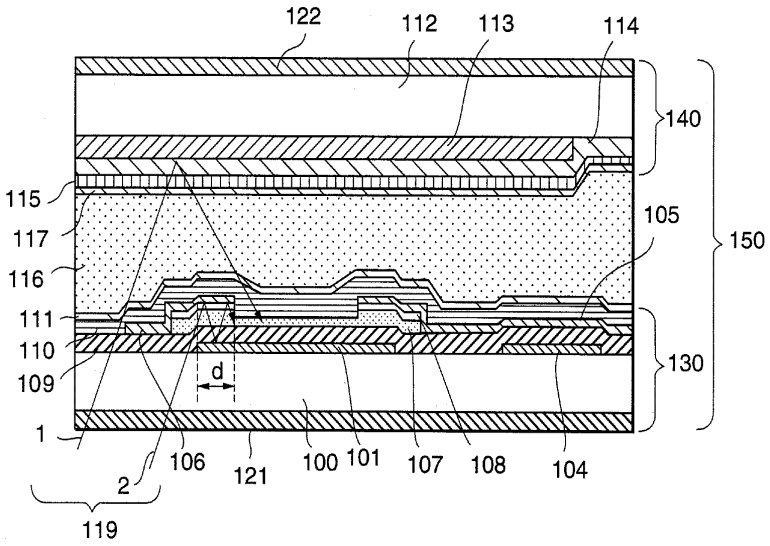
도면

도면 1

종래 기술

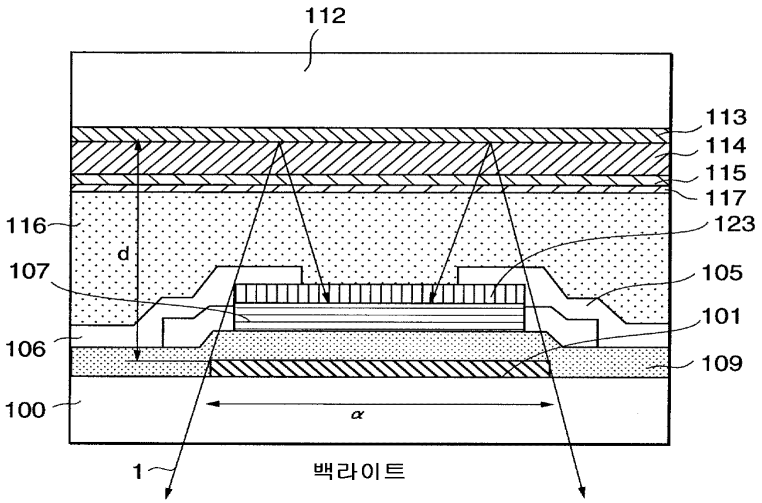


도면 2

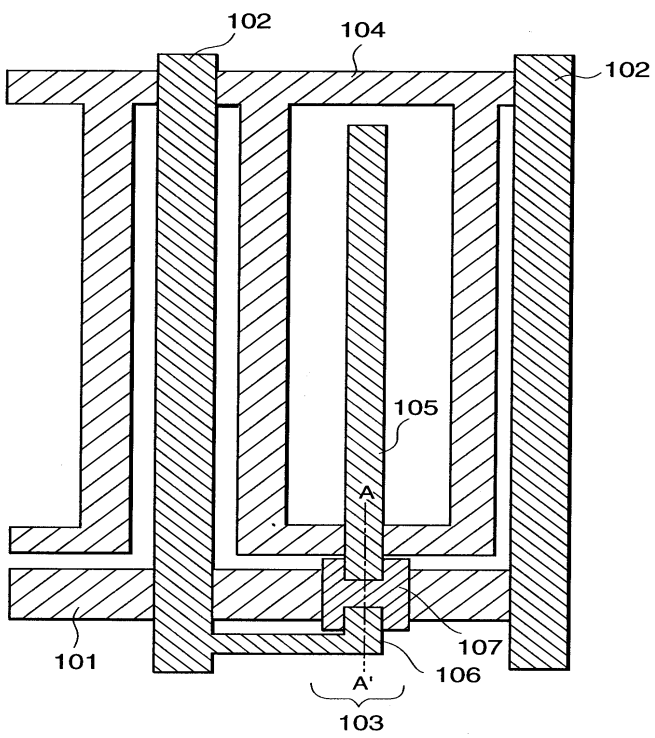

122
112
113
114
140
115
117
116
111
110
109
105
150
130
d
1
106
121
100
101
107
108
104
2
119

도면 3

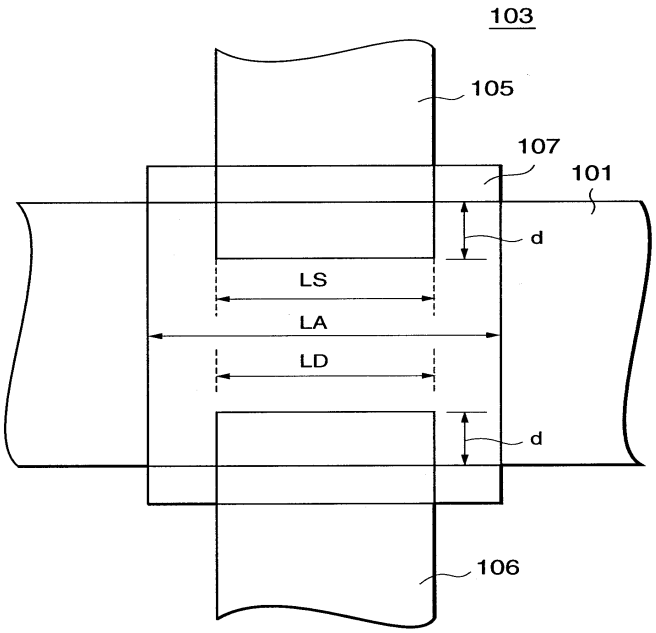
종래 기술


112
113
114
115
117
116
123
d
107
105
101
106
109
100
α
1
백라이트

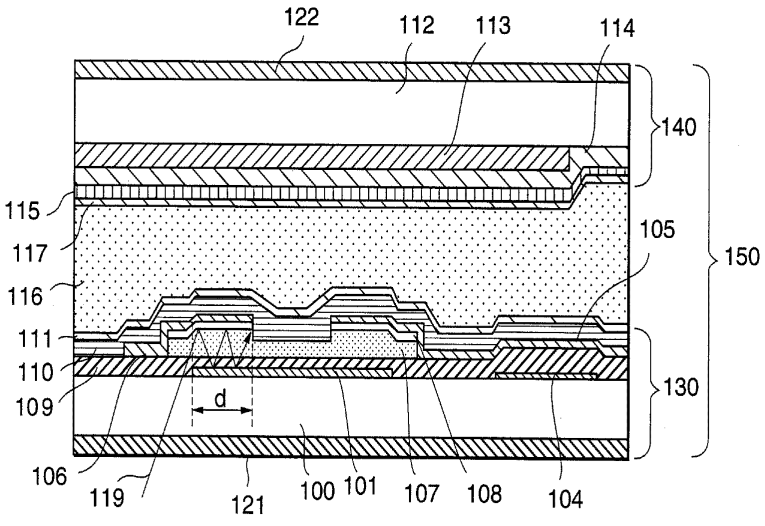
도면 4



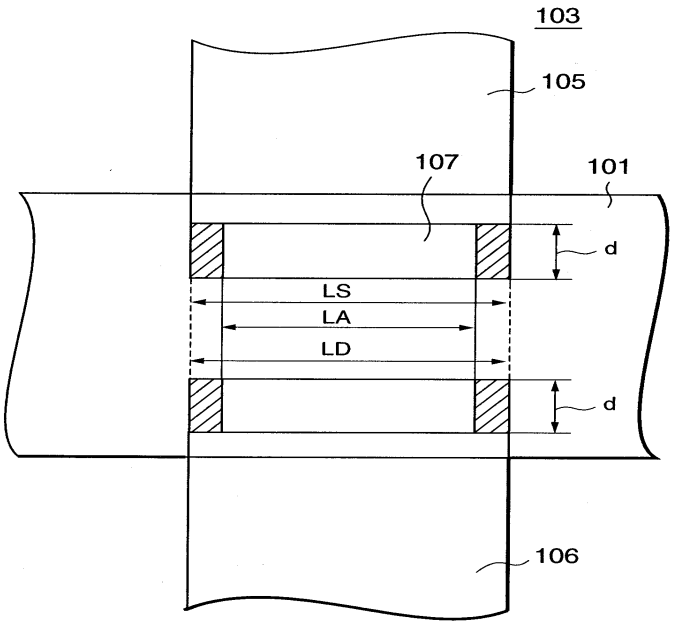
도면 5


103
105
107
101
d
LS
LA
LD
d
106

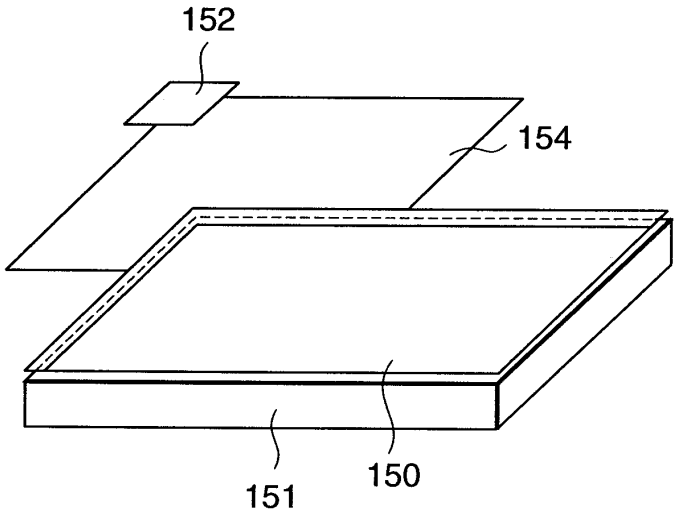
도면 6


122
112
113
114
140
115
117
116
111
110
109
105
150
130
d
106
119
121
100
101
107
108
104

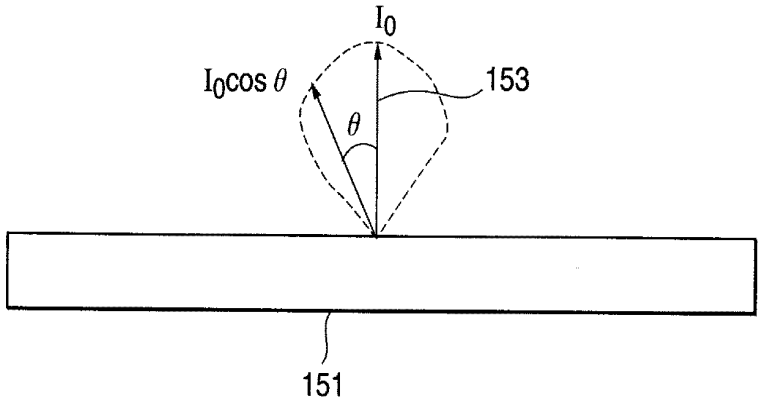
도면 7



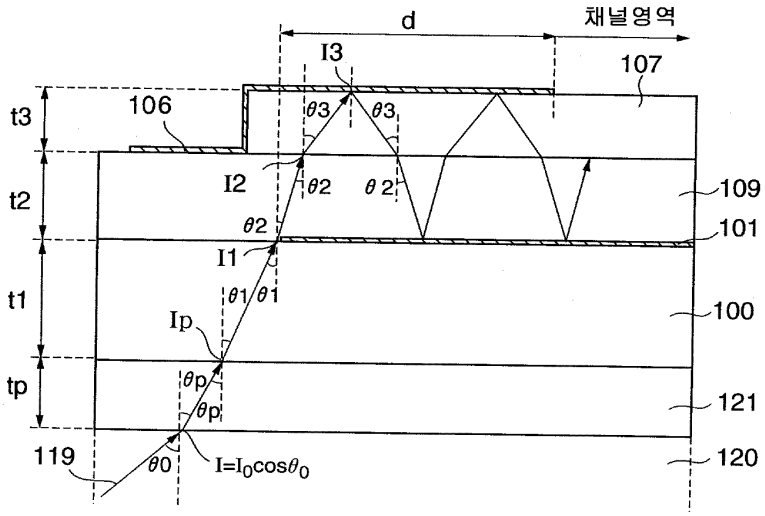
도면 8



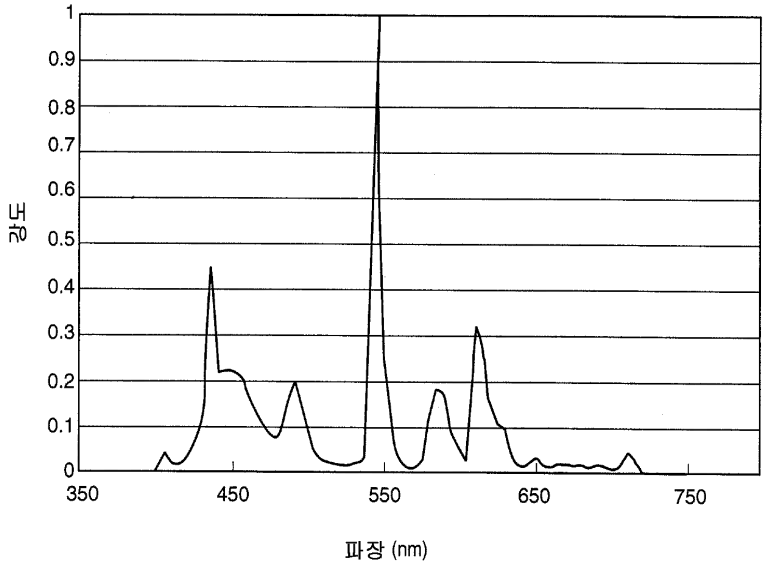
도면 9


I0
I0cos θ
153
θ
151

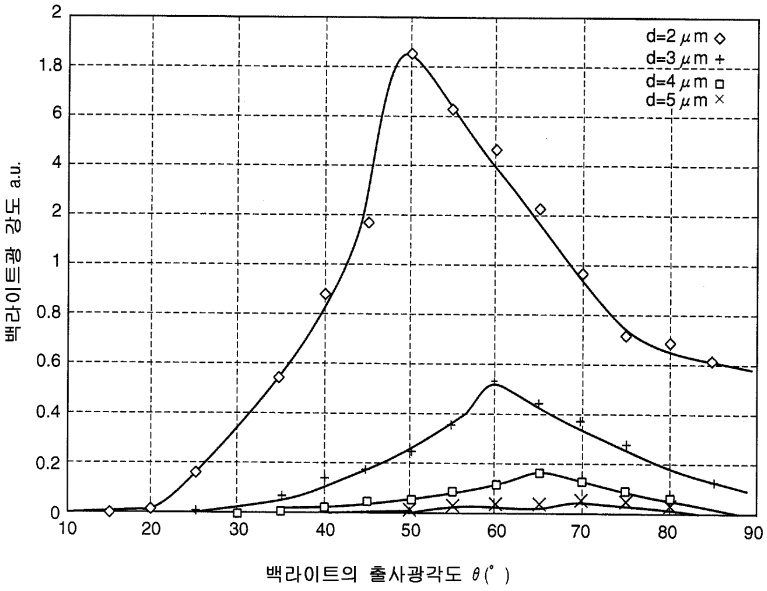
도면 10


d
채널영역
I3
107
t3
106
θ3
θ3
I2
θ2
θ2
109
t2
θ2
101
I1
θ1 θ1
t1
Ip
100
θp
θp
tp
121
119
θ0
I=I0cosθ0
120

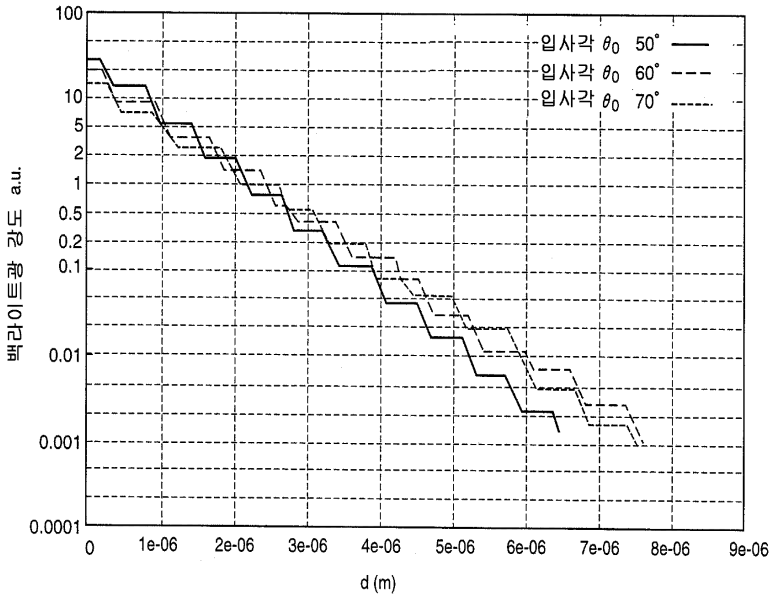
도면 11


강도
1
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
350
450
550
650
750
파장 (nm)

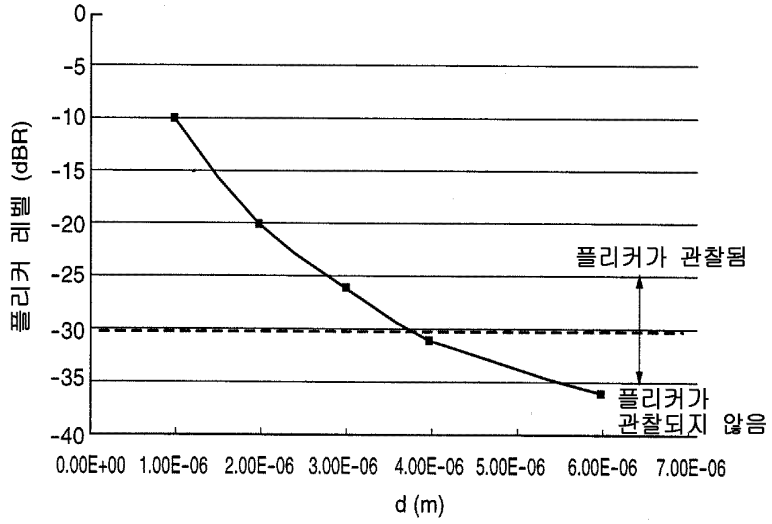
도면 12


d=2 μm ◇
d=3 μm +
d=4 μm □
d=5 μm ×
백라이트광 강도 a.u.
2
1.8
6
4
2
1
0.8
0.6
0.4
0.2
0
10
20
30
40
50
60
70
80
90
백라이트의 출사광각도 θ(°)

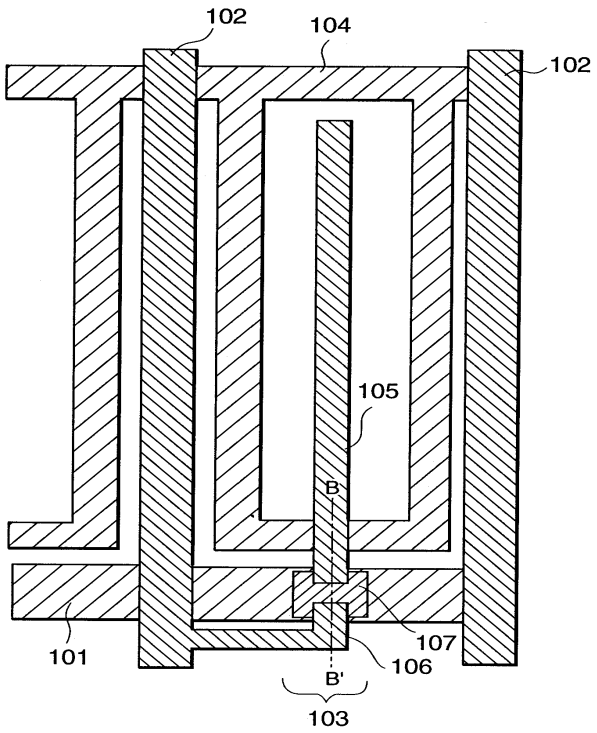
도면 13


입사각 θ_0 50°
입사각 θ_0 60°
입사각 θ_0 70°
백라이트광 강도 a.u.
100
10
5
2
1
0.5
0.2
0.1
0.01
0.001
0.0001
0
1e-06
2e-06
3e-06
4e-06
5e-06
6e-06
7e-06
8e-06
9e-06
d (m)

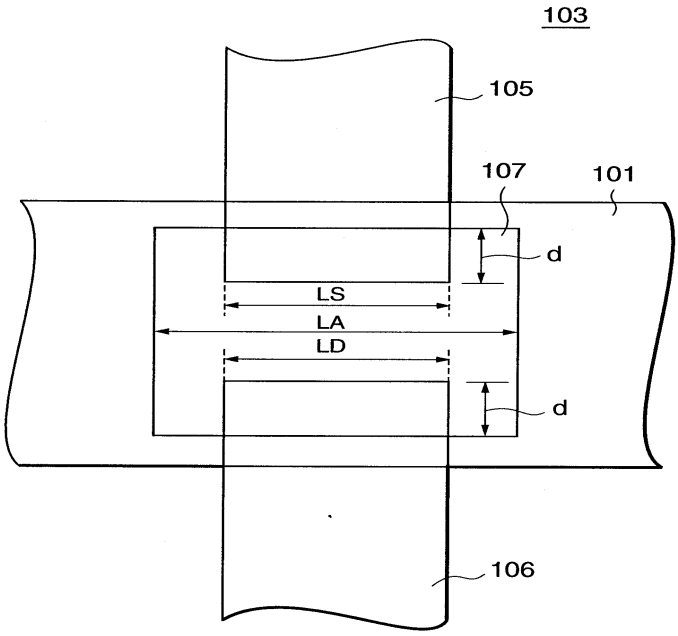
도면 14


플리커 레벨 (dBR)
0
-5
-10
-15
-20
-25
-30
-35
-40
플리커가 관찰됨
플리커가
관찰되지 않음
0.00E+00
1.00E-06
2.00E-06
3.00E-06
4.00E-06
5.00E-06
6.00E-06
7.00E-06
d (m)

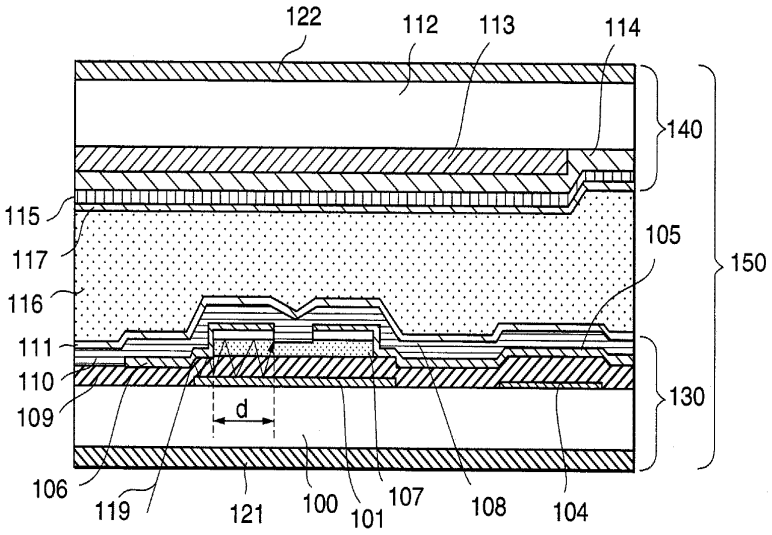
도면 15



도면 16


103
105
107
101
d
LS
LA
LD
d
106

도면 17


122
112
113
114
140
115
117
116
111
110
109
105
150
130
d
106
119
121
100
101
107
108
104

专利名称(译)	有源矩阵液晶显示器件和器件中使用的开关元件		
公开(公告)号	KR1020020042515A	公开(公告)日	2002-06-05
申请号	KR1020010075355	申请日	2001-11-30
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	SHIGA SHUNSUKE 시가순스께 TAMURA FUMINORI 다무라후미노리 KUROHA SHOUICHI 구로하쇼이찌 WATANABE MAKOTO 와따나베마꼬또		
发明人	시가순스께 다무라후미노리 구로하쇼이찌 와따나베마꼬또		
IPC分类号	G02F1/1335 G02F1/1333 G02F1/136 G09F9/30 H01L21/336 G09F9/00 H01L29/786 G02F1/13357 G02F1/1368 G02F1/1343 G09F9/35		
CPC分类号	G02F1/1368		
代理人(译)	韩国专利公司		
优先权	2000365435 2000-11-30 JP 2001321810 2001-10-19 JP 2001356206 2001-11-21 JP		
其他公开文献	KR100484571B1		
外部链接	Espacenet		

摘要(译)

用途：提供有源矩阵液晶显示器件和其中使用的开关元件，以改善闪烁和显示均匀性。组成：薄膜晶体管设计为半导体区域包括在沟道宽度方向上的源电极和漏电极（105），并且还包括由栅电极，源电极和电极构成的平面源侧重叠区域。半导体区域和由栅电极构成的平面漏极侧重叠区域。存在漏电极和半导体区域。对于入射在薄膜晶体管的沟道部分上的光具有低于或等于0.2％的光强度，确定沟道长度方向上的源极侧和漏极侧重叠区域之一的最佳重叠长度。背光的光强度朝向薄膜晶体管入射。