



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월14일
(11) 등록번호 10-1174162
(24) 등록일자 2012년08월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2005-0130751

(22) 출원일자 2005년12월27일

심사청구일자 2010년12월20일

(65) 공개번호 10-2007-0068773

(43) 공개일자 2007년07월02일

(56) 선행기술조사문헌

KR1020040059668 A

KR1020060070336 A

KR1019990080838 A

전체 청구항 수 : 총 10 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤상창

경북 예천군 지보면 신평1리 272

(74) 대리인

허용록

심사관 : 황은택

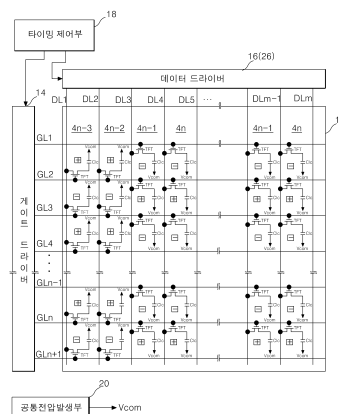
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 소비전력을 줄이고 특정 데이터 패턴에서 플리커가 나타나는 현상을 예방하도록 한 액정표시장치에 관한 것이다.

이 액정표시장치는 디지털 비디오 데이터를 상기 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 드라이버와; 다수의 게이트라인들과 다수의 데이터라인들이 교차하고 다수의 액정셀들이 매트릭스 형태로 배치되며, 동일한 수평 주사라인 내에서 $n-1$ (n 은 양의 정수) 번째 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터라인으로부터의 데이터전압을 상기 액정셀들에 공급하는 제1 박막트랜지스터들이 2 이상 수평방향으로 연속되게 배치되고 상기 동일한 수평 주사라인 내에서 n 번째 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터라인으로부터의 데이터전압을 상기 액정셀들에 공급하는 제2 박막트랜지스터들 각각이 2 이상 연속되게 배치되는 액정패널과; 상기 1 수평기간 단위로 상기 데이터전압에 대한 극성이 반전되는 교류 공통전압을 상기 액정셀들의 공통전극에 공급하는 공통전압 발생부를 구비한다.

대표도 - 도6



특허청구의 범위

청구항 1

디지털 비디오 데이터를 데이터전압으로 변환하여 데이터라인들에 공급하는 데이터 드라이버와;

다수의 게이트라인들과 다수의 데이터라인들이 교차하고 다수의 액정셀들이 매트릭스 형태로 배치되며, 동일한 수평 주사라인 내에서 $n-1$ (n 은 양의 정수) 번째 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터라인으로부터의 데이터전압을 상기 액정셀들에 공급하는 제1 박막트랜지스터들이 2 이상 수평방향으로 연속되게 배치되고 상기 동일한 수평 주사라인 내에서 n 번째 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터라인으로부터의 데이터전압을 상기 액정셀들에 공급하는 제2 박막트랜지스터들 각각이 2 이상 연속되게 배치되는 액정 패널과;

상기 1 수평기간 단위로 상기 데이터전압에 대한 극성이 반전되는 교류 공통전압을 상기 액정셀들의 공통전극에 공급하는 공통전압 발생부를 구비하고,

상기 데이터 드라이버는 1수평주기 단위로 극성이 상반되는 데이터 전압을 상기 데이터 라인에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 동일한 수평 주사라인 내에서 $4n-3$ 번째 박막트랜지스터와 $4n-2$ 번째 박막트랜지스터는 그 게이트단자가 상기 $n-1$ 번째 게이트라인에 접속되고;

$4n-3$ 번째 박막트랜지스터의 소스단자는 $4n-3$ 번째 데이터라인에 접속되고, $4n-3$ 번째 박막트랜지스터의 드레인 단자는 $4n-3$ 번째 액정셀에 접속되고;

$4n-2$ 번째 박막트랜지스터의 소스단자는 $4n-2$ 번째 데이터라인에 접속되고, $4n-2$ 번째 박막트랜지스터의 드레인 단자는 $4n-2$ 번째 액정셀에 접속되고;

상기 동일한 수평 주사라인에서 $4n-1$ 번째 박막트랜지스터와 $4n$ 번째 박막트랜지스터는 그 게이트단자가 n 번째 게이트라인에 접속되고;

$4n-1$ 번째 박막트랜지스터의 소스단자는 $4n-1$ 번째 데이터라인에 접속되고;

상기 $4n-1$ 번째 박막트랜지스터의 드레인단자는 $4n-1$ 번째 액정셀에 접속되고;

$4n$ 번째 박막트랜지스터의 소스단자는 $4n$ 번째 데이터라인에 접속되고, $4n$ 번째 박막트랜지스터의 드레인단자는 $4n$ 번째 액정셀에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 동일한 수평 주사라인 내에서 $4n-3$ 번째 박막트랜지스터와 $4n-2$ 번째 박막트랜지스터는 그 게이트단자가 상기 n 번째 게이트라인에 접속되고;

$4n-3$ 번째 박막트랜지스터의 소스단자는 $4n-3$ 번째 데이터라인에 접속되고, $4n-3$ 번째 박막트랜지스터의 드레인 단자는 $4n-3$ 번째 액정셀에 접속되고;

$4n-2$ 번째 박막트랜지스터의 소스단자는 $4n-2$ 번째 데이터라인에 접속되고, $4n-2$ 번째 박막트랜지스터의 드레인 단자는 $4n-2$ 번째 액정셀에 접속되고;

상기 동일한 수평 주사라인에서 $4n-1$ 번째 박막트랜지스터와 $4n$ 번째 박막트랜지스터는 그 게이트단자가 $n-1$ 번째 게이트라인에 접속되고;

$4n-1$ 번째 박막트랜지스터의 소스단자는 $4n-1$ 번째 데이터라인에 접속되고;

상기 $4n-1$ 번째 박막트랜지스터의 드레인단자는 $4n-1$ 번째 액정셀에 접속되고;

$4n$ 번째 박막트랜지스터의 소스단자는 $4n$ 번째 데이터라인에 접속되고, $4n$ 번째 박막트랜지스터의 드레인단자는

4n 번째 액정셀에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 동일한 수평 주사라인 내에서 4n-3 번째 박막트랜지스터와 4n-2 번째 박막트랜지스터는 그 게이트단자가 상기 n-1 번째 게이트라인에 접속되고;

4n-3 번째 박막트랜지스터의 소스단자는 4n-3 번째 데이터라인에 접속되고, 4n-3 번째 박막트랜지스터의 드레인 단자는 4n-3 번째 액정셀에 접속되고;

4n-2 번째 박막트랜지스터의 소스단자는 4n-2 번째 데이터라인에 접속되고, 4n-2 번째 박막트랜지스터의 드레인 단자는 4n-2 번째 액정셀에 접속되고;

상기 동일한 수평 주사라인에서 4n-1 번째 박막트랜지스터와 4n 번째 박막트랜지스터는 그 게이트단자가 n 번째 게이트라인에 접속되고;

4n-1 번째 박막트랜지스터의 소스단자는 4n-1 번째 데이터라인에 접속되고;

상기 4n-1 번째 박막트랜지스터의 드레인단자는 4n-1 번째 액정셀에 접속되고;

4n 번째 박막트랜지스터의 소스단자는 4n 번째 데이터라인에 접속되고, 4n 번째 박막트랜지스터의 드레인단자는 4n 번째 액정셀에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 액정패널은,

수평으로 이웃하는 액정셀들의 데이터 극성 반전 주기가 수직으로 이웃하는 액정셀들의 데이터 극성 반전 주기보다 긴 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 액정셀 중에 수평으로 이웃하는 액정셀들은 2 도트 주기로 극성이 반전되는 데이터전압을 충전하고;

상기 액정셀 중에 수직으로 이웃하는 액정셀들은 1 도트 주기로 극성이 반전되는 데이터 전압을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 2 항에 있어서,

상기 디지털 비디오 데이터를 상기 데이터 드라이버에 공급하고 상기 데이터 드라이버 및 상기 공통전압 발생부를 제어하기 위한 타이밍 제어부와;

상기 타이밍 제어부로부터 입력된 동일한 수평 주사라인 내의 4n-3 번째 액정셀들과 4n-2 번째 액정셀들에 공급될 디지털 비디오 데이터를 지연시켜 상기 데이터 드라이버에 공급하는 지연기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 3 항에 있어서,

상기 디지털 비디오 데이터를 상기 데이터 드라이버에 공급하고 상기 데이터 드라이버 및 상기 공통전압 발생부를 제어하기 위한 타이밍 제어부와;

상기 타이밍 제어부로부터 입력된 동일한 수평 주사라인 내의 4n-1 번째 액정셀들과 4n 번째 액정셀들에 공급될 디지털 비디오 데이터를 지연시켜 상기 데이터 드라이버에 공급하는 지연기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 2 항에 있어서,

상기 디지털 비디오 데이터를 상기 데이터 드라이버에 공급하고 상기 데이터 드라이버 및 상기 공통전압 발생부를 제어하기 위한 타이밍 제어부를 더 구비하고;

상기 데이터 드라이버는 동일한 수평 주사라인 내의 $4n-3$ 번째 액정셀들과 $4n-2$ 번째 액정셀들에 공급될 디지털 비디오 데이터를 지연시키는 지연기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 3 항에 있어서,

상기 디지털 비디오 데이터를 상기 데이터 드라이버에 공급하고 상기 데이터 드라이버 및 상기 공통전압 발생부를 제어하기 위한 타이밍 제어부를 더 구비하고;

상기 데이터 드라이버는 동일한 수평 주사라인 내의 $4n-1$ 번째 액정셀들과 $4n$ 번째 액정셀들에 공급될 디지털 비디오 데이터를 지연시키는 지연기를 구비하는 것을 특징으로 하는 액정표시장치.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- [0019] 본 발명은 액정표시장치에 관한 것으로, 특히 소비전력을 줄이고 플리커를 예방하도록 한 액정표시장치에 관한 것이다.
- [0020] 통상의 액정표시장치는 비디오신호에 따라 액정셀별로 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0021] 액정패널에는 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 액정셀들 각각에는 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor)를 경유하여 데이터라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트단자는 데이터전압신호가 1라인분씩의 화소전극들에게 인가되게끔 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 드라이버와, 데이터라인들을 구동하기 위한 데이터 드라이버와, 공통전극을 구동하기 위한 공통전압 발생부를 구비한다. 게이트 드라이버는 스캐닝신호, 즉 게이트신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트라인들 중 어느 하나에 게이트신호가 공급될 때마다 데이터라인들 각각에 데이터전압신호를 공급한다. 공통전압 발생부는 공통전극에 공통전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 데이터전압신호에 따라 화소전극과 공통전극 사이의 액정 배열상태가 변화되어 광투과율을 조절함으로써 화상을 표시한다.
- [0022] 실제로, 액정표시장치는 도 1에 도시된 바와 같이 액정셀들이 매트릭스 형태로 배열되어진 액정패널(2)과, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(4)와, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(6)를 구비한다.
- [0023] 도 1에서 액정패널(2)은 n개의 게이트라인들(GL1 내지 GLn)과 m개의 데이터라인들(DL1 내지 DLm)의 교차부마다 형성된 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 접속된 액정셀을 구비한다. 박막트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 비디오신호를 액정셀에 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터에 접속된 화소전극을 포함함에 따라 등가적으로는 액정용량 캐패시터(C_{lc})로 표시된다. 그리고, 액정셀은 액정용량 캐패시터(C_{lc})에 충전된 데이터전압을 다음 데이터전압이 충전될 때까지 유지시키기 위한 스토리지 캐패시터(도시하지 않음)를 더 포함한다. 스토리지 캐패시터는 통상 화소전극이 이전단 게이트전극과 중첩하여 형성된다.

- [0024] 게이트 드라이버(4)는 게이트라인들(GL1 내지 GLn)에 순차적으로 스캔신호, 즉 게이트신호를 공급하여 해당 게이트라인에 접속되어진 박막트랜지스터들(TFT)이 구동되게 한다.
- [0025] 데이터 드라이버(6)는 화소데이터를 아날로그신호인 데이터전압신호로 변환하여 게이트라인(GL)에 게이트신호가 공급되는 수평기간마다 한 수평라인분씩의 비디오신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이 경우 데이터 드라이버(6)는 감마전압 발생부(도시하지 않음)로부터 계조별로 공급되는 감마전압들을 이용하여 화소데이터를 데이터전압신호로 변환하여 공급한다.
- [0026] 이러한 구성을 가지는 액정표시장치는 액정패널(2) 상의 액정셀들을 구동하기 위하여 프레임 인버전 방식(Frame Inversion System), 라인(칼럼) 인버전 방식(Line(Column) Inversion System), 또는 도트 인버전 방식(Dot Inversion System)과 같은 인버전 구동방식을 사용한다.
- [0027] 프레임 인버전 방식의 액정패널 구동방법은 액정열화 방지를 위하여 프레임마다 액정패널 상의 액정셀들에 공급되는 데이터전압신호의 극성을 반전시킨다.
- [0028] 라인 인버전 방식의 액정패널 구동방법은 액정패널에 공급되는 데이터전압신호들의 극성을 도 2a 및 도 2b와 같이 액정패널상의 게이트 라인마다 그리고 프레임마다 반전시킨다. 이러한 라인 인버전 구동방식은 수평방향 화소들간의 크로스토크가 존재함에 따라 수평라인들간에 줄무늬 패턴과 같은 플리커가 발생하는 문제점이 있다.
- [0029] 칼럼 인버전 방식의 액정패널 구동방법은 액정패널에 공급되는 데이터전압신호들의 극성을 도 3a 및 도 3b와 같이 액정패널상의 데이터 라인 및 프레임에 따라 반전시킨다. 이러한 칼럼 인버전 구동방식은 수직방향 화소들간에 크로스토크가 존재함에 따라 수직라인들간에 줄무늬 패턴과 같은 플리커가 발생하는 문제점이 있다.
- [0030] 도트 인버전 방식의 액정패널 구동방법은 도 4a 및 도 4b와 같이 액정셀들 각각에 수평 및 수직 방향으로 인접하는 액정셀들 모두와 상반된 극성의 데이터전압신호가 공급되게 하고 프레임마다 그 데이터전압신호의 극성이 반전되게 한다. 다시 말하여 도트 인버전 방식은 기수번째 프레임의 비디오신호를 표시할 경우 도 4a와 같이 좌측상단의 액정셀로부터 우측의 액정셀로 진행함에 따라 그리고 아래측의 액정셀들로 진행함에 따라 정극성(+) 및 부극성(-)이 번갈아 나타나도록 데이터전압신호들을 액정셀들 각각에 공급한다. 그리고, 우수번째 프레임의 비디오신호를 표시할 경우 도 4b와 같이 좌측상단의 액정셀로부터 우측의 액정셀로 진행함에 따라 그리고 아래측의 액정셀들로 진행함에 따라 부극성(-) 및 정극성(+)이 번갈아 나타나도록 데이터전압신호들을 액정셀들 각각에 공급한다. 이러한 도트 인버전 구동방식은 수직 및 수평 방향으로 인접한 화소들간에 발생하는 플리커를 서로 상쇄시킴으로써 다른 인버전 방식들에 비하여 뛰어난 화질의 화상을 제공한다.
- [0031] 그러나, 도트 인버전 구동방식은 데이터 드라이버에서 데이터라인들에 공급되는 데이터전압신호의 극성이 수평 및 수직 방향으로 반전되어야 함에 따라 다른 인버전 방식들에 비하여 데이터전압의 변동량, 즉 데이터전압신호의 주파수가 크기 때문에 소비전력이 커지는 단점을 가진다. 또한, 도트 인버전 구동방식은 특정 데이터 패턴 예를 들면, 도 5a 및 도 5b와 같이 수평 및 수직 방향으로 이웃하는 화소들 중 어느 한 셀에 데이터가 있고 다른 셀에는 데이터가 없는(혹은 블랙 데이터) 데이터 패턴 즉, 격셀(every other pixel) 데이터 패턴에서 플리커가 발생된다. 다시 말하여, 종래의 도트 인버전 방식은 도 5a 및 도 5b와 같은 격셀 데이터 패턴에서 기수 프레임 기간 동안에는 정극성 데이터만 액정셀들에 충전되고 우수 프레임 기간 동안에는 부극성 데이터전압만 액정셀들에 충전되어 이웃한 프레임 기간들 사이에 플리커가 나타나게 된다.

발명이 이루고자 하는 기술적 과제

- [0032] 따라서, 본 발명의 목적은 소비전력을 줄이고 특정 데이터 패턴에서 플리커가 나타나는 현상을 예방하도록 한 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- [0033] 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 디지털 비디오 데이터를 상기 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 드라이버와; 다수의 게이트라인들과 다수의 데이터라인들이 교차하고 다수의 액정셀들이 매트릭스 형태로 배치되며, 동일한 수평 주사라인 내에서 $n-1$ (n 은 양의 정수) 번째 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터라인으로부터의 데이터전압을 상기 액정셀들에 공급하는

제1 박막트랜지스터들이 2 이상 수평방향으로 연속되게 배치되고 상기 동일한 수평 주사라인 내에서 n 번째 게이트라인으로부터의 스캔신호에 응답하여 상기 데이터라인으로부터의 데이터전압을 상기 액정셀들에 공급하는 제2 박막트랜지스터들 각각이 2 이상 연속되게 배치되는 액정패널과; 상기 1 수평기간 단위로 상기 데이터전압에 대한 극성이 반전되는 교류 공통전압을 상기 액정셀들의 공통전극에 공급하는 공통전압 발생부를 구비한다.

[0034] 상기 목적들 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

[0035] 이하, 본 발명의 바람직한 실시예들을 첨부한 도 6 내지 도 11B를 참조하여 상세하게 설명하기로 한다.

[0036] 도 6은 본 발명의 실시 예에 따른 액정표시장치로써 기수 프레임기간 동안 액정셀들에 충전되는 데이터전압의 극성을 보여 준다. 도 7은 본 발명의 실시 예에 따른 액정표시장치로써 우수 프레임기간 동안 액정셀들에 충전되는 데이터전압의 극성을 보여 준다.

[0037] 도 6 및 도 7에 도시된 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널(12)과, 액정패널(12)의 게이트라인들(GL1 내지 GL $n+1$)을 구동하기 위한 게이트 드라이버(14)와, 액정패널(12)의 데이터라인들(DL1 내지 DL m)을 구동하기 위한 데이터 드라이버(16)와, 게이트 드라이버(14) 및 데이터 드라이버(16)를 제어하기 위한 타이밍 제어부(18)와, 공통전압(Vcom)을 발생하여 액정패널(12)에 공급하는 공통전압 발생부(20)를 구비한다.

[0038] 액정패널(12)은 게이트라인들(GL1 내지 GL $n+1$)과, 그 게이트라인들(GL1 내지 GL $n+1$)과 절연되면서 교차하는 데이터라인들(DL1 내지 DL m)을 구비한다. 게이트라인들(GL1 내지 GL $n+1$)과 데이터라인들(DL1 내지 DL m)의 교차로 마련되는 영역마다 액정셀들이 형성된다. 액정셀들 각각은 게이트라인들(GL1 내지 GL $n+1$) 중 어느 하나와 데이터라인들(DL1 내지 DL m) 중 어느 하나에 접속된 박막트랜지스터(TFT)와, 액정을 사이에 두고 대면하는 공통전극과 박막트랜지스터(TFT)에 접속된 화소전극으로 구성된 액정용량 캐패시터(C1c)를 구비한다. 그리고, 액정셀들 각각은 액정용량 캐패시터(C1c)에 충전된 데이터전압을 다음 데이터전압이 충전될 때까지 유지시키기 위한 스토리지 캐패시터(도시하지 않음)를 더 포함한다.

[0039] 이러한 액정패널(12)에 있어서, 종래에 비하여 게이트라인이 하나 더 추가된다. 그리고 하나의 수평 주사라인에서 이웃하는 액정셀들 중, $4n-3$ (n 은 양의 정수) 번째 액정셀(C1c)은 $4n-3$ 번째 데이터라인(DL1, DL5, ..., DL $m-3$)으로부터의 데이터를 충전하고, $4n-2$ 번째 액정셀(C1c)은 $4n-2$ 번째 데이터라인(DL2, DL6, ..., DL $m-2$)으로부터의 데이터를 충전한다. $4n-3$ 번째 액정셀(C1c)과 $4n-2$ 번째 액정셀(C1c)은 동일한 극성의 데이터 전압을 충전한다. 그리고 $4n-1$ 번째 액정셀(C1c)은 $4n-1$ 번째 데이터라인(DL3, DL7, ..., DL $m-1$)으로부터의 데이터를 충전하고, $4n$ 번째 액정셀(C1c)은 $4n$ 번째 데이터라인(DL4, DL8, ..., DL m)으로부터의 데이터를 충전한다. $4n-1$ 번째 액정셀(C1c)과 $4n$ 번째 액정셀(C1c)은 $4n-3$ 번째 액정셀(C1c)과 $4n-2$ 번째 액정셀(C1c)에 충전되는 데이터 전압의 극성과 다른 극성의 데이터 전압을 충전한다. 이러한 액정패널(12)의 데이터라인들(DL1 내지 DL m)에는 매 수평라인마다 동일한 극성의 데이터전압이 인가되고, 액정셀들은 수평 2 도트 및 수직 1 도트 인버전 방식으로 데이터전압을 충전한다.

[0040] 다시 말하여, 데이터라인들(DL1 내지 DL m)에는 동일한 극성의 데이터전압이 동시에 공급되고, 그 데이터전압의 전압레벨은 디지털 비디오 데이터의 계조에 따라 그 1 수평주기 단위로 달라지게 된다. 이러한 데이터전압이 공급될 때 n 번째 수평 주사라인에서 $4n-3$ 번째 액정셀(C1c)과 $4n-2$ 번째 액정셀(C1c), 그리고 $n+1$ 번째 수평 주사라인에서 $4n-1$ 번째 액정셀(C1c)과 $4n$ 번째 액정셀(C1c)은 동일한 극성의 데이터전압을 충전한 후, 그와 극성이 다른 데이터전압들을 1 수평기간 뒤에 충전한다.

[0041] 게이트신호에 응답하여 해당 데이터라인(DL)으로부터의 데이터전압신호를 액정셀에 공급하기 위한 박막트랜지스터들(TFT)은 다음과 같이 접속된다.

[0042] 동일한 수평 주사라인에서 $4n-3$ 번째 박막트랜지스터(TFT)와 $4n-2$ 번째 박막트랜지스터(TFT)는 그 게이트단자가 n 번째 게이트라인에 접속된다. $4n-3$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n-3$ 번째 데이터라인(DL1, DL5, ..., DL $m-3$)에 접속되고, $4n-3$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n-3$ 번째 액정셀(C1c)에 접속된다. $4n-2$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n-2$ 번째 데이터라인(DL2, DL6, ..., DL $m-2$)에 접속되고, $4n-2$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n-2$ 번째 액정셀(C1c)에 접속된다.

[0043] 그리고 동일한 수평 주사라인에서 $4n-1$ 번째 박막트랜지스터(TFT)와 $4n$ 번째 박막트랜지스터(TFT)는 그 게이트 단자가 $n-1$ 번째 게이트라인에 접속된다. $4n-1$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n-1$ 번째 데이터라인(DL3, DL7, ..., DL $m-1$)에 접속되고, $4n-1$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n-1$ 번째 액정셀(C1c)에

접속된다. $4n$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n$ 번째 데이터라인(DL4, DL8, ..., DLm)에 접속되고, $4n$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n$ 번째 액정셀(C1c)에 접속된다.

[0044] 게이트 드라이버(14)는 게이트라인들(GL1 내지 GLn+1)에 순차적으로 게이트신호(또는 스캔신호), 즉 게이트 하이전압을 공급하여 해당 게이트라인에 접속되어진 박막트랜지스터들(TFT)이 구동되게 한다.

[0045] 데이터 드라이버(16)는 입력되는 디지털 비디오 데이터를 아날로그 감마전압들을 이용하여 동일한 아날로그 데이터전압으로 변환하여 데이터라인들(DL1 내지 DLm)에 공급한다. 이 데이터 드라이버(16)는 하나의 수평기간 내에서 $n+1$ 번째 수평 주사라인의 $4n-3$ 번째 액정셀(C1c) 및 $4n-2$ 번째 액정셀(C1c)과, n 번째 수평 주사라인의 $4n-1$ 번째 액정셀(C1c) 및 $4n$ 번째 액정셀(C1c)에 동일한 극성의 아날로그 데이터전압을 동시에 공급해야만 한다. 이를 위하여, 데이터 드라이버(16)는 타이밍 제어부(18)로부터 지연된 n 번째 수평 주사라인의 $4n-1$ 번째 액정셀(C1c) 및 $4n$ 번째 액정셀(C1c)의 디지털 비디오 데이터와 함께, 지연된 $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 액정셀(C1c) 및 $4n-2$ 번째 액정셀(C1c)의 디지털 비디오 데이터를 공급받는다.

[0046] 타이밍 제어부(18)는 게이트 드라이버(14) 및 데이터 드라이버(16)의 구동을 제어하는 제어신호들을 발생함과 아울러 데이터 드라이버(16)에 화소데이터신호를 공급하게 된다. 특히, 타이밍 제어부(18)는 라인 메모리를 이용하여 $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 액정셀(C1c) 및 $4n-2$ 번째 액정셀(C1c)의 디지털 비디오 데이터를 1 수평라인만큼 지연시킨 후, 지연된 $4n-3$ 번째 액정셀(C1c) 및 $4n-2$ 번째 액정셀(C1c)와 함께 n 번째 수평 주사라인의 $4n-1$ 번째 액정셀(C1c) 및 $4n$ 번째 액정셀(C1c)의 디지털 비디오 데이터를 데이터 구동부에 공급한다.

[0047] 공통전압 발생부(20)는 도 8과 같이 1 수평기간 단위로 스위칭되는 교류 공통전압(Vcom)을 발생하여 액정셀에서 액정을 사이에 두고 화소전극과 대면하는 공통전극에 공급한다. 예컨대, 교류 공통전압(Vcom)은 기수 프레임기간 동안 매 기수 수평라인마다 데이터라인들(DL1 내지 DLm)에 공급되는 데이터전압보다 낮은 전압으로 발생되는 반면, 우수 수평라인마다 데이터라인들(DL1 내지 DLm)에 공급되는 데이터전압보다 높은 전압으로 발생된다. 그리고 교류 공통전압(Vcom)은 기수 프레임기간에 이어서 우수 프레임기간 동안 매 기수 수평라인마다 데이터라인들(DL1 내지 DLm)에 공급되는 데이터전압보다 높은 전압으로 발생되는 반면, 우수 수평라인마다 데이터라인들(DL1 내지 DLm)에 공급되는 데이터전압보다 낮은 전압으로 발생된다.

[0048] 한편, 액정셀들(C1c)에 라인 인버전 방식으로 데이터전압을 충전하기 위하여 데이터 드라이버(16)는 수평기간마다 데이터전압신호의 극성반전 없이 동일극성의 데이터전압신호를 공급하고, 공통전압 발생부(20)에서 발생하는 교류 공통전압(Vcom)은 1 수평기간 단위로 스위칭된다. 따라서, 데이터 드라이버(16)는 극성 반전없이 일정한 데이터 전압을 데이터라인들(DL1 내지 DLm)에 공급하지만, 교류 공통전압에 의해 액정패널(12)의 액정셀들은 수평 2 도트 인버전, 수직 1 도트 인버전 형태로 데이터전압을 충전한다.

[0049] 교류 공통전압(Vcom)에 의해, 데이터 드라이버(16)는 도 8에 도시된 바와 같이 동일한 극성에 해당하는 감마전압들만 포함하므로 데이터의 극성 반전 제어로 인한 소비전력의 낭비가 없고 데이터 드라이버(16)에 감마전압들을 공급하기 위한 감마기준전압 발생회로의 구성이 간소하게 된다.

[0050] 도 9는 타이밍 제어부(18)를 상세히 나타내는 도면이다.

[0051] 도 9를 참조하면, 타이밍 제어부(18)는 제어신호들을 발생하는 제어신호 발생부(34)와, 디지털 비디오 데이터를 재정렬하여 제1 및 제2 데이터버스(18a, 18b)를 통해 데이터 드라이버(16)로 출력하는 화소데이터 정렬부(36)를 구비한다. 이 타이밍 제어부(18)와 데이터 드라이버(16) 사이의 제2 데이터버스(18b)에는 라인 메모리(38)가 접속된다.

[0052] 제어신호 발생부(34)는 입력 동기신호들(V, H, MCLK 등)을 이용하여 게이트 드라이버(14)를 제어하기 위한 게이트 제어신호들과 데이터 드라이버(16)를 제어하기 위한 데이터 제어신호들(DDC)을 발생한다.

[0053] 화소데이터 정렬부(36)는 n 번째 수평 주사라인의 $4n$ 번째 데이터와 $4n-1$ 번째 데이터를 제1 데이터버스(18a)를 통해 출력하고 이와 동시에, $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 데이터와 $4n-2$ 번째 데이터를 제2 데이터버스(18a)를 통해 출력한다.

[0054] 라인 메모리(38)는 제2 데이터버스(18b)를 통해 입력되는 $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 데이터와 $4n-2$ 번째 데이터를 1 라인기간 동안 지연시킨 후, 데이터 드라이버(16)에 공급한다.

[0055] 본 발명의 다른 실시예에 따른 액정표시장치로써, 타이밍 제어부(18)와 데이터 드라이버(16) 사이에 라인 메모

리를 추가하지 않고 도 10과 같이 데이터 드라이버(16) 내에 지연기 어레이(44)를 추가할 수도 있다.

- [0056] 도 10을 참조하면, 데이터 드라이버(26)는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(40)와, 샘플링신호에 응답하여 화소데이터를 래치하여 출력하는 래치 어레이(42)와, 래치 어레이(42)로부터 입력되는 $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 데이터와 $4n-2$ 번째 데이터를 지연시키기 위한 지연기 어레이(44)와, 래치 어레이(42) 및 지연기 어레이(44)로부터의 데이터를 아날로그 데이터전압으로 변환하는 디지털-아날로그 변환(이하, DAC라 함) 어레이(46)와, DAC 어레이(46)로부터의 데이터전압을 데이터라인들에 공급하기 위한 버퍼 어레이(48)를 구비한다.
- [0057] 쉬프트 레지스터 어레이(40)에 구성되는 다수개의 쉬프트 레지스터들은 타이밍 제어부(28)로부터의 입력 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 순차적으로 쉬프트시켜 샘플링신호로 출력한다.
- [0058] 래치 어레이(42)에 구성되는 다수개의 래치들은 쉬프트 레지스터 어레이(40)로부터의 샘플링신호에 응답하여 입력 화소데이터(VD)를 일정한위씩 샘플링하여 순차적으로 래치하고 타이밍 제어부(28)로부터의 소스 출력 이네이블 신호(SOE)에 응답하여 동시에 출력한다.
- [0059] 지연기 어레이(44)에 구성되는 다수개의 지연기들은 래치 어레이(42)로부터 출력되는 $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 데이터와 $4n-2$ 번째 데이터를 1 수평기간 동안 지연시키게 된다.
- [0060] DAC 어레이(46)는 미지연된 n 번째 수평 주사라인의 $4n$ 번째 데이터와 $4n-1$ 번째 데이터와 지연기 어레이(44)에 의해 지연된 $n-1$ 번째 수평 주사라인의 $4n-3$ 번째 데이터와 $4n-2$ 번째 데이터를 감마전압을 이용하여 동시에 아날로그 데이터 전압으로 변환한다.
- [0061] 도 11 및 도 12는 본 발명의 다른 실시예에 따른 액정패널을 나타내는 도면이다. 도 11은 본 발명의 다른 실시예에 따른 액정표시장치로써 기수 프레임기간 동안 액정셀들에 충전되는 데이터전압의 극성을 보여 준다. 도 12는 본 발명의 다른 실시예에 따른 액정표시장치로써 우수 프레임기간 동안 액정셀들에 충전되는 데이터전압의 극성을 보여 준다. 이 실시예의 액정패널(12)은 전술한 도 6 및 도 7의 액정패널과 비교할 때, 박막트랜지스터들(TFT)의 배치만이 다르고 액정셀(C1c) 및 신호라인들의 배치가 실질적으로 동일하다.
- [0062] 도 11 및 도 12에 있어서, 동일한 수평 주사라인에서 $4n-3$ 번째 박막트랜지스터(TFT)와 $4n-2$ 번째 박막트랜지스터(TFT)는 그 게이트단자가 $n-1$ 번째 게이트라인에 접속된다. $4n-3$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n-3$ 번째 데이터라인(DL1, DL5, ..., DL $m-3$)에 접속되고, $4n-3$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n-3$ 번째 액정셀(C1c)에 접속된다. $4n-2$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n-2$ 번째 데이터라인(DL2, DL6, ..., DL $m-2$)에 접속되고, $4n-2$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n-2$ 번째 액정셀(C1c)에 접속된다.
- [0063] 그리고 동일한 수평 주사라인에서 $4n-1$ 번째 박막트랜지스터(TFT)와 $4n$ 번째 박막트랜지스터(TFT)는 그 게이트단자가 n 번째 게이트라인에 접속된다. $4n-1$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n-1$ 번째 데이터라인(DL3, DL7, ..., DL $m-1$)에 접속되고, $4n-1$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n-1$ 번째 액정셀(C1c)에 접속된다. $4n$ 번째 박막트랜지스터(TFT)의 소스단자는 $4n$ 번째 데이터라인(DL4, DL8, ..., DL m)에 접속되고, $4n$ 번째 박막트랜지스터(TFT)의 드레인단자는 $4n$ 번째 액정셀(C1c)에 접속된다.
- [0064] 도 11 및 도 12의 액정표시장치는 지연되는 데이터들이 전술한 도 6 및 도 7의 액정표시장치와 반대가 된다. 즉, 액정패널(12)의 박막트랜지스터들의 배치가 달라지는 결과, 타이밍 컨트롤러(18)의 출력단에 접속된 라인 메모리나 데이터 드라이버 내의 지연기 어레이는 $4n-1$ 번째 디지털 비디오 데이터와 $4n$ 번째 디지털 비디오 데이터를 지연시킨다.
- [0065] 본 발명에 따른 액정표시장치는 액정패널이 수평 2 도트 인버전, 수직 1 도트 인버전으로 구동되어 윈도우즈 종료화면이나 페이드 아웃화면 등에서 이용되는 도 5a 및 도 5b와 같은 격셀 데이터 패턴의 데이터들이 입력될 때에도 매 프레임기간마다 액정셀들에 정극성 데이터와 부극성 데이터가 모두 충전되어 프레임기간 단위로 플리커가 나타나는 현상을 예방할 수 있다.

발명의 효과

- [0066] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 동일한 수평 주사라인에서 $n-1$ 번째 게이트라인에 게이트단자가 접속된 TFT들과 n 번째 게이트라인에 게이트단자가 접속된 TFT들을 각각 연속으로 2 개 이상 배치하고 테

이터 드라이버에서 공통전압 대비 데이터터전압의 극성이 변화되지 않는 데이터전압을 출력하는 반면, 교류 공통전압을 공통전극에 공급한다. 그 결과, 본 발명에 따른 액정표시장치는 데이터 드라이버의 소비전력을 줄이고 수평 2 도트 인버전 및 수직 1 도트 인버전 형태로 액정패널을 구동하여 수평 및 수직 방향에서 격셀 단위로 데이터가 존재하는 격셀 데이터 패턴에서 플리커를 예방할 수 있다.

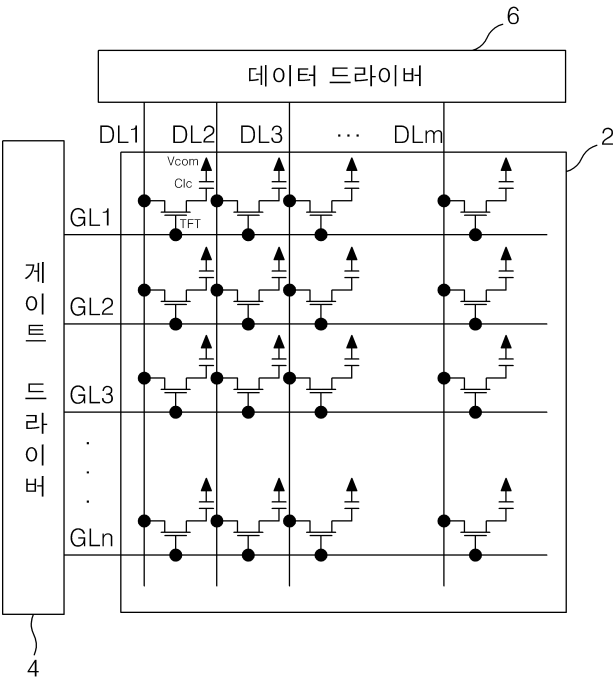
[0067] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- [0001] 도 1은 종래 액정표시장치를 도시한 도면.
- [0002] 도 2a 및 도 2b는 액정표시장치의 라인 인버전 구동방식을 설명하기 위한 도면.
- [0003] 도 3a 및 도 3b는 액정표시장치의 칼럼 인버전 구동방식을 설명하기 위한 도면.
- [0004] 도 4a 및 도 4b는 액정표시장치의 도트 인버전 구동방식을 설명하기 위한 도면.
- [0005] 도 5a 및 도 5b는 도트 인버전 구동방식에서 플리커가 발생하는 데이터 패턴의 일예를 나타내는 도면.
- [0006] 도 6 및 도 7은 본 발명의 실시예에 따른 액정표시장치를 도시한 블록도.
- [0007] 도 8은 데이터 드라이버에서 출력되는 데이터 전압과 공통전압 발생부로부터 출력되는 공통전압을 보여 주는 파형도.
- [0008] 도 9는 도 6 및 도 7에 도시된 타이밍 제어부를 상세히 나타내는 블록도.
- [0009] 도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 데이터 구동부를 상세히 나타내는 블록도.
- [0010] 도 11 및 도 12는 본 발명의 또 다른 실시예에 따른 액정표시장치를 도시한 블록도.
- [0011] <도면의 부호에 대한 간단한 설명>
- | | |
|-----------------------------|------------------|
| [0012] 2, 12 : 액정패널 | 4, 14 : 게이트 드라이버 |
| [0013] 6, 16, 26 : 데이터 드라이버 | 18 : 타이밍 제어부 |
| [0014] 20 : 공통전압 발생부 | 34 : 제어신호 발생부 |
| [0015] 36 : 화소데이터 정렬부 | 38 : 라인메모리 |
| [0016] 40 : 쉬프트 레지스터 어레이 | 42 : 래치 어레이 |
| [0017] 44 : 지연기 어레이 | 46 : DAC 어레이 |
| [0018] 48 : 버퍼 어레이 | |

도면

도면1



도면2a

+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-

도면2b

-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+

도면3a

+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-

도면3b

-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+

도면4a

+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+

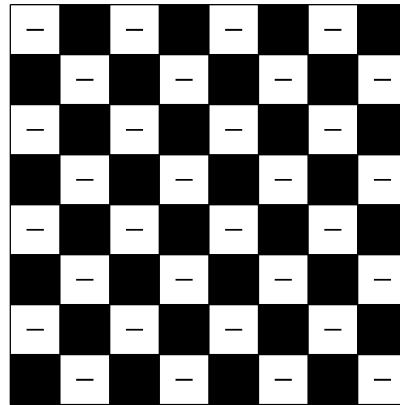
도면4b

-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-

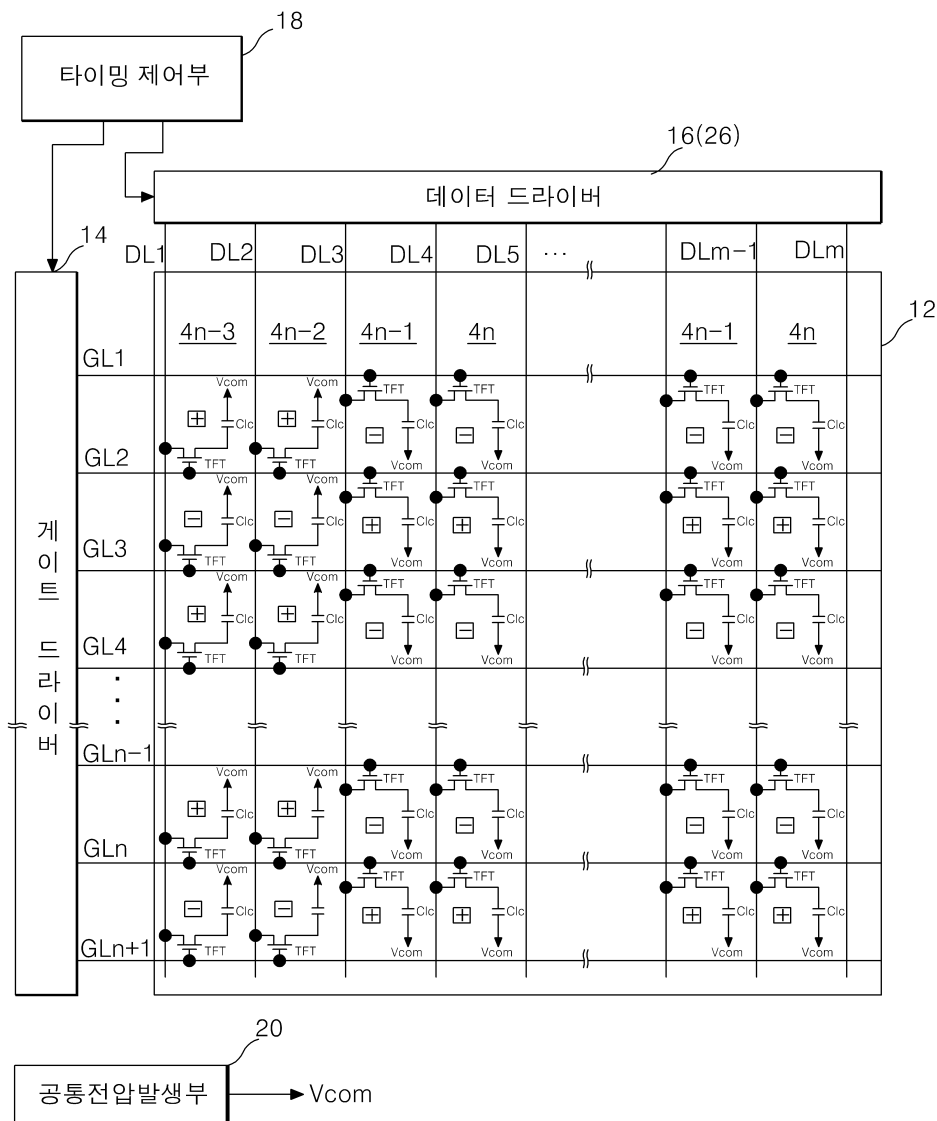
도면5a

+		+		+		+	
	+		+		+		+
+		+		+		+	
	+		+		+		+
+		+		+		+	
	+		+		+		+
+		+		+		+	
	+		+		+		+

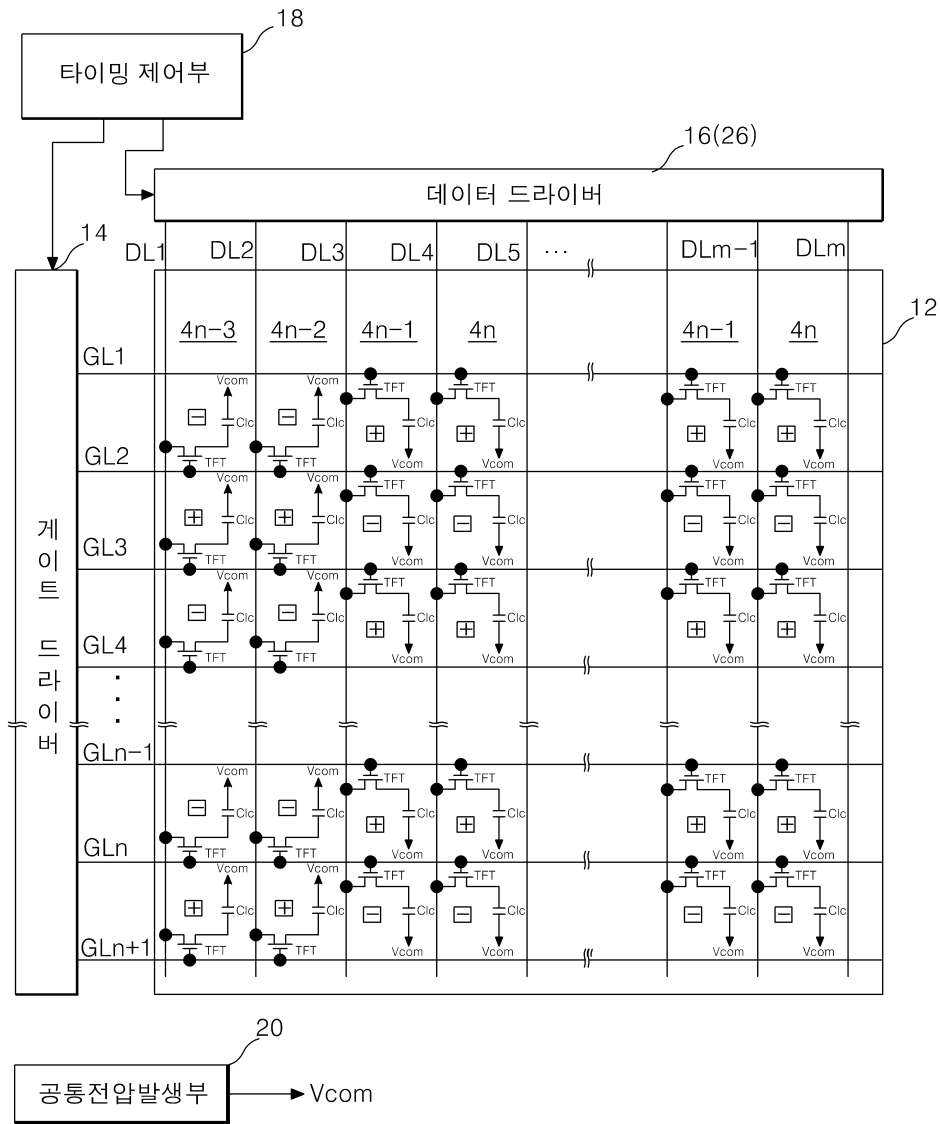
도면5b



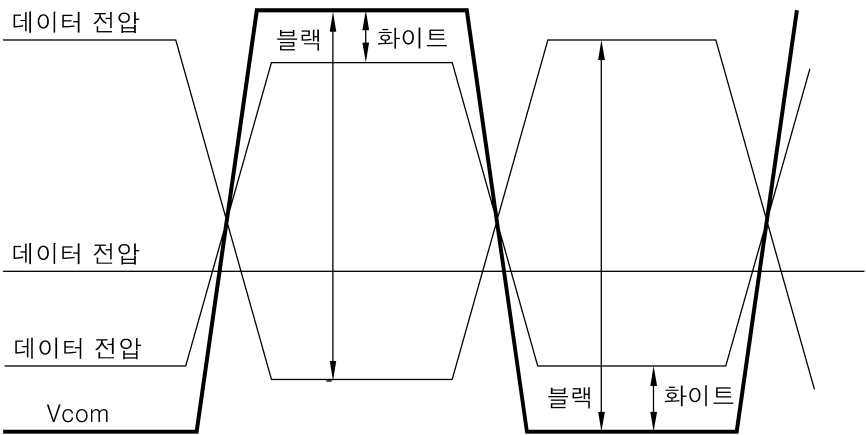
도면6



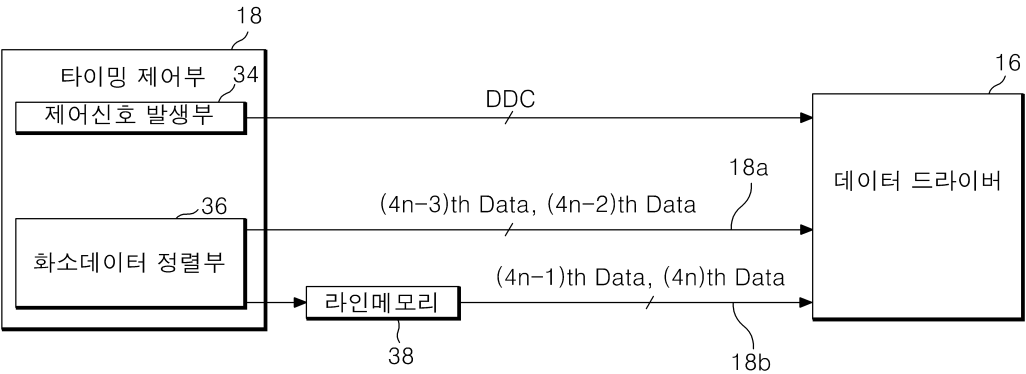
도면7



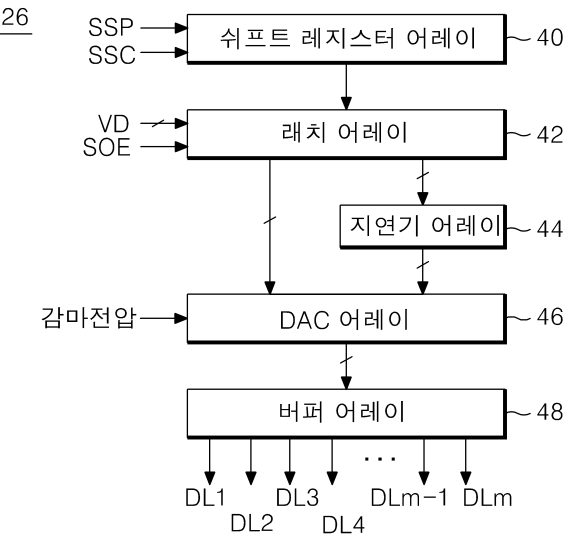
도면8



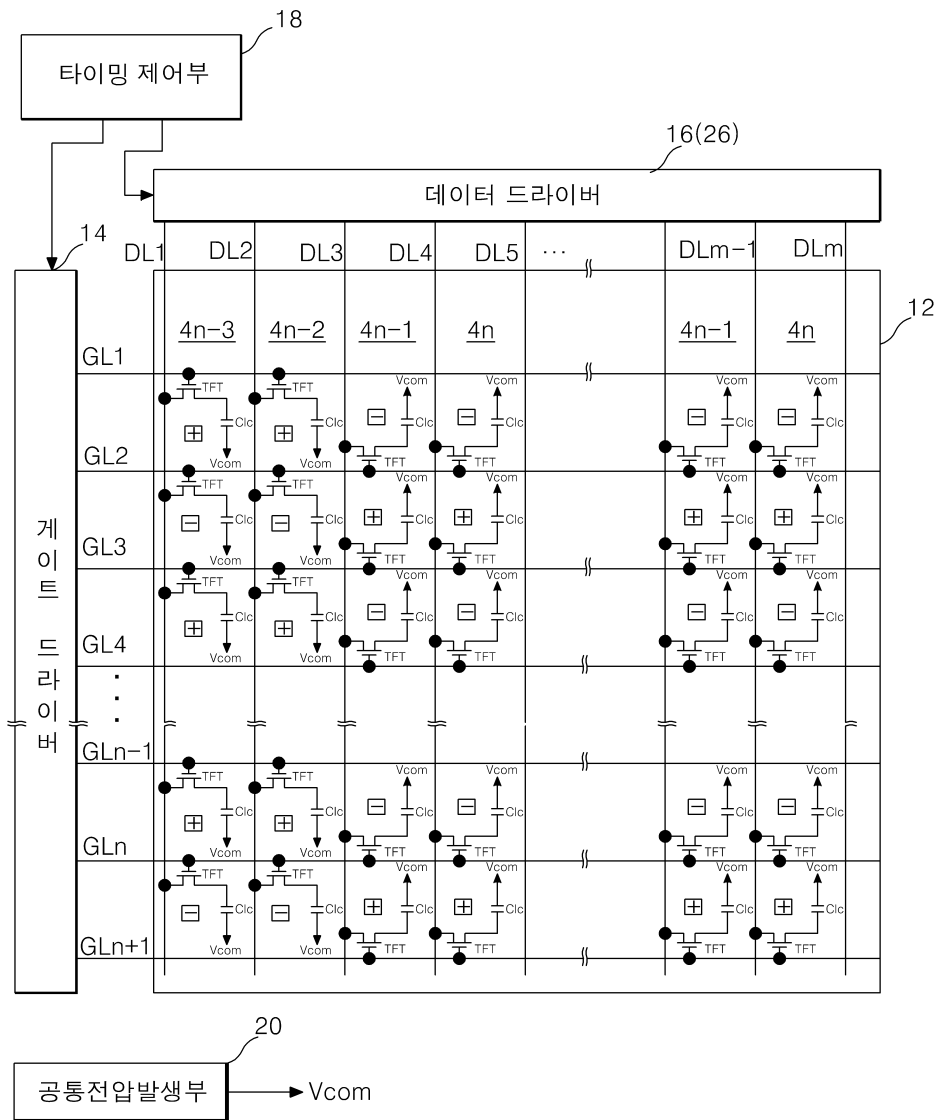
도면9



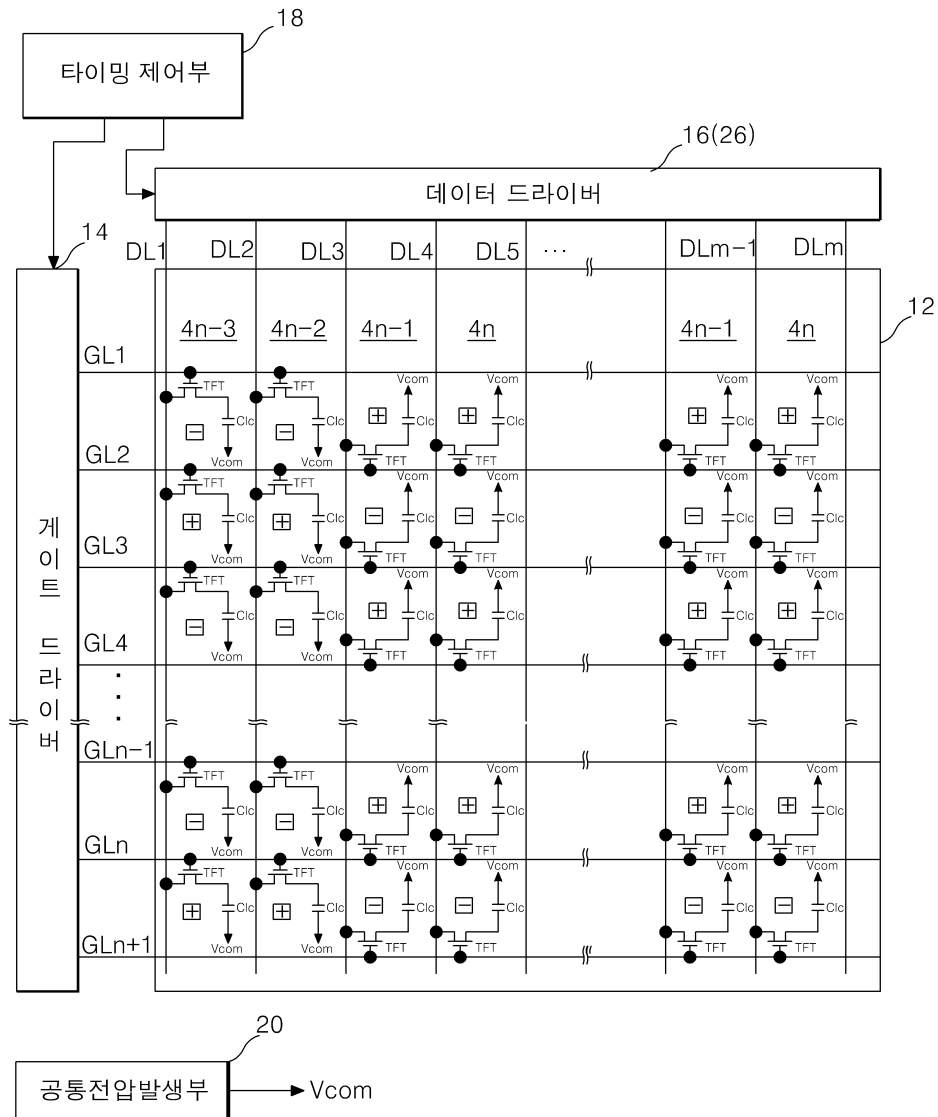
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR101174162B1	公开(公告)日	2012-08-14
申请号	KR1020050130751	申请日	2005-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YUN SANG CHANG 윤상창		
发明人	윤상창		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G09G3/3696 G09G3/3685 G09G3/3674		
代理人(译)	允许记录		
其他公开文献	KR1020070068773A		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）以降低功耗并防止在特定数据模式中出现闪烁。组成：LCD包括数据驱动器（16），LCD面板（12）和公共电压发生器（20）。数据驱动器将数字视频数据转换为数据电压，并将数据电压提供给数据线。LCD面板包括多条栅极线，与栅极线交叉的多条数据线，以及以矩阵形式布置的多个液晶单元。LCD面板还包括沿水平方向连续排列的至少两个第一薄膜晶体管和沿水平方向连续排列的至少两个第二薄膜晶体管。第一薄膜晶体管响应于来自同一水平扫描线中的第（n-1）栅极线的扫描信号向液晶单元提供数据线。第二薄膜晶体管响应于来自同一水平扫描线中的第n栅极线的扫描信号向液晶单元提供数据电压。公共电压发生器向数据电压提供具有极性的AC公共电压，该电压在每个水平周期被反转到液晶单元的公共电极。©KIPO 2007

