



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월25일
(11) 등록번호 10-1157978
(24) 등록일자 2012년06월13일

- (51) 국제특허분류(Int. C1.)
G02F 1/1339 (2006.01)
- (21) 출원번호 10-2005-0057986
- (22) 출원일자 2005년06월30일
심사청구일자 2010년06월23일
- (65) 공개번호 10-2007-0002447
- (43) 공개일자 2007년01월05일
- (56) 선행기술조사문현
JP2001201750 A*
KR1020050004547 A*
KR1020050045124 A*
- *는 심사관에 의하여 인용된 문현

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
김현태
경상북도 칠곡군 석적읍 석적로 955-19, 109동
1302호 (우방신천지아파트)
- 곽동영
대구광역시 달서구 구마로52길 59, 가동 202호
(송현동, 광명아파트)
- (74) 대리인
김용인, 박영복

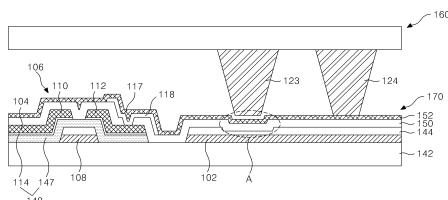
전체 청구항 수 : 총 3 항

심사관 : 김효우

(54) 발명의 명칭 **액정표시패널의 제조방법****(57) 요약**

본 발명은 셀캡을 유지의 신뢰성이 향상됨과 아울러 개구율 저하를 방지할 수 있는 액정표시패널의 제조방법에 관한 것이다.

본 발명에 따른 액정표시패널의 제조 방법은 메인 컬럼 스페이서 및 보조 컬럼 스페이서가 형성된 컬러 필터 어레이 기판을 마련하는 단계와; 컬러필터 어레이 기판과 마주보며 보조 컬럼 스페이서와 중첩되는 함입부가 형성된 박막 트랜지스터 어레이 기판을 마련하는 단계와; 메인 컬럼 스페이서를 사이에 두고 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 합착하는 단계를 포함하고, 함입부가 형성된 박막트랜지스터 어레이 기판을 마련하는 단계는 하부 기판 상에 게이트 라인, 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와; 게이트 패턴 상에 게이트 절연막을 형성하는 단계와; 게이트 라인과 교차되는 데이터 라인, 데이터 라인과 접속되는 박막 트랜지스터를 형성하는 단계와; 박막 트랜지스터의 드레인 전극을 노출시키는 컨택홀을 가지는 보호막을 형성하는 단계와; 컨택홀을 통해 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 형성하는 단계를 포함하고, 게이트 절연막을 형성하는 단계 및 보호막을 형성하는 단계 중 적어도 어느 하나의 단계는 게이트 절연막 및 보호막 중 적어도 어느 하나를 메인 컬럼 스페이서와 중첩되는 영역에서보다 보조 컬럼 스페이서와 중첩되는 영역에서 상대적으로 낮은 높이를 가지게 됨으로써 함입부를 형성하며, 상대적으로 낮은 높이를 가지는 게이트 절연막을 형성하는 단계는 하부기판 상에 게이트 금속층 및 게이트 절연물질 및 포토레지스트를 순차적으로 형성하는 단계와; 포토레지스트 상에 투과부, 차단부, 슬릿부를 가지는 슬릿 마스크를 이용한 노광 및 현상공정이 실시되는 단계와; 노광 및 현상공정에 의해 게이트 절연물질을 노출시킴과 아울러 함입부가 마련될 영역에서 상대적으로 낮은 높이를 가지는 포토레지스트 패턴을 형성하는 단계와; 포토레지스트 패턴을 마스크로 이용하여 게이트 절연물질 및 게이트 금속층을 패터닝하여 게이트 패턴 및 게이트 패턴상에 중첩되는 게이트 절연막을 형성하는 단계와; 포토레지스트 패턴을 애싱하여 상대적으로 낮은 높이를 가지는 포토레지스트 패턴이 제거되어 게이트 절연막의 일부가 노출되는 단계와; 애싱에 의해 잔존하는 포토레지스트 패턴을 마스크로 이용하여 노출된 게이트 절연막을 부분적으로 제거하는 단계를 포함하는 것을 특징으로 한다.

대 표 도 - 도6

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

메인 컬럼 스페이서 및 보조 컬럼 스페이서가 형성된 컬러 필터 어레이 기판을 마련하는 단계와;

상기 컬러필터 어레이 기판과 마주보며 상기 보조 컬럼 스페이서와 중첩되는 함입부가 형성된 박막 트랜지스터 어레이 기판을 마련하는 단계와;

상기 메인 컬럼 스페이서를 사이에 두고 상기 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 합착하는 단계를 포함하고,

상기 함입부가 형성된 상기 박막트랜지스터 어레이 기판을 마련하는 단계는

하부 기판 상에 게이트 라인, 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트 패턴 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 라인과 교차되는 데이터 라인, 상기 데이터 라인과 접속되는 박막 트랜지스터를 형성하는 단계와;

상기 박막 트랜지스터의 드레인 전극을 노출시키는 컨택홀을 가지는 보호막을 형성하는 단계와;

상기 컨택홀을 통해 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 형성하는 단계를 포함하고,

상기 게이트 절연막을 형성하는 단계 및 상기 보호막을 형성하는 단계 중 적어도 어느 하나의 단계는

상기 게이트 절연막 및 보호막 중 적어도 어느 하나를 상기 메인 컬럼 스페이서와 중첩되는 영역에서보다 상기 보조 컬럼 스페이서와 중첩되는 영역에서 상대적으로 낮은 높이를 가지게 됨으로써 상기 함입부를 형성하며,

상기 상대적으로 낮은 높이를 가지는 게이트 절연막을 형성하는 단계는

상기 하부기판 상에 게이트 금속층 및 게이트 절연물질 및 포토레지스트를 순차적으로 형성하는 단계와;

상기 포토레지스트 상에 투과부, 차단부, 슬릿부를 가지는 슬릿 마스크를 이용한 노광 및 현상공정이 실시되는 단계와;

상기 노광 및 현상공정에 의해 게이트 절연물질을 노출시킴과 아울러 상기 함입부가 마련될 영역에서 상대적으로 낮은 높이를 가지는 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 마스크로 이용하여 상기 게이트 절연물질 및 게이트 금속층을 패터닝하여 게이트 패턴 및 게이트 패턴 상에 중첩되게 위치하는 게이트 절연막을 형성하는 단계와;

상기 포토레지스트 패턴을 애싱하여 상기 상대적으로 낮은 높이를 가지는 포토레지스트 패턴이 제거되어 상기 게이트 절연막의 일부가 노출되는 단계와;

상기 애싱에 의해 잔존하는 포토레지스트 패턴을 마스크로 이용하여 상기 노출된 게이트 절연막을 부분적으로 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 5 항에 있어서,

외압이 작용하는 경우 상기 보조 컬럼 스페이서는 상기 함입부 내에 삽입되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 9

삭제

청구항 10

제 5 항에 있어서,

상기 상대적으로 낮은 높이를 가지는 보호막을 형성하는 단계는

상기 데이터 라인 및 박막 트랜지스터 어레이 기판이 형성된 하부기판 상에 절연물질 및 상기 보호막의 패터닝용 포토레지스트를 순차적으로 형성하는 단계와;

상기 보호막의 패터닝용 포토레지스트 상에 투과부, 차단부, 슬릿부를 가지는 상기 보호막의 패터닝용 슬릿마스크를 이용한 노광 및 현상공정이 실시되는 단계와;

상기 절연물질을 노출시킴과 아울러 상기 함입부가 마련될 영역에서 상대적으로 낮은 높이를 가지는 상기 보호막의 패터닝용 포토레지스트 패턴을 형성하는 단계와;

상기 보호막의 패터닝용 포토레지스트 패턴을 마스크로 이용하여 상기 절연물질을 패터닝하여 상기 드레인 전극을 노출시키는 컨택홀을 가지는 보호막을 형성하는 단계와;

상기 보호막의 패터닝용 포토레지스트 패턴을 애성하여 상기 상대적으로 낮은 높이를 가지는 포토레지스트 패턴이 제거되어 보호막의 일부가 노출되는 단계와;

상기 애성에 의해 잔존하는 상기 보호막의 패터닝용 포토레지스트 패턴을 마스크로 이용하여 상기 노출된 보호막이 부분적으로 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

[0025] 본 발명은 박막 트랜지스터 어레이 기판에 관한 것으로, 특히 플리커를 방지함으로써 화질을 향상시킬 수 있는 박막트랜지스터 어레이 기판 및 그 제조방법에 관한 것이다.

[0026] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.

[0027] 액정표시패널은 서로 대향하는 박막 트랜지스터 어레이 기판 및 칼리필터 어레이 기판과, 두 기판 사이에 일정한 셀캡 유지를 위해 위치하는 스페이서와, 그 셀캡에 채워진 액정을 구비한다.

[0028] 박막 트랜지스터 어레이 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소

전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소 전극에 공급한다.

[0029] 칼라필터 어레이 기판은 액정셀 단위로 형성된 칼라필터들과, 칼라필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

[0030] 액정표시패널은 박막 트랜지스터 어레이 기판과 칼라필터 어레이 기판을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.

[0031] 도 1은 종래의 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 I-I '선을 따라 절단하여 도시한 단면도이다.

[0032] 도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 하부기판(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)(6)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(18)을 구비한다. 그리고, TFT 어레이 기판은 화소전극(18)과 이전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20) (도 1에서는 편의상 다음 화소영역에의 스토리지 캐패시터를 도시하였음)를 구비한다.

[0033] TFT(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(16)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 중첩되게 형성되고 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 오믹접촉을 위한 오믹접촉층(47)이 더 형성된다. 여기서, 활성층(14) 및 오믹접촉층(47)을 반도체 패턴(48)이라 명명하기도 한다.

[0034] 이러한 TFT(6)는 게이트 라인(2)에 공급되는 게이트 신호에 응답하여 데이터 라인(4)에 공급되는 화소전압 신호가 화소 전극(18)에 충전되어 유지되게 한다.

[0035] 화소전극(18)은 보호막(50)을 관통하는 제1 컨택홀(17)을 통해 TFT(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 TFT 어레이 기판과 컬러필터 어레이 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소전극(18)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

[0036] 스토리지 캐패시터(20)는 전단 게이트라인(2)과, 상기 전단 게이트라인(2)과 게이트 절연막(44) 및 보호막(50)을 사이에 두고 중첩되는 화소전극(18)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되도록 도움을 주게 된다.

[0037] 이러한 TFT 어레이 기판(70)의 게이트 라인(102) 상에는 컬럼 스페이서(15)가 위치하여 TFT 어레이 기판(70)과 컬러필터 어레이 기판(160) 사이의 셀캡을 유지하는 역할을 한다.

[0038] 한편, 최근에는 좀더 신뢰성 있게 셀캡을 유지함과 액정팽창에 의한 중력불량등을 방지하기 위한 듀얼 컬럼 스페이서가 제안되었다.

[0039] 도 3은 듀얼 컬럼 스페이서를 채용한 액정표시패널을 나타내는 평면도(편의상 도 3에서는 컬러필터 어레이 기판이 생략되었다.)이고, 도 4는 도 3의 II-II' 선을 절취하여 도시한 단면도이다.

[0040] 도 3 및 도 4에 도시된 액정표시장치는 스토리지 캐패시터(20)와 중첩되는 영역에서의 하부 배향막(52)과 접촉되는 메인 컬럼 스페이서(24)와, 게이트 라인(2)에 중첩되는 영역에 위치하는 보조 컬럼 스페이서(13)를 구비한다.

[0041] 메인 컬럼 스페이서(24)는 보조 컬럼 스페이서(23)보다 높은 위치에 위치함으로써 제1 차적으로 셀캡을 유지하는 역할을 한다. 이를 위해, 메인 컬럼 스페이서(14) 하부에 위치하는 스토리지 캐패시터(20)는 도 1 및 2 와 달리 소스/드레인 패턴 및 반도체 패턴으로 이루어진 단차형성부(54)를 포함하게 된다.

[0042] 보조 컬럼 스페이서(23)는 평상시에는 TFT 어레이 기판(70)과 이격되게 위치하여 액정팽창시 발생할 수 있는 불량을 방지하는 역할을 하고, 외부압력이 가해지는 경우에는 TFT 어레이 기판(70)과 접촉됨으로써 메인 컬럼

스페이서(24)의 셀캡유지기능을 보조하게 된다.

[0043] 그러나, 이와 같은 듀얼 스페이서의 구조에서는 메인 컬럼 스페이서(24)와 보조 컬럼 스페이서(23)와의 단차 형성을 위해 삽입되는 단차형성부(54)에 의해 오히려 셀캡유지의 기능을 신뢰성 있게 수행하지 못하는 일이 빈번히 일어난다.

[0044] 다시말해서, 단차형성부(54)와 대응되게 위치하는 메인 컬럼 스페이서(24)가 외부 충격 등에 의해 눌려지는 경우 메인 컬럼 스페이서(24)가 단차형성부(54)의 위치영역을 벗어나게 된다. 이에 따라, 메인 컬럼 스페이서(24)가 셀캡유지 기능을 수행하지 못하게 되고 심한 경우 컬러필터 어레이 기판(60)에서 떨어져 나가는 일이 발생된다.

[0045] 또한, 단차형성부(54)가 형성됨에 따라 게이트 라인(2)의 선폭 또한 증가되어야 함으로써 개구율이 저하되는 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

[0046] 따라서, 본 발명의 목적은 셀캡을 유지의 신뢰성이 향상됨과 아울러 개구율 저하를 방지할 수 있는 액정표시 패널의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

[0048] 삭제

[0049] 삭제

[0050] 삭제

[0051] 삭제

[0052] 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널의 제조방법은 메인 컬럼 스페이서 및 보조 컬럼 스페이서가 형성된 컬러 필터 어레이 기판을 마련하는 단계와; 상기 컬러필터 어레이 기판과 마주보며 상기 보조 컬럼 스페이서와 중첩되는 함입부가 형성된 박막 트랜지스터 어레이 기판을 마련하는 단계와; 상기 메인 컬럼 스페이서를 사이에 두고 상기 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 합착하는 단계를 포함하고, 상기 함입부가 형성된 상기 박막트랜지스터 어레이 기판을 마련하는 단계는 하부 기판 상에 게이트 라인, 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와; 상기 게이트 패턴 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 라인과 교차되는 데이터 라인, 상기 데이터 라인과 접속되는 박막 트랜지스터를 형성하는 단계와; 상기 박막 트랜지스터의 드레인 전극을 노출시키는 컨택홀을 가지는 보호막을 형성하는 단계와; 상기 컨택홀을 통해 상기 박막 트랜지스터의 드레인 전극과 접속되는 화소전극을 형성하는 단계를 포함하고, 상기 게이트 절연막을 형성하는 단계 및 상기 보호막을 형성하는 단계 중 적어도 어느 하나의 단계는 상기 게이트 절연막 및 보호막 중 적어도 어느 하나를 상기 메인 컬럼 스페이서와 중첩되는 영역에서보다 상기 보조 컬럼 스페이서와 중첩되는 영역에서 상대적으로 낮은 높이를 가지게 됨으로써 상기 함입부를 형성하며, 상기 상대적으로 낮은 높이를 가지는 게이트 절연막을 형성하는 단계는 상기 하부기판 상에 게이트 금속층 및 게이트 절연물질 및 포토레지스트를 순차적으로 형성하는 단계와; 상기 포토레지스트 상에 투과부, 차단부, 슬릿부를 가지는 슬릿 마스크를 이용한 노광 및 현상공정이 실시되는 단계와; 상기 노광 및 현상공정에 의해 게이트 절연물질을 노출시킴과 아울러 상기 함입부가 마련될 영역에서 상대적으로 낮은 높이를 가지는 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 이용하여 상기 게이트 절연물질 및 게이트 금속층을 패터닝하여 게이트 패턴 및 게이트 패턴상에 중첩되는 게이트 절연막을 형성하는 단계와; 상기 포토레지스트 패턴을 애성하여 상기 상대적으로 낮은 높이를 가지는 포토레지스트 패턴이 제거되어 상기

게이트 절연막의 일부가 노출되는 단계와; 상기 애싱에 의해 잔존하는 포토레지스트 패턴을 마스크로 이용하여 상기 노출된 게이트 절연막을 부분적으로 제거하는 단계를 포함하는 것을 특징으로 한다.

[0053] 삭제

[0054] 삭제

[0055] 상기 보조 컬럼 스페이서는 외압이 작용하는 경우 상기 함입부 내에 삽입되는 것을 특징으로 한다.

[0056] 삭제

[0057] 상기 상대적으로 낮은 높이를 가지는 보호막을 형성하는 단계는 상기 데이터 라인 및 박막 트랜지스터 어레이 기판이 형성된 하부기판 상에 절연물질 및 포토레지스트를 순차적으로 형성하는 단계와; 상기 포토레지스트 상에 투과부, 차단부, 슬릿부를 가지는 슬릿 마스크를 이용한 노광 및 현상공정이 실시되는 단계와; 상기 절연물질을 노출시킴과 아울러 상기 함입부가 마련될 영역에서 상대적으로 낮은 높이를 가지는 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 이용하여 상기 절연물질을 패터닝하여 상기 드레인 전극을 노출시키는 컨택홀을 가지는 보호막을 형성하는 단계와; 상기 포토레지스트 패턴을 애싱하여 상기 상대적으로 낮은 높이를 가지는 포토레지스트 패턴이 제거되어 보호막의 일부가 노출되는 단계와; 상기 애싱에 의해 잔존하는 포토레지스트 패턴을 마스크로 이용하여 상기 노출된 보호막이 부분적으로 제거하는 단계를 포함하는 것을 특징으로 한다.

[0058] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0059] 이하, 본 발명의 바람직한 실시 예를 도 5 내지 도 12를 참조하여 상세하게 설명하기로 한다.

[0060] 도 5는 본 발명의 실시 예에 따른 액정표시패널을 도시한 평면도(편의상 박막 트랜지스터 어레이 기판을 중심으로 나타내었음)이고, 도 6은 도 5에 도시된 액정표시패널의 III-III'선을 따라 절단하여 도시한 단면도이다.

[0061] 도 5 및 도 6에 도시된 액정표시패널은 메인 컬럼 스페이서(124) 및 보조 컬럼 스페이서(123)를 사이에 두고 서로 대향되게 위치하는 컬러필터 어레이 기판(160) 및 박막 트랜지스터 어레이 기판(170)을 포함한다.

[0062] 컬러필터 어레이 기판(160)에는 블랙 매트릭스, 컬러필터 등의 박막 패턴이 형성됨과 아울러 메인 컬럼 스페이서(124) 및 보조 컬럼 스페이서(123)가 형성된다.

[0063] 메인 컬럼 스페이서(124)는 박막 트랜지스터 어레이 기판(170)과 접촉됨으로써 제1 차적으로 셀캡을 유지하는 역할을 한다. 보조 컬럼 스페이서(123)는 평상시에는 박막 트랜지스터 어레이 기판(170)과 소정거리를 두고 이격되게 위치하여 액정팽창시 발생할 수 있는 불량을 방지하는 역할을 하고, 외부압력이 가해지는 경우에는 박막 트랜지스터 어레이 기판(170)과 접촉됨으로써 메인 컬럼 스페이서(124)의 셀캡유지 기능을 보조하게 된다.

[0064] 박막 트랜지스터 어레이 기판(170)은 하부기판(142) 위에 게이트 절연패턴(144)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)(106)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(118)을 구비한다. 그리고, TFT 어레이 기판(170)은 화소전극(118)과 이전단 게이트 라인(102)의 중첩부에 형성된 스토리지 캐패시터(120)(도 1에서는 편의상 다음 화소영역에의 스토리지 캐패시터를 도시하였음)를 구비한다.

[0065] TFT(106)는 게이트 라인(102)에 접속된 게이트 전극(108)과, 데이터 라인(104)에 접속된 소스 전극(110)과, 화소 전극(116)에 접속된 드레인 전극(112)과, 게이트 전극(108)과 중첩되고 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(114)을 구비한다. 활성층(114)은 데이터 라인(104), 소스 전극(110) 및 드레인 전극(112)과 중첩되게 형성되고 소스 전극(110)과 드레인 전극(112) 사이의 채널부를 더 포함한다. 활성층(114) 위에는 데이터 라인(104), 소스 전극(110) 및 드레인 전극(112)과 오믹접촉을 위한 오믹접촉층(147)이 더 형성된다. 여기서, 활성층(114) 및 오믹접촉층(147)을 반도체 패턴(148)이라 명명하기도 한다.

- [0066] 이러한 TFT(106)는 게이트 라인(102)에 공급되는 게이트 신호에 응답하여 데이터 라인(104)에 공급되는 화소 전압 신호가 화소 전극(118)에 충전되어 유지되게 한다.
- [0067] 화소전극(118)은 보호막(150)을 관통하는 컨택홀(117)을 통해 TFT(106)의 드레인 전극(112)과 접속된다. 화소 전극(118)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 TFT 어레이 기판과 컬러필터 어레이 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소전극(128)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.
- [0068] 스토리지 캐패시터(120)는 전단 게이트라인(102)과, 상기 전단 게이트라인(102)과 게이트 절연막(144) 및 보호막(150)을 사이에 두고 중첩되는 화소전극(118)으로 구성된다. 이러한 스토리지 캐패시터(120)는 화소 전극(118)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되도록 도움을 주게 된다.
- [0069] 게이트 절연패턴(144)은 게이트 라인(102), 게이트 전극(108)과 중첩되게 형성됨과 아울러 보조 컬럼 스페이서(113)가 박막 트랜지스터 어레이 기판(170)과 소정거리를 두고 이격될 있도록 소정의 함입부(A)를 형성시키는 역할을 한다.
- [0070] 이를 좀더 구체적으로 설명하면 다음과 같다.
- [0071] 본 발명에서는 게이트 절연패턴(144)은 게이트 전극(108) 등의 게이트 패턴과 하나의 하나의 마스크공정을 이용하여 형성됨으로써 게이트 전극(108) 등의 게이트 패턴과 동일한 형상을 가지게 된다. 또한, 보조 컬럼 스페이서(123)와 중첩되는 영역에서 부분적으로 제거됨으로써 TFT 어레이 기판(170) 상에 함입부(A)를 형성시키는 역할을 한다. 그 결과, 보조 컬럼 스페이서(123)가 TFT 어레이 기판(170)과 접촉되지 않게 된다. 즉, 게이트 절연패턴(144)이 종래 비해 보조 컬럼 스페이서(123)와 중첩될 영역에서 낮은 높이를 가지도록 형성됨으로써 보조 컬럼 스페이서(123)가 형성될 영역 상에서 보호막(150) 및 하부 배향막(152) 또한 게이트 절연패턴(144)에 의해 형성된 단차를 유지하며 형성된다.
- [0072] 이에 따라, 종래 도 4에서 메인 컬럼 스페이서(24)와 보조 컬럼 스페이서(23) 간의 단차를 형성하게 하기 위한 단차형성부(54)가 스토리지 캐패시터(120)에 형성될 필요가 없게 된다. 다시 말해서, 보조 컬럼 스페이서(123)가 게이트 절연패턴(144)에 의해 마련된 함입부(A)에 의해 TFT 어레이 기판(170)과 분리될 수 있게 됨으로써 메인 컬럼 스페이서(124)가 단차형성부(54) 등이 없이 스토리지 캐패시터(120) 또는 게이트 라인(102)과 중첩되는 영역과 위치할 수 있게 된다.
- [0073] 그 결과, 메인 컬럼 스페이서(124)의 셀캡 유지 기능이 유지됨과 아울러 보조 컬럼 스페이서(123)의 기능인 셀캡 유지 보조 및 액정영역 마진 확보에 의한 액정팽창시 발생할 수 있는 불량을 방지 기능을 수행할 수 있게 된다. 또한, 종래 대비 단차형성부(54)가 제거됨으로써 게이트 라인(102)의 선폭이 늘어날 필요가 없게 되어 개구율의 저하 또한 방지된다.
- [0074] 이와 같이, 본 발명에 따른 액정표시패널은 보조 컬럼 스페이서(123)와 중첩되는 영역에 함입부(A)를 형성함으로써 메인 컬럼 스페이서(124) 형성을 위한 별도의 단차형성부(54) 등이 필요 없게 된다. 그 결과, 셀캡 유지의 신뢰성이 향상됨과 아울러 개구율 저하가 방지된다.
- [0075] 이하, 도 7a 내지 8e를 참조하여 본 발명의 제1 실시예에 따른 액정표시패널의 TFT 어레이 기판의 제조방법을 단계적으로 설명하면 다음과 같다.
- [0076] 하부기판(142) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층 및 게이트 절연물질이 형성된 후 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 게이트 금속층 및 게이트 절연물질이 패터닝됨으로써 도 7a에 도시된 바와 같이 게이트 라인(102), 게이트전극(108)을 포함하는 게이트 패턴이 형성됨과 아울러 게이트 패턴과 중첩되는 게이트 절연패턴(144)이 형성된다. 여기서, 이용되는 마스크는 하프톤 마스트 또는 슬릿 마스크 등이 이용됨으로써 하나의 마스크로 게이트 패턴 및 게이트 절연패턴의 형성이 가능하다.
- [0077] 이를 도 8a 내지 도 8e를 참조하여 구체적으로 설명하면 다음과 같다.
- [0078] 먼저, 하부기판(142) 상에 게이트 금속층(102a), 게이트 절연물질(144a)이 순차적으로 형성된 후 포토레지스트(155a)가 도포된다. 이후, 도 8a에 도시된 바와 같이 투과부(171b), 차단부(171a), 슬릿부(171c)를 가지는 슬릿 마스크(171)가 정렬된다.
- [0079] 이후, 노광 및 현상공정이 실시됨으로써 투과부(171b)와 대응되는 포토레지스트(155a)는 제거되고, 차단부(171a)와 대응되는 포토레지스트(155a)는 남아있고, 슬릿부(171c)와 대응되는 영역은 상대적으로 낮은 높이를

갖는 포토레지스트(155a)가 잔존하게 된다. 그 결과, 도 8b에 도시된 바와 같이, 게이트 패턴 및 게이트 절연 패턴(144)이 형성될 영역에는 포토레지스트 패턴(155b)이 남아있게 됨과 아울러 함입부(A)가 형성될 영역에는 상대적으로 낮은 높이의 포토레지스트 패턴(155b)이 잔존하게 된다.

[0080] 이후, 포토레지스트 패턴(155b)을 이용한 식각공정이 실시된다. 이에 따라, 게이트 금속층(102a) 및 게이트 절연물질(144a)이 패터닝됨으로써 도 8c에 도시된 바와 같이 게이트 전극(108), 게이트 라인(102) 등의 게이트 패턴이 형성됨과 아울러 게이트 절연패턴(144)이 형성된다. 이후, 애싱 공정이 실시됨으로써 전체적으로 높이가 낮아지게 됨으로써 도 8d에 도시된 바와 같이 게이트 절연패턴(144)을 일부 노출시키는 포토레지스트 패턴(155c)이 형성된다. 이 포토레지스트 패턴(155c)을 마스크로 게이트 절연패턴(144)을 부분적으로 식각한 후 스트립 공정에 의해 포토레지스트 패턴(155c)이 제거됨으로써 도 8e에 도시된 바와 같이 함입부(A) 형성을 위한 단차가 마련된 게이트 절연패턴(144)이 형성된다. 여기서, 게이트 절연패턴(144)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다. 여기서, 이후에 형성될 데이터 라인(104) 등과 게이트 라인(102) 간의 쇼트(Short) 방지를 위하여 게이트 라인이 외부로 직접 노출되지 않게 식각 속도 등을 조절하거나 산소(O₂) 플라즈마 처리, 산화막 처리 등에 의해 게이트 패턴이 직접적으로 외부로 노출되지 않게 할 수 있다.

[0081] 이어서, 게이트 패턴 및 게이트 절연패턴(144)이 형성된 하부기판(142) 상에 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.

[0082] 소스/드레인 금속층 위에 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

[0083] 이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(104), 소스 전극(110), 그 소스 전극(110)과 일체화된 드레인 전극(112)을 포함하는 소스/드레인 패턴들이 형성된다.

[0084] 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(148)과 활성층(114)이 형성된다.

[0085] 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(147)이 식각된다. 이에 따라, 채널부의 활성층(114)이 노출되어 활성층(114)이 활성화되지 않는 경우 소스 전극(10)과 드레인 전극(12)이 전기적으로 분리된다. 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다. 이에 따라, 도 7b에 도시된 바와 같이 활성층(114) 및 오믹접촉층(147)을 포함하는 반도체 패턴(148)이 형성됨과 아울러 소스/드레인 패턴이 형성된다.

[0086] 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy), 구리(Cu), 알루미늄계 금속 등이 이용된다.

[0087] 소스/드레인 패턴들이 형성된 후 PECVD 등의 증착방법으로 보호막(150)이 전면 형성된다. 보호막(150)은 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 패터닝됨으로써 도 7c에 도시된 바와 같이 드레인 전극(112)이 노출시키는 컨택홀(116)이 형성된다. 보호막(150)의 재료로는 게이트 절연패턴(144)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

[0088] 보호막(150) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다. 이어서 마스크를 이용한 포토리쏘그래피 공정과 식각공정을 통해 투명전극 물질이 패팅됨으로써 도 7d에 도시된 바와 같이 화소전극(118)을 포함하는 투명전극 패턴들이 형성된다. 화소전극(118)은 컨택홀(117)을 통해 드레인 전극(112)과 전기적으로 접속된다. 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

[0089] 이후, 폴리이미드 등의 배향물질이 형성된 후 배향공정이 실시됨으로써 도 7e에 도시된 바와 같이 하부 배향막(152)이 형성된다.

[0090] 이와 같이 형성된 TFT 어레이 기판(170)에서는 게이트 절연패턴(144)에서의 단차영역이 하부 배향막(152) 까지 유지됨으로써 함입부(A)가 형성될 수 있게 된다.

- [0091] 이후, 별도로 제작된 컬러필터 어레이 기판(160)과 TFT 어레이 기판(170)과 합착되는 경우, 보조 컬럼 스페이서(123)는 함입부(A)와 중첩되는 영역에 위치할 수 있게 됨과 아울러 평상시 함입부(A)와 비 접촉되고, 외부 압력 등이 가해지는 경우 함입부(A)와 접촉되게 됨으로써 메인 컬럼 스페이서(124)의 셀캡 유지 기능을 보조하는 역할을 한다.
- [0092] 도 9는 본 발명의 제2 실시예에 따른 액정표시패널을 나타내는 단면도이다.
- [0093] 도 9에 도시된 액정표시패널은 보조 컬럼 스페이서(123)와 중첩되는 영역에의 게이트 절연패턴(144)의 높이를 상대적으로 낮게 형성하는 도 5 및 도 6에 도시된 액정표시패널과는 달리, 보호막(150)의 높이를 상대적으로 낮게 형성한다. 이러한 구성상의 차이를 제외하고는 도 5 및 도 6에 도시된 액정표시패널과 동일한 구성요소를 가지게 되므로 5 및 도 6와 동일한 구성요소에 관하여 동일번호를 부여하고 상세한 설명을 생략하기로 한다.
- [0094] 일반적으로, 게이트 절연막(144) 및 보호막(150) 등을 형성하기 위한 절연물질은 다른 박막 패턴 보다 높은 높이를 가지도록 형성되어 박막 간의 절연 역할 및 박막 들을 보호하는 역할을 할 수 있게 된다. 따라서, 게이트 절연패턴(본 발명의 제2 실시예에서는 게이트 절연물질을 패터닝하지 아니하므로 이하 "게이트 절연막"이라 명명하고 동일 번호를 부여한다.) 데신 보호막(150)의 높이를 상대적으로 낮게 형성하더라도 함입부(A)가 형성됨으로써 본 발명의 제1 실시예와 동일한 작용 및 효과가 나타난다.
- [0095] 이하, 도 10a 내지 도 11d를 참조하여 본 발명의 제2 실시예에 따른 액정표시패널의 제조방법을 설명하면 다음과 같다.
- [0096] 하부기판(42) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된 후 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 도 10a에 도시된 바와 같이 게이트 라인(102), 게이트전극(108)을 포함하는 게이트 패턴이 형성된다.
- [0097] 이어서, 게이트 패턴이 형성된 하부기판(142) 상에 게이트 절연막(144)이 형성된다.
- [0098] 게이트 패턴 및 게이트 절연막(144)이 형성된 하부기판(142) 상에 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.
- [0099] 소스/드레인 금속층 위에 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.
- [0100] 이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(104), 소스 전극(110), 그 소스 전극(110)과 일체화된 드레인 전극(112)을 포함하는 소스/드레인 패턴들이 형성된다.
- [0101] 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(148)과 활성층(114)이 형성된다.
- [0102] 그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(148)이 식각된다. 이에 따라, 채널부의 활성층(114)이 노출되어 활성층(114)이 활성화되지 않는 경우 소스 전극(110)과 드레인 전극(112)이 전기적으로 분리된다. 이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다. 이에 따라, 도 10b에 도시된 바와 같이 활성층 및 오믹접촉층을 포함하는 반도체 패턴이 형성됨과 아울러 소스/드레인 패턴이 형성된다.
- [0103] 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy), 구리(Cu), 알루미늄계 금속 등이 이용된다.
- [0104] 소스/드레인 패턴들이 형성된 후 PECVD 등의 증착방법으로 보호막(150)이 전면 형성된다. 보호막(150)은 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 패터닝됨으로써 도 10c에 도시된 바와 같이 드레인 전극(112)을 노출시키는 컨택홀(116)이 형성됨과 아울러 함입부(A) 형성 영역에 상대적으로 낮은 높이를 가지는 보호막(150)이 형성된다.
- [0105] 이를 도 11a 내지 도 11d를 참조하여 구체적으로 설명하면 다음과 같다.
- [0106] 먼저, 소스/드레인 패턴 상에 절연물질(150a) 및 포토레지스트(156a)가 형성된다. 이후, 도 11a에 도시된 바

와 같이 투과부(172b), 차단부(172a), 슬릿부(172c)를 가지는 슬릿 마스크(172)가 정렬된다.

[0107] 이후, 노광 및 현상공정이 실시됨으로써 투과부(172b)와 대응되는 포토레지스트(156a)는 제거되고, 차단부(172a)와 대응되는 포토레지스트(156a)는 남아있고, 슬릿부(172c)와 대응되는 영역은 상대적으로 낮은 높이를 갖는 포토레지스트(156a)가 잔존하게 된다. 그 결과, 도 11b에 도시된 바와 같이, 드레인 전극(112)을 노출시킬 영역을 제외한 영역에 포토레지스트 패턴(156b)이 남아있게 됨과 아울러 함입부(A)가 형성될 영역에는 상대적으로 낮은 높이의 포토레지스트 패턴(156b)이 잔존하게 된다.

[0108] 이후, 포토레지스트 패턴(156b)을 이용한 식각공정이 실시된다. 이에 따라, 도 11c에 도시된 바와 같이 드레인 전극(112)을 노출시키는 컨택홀(117)을 가지는 보호막(150)이 형성된다.

[0109] 이후, 애싱 공정이 실시됨으로써 전체적으로 높이가 낮아지게 됨으로써 도 8d에 도시된 바와 같이 보호막(150)을 일부 노출시키는 포토레지스트 패턴(156c)이 형성된다. 이 포토레지스트 패턴(156c)을 마스크로 보호막(150)을 부분적으로 식각한 후 스트립 공정에 의해 포토레지스트 패턴(156c)이 제거됨으로써 도 10c에 도시된 바와 같이 함입부(A) 형성을 위한 단자가 마련된 보호막(150)이 형성된다. 여기서, 보호막(150)의 재료로는 게이트 절연막(144)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

[0110] 보호막(150) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다. 이어서 마스크를 이용한 포토리쏘그래피 공정과 식각공정을 통해 투명전극 물질이 패팅됨으로써 도 10d에 도시된 바와 같이 화소전극(118)을 포함하는 투명전극 패턴들이 형성된다. 화소 전극(118)은 컨택홀(117)을 통해 드레인 전극(112)과 전기적으로 접속된다. 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

[0111] 이후, 폴리이미드 등의 배향물질이 형성된 후 배향공정이 실시됨으로써 도 10e에 도시된 바와 같이 하부 배향막(152)이 형성된다.

[0112] 이와 같이 형성된 박막 트랜지스터 어레이 기판(170)에서는 보호막(150)에서의 단차영역이 하부 배향막(152)까지 유지됨으로써 함입부(A)가 형성될 수 있게 된다.

[0113] 도 12는 본 발명 제3 실시예에 따른 액정표시패널 및 그 제조방법을 설명하기 위한 도면이다.

[0114] 도 12에 도시된 액정표시패널은 본 발명의 제1 실시예에서의 게이트 절연패턴(144)과 제2 실시예에서의 보호막(150) 구조를 혼용한 구조이다. 이러한, 제3 실시예는 함입부(A) 형성을 위해 함입부(A)가 마련될 영역에서의 게이트 절연패턴(144) 및 보호막(150) 각각의 높이를 상대적으로 낮게 형성하는 것을 제외하고는 본 발명의 제1 및 제2 실시예와 동일한 구성요소를 가지게 되므로 제1 및 제2 실시예와 동일한 구성요소에 관하여 동일번호를 부여하고 상세한 설명을 생략하기로 한다.

[0115] 본 발명에서는 게이트 절연패턴(144)을 슬릿 마스크(171)를 이용하여 함입부(A)가 마련될 영역에서 상대적으로 낮은 높이를 가지도록 형성하고, 보호막(150) 또한 슬릿 마스크(172) 등을 이용하여 게이트 절연패턴(144)의 낮은 높이를 가지는 영역과 중첩되는 영역에서 상대적으로 낮은 높이를 가지게 됨으로써 형성되어 본 발명에서의 보조 컬럼 스페이서(123)와 대응될 함입부(A)의 깊이를 조절할 수 있게 된다.

발명의 효과

[0116] 상술한 바와 같이, 본 발명에 따른 액정표시패널의 제조방법은 보조 컬럼 스페이서와 중첩되는 영역에 함입부를 형성함으로써 메인 컬럼 스페이서와 보조 컬럼 스페이서간의 위치 차이를 마련하기 위한 별도의 단차형성부 등이 필요 없게 된다. 그 결과, 셀캡 유지의 신뢰성이 향상된다.

[0117] 더 나아가, 종래 대비 단차형성부가 제거됨으로써 게이트 라인의 선폭이 늘어날 필요가 없게 되어 개구율의 저하를 방지할 수 있게 된다.

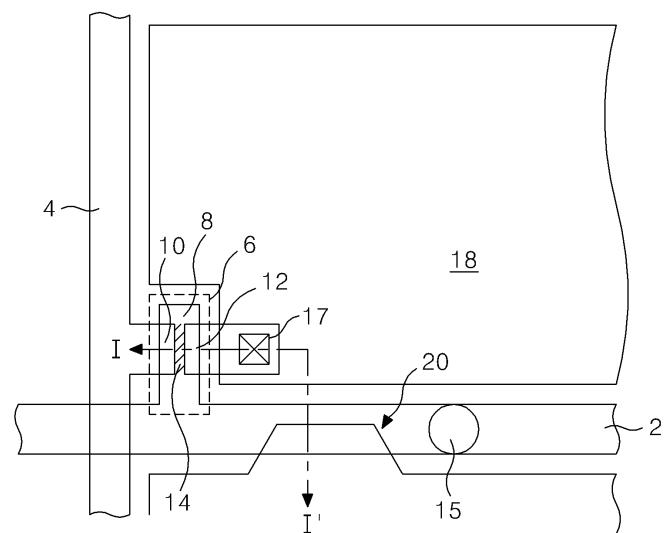
[0118] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

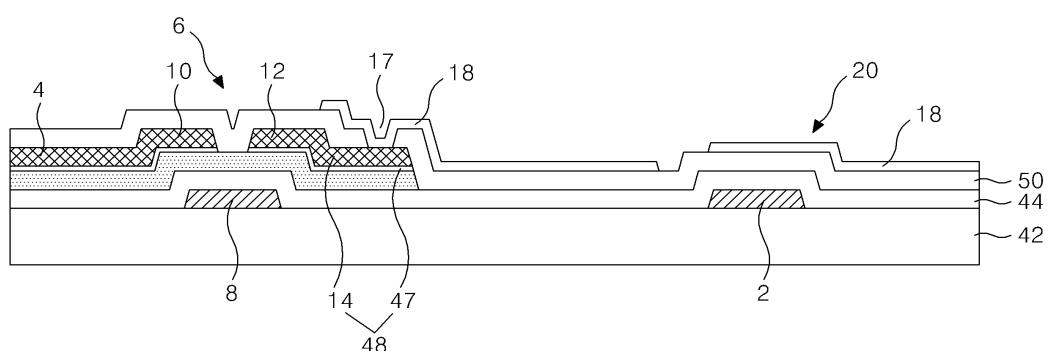
- [0001] 도 1은 통상적인 박막 트랜지스터 어레이 기판의 일부를 도시한 평면도이다.
- [0002] 도 2은 도 1에 도시된 박막 트랜지스터 어레이 기판을 I-I'선을 따라 절단하여 도시한 단면도이다.
- [0003] 도 3은 종래의 듀얼 컬럼 스페이서 구조를 채용한 액정표시패널을 나타내는 평면도이다.
- [0004] 도 4는 도 3에 도시된 박막 트랜지스터 어레이 기판을 II-II'선을 따라 절단하여 도시한 단면도이다.
- [0005] 도 5는 본 발명의 제1 실시예에 따른 액정표시패널을 나타내는 도면이다.
- [0006] 도 6은 도 5의 III-III'선을 절취하여 도시한 단면도이다.
- [0007] 도 7a 내지 도 7e는 본 발명의 제1 실시예에 따른 액정표시패널의 제조방법을 단계적으로 설명하기 위한 단면도.
- [0008] 도 8a 내지 도 8e는 도 7a의 단계를 구체적으로 설명하기 위한 단면도.
- [0009] 도 9는 본 발명의 제2 실시예에 따른 액정표시패널을 나타내는 단면도.
- [0010] 도 10a 내지 도 10e는 본 발명의 제2 실시예에 따른 액정표시패널의 제조방법을 단계적으로 설명하기 위한 단면도.
- [0011] 도 11a 내지 도 11d는 도 10c의 단계를 구체적으로 설명하기 위한 단면도.
- [0012] 도 12는 본 발명의 제3 실시예에 따른 액정표시패널 및 그 제조방법을 설명하기 위한 단면도.
- [0013]
- [0014] < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|---------------------------------|-----------------------------|
| [0015] 2,102 : 게이트 라인 | [0015] 4,104 : 데이터 라인 |
| [0016] 6,106 : 박막 트랜지스터 | [0016] 10,110 : 소스 전극 |
| [0017] 12,112 : 드레인 전극 | [0017] 14,114 : 활성층 |
| [0018] 18,118 : 화소전극 | [0018] 20 : 스토리지 캐패시터 |
| [0019] 44 : 게이트 절연막 | [0019] 144 : 게이트 절연패턴 |
| [0020] 50,150 : 보호막 | [0020] 60,160 : 컬러필터 어레이 기판 |
| [0021] 70,170 : 박막 트랜지스터 어레이 기판 | |
| [0022] 171,172 : 슬릿 마스크 | [0022] 15 : 스페이서 |
| [0023] 24,124 : 메인 컬럼 스페이서 | [0023] 23,123 : 보조 컬럼 스페이서 |
| [0024] | |

도면

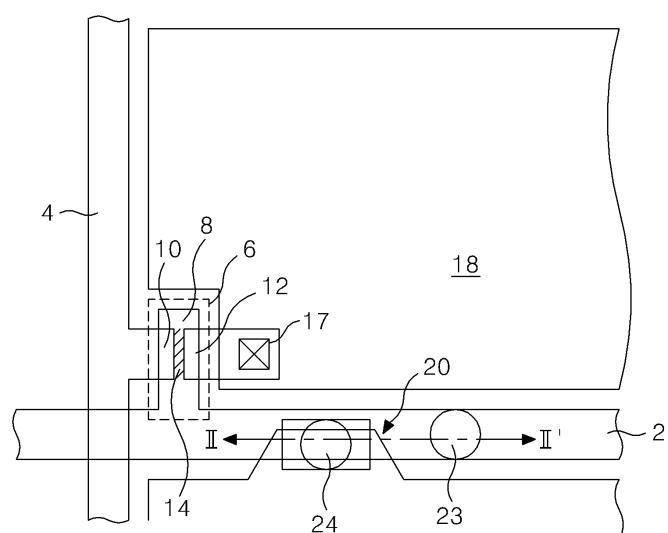
도면1



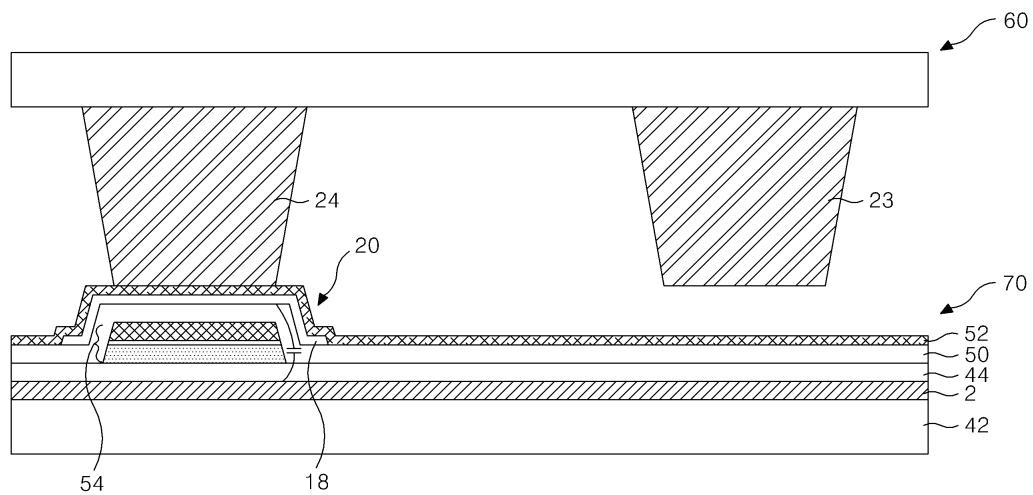
도면2



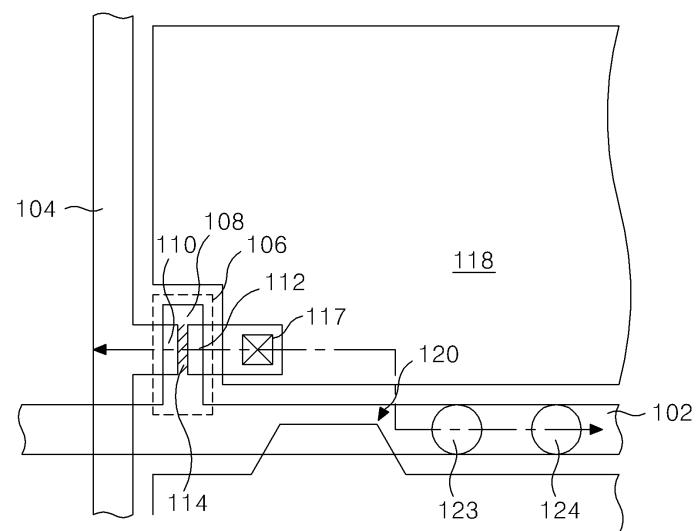
도면3



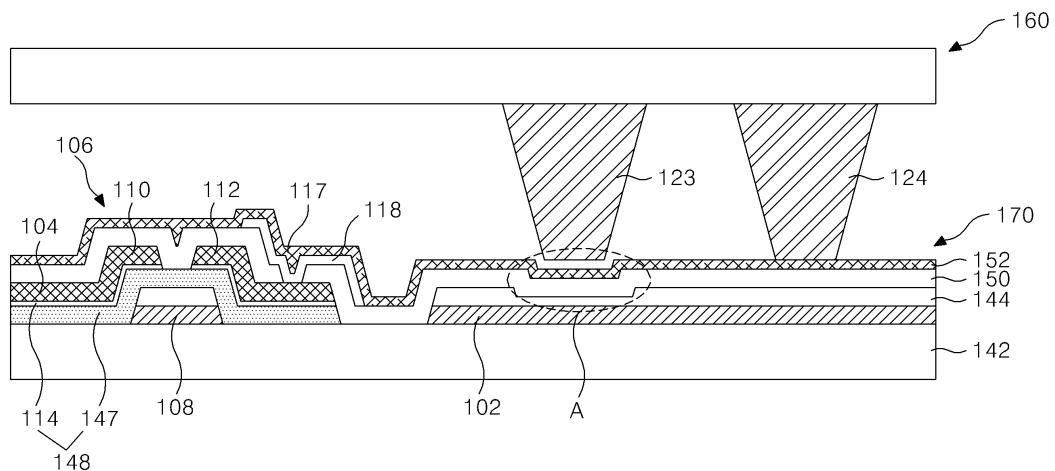
도면4



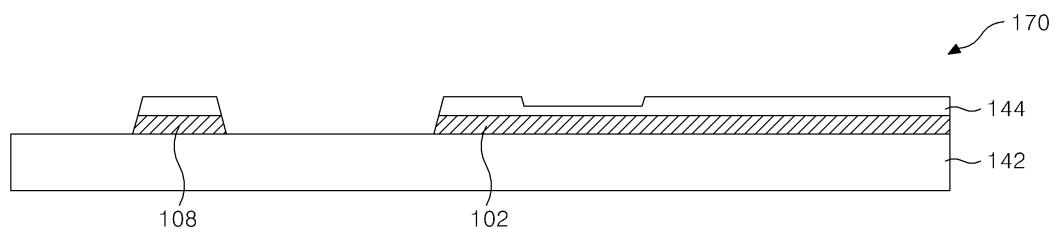
도면5



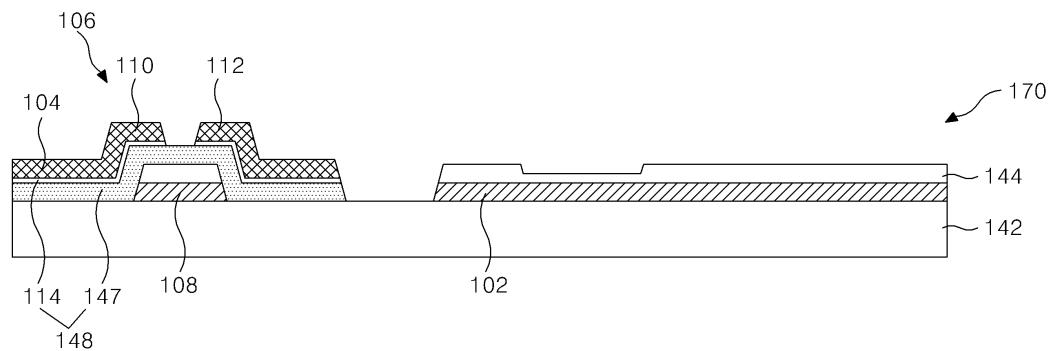
도면6



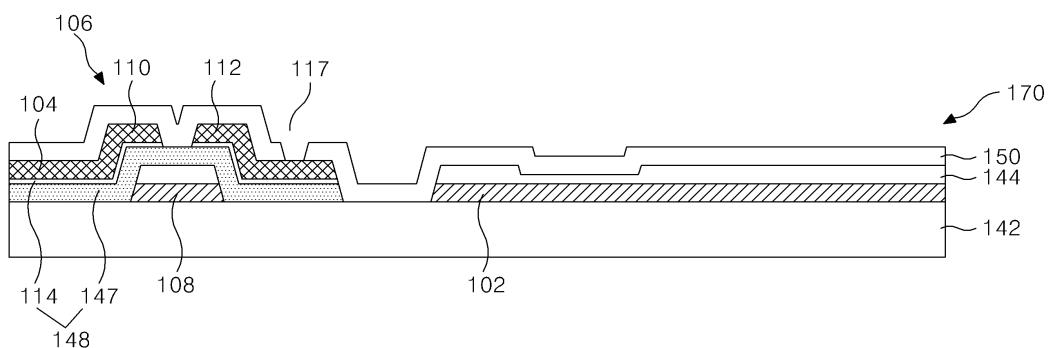
도면7a



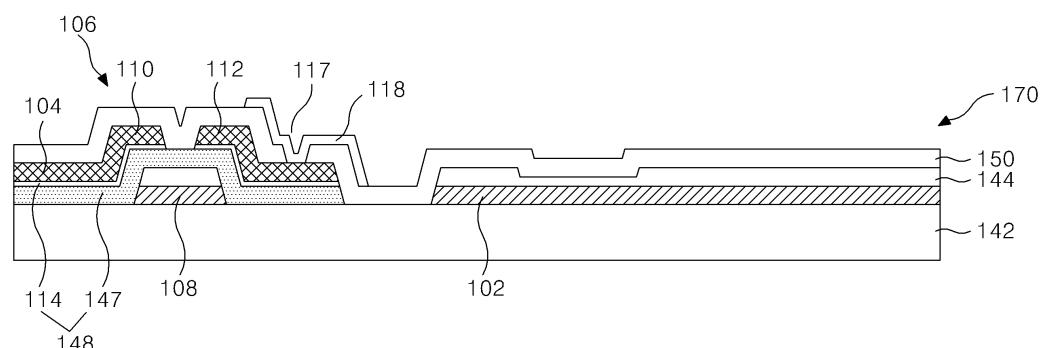
도면7b



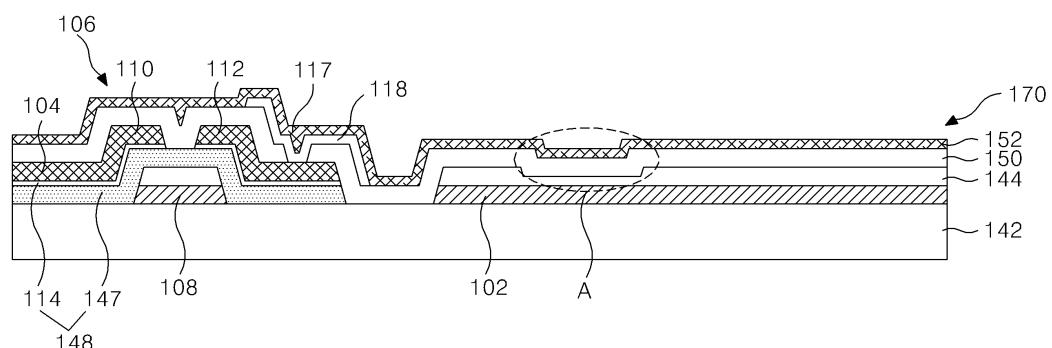
도면7c



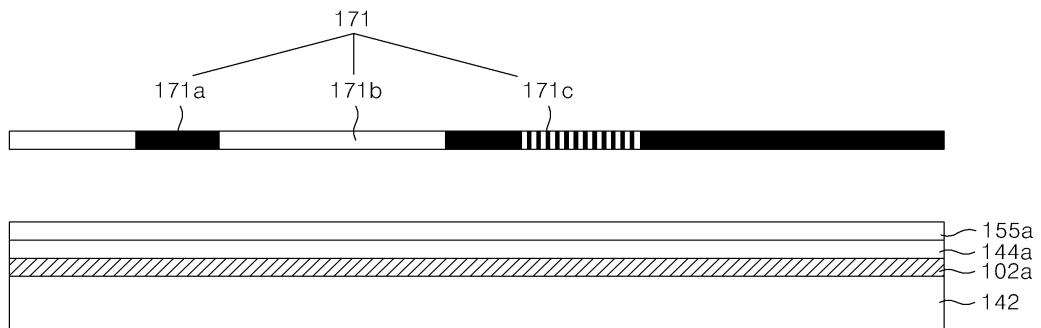
도면7d



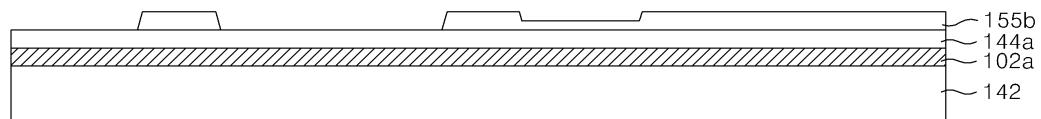
도면7e



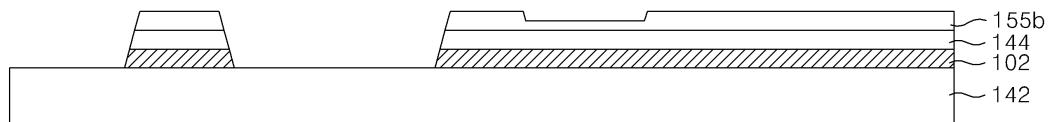
도면8a



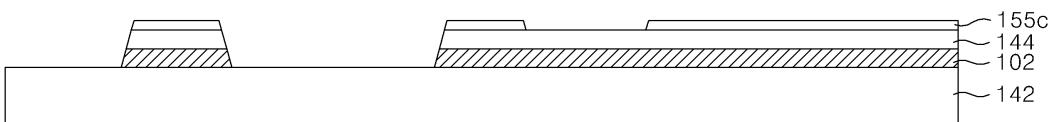
도면8b



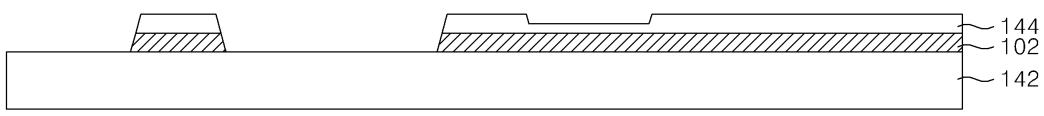
도면8c



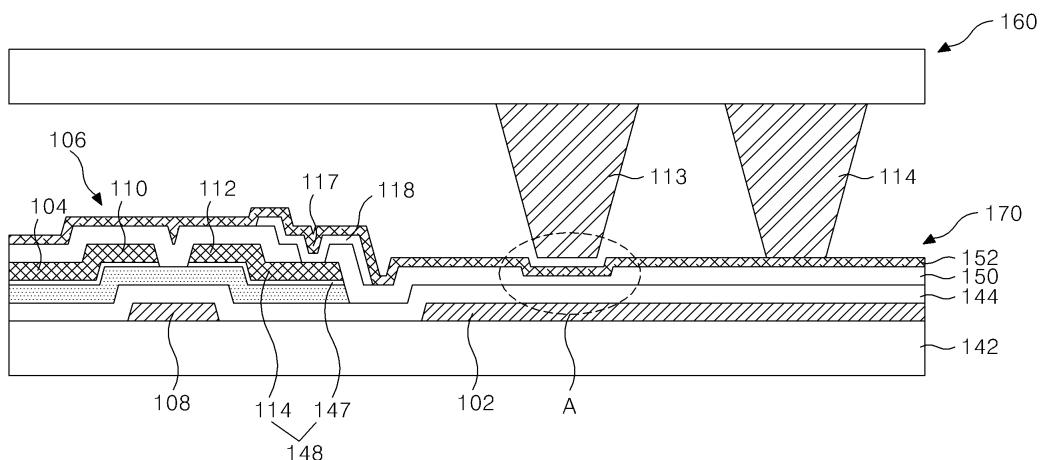
도면8d



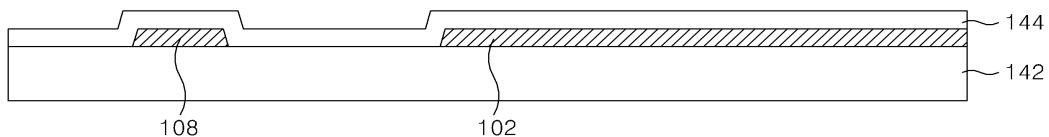
도면8e



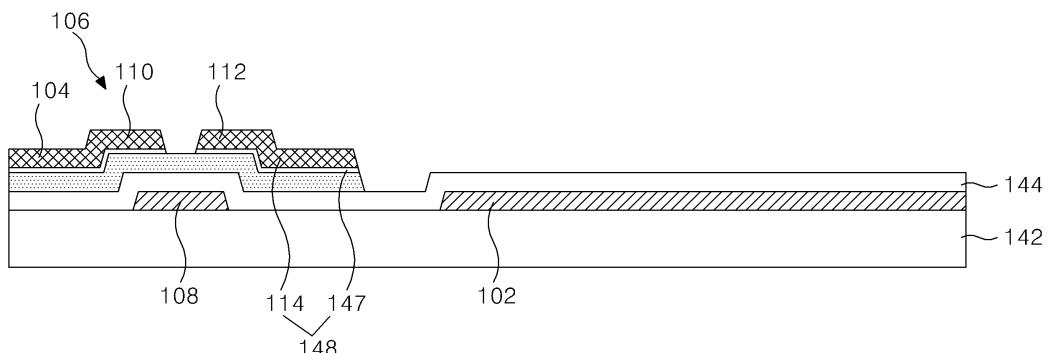
도면9



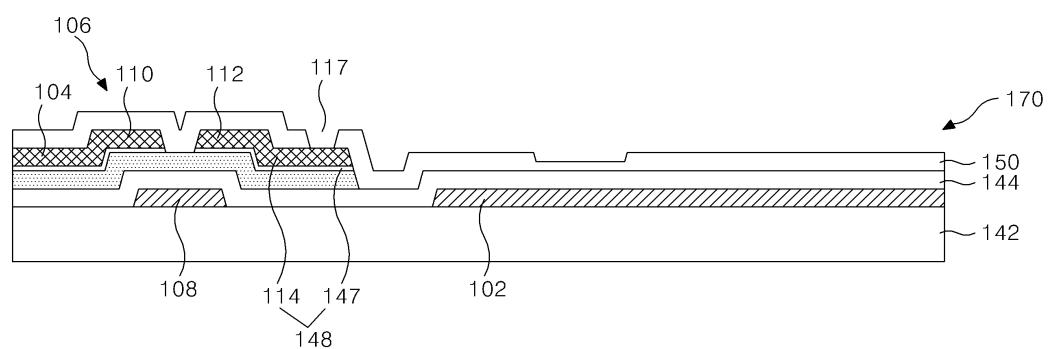
도면10a



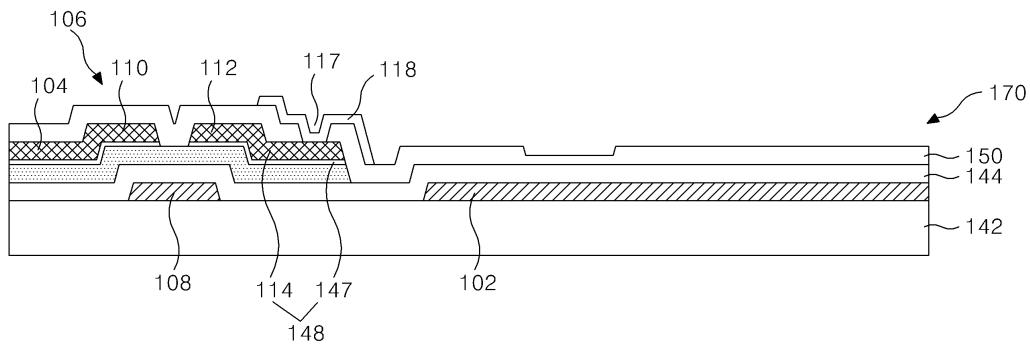
도면10b



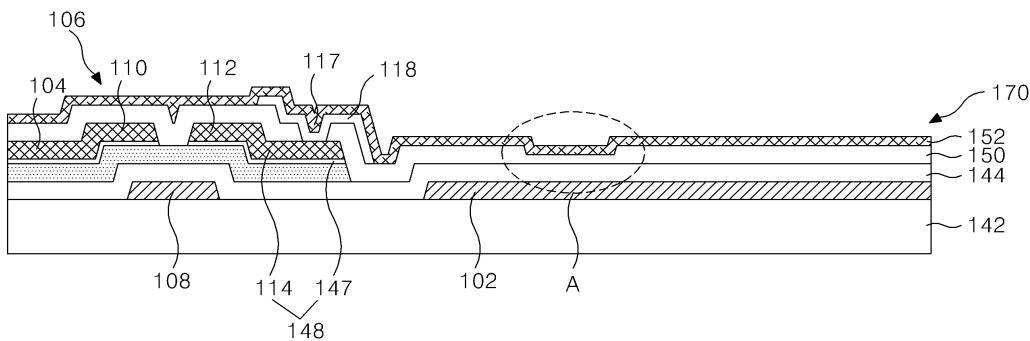
도면10c



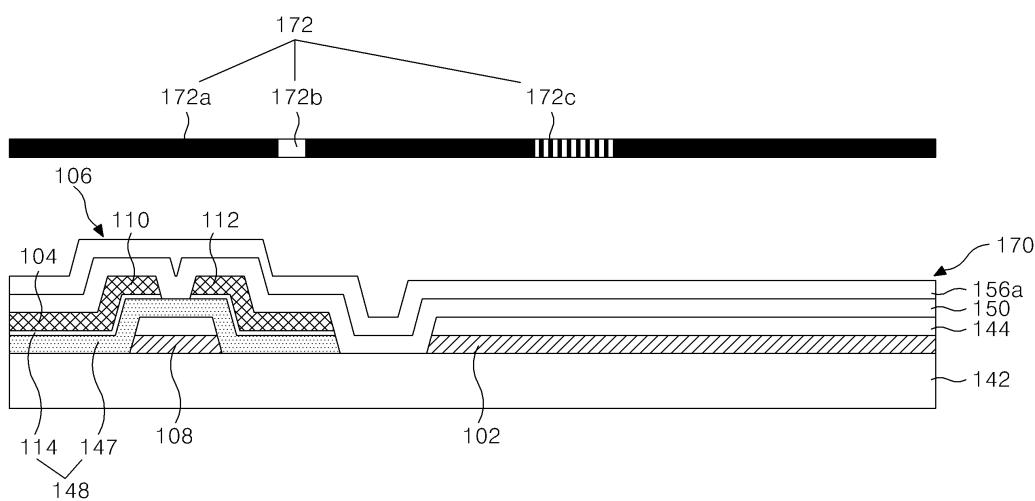
도면10d



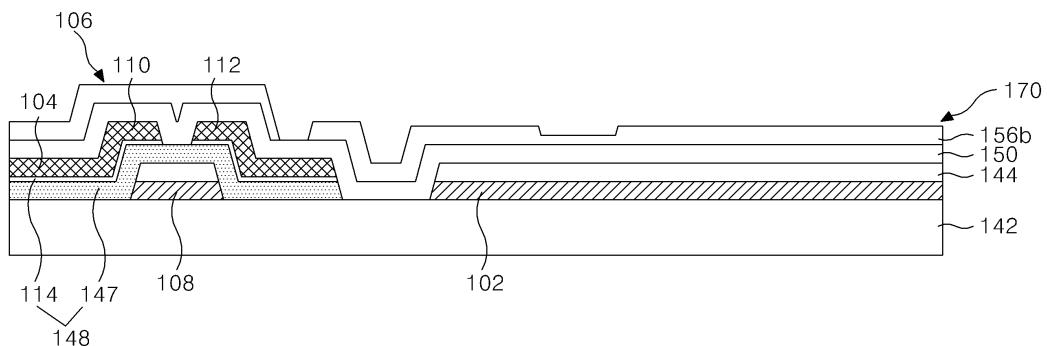
도면10e



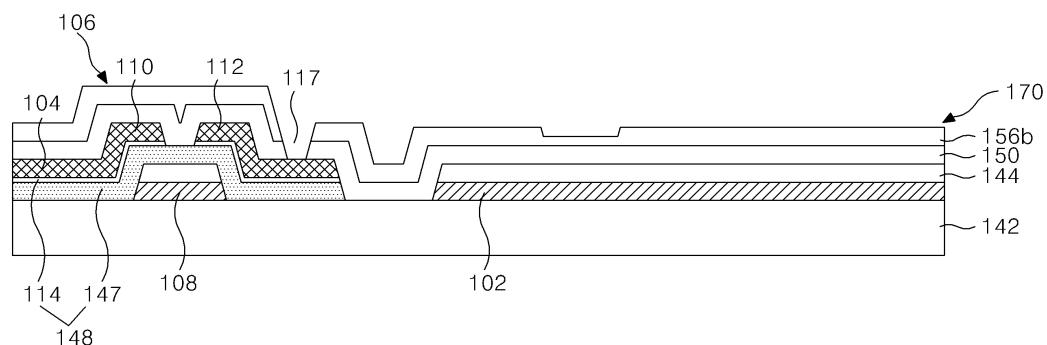
도면11a



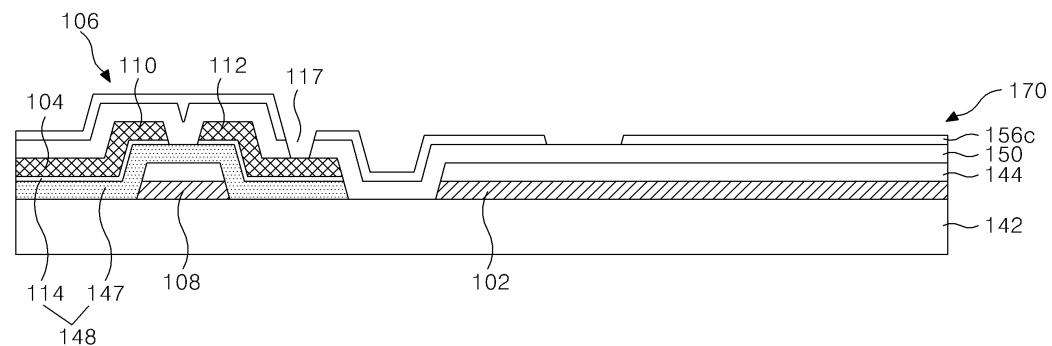
도면11b



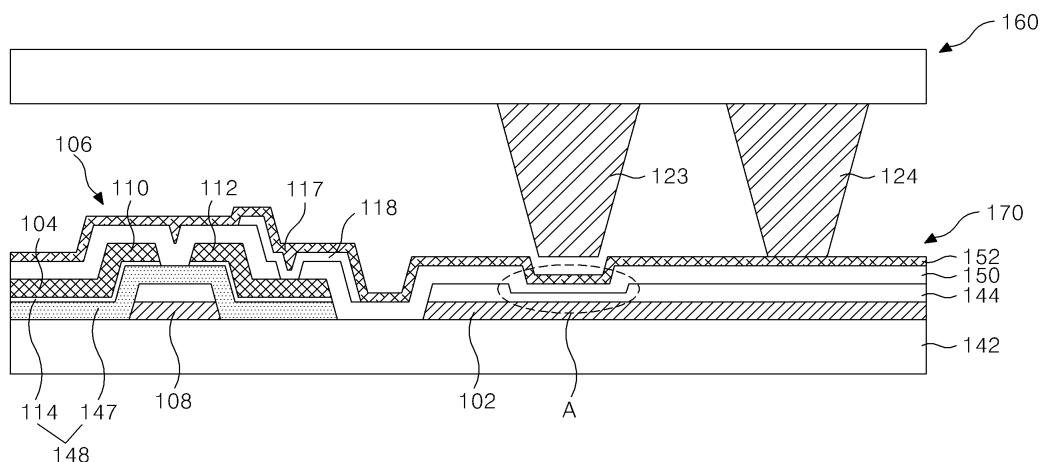
도면11c



도면11d



도면12



专利名称(译)	标题 : 制造液晶显示板的方法		
公开(公告)号	KR101157978B1	公开(公告)日	2012-06-25
申请号	KR1020050057986	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN TAE 김현태 KWAK DONG YEUNG 곽동영		
发明人	김현태 곽동영		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/133371 G02F2201/50 G02F1/13392 G02F2001/133519		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020070002447A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示面板及其制造方法，用于提高单元间隙保持的可靠性和防止孔径比的降低。在液晶显示面板中，滤色器阵列基板包括主柱间隔物和子柱间隔物。薄膜晶体管阵列基板与滤色器阵列基板相对设置。薄膜晶体管阵列基板包括多个膜，包括与主柱间隔物接触的顶膜和设置在子柱间隔物下方的凹陷部分。

