



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2011년02월09일

(11) 등록번호 10-1012718

(24) 등록일자 2011년01월27일

(51) Int. Cl.

*G02F 1/136* (2006.01)

(21) 출원번호 10-2003-0099918

(22) 출원일자 2003년12월30일

심사청구일자 2008년12월17일

(65) 공개번호 10-2005-0070415

(43) 공개일자 2005년07월07일

(56) 선행기술조사문헌

KR1020010005220 A\*

KR1020020065388 A\*

KR1020020045256 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

김웅권

경기도군포시산본동세종아파트638-1303

김세준

서울특별시용산구동빙고동32-23

(74) 대리인

## 특허법인 네이트

전체 청구항 수 : 총 11 항

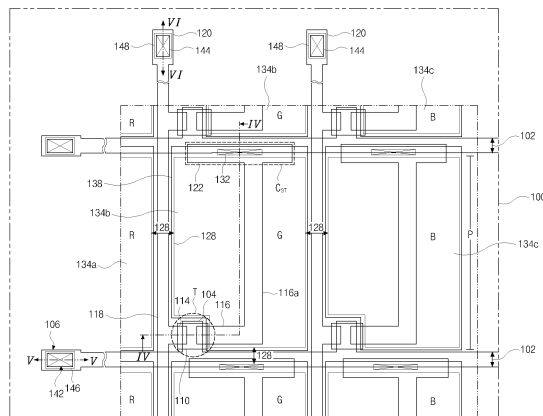
심사관 : 임동재

(54) 액정표시장치용 어레이기판 제조방법

(57) 요약

본 발명에 따른 액정표시장치는 박막트랜지스터 어레이의 상부에 컬러필터를 구성하는 구조에 있어서, 박막트랜지스터와 게이트 배선 및 데이터 배선의 상부에 불투명한 유기수지로 블랙매트릭스를 형성하고, 블랙매트릭스의 상부에는 절연막을 형성하며, 절연막의 상부에는 컬러필터를 형성한다. 또한, 컬러필터의 상부 및 절연막의 상부에는 투명 화소전극을 형성하는데, 이 화소전극을 형성하기에 앞서 컬러필터를 마스크로 하여 절연막을 약에칭(slightly etching)해 준다. 그러므로, 절연막과 접촉하여 형성하는 화소전극의 접착력을 향상시킴과 아울러, 컬러필터 형성 후 잔존하는 컬러레진(color resin)을 제거할 수 있다.

## 대표도 - 도3a



## 특허청구의 범위

### 청구항 1

기관 상에 일 끝단에 게이트 패드를 포함하는 게이트 배선과 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 단계와;

상기 게이트 배선과 게이트 패드와 게이트 전극이 형성된 기관의 전면에 제 1 절연막을 형성하는 단계와;

상기 게이트 전극 상부의 상기 제 1 절연막상에 순수 비정질 실리콘으로 이루어진 액티브층과 불순물 비정질 실리콘으로 이루어진 오믹 콘택층을 형성하는 단계와;

상기 게이트 배선에 수직하게 교차하고 상기 게이트 전극과 더불어 화소영역을 정의하는 데이터 배선과, 상기 데이터 배선의 일 끝단에 데이터 패드와, 상기 데이터 배선에서 상기 오믹 콘택층의 상부로 연장되는 소스 전극과, 상기 소스전극과 분리되어 상기 오믹 콘택층의 상부에 드레인 전극을 형성하여 박막트랜지스터를 이루는 단계와;

상기 박막트랜지스터를 덮도록 상기 기관의 전면에 제 2 절연막을 형성하는 단계와;

상기 박막트랜지스터 상부에 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기관의 전면에 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막의 상부에 화소영역에 대응하는 컬러필터를 형성하는 단계와;

상기 컬러필터에 의해 노출된 상기 제 3 절연막을 약에칭(slightly etching)하는 단계와;

상기 컬러필터의 상부 및 약에칭된 상기 제 3 절연막의 상부에 투명한 화소전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기관 제조방법.

### 청구항 2

제 1 항에 있어서,

상기 블랙매트릭스는 상기 게이트배선 및 데이터 배선의 상부로 연장되어 형성되는 액정표시장치용 어레이 기관 제조방법.

### 청구항 3

제 1 항에 있어서,

상기 제 3 절연막을 약에칭 하는 단계는 투과부와 차단부와 반투과부로 구성된 마스크를 이용하고, 감광성 포토 레지스트를 이용하는 액정표시장치용 어레이 기관 제조방법.

### 청구항 4

제 1 항에 있어서,

상기 제 3 절연막을 약에칭 하는 단계는 상기 게이트패드를 노출하는 게이트패드 콘택홀과 상기 데이터패드를 노출하는 데이터패드 콘택홀을 형성하는 단계를 포함하는 액정표시장치용 어레이 기관 제조방법.

### 청구항 5

제 1 항에 있어서,

상기 소스 및 드레인 전극을 형성하는 단계는 상기 게이트배선의 상부에 스토리지 금속층을 형성하는 단계를 포함하며, 상기 스토리지 금속층과 게이트 배선은 이들 사이에 게재된 제 1 절연막과 더불어 스토리지 커패시터를

이루는 액정표시장치용 어레이 기판 제조방법.

#### 청구항 6

제 5 항에 있어서,

상기 제 3 절연막을 약애칭 하는 단계는 상기 스토리지 금속층을 노출하는 스토리지 콘택홀을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판 제조방법.

#### 청구항 7

제 5 항에 있어서,

상기 소스 및 드레인 전극을 형성하는 단계는 상기 스토리지 금속층과 상기 드레인 전극을 연결하는 연결전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판 제조방법.

#### 청구항 8

제 1 항에 있어서,

상기 박막트랜지스터는 게이트 전극과, 액티브층과, 오믹 콘택층과, 소스전극과, 드레인 전극을 포함하도록 형성된 액정표시장치용 어레이 기판 제조방법.

#### 청구항 9

제 1 항에 있어서,

상기 컬러필터는 상기 제 3 절연막을 약애칭시 마스크의 역할을 수행하는 액정표시장치용 어레이 기판 제조방법.

#### 청구항 10

제 1 항에 있어서,

상기 제 2 절연막은 상기 박막트랜지스터와 블랙매트릭스 사이에 개재되며, 상기 제 1 절연막과, 제 2 절연막과 제 3 절연막은 질화실리콘 및 산화실리콘 중에 하나로 형성하는 액정표시장치용 어레이 기판 제조방법.

#### 청구항 11

제 1 항에 있어서,

상기 제 1 및 제 2 투명 전극층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속그룹 중 선택된 하나로 형성되며, 상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 형성된 액정표시장치용 어레이 기판 제조방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

[0015] 본 발명은 액정표시장치에 관한 것으로, 박막트랜지스터 어레이부의 상부에 컬러필터를 구성하는 COT(color

filter on TFT)구조 액정표시장치와 그 제조방법에 관한 것이다.

- [0016] 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- [0017] 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- [0018] 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- [0019] 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 상부기판(5)과 하부기판(22)과 그들 사이에 충전된 액정(14)으로 구성되어 있다. 상부기판(5)은 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하고 있으며, 컬러필터(8)와 블랙 매트릭스(6)의 상부에 증착된 공통전극(18)을 포함하고 있다. 하부기판(22)에는 화소영역(P)이 정의되고 화소영역(P)에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성되어 있다.
- [0020] 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- [0021] 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- [0022] 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- [0023] 상기 화소전극(17)과 병렬로 연결된 스토리지 커패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 커패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 스토리지 금속층(30)을 사용한다.
- [0024] 이때, 상기 섬형상의 스토리지 금속층(30)은 화소전극(17)과 접촉되어 화소전극(17)의 신호를 받도록 구성된다.
- [0025] 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- [0026] 이하, 도 2를 참조하여 설명한다.
- [0027] 도 2는 도 1의 II-II를 따라 절단한 단면도이다.
- [0028] 앞서 설명한 바와 같이, 어레이기판인 제 1 기판(22)과 컬러필터 기판인 제 2 기판(5)이 이격되어 구성되고, 제 1 기판(22) 및 제 2 기판(5)의 사이에는 액정층(14)이 위치한다.
- [0029] 어레이기판(22)의 상부에는 게이트 전극(32), 액티브층(34), 소스 전극(36)과 드레인 전극(38)을 포함하는 박막트랜지스터(T)가 위치하고, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는 보호막(40)이 구성된다.
- [0030] 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소전극(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성된다.
- [0031] 상기 상부 기판(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 하부 기판(22)의 화소영역(P)에 대응하여 서브 컬러필터(8a, 8b, 8c)가 구성된다.
- [0032] 이때, 일반적인 어레이기판의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소 전극(17)을 일정 간격(A) 이격 하여 구성하게 되고, 게이트 배선(13)과 화소 전극 또한 일정간격(B) 이격 하여 구성하게 된다.
- [0033] 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 상부 컬러필터기판(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- [0034] 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액

티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.

[0035] 그런데, 상기 상부 기관(5)과 하부 기관(22)을 합착하는 공정 중 합착 오차(misalign)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그 만큼 개구율이 저하된다.

[0036] 또한, 마진을 넘어서 합착오차가 발생할 경우, 빔샘 영역(A, B)이 블랙매트릭스(6)에 모두 가려지지 않는 빔샘 불량이 발생하는 경우가 종종 있다.

[0037] 이러한 경우에는 상기 빔샘이 외부로 나타나기 때문에 화질을 저하하는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

[0038] 본 발명은 전술한 바와 같은 문제를 해결하기 위해 제안된 것으로, 본 발명을 요약하면 컬러필터를 하부기관에 구성하고 컬러필터 사이 영역 즉, 박막트랜지스터와 게이트 배선 및 데이터배선의 상부에 블랙매트릭스를 구성한다.

[0039] 컬러필터의 상부에는 화소전극이 구성되는데, 화소전극의 구성에 앞서 하부에 구성되는 무기절연막에 약에칭(slight etch)을 실시하여 준다. 그러므로, 하부의 무기절연막과 화소전극 사이에 접착력(adhesion)을 증가시켜 화소전극의 향상된 접착특성을 얻을 수 있다.

[0040] 또한, 전술한 바와 같은 구성은 상기 컬러필터와 블랙매트릭스를 하부기관에 직접 구성하기 때문에 블랙매트릭스를 설계할 때 고려되었던 합착마진을 고려하지 않아도 되므로 개구율이 개선되는 장점이 있다.

### 발명의 구성 및 작용

[0041] 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기관 제조방법은 기관 상에 일 끝단에 게이트 패드를 포함하는 게이트 배선과 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 단계와; 상기 게이트 배선과 게이트 패드와 게이트 전극이 형성된 기관의 전면에 제 1 절연막을 형성하는 단계와; 상기 게이트 전극 상부의 상기 제 1 절연막상에 순수 비정질 실리콘으로 이루어진 액티브층과 불순물 비정질 실리콘으로 이루어진 오믹 콘택층을 형성하는 단계와; 상기 게이트 배선에 수직하게 교차하고 상기 게이트 전극과 더불어 화소영역을 정의하는 데이터 배선과, 상기 데이터 배선의 일 끝단에 데이터 패드와, 상기 데이터 배선에서 상기 오믹 콘택층의 상부로 연장되는 소스 전극과, 상기 소스전극과 분리되어 상기 오믹 콘택층의 상부에 드레인 전극을 형성하여 박막트랜지스터를 이루는 단계와; 상기 박막트랜지스터를 덮도록 상기 기관의 전면에 제 2 절연막을 형성하는 단계와; 상기 박막트랜지스터 상부에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스가 형성된 기관의 전면에 제 3 절연막을 형성하는 단계와; 상기 제 3 절연막의 상부에 화소영역에 대응하는 컬러필터를 형성하는 단계와; 상기 컬러필터에 의해 노출된 상기 제 3 절연막을 약에칭(slightly etching)하는 단계와; 상기 컬러필터의 상부 및 약에칭된 상기 제 3 절연막의 상부에 투명한 화소전극을 형성하는 단계를 포함한다.

[0042] 본 발명에 따른 액정표시장치용 어레이 기관 제조방법에서, 상기 블랙매트릭스는 상기 게이트배선 및 데이터 배선의 상부로 연장된다. 상기 제 3 절연막을 약에칭 하는 단계는 투과부와 차단부와 반투과부로 구성된 마스크를 이용하고, 감광성 포토레지스트를 이용한다. 상기 제 3 절연막을 약에칭 하는 단계는 상기 게이트패드를 노출하는 게이트패드 콘택홀과 상기 데이터패드를 노출하는 데이터패드 콘택홀을 형성하는 단계를 포함한다. 또한, 상기 소스 및 드레인 전극을 형성하는 단계는 상기 게이트배선의 상부에 스토리지 금속층을 형성하는 단계를 포함하며, 상기 스토리지 금속층과 게이트 배선은 이들 사이에 게재된 제 1 절연막과 더불어 스토리지 커패시터를 이룬다. 상기 제 3 절연막을 약에칭 하는 단계는 상기 스토리지 금속층을 노출하는 스토리지 콘택홀을 형성하는 단계를 포함한다.

[0043] 또한, 상기 소스 및 드레인 전극을 형성하는 단계는 상기 스토리지 금속층과 상기 드레인 전극을 연결하는 연결 전극을 형성하는 단계를 포함한다.

[0044] 본 발명에 따른 액정표시장치용 어레이 기관 제조방법에서, 상기 박막트랜지스터는 게이트 전극과, 액티브층과, 오믹 콘택층과, 소스전극과, 드레인 전극을 포함하도록 형성된다. 상기 컬러필터는 상기 제 3 절연막을 약에칭 시 마스크의 역할을 수행한다. 그리고, 상기 제 2 절연막은 상기 박막트랜지스터와 블랙매트릭스 사이에 게재

되며, 상기 제 1 절연막과, 제 2 절연막과 제 3 절연막은 질화실리콘 및 산화실리콘 중에 하나로 형성한다. 상기 제 1 및 제 2 투명 전극층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속그룹 중 선택된 하나로 형성되며, 상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 형성된다.

[0045] 이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.

[0046] 도 3a는 본 발명에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 도면이다.

[0047] 도 3a에 도시한 바와 같이, 기판상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)을 서로 평행하게 구성하고, 상기 게이트 배선(102)과 수직하게 교차하여 다수의 화소영역(P)을 정의하고 일 끝단에 데이터패드(120)를 포함하는 데이터 배선(118)을 형성한다.

[0048] 상기 게이트 배선(102)과 데이터 배선(118)이 교차하는 지점에는 게이트 전극(104)과 액티브층(110)과 소스 및 드레인 전극(114, 116)을 포함하는 박막트랜지스터(T)를 구성한다. 상기 게이트 및 데이터 배선(102, 118)이 교차하여 정의되는 화소영역(P)에는 전단 게이트배선의 상부에 위치하는 스토리지 금속층(122)과 접촉하는 투명 화소전극(138)과, 투명 화소전극(138)의 하부에 구성된 컬러필터(134a, 134b, 134c)를 구성한다. 상기 드레인 전극(116)은 화소영역을 가로지르는 연결전극(116a)에 의해 상기 스토리지 금속층(122)과 연결되어 있다. 이 같은 구조에서,

[0049] 상기 투명 화소전극(138)은 상기 게이트배선(102)의 상부에 구성된 스토리지 캐패시터( $C_{ST}$ )와 스토리지 콘택홀(132a)을 통해 병렬로 연결되며, 상기 스토리지 금속층(122)과 연결된 드레인전극(116)을 통해 박막트랜지스터(T)와도 연결된 구조를 취하고 있다.

[0050] 전술한 바와 같은 구성에서, 스토리지 캐패시터( $C_{ST}$ )는 상기 드레인전극(116)과 연결되고 상기 게이트 배선(102)의 일부 상부에 위치하며 상기 화소전극(138)과 접촉하는 스토리지 금속층(122)을 제 1 전극으로 하고, 그 하부의 게이트 배선(102)을 제 2 전극으로 한다.

[0051] COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(128)와, 적(R), 녹(G), 청색(B)의 컬러필터(134a, 134b, 134c)가 구성된 형태이다.

[0052] 블랙매트릭스(128)는 빛샘영역을 가리는 역할을 하며, 게이트 배선(102) 및 데이터 배선(118)과 박막트랜지스터(T)에 대응하여 구성한다.

[0053] 상기 블랙매트릭스(128)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터(T)를 보호하는 보호막의 역할을 하게 된다

[0054] 또한, 도 3a에는 도시하지 않았지만, 본 발명에서는 블랙매트릭스(128)와 화소영역(P)에 형성되는 컬러필터(134a, 134b, 134c) 사이에는 보호층(도 4f의 130)이 형성된다. 이 보호층에는 컬러필터(134a, 134b, 134c) 형성 후 약에칭(slight etching)을 실시하여 화소전극(138) 형성시 접착력(adhesion)을 강화시켜 주며, 컬러필터(134a, 134b, 134c) 형성 후 잔류할지 모를 컬러레진(color resin)을 제거하는 방법으로 사용한다.

[0055] 또한, 전술한 구성에서, 상기 게이트 패드(106)와 데이터 패드(120)는 게이트 및 데이터 콘택홀(142, 144)을 통해 노출된 형상으로 공정이 완료된다.

[0056] 도 3a와 같은 COT 구조의 어레이 기판은 도 3b와 같은 구조로 변형이 가능하다. 이하 변형된 실시예를 도 3b를 참조하여 자세히 설명한다. 같은 구성요소에는 같은 도면부호를 사용하도록 한다.

[0057] 도 3b는 본 발명에 따른 COT 구조의 액정표시장치용 어레이기판의 변형된 실시예를 개략적으로 도시한 도면이다.

[0058] 도시한 바와 같이, 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)을 서로 평행하게 구성하고, 상기 게이트 배선(102)과 수직하게 교차하여 다수의 화소영역(P)을 정의하고 일 끝단에 데이터패드(120)를 포함하는 데이터 배선(118)을 형성한다.

[0059] 상기 게이트 배선(102)과 데이터 배선(118)이 교차하는 지점에는 게이트 전극(104)과 액티브층(110)과 소스 및 드레인 전극(114, 116)을 포함하는 박막트랜지스터(T)를 구성한다.

[0060] 상기 게이트 및 데이터 배선(102, 118)이 교차하여 정의되는 화소영역(P)에는 드레인 콘택홀(116b)을 통해 드레인 전극(116)과 접촉하는 투명 화소전극(138)과, 이 투명 화소전극(138, 140) 하부에 형성된 컬러필터(134a,

134b, 134c)를 구성한다.

- [0061] 상기 투명 화소전극(138, 140)은 상기 게이트배선(102)의 상부에 구성된 스토리지 캐패시터( $C_{ST}$ )와 스토리지 콘택홀(132a)을 통해 병렬로 연결된다. 도 3a의 구성과 달리, 도 3b의 구성에서는 드레인전극(116)과 스토리지 금속층(122)는 서로 연결되어 있지 않으며, 투명 화소전극(138)과도 각각 연결된 형상을 취하고 있다.
- [0062] 스토리지 캐패시터( $C_{ST}$ )는 상기 게이트 배선(102)의 일부 상부에 위치하여 상기 투명 화소전극(138)과 접촉하는 섬형상의 스토리지 금속층(122)을 제 1 전극으로 하고, 그 하부의 게이트 배선(102)을 제 2 전극으로 한다.
- [0063] COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(128)와, 적(R), 녹(G), 청색(B)의 컬러필터(134a, 134b, 134c)가 구성된 형태이다. 또한, 블랙매트릭스(128)는 빛샘영역을 가리는 역할을 하며, 게이트 배선(102) 및 데이터 배선(118)과 박막트랜지스터(T)에 대응하여 구성하고, 상기 게이트 패드(106)와 데이터 패드(120)는 게이트 및 데이터 콘택홀(142, 144)을 통해 노출된 형상으로 공정이 완료된다.
- [0064] 전술한 본 발명에 따른 도 3b의 구성에서도, 블랙매트릭스(128)와 화소영역(P)에 형성되는 컬러필터(134a, 134b, 134c) 사이에는 보호층(도 4f의 130)이 형성된다. 이 보호층에는 컬러필터(134a, 134b, 134c) 형성 후 약에칭(slight etching)을 실시하여 주어 화소전극(138) 형성시 접착력(adhesion)을 강화시켜 주며, 컬러필터(134a, 134b, 134c) 형성 후 잔류할지 모를 컬러레진(color resin)을 제거하여 준다.
- [0065] 이하, 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g를 참조하여, 본 발명의 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.
- [0066] 도 4a 내지 도 4g와, 도 5a 내지 도 5g와, 도 6a 내지 도 6g는 도 3a의 IV-IV, V-V, VI-VI를 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서로 도시한 공정 단면도이다. 여기서, 도 3a의 절단선 IV-IV는 박막트랜지스터와 화소의 절단선이고, V-V는 게이트 패드부의 절단선이고, VI-VI는 데이터 패드부의 절단선이다.
- [0067] 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(100)상에 도전성 금속을 증착하고 패터하여, 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(102)과, 게이트 배선(102)에서 연장된 게이트 전극(104)을 형성한다.
- [0068] 이때, 상기 게이트 배선(102)을 형성하는 물질은 신호 지연을 방지하기 위해 저항이 낮은 알루미늄계열의 금속을 사용하게 된다.
- [0069] 상기 게이트 배선(102)과 게이트 전극(104)과 게이트 패드(106)가 형성된 기판(100)의 전면에 질화 실리콘( $SiN_x$ )과 산화 실리콘( $SiO_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여, 제 1 절연층인 게이트 절연막(108)을 형성한다.
- [0070] 상기 게이트 절연막(108)상에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하고 패터하여, 게이트 전극(104)상부의 게이트 절연막(108)상에 액티브층(active layer)(110)과 오믹 콘택층(ohmic contact layer)(112)을 형성한다.
- [0071] 다음으로 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 액티브층(110)과 오믹 콘택층(112)이 형성된 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu)를 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 패터하여, 상기 오믹 콘택층(112)과 각각 접촉하는 소스 전극(114)과 드레인 전극(116)과, 상기 소스전극(112)과 연결되고 일 끝단에 데이터 패드(120)를 포함하는 데이터 배선(118)을 형성한다. 이때, 어레이 기판이 도 3a의 구성을 채택하였다면, 게이트배선의 상부에 스토리지 금속층(122)을 형성하는 것을 물론, 상기 스토리지 금속층(122)과 상기 드레인 전극(116)의 연결하는 연결전극(도 3a의 116a)을 형성한다. 한편, 어레이 기판이 도 3b의 구성을 채택하였다면, 도 3b에 도시한 바와 같이, 상기 게이트 배선(102)의 상부에 섬형상의 스토리지 금속층(122)을 형성하고, 드레인 전극(116) 또한 섬형상으로 형성한다.
- [0072] 이 같은 금속층의 패터이 후, 소스 전극(114)과 드레인 전극(116)의 사이로 드러난 오믹 콘택층(112)을 패터하여 하부의 액티브층(110)에 채널영역(channel region)을 형성한다. 이때, 상기 소스 전극(114)과 드레인 전극(116)은 식각 방지막으로서의 기능을 수행한다.
- [0073] 또한, 도 4a, 도 5a 및 도 6a에 도시한 바와 같이, 상기 소스 및 드레인 전극(114, 116)과 데이터 패드(120)를 포함하는 데이터 배선(118)이 형성된 기판(100)의 전면에 질화 실리콘( $SiN_2$ )과 산화 실리콘( $SiO_2$ )을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(124)을 형성한다. 이때, 제 2 절연막(124)의 기능은 이후에 형성되는 유기막(미도시)과 상기 액티브층(110)사이에 발생할 수 있는 접촉불량을 방지하기 위한 기능을

한다. 제 2 절연막(124)은 이후 공정에서 형성되는 유기막(블랙매트릭스)과 액티브층(110)사이 에 접촉불량이 발생하지 않는다면 굳이 형성하지 않아도 좋다.

[0074] 전술한 바와 같은 공정을 통해 박막트랜지스터(T) 어레이부를 형성하는 공정이 완료된다.

[0075] 다음으로, 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 제 2 절연막(124)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(126)을 형성하고 패틴하여, 상기 박막트랜지스터(T)의 상부와 상기 스토리지 금속층(122)의 상부와, 표시영역을 지나는 데이터 배선(118)과 게이트 배선(102)의 상부에 블랙매트릭스(128)를 형성한다. 상기 블랙매트릭스(128)는 박막트랜지스터(T)를 보호하는 역할을 수행하기도 한다.

[0076] 다음으로, 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 상기 블랙매트릭스(128)가 형성된 기판(100)의 전면에 절연물질을 증착하여 제 3 절연막(130)을 형성한다. 상기 제 3 절연막(130)은 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 형성한다.

[0077] 다음으로, 도 4e와 5e와 도 6e에 도시한 바와 같이, 상기 제 3 절연막(130)과 제 2 절연막(124)을 식각하여 스토리지 금속층(122)의 일부를 노출하는 스토리지 콘택홀(132a)을 형성함과 동시에 데이터 패드(120)를 노출하는 데이터패드 콘택홀(144)을 형성한다. 또한, 이 공정에서 제 3 절연막(130)과 제 2 절연막(124)과 제 1 절연막(게이트 절연막)(108)을 식각하여 게이트 패드(106)를 노출하는 게이트패드 콘택홀(142)을 형성한다.

[0078] 도 4f와 5f와 도 6f에 도시한 바와 같이, 상기 패틴된 제 3 절연막(130)이 형성된 기판(100)에 컬러수지를 도포하여 적색(R)과 녹색(G)과 청색(B)의 컬러필터(134a, 134b, 134c)를 각각 형성한다. 도 3a에 도시한 바와 같이, 각각의 적색(R)과 녹색(G)과 청색(B)의 컬러필터(134a, 134b, 134c)는 다수의 화소영역(P)에 각각 대응하여 형성한다.

[0079] 컬러필터(134a, 134b, 134c)의 형성 후에, 제 3 절연막(130)의 전면에 대해 약에칭(slightly etching)을 실시하여 노출된 제 3 절연막의 일부를 제거한다. 이같은 약에칭을 실시하는 이유는 후속공정에서 형성될 화소전극(도 4g의 138)의 접착력을 향상시키기 위함이다. 이 같은 약에칭 시, 기 형성된 컬러필터(134a, 134b, 134c)가 마스크(mask)의 역할을 하므로, 별도의 마스크 공정의 추가없이 하부층의 제 3 절연막(130)을 에칭할 수 있게 된다.

[0080] 또한, 이 같은 약에칭은 컬러필터(134a, 134b, 134c) 형성 후 콘택홀(132, 142, 144)에 잔류할지 모를 컬러레진(color resin)을 제거하는 역할을 수행하여, 이후 형성될 화소전극이나 패드전극들이 하부의 금속층과 보다 좋은 접착력을 가지게 해 준다. 상기 제 3 절연막을 약에칭 하는 식각의 최소두께는 상기 제 3 절연막의 평균 표면 거칠기 이상으로 한다. 즉, AFM(Atomic Force Microscopy)을 이용한 RMS(Root Mean Square)값 이상으로 식각한다. 식각 방법에는 건식식각과 습식식각 모두 사용될 수 있다.

[0081] 다음으로, 도 4g와 도 5g와 도 6g에 도시한 바와 같이, 상기 다수의 컬러필터 패틴(134b, 도 3a의 134a 및 134c)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(indium-tin-oxide; ITO)와 인듐-징크-옥사이드(indium-zinc-oxide; IZO)를 포함하는 투명한 도전성 금속을 증착하고 패틴하여, 상기 화소영역(P)에 대응하는 화소전극(138)을 형성한다.

[0082] 또한, 화소전극(138)의 형성과 동시에, 게이트패드부에는 게이트패드 콘택홀(142)을 통해 게이트 패드(106)와 접촉하는 게이트패드 전극(146)을 형성하고, 데이터패드부에는 데이터패드 콘택홀(144)을 통해 데이터 패드(120)와 접촉하는 데이터패드 전극(148)을 형성한다.

[0083] 상기 화소전극(138)은 도 3a에 도시한 바와 같이 드레인 전극(116)과 연결된 스토리지 금속층(122)과 스토리지 콘택홀(132)을 통해 직접 접촉하게 된다. 따라서, 화소전극(138)은 상기 스토리지 금속층(122)을 통해 드레인 전극(116)으로부터 신호를 입력받게 된다.

[0084] 또한, 상기 게이트 배선(102)의 상부에는 상기 화소전극(138)과 접촉하는 스토리지 금속층(122)을 제 1 전극으로 하고, 그 하부의 게이트 배선(102)을 제 2 전극으로 하는 스토리지 커패시터( $C_{ST}$ )가 형성된다.

[0085] 전술한 바와 같은 공정으로 컬러필터(134b, 도3의 134a 및 134c)와 화소전극(138)을 형성할 수 있으며, 발명에 따른 COT구조의 액정표시장치용 기판을 제작할 수 있다. 앞서 설명한 바와 같이, 본 발명의 특징은 화소전극(138)이 형성되기 전에 하부의 제 3 절연막(130)에 약에칭(slightly etching)을 실시하여 화소전극(138)의 접착력(adhesion)을 향상시키고 잔류 컬러레진(color resin)의 제거에 있다 하겠다.

[0086] 이하, 도 7a 내지 도 7g, 도 8a 내지 도 8g 및 도 9a 내지 도 9g는 전술한 공정에서 콘택홀의 형성 및 절연막의

약에칭(slightly etching)에 대해 상세히 설명한 공정단면도 이다. 이하 설명한 공정에서는 도 4a 내지 도 4d 도 5a 내지 도 5d 및 도 6a 내지 도 6d 이후의 공정에 대해 상술한 것이다.

- [0087] 도 7a, 도 8a 및 도 9a에 도시한 바와 같이, 블랙메트릭스(128)를 덮는 제 3 절연막(130)을 기판(100)의 전면에 형성한 이후, 기판의 전면에 감광성 포토레지스트(photoresist)(150)를 제 3 절연막(130)의 상부에 형성한다. 다음으로, 포토레지스트(150)의 이격된 상부에 투과부(M1)와 차단부(M2)와 반투과부(M3)로 구성된 마스크(M)를 위치시킨다.
- [0088] 상기 마스크(M)의 투과부(M1)는 빛을 완전히 투과시키는 영역으로, 이후 형성될 게이트 패드(106)를 노출시키는 게이트패드 콘택홀에 대응한다. 상기 반투과부(M3)는 투과부(M1)에 비해 빛을 절반정도만 투과시키는 영역으로, 이후 형성될 데이터패드 콘택홀 및 스토리지 콘택홀에 대응하는 영역이다. 또한, 상기 차단부(M2)는 빛을 완전히 차단하는 영역으로, 투과부(M1)과 반투과부(M3)를 제외한 영역이다. 반투과부(M3)는 슬릿(slit)이나 반투명한 물질로 이루어져 있어 빛을 일부만 투과하고, 노광이 부분적으로 일어나게 한다.
- [0089] 이어서 상기 마스크(M)의 상부로 빛을 조사하여 하부의 포토레지스트(150)를 노광하는 공정을 실시한다.
- [0090] 상기 노광공정 후 포토레지스트(150)를 현상하면, 도 7b, 도 8b 및 도 9b에 도시한 바와 같이, 데이터패드 콘택홀 및 스토리지 콘택홀에 대응하는 부분은 일부만 제거되고 게이트패드 콘택홀에 해당하는 부분은 완전히 제거된 포토레지스트 패턴(150a)을 얻을 수 있다. 즉, 상기 마스크(M)의 반투과부(M3)는 빛을 일부만 투과하고 노광이 부분적으로 일어나게 하므로, 반투과부(M3)에 대응하는 포토레지스트가 상부로부터 일부만 현상되어 데이터패드 콘택홀 및 스토리지 콘택홀에 대응하는 부분은 일부만 남게 된다.
- [0091] 다음으로, 도 7c, 8c 및 9c에 도시한 바와 같이, 게이트패드(106)의 상부에 위치하고 현상된 포토레지스트(150a)에 의해 완전히 노출된 제 3 절연막이 식각된다.
- [0092] 이후 도 7d, 도 8d 및 도 9d에 도시한 바와 같이 스토리지 콘택홀 및 데이터패드 콘택홀이 형성될 부분을 노출하기 위해 포토레지스터 패턴(150a)을 식각하는 애싱공정(ashing process)을 진행한다. 이 같은 애싱공정에 의해, 마스크의 반투과부(도 7a 및 9a의 M3)에 대응하여 일부만 노광된 부분이 제거되는 동안 상기 포토레지스터 패턴(150a)이 전체적으로 낮아진다. 즉, 상기 애싱공정은 일종의 건식식각 공정과 같으며, 이후 형성될 스토리지 콘택홀 및 데이터패드 콘택홀에 대응하는 부분이 완전히 제거된다.
- [0093] 상기 포토레지스터 패턴(150a)을 애싱(ashing)하는 공정이 완료되면, 도 7e, 도 8e 및 도 9e에 도시한 바와 같이, 상기 스토리지 금속층(122) 상부의 노출된 절연막(130, 124)을 제거하는 공정을 실시한다. 이때, 노출된 제 3 절연막은 완전히 제거되는 반면, 제 2 절연막은 일부만 제거되어 하부의 스토리지 금속층(122)을 노출하지 않는다. 또한, 도 9e에 도시한 데이터 패드부에서도 노출된 제 3 절연막(130)을 완전히 식각되고 하부의 제 2 절연막(124)은 일부를 남긴채 식각된다. 한편, 도 8e에 도시한 게이트 배드부에서는 노출된 제 2 절연막(124)이 완전히 제거되고 하부의 제 1 절연막(108)은 일부만 제거된다. 이상과 같이 스토리지 금속층(122), 게이트패드(106) 및 데이터 패드(120)의 상부에 절연막의 일부를 남기는 이유는 이후 진행되는 포토레지스트의 제거(strip) 및 컬러필터의 형성시 하부의 금속층에 일어날 수 있는 부식등과 같은 화학적 반응을 방지하기 위함이다.
- [0094] 다음으로, 도 7f, 도 8f 및 도 9f에 도시한 바와 같이, 포토레지스터 패턴(150a)을 제거하는 스트립(strip) 공정을 실시하여 기판(100)으로부터 포토레지스터를 완전히 제거한다. 이어, 기판(100)상에 컬러수지를 도포하여 적색(R)과 녹색(G)과 청색(B)의 컬러필터(134a, 134b, 134c)를 각각 형성한다. 도 3a 및 도 3b에 도시한 바와 같이, 각각의 적색(R)과 녹색(G)과 청색(B)의 컬러필터(134a, 134b, 134c)는 다수의 화소영역(P)에 각각 대응하여 형성한다.
- [0095] 다음으로, 도 7g, 도 8g 및 도 9g에 도시한 바와 같이, 기판(100)의 전면에 대해 약에칭(slightly etching)을 실시한다. 이 약에칭 공정에서의해 컬러필터(134b, 도 3a의 134a 및 134c)에 의해 노출된 제 3 절연막의 일부를 제거함과 동시에 스토리지 금속층(122)을 노출하는 스토리지 콘택홀(132)과, 게이트 패드(106)를 노출하는 게이트패드 콘택홀(142)과, 데이터 패드(120)을 노출하는 게이트패드 콘택홀(144)을 형성한다. 그리하여, 도 4f, 도 5f 및 도 6f에서 보여 지는 것과 같은 공정 단면도를 얻을 수 있다.
- [0096] 앞서 설명한 바와 같이, 약에칭을 실시하는 이유는 후속공정에서 형성될 화소전극(도 4g의 138) 및 패드전극(도 5g의 146, 도 6g의 148)의 접착력을 향상시키기 위함이다. 이 같은 약에칭 시, 기 형성된 컬러필터(134a, 134b, 134c)가 마스크(mask)의 역할을 하므로, 별도의 마스크 공정의 추가 없이 하부층의 제 3 절연막(130)을

에칭할 수 있으며 콘택홀(132, 142, 144) 또한 형성할 수 있다.

[0097] 또한, 이 같은 약에칭은 컬러필터(134a, 134b, 134c) 형성 후 콘택홀(132, 142, 144)에 잔류할지 모를 컬러레진(color resin)을 완전히 제거하는 역할을 수행하여, 이후 형성될 화소전극(138)이나 패드전극(146, 148)들이 하부의 금속층과 보다 좋은 접촉력을 가지게 해 준다.

### 발명의 효과

[0098] 본 발명에 따른 COT 구조의 액정표시장치용 어레이기판 제조방법은 블랙매트릭스와 컬러필터를 하부기판에 형성하므로, 액정표시장치를 설계할 때 합착오차를 위한 공정마진을 둘 필요가 없으므로 개구율을 개선하는 효과가 있다.

[0099] 컬러필터 형성 후 화소전극을 형성하기 전에 약에칭(slightly etching)을 실시하므로, 화소전극과 하부의 절연막 사이에 접착력(adhesion)을 향상시키며 컬러필터 형성 후 잔존하는 컬러레진(color resin)을 제거하는 효과를 거둘 수 있다. 또한, 패터닝된 금속층의 상부에 절연막의 일부를 잔류시키므로, 스토리지 금속층과 게이트 패드 및 데이터 패드가 포토레지스트를 제거하는 약액이나 상기 컬러필터를 패터닝하는 약액에 의해 부식되는 불량을 방지할 수 있는 효과가 있다.

### 도면의 간단한 설명

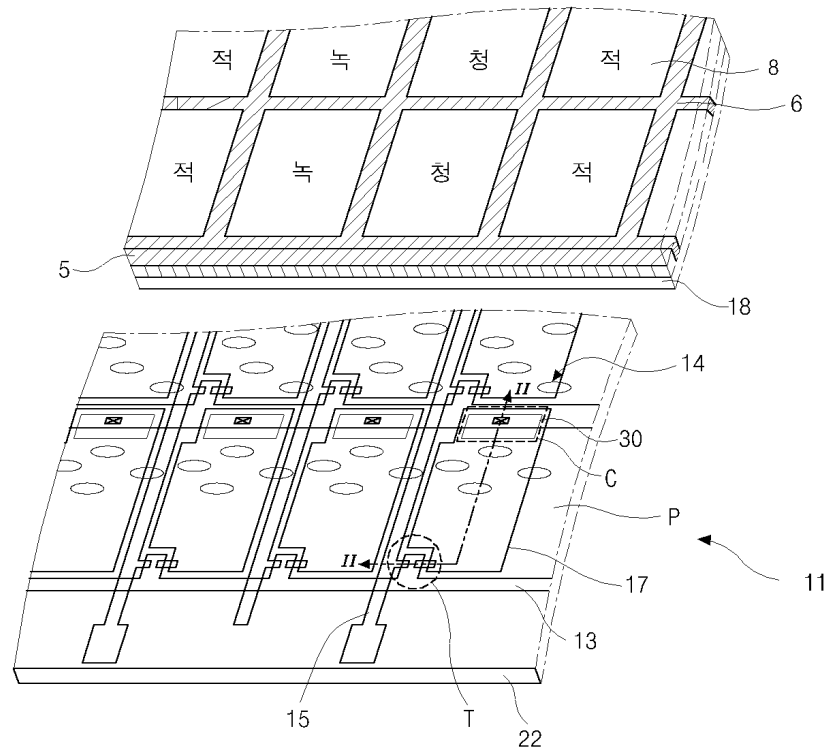
[0001] 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면이고,  
 [0002] 도 2는 도 1의 II-II 를 절단하여 도시한 액정표시장치의 단면도이고,  
 [0003] 도 3a는 본 발명에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 도면이고,  
 [0004] 도 3b는 본 발명에 따른 COT 구조의 액정표시장치용 어레이기판의 변형된 실시예를 개략적으로 도시한 도면이고,  
 [0005] 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 3a의 IV-IV와 V-V와 VI-VI을 따라 절단하여 본 발명에 따른 공정 순서에 따라 도시한 공정 단면도이고,  
 [0006] 도 7a 내지 도 7g, 도 8a 내지 도 8g 및 도 9a 내지 도 9g는 본 발명에 따른 공정 순서에서 콘택홀의 형성 및 절연막의 약에칭(slightly etching)에 대해 상세히 설명한 공정단면도 이다.

[0007] <도면의 주요부분에 대한 간단한 설명>

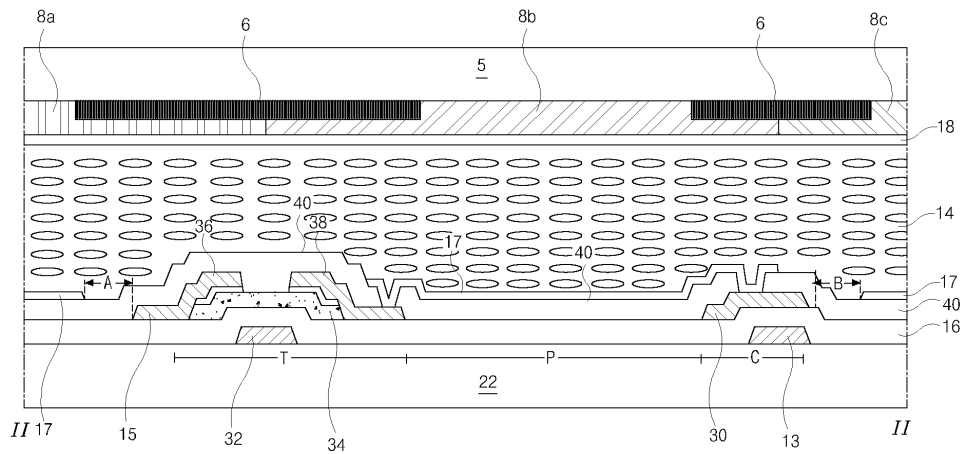
|                                |                  |
|--------------------------------|------------------|
| [0008] 100 : 기판                | 102 : 게이트 배선     |
| [0009] 104 : 게이트 전극            | 106 : 데이터 패드     |
| [0010] 114 : 소스 전극             | 116 : 드레인 전극     |
| [0011] 118 : 데이터 배선            | 120 : 데이터 패드     |
| [0012] 122 : 스토리지 금속층          | 128 : 블랙매트릭스     |
| [0013] 134a, 134b, 134c : 컬러필터 | 138 : 화소전극       |
| [0014] 142 : 게이트 패드 콘택홀        | 144 : 데이터 패드 콘택홀 |

도면

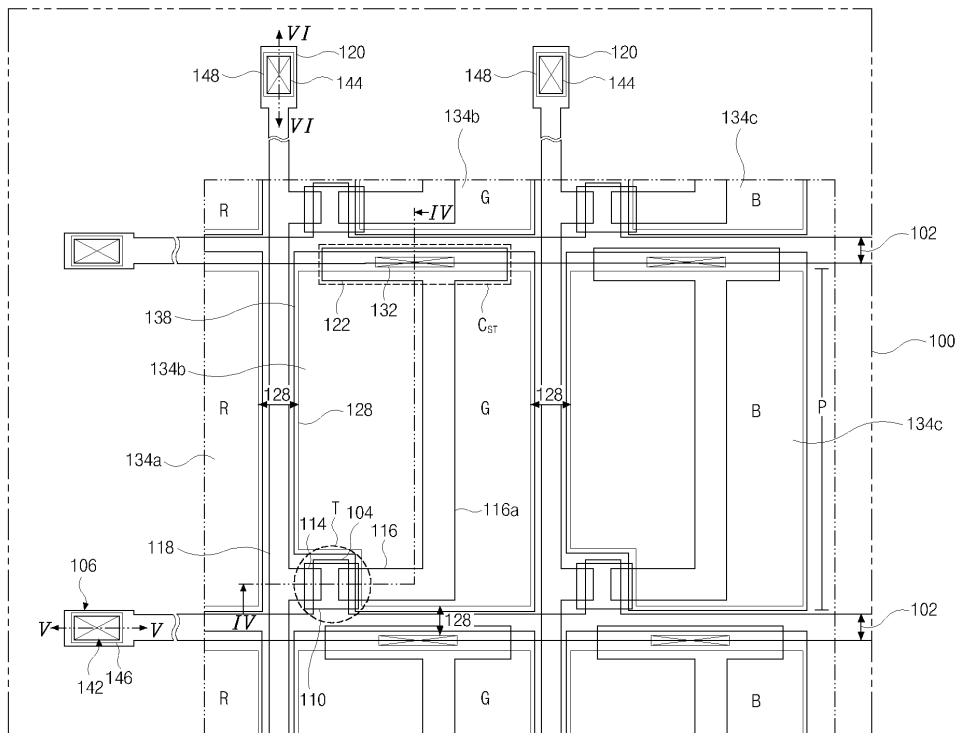
도면1



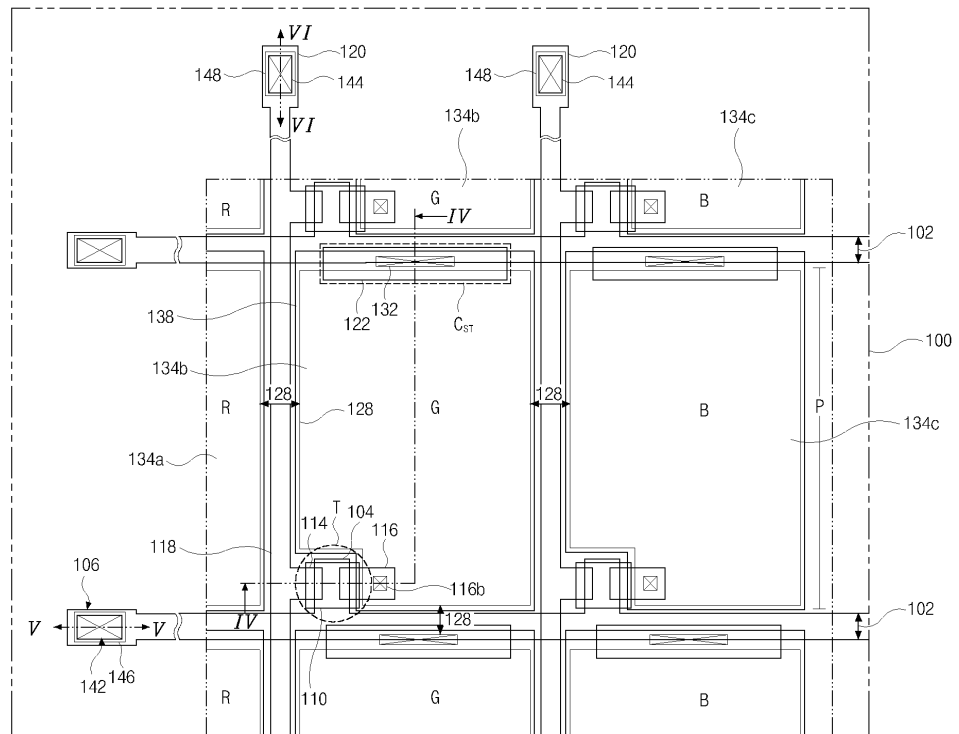
도면2



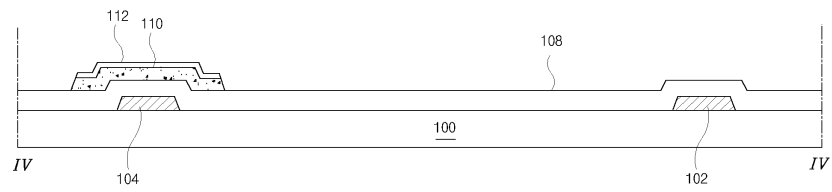
도면3a



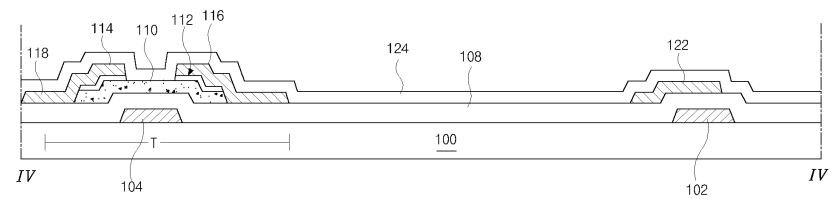
도면3b



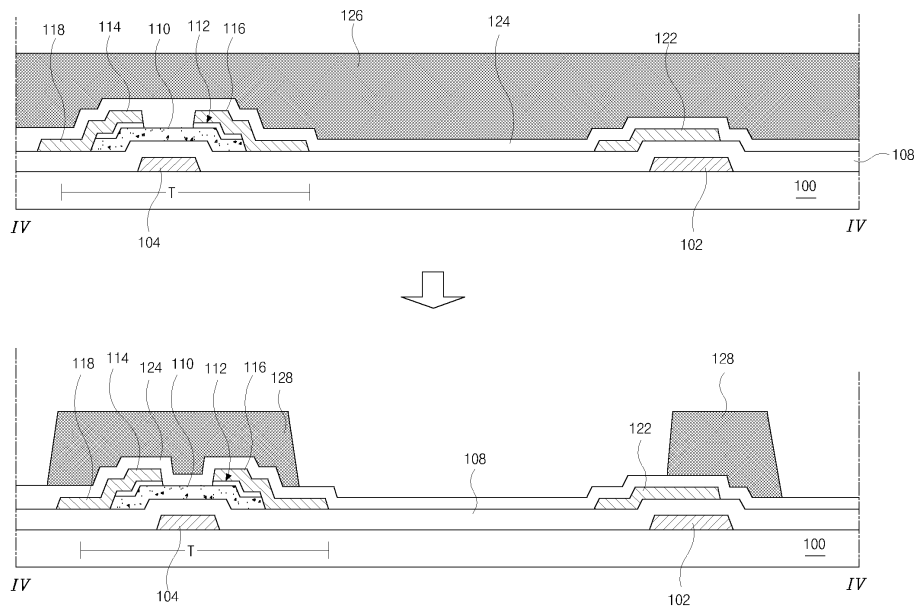
도면4a



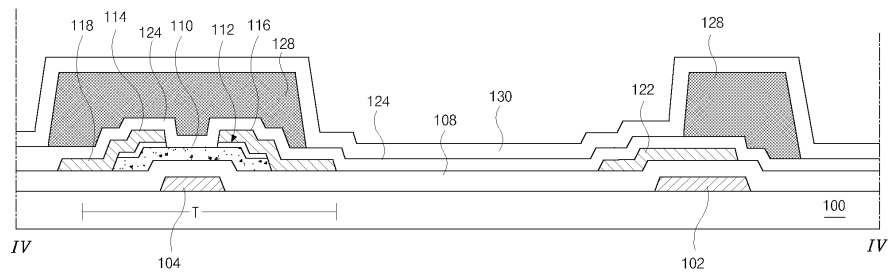
도면4b



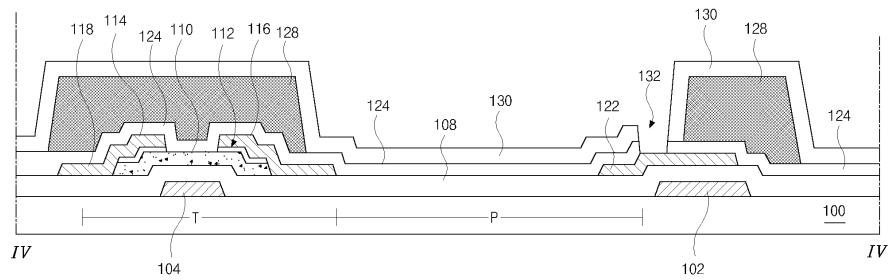
도면4c



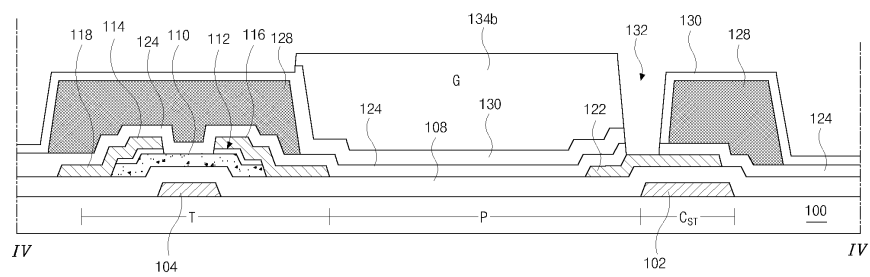
도면4d



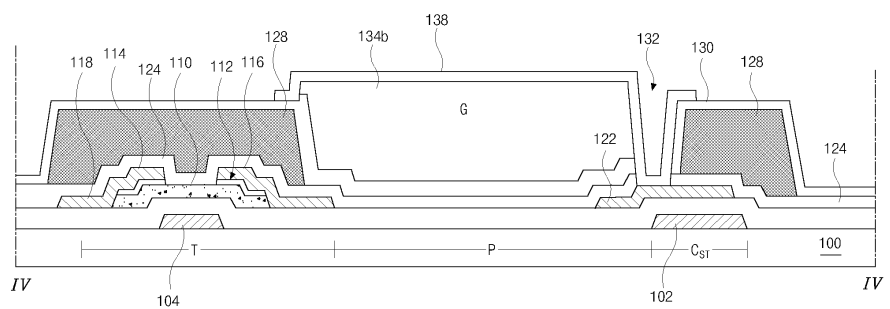
도면4e



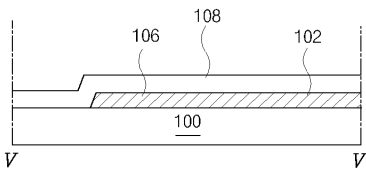
도면4f



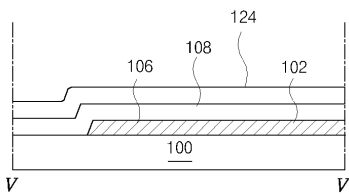
도면4g



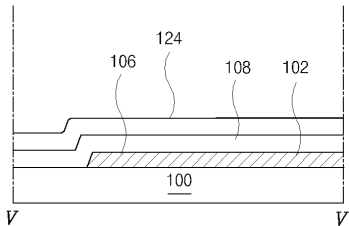
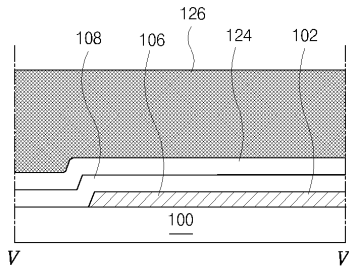
도면5a



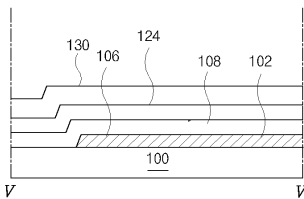
도면5b



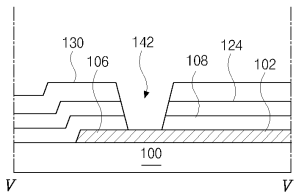
도면5c



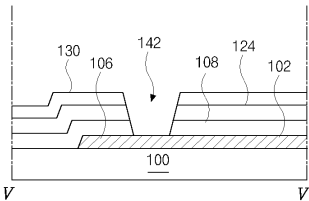
도면5d



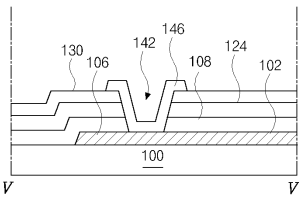
도면5e



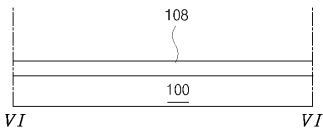
도면5f



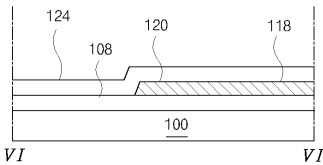
도면5g



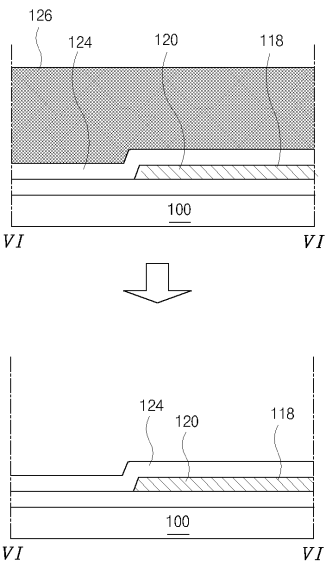
도면6a



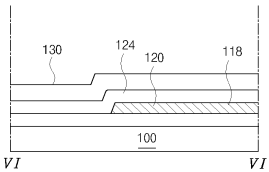
도면6b



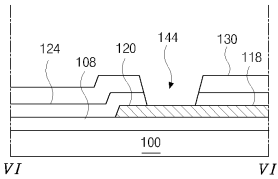
도면6c



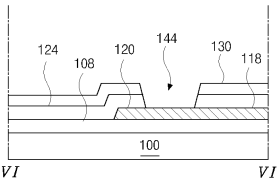
도면6d



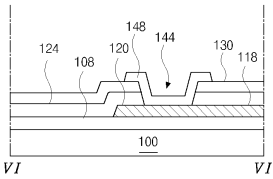
도면6e



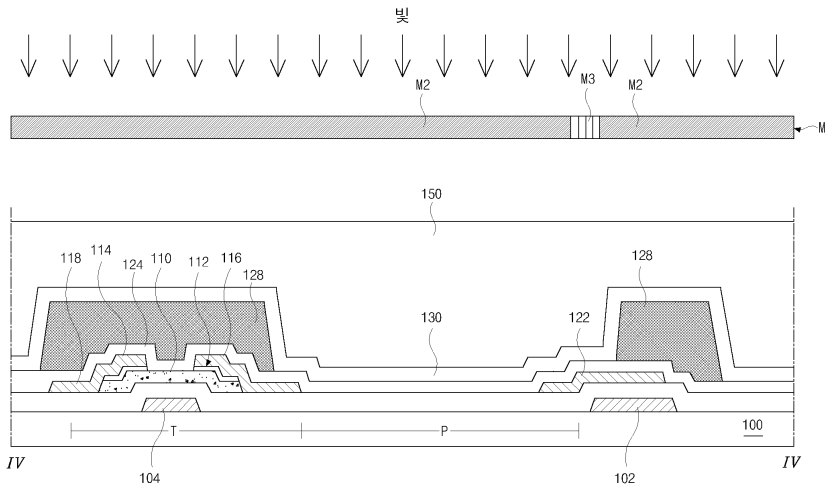
도면6f



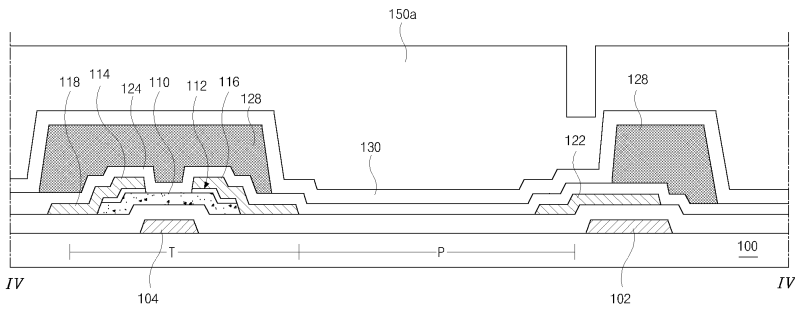
도면6g



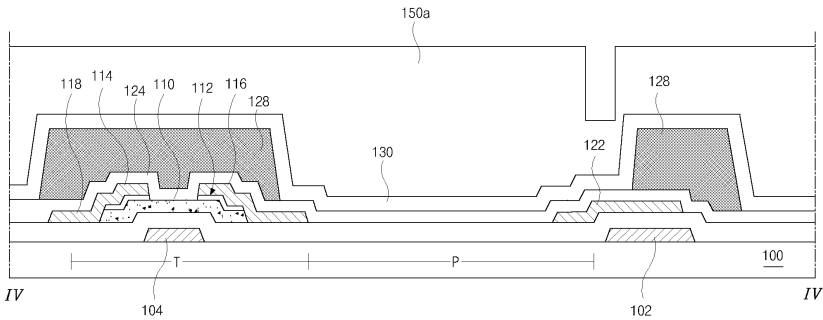
도면7a



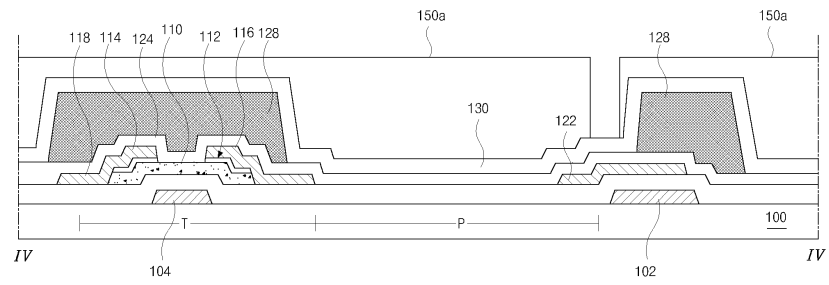
도면7b



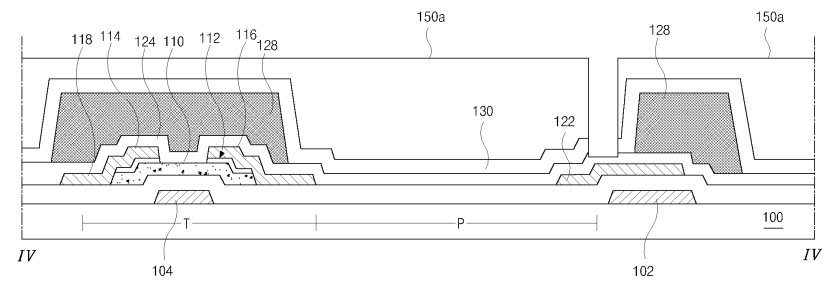
도면7c



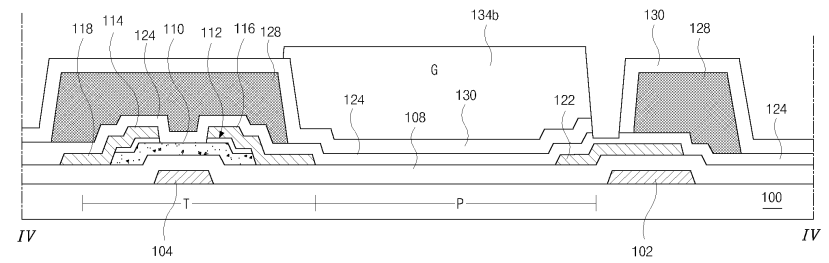
도면7d



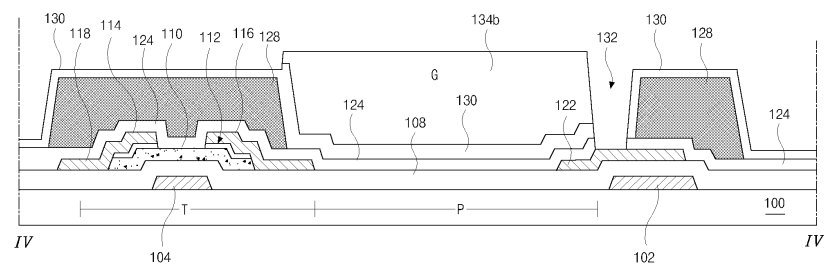
도면7e



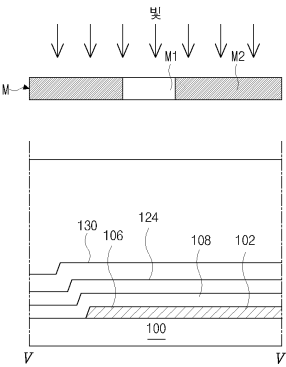
도면7f



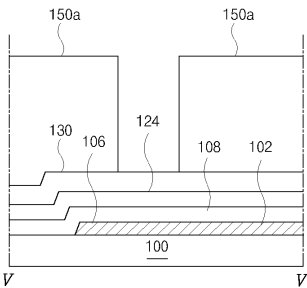
도면7g



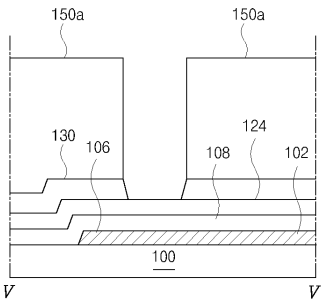
도면8a



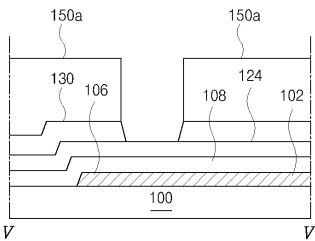
도면8b



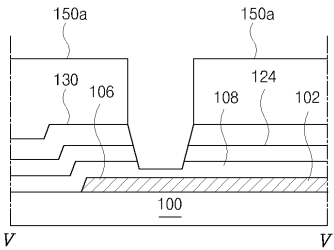
도면8c



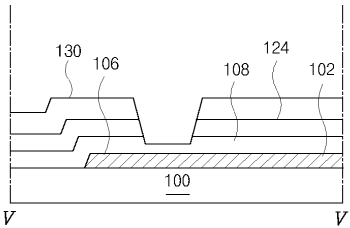
도면8d



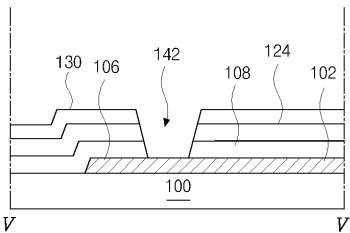
도면8e



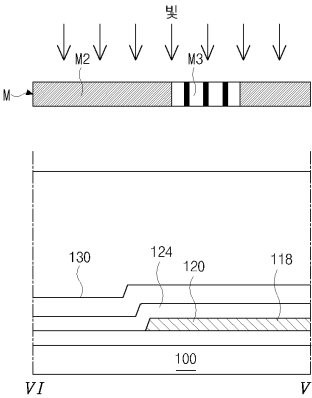
도면8f



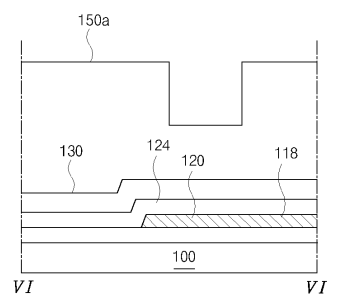
도면8g



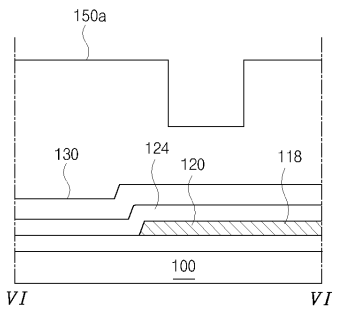
도면9a



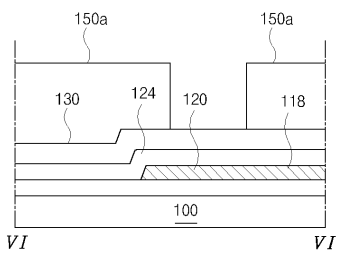
도면9b



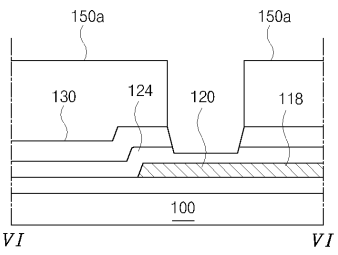
도면9c



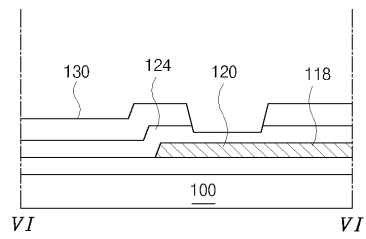
도면9d



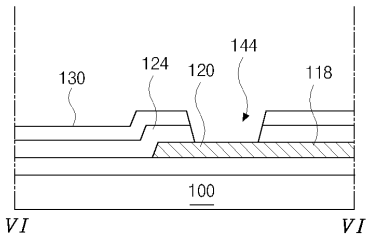
도면9e



도면9f



도면9g



|                |                                                                                                    |         |            |
|----------------|----------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 制造用于液晶显示器的阵列基板的方法                                                                                  |         |            |
| 公开(公告)号        | <a href="#">KR101012718B1</a>                                                                      | 公开(公告)日 | 2011-02-09 |
| 申请号            | KR1020030099918                                                                                    | 申请日     | 2003-12-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                           |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                          |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                          |         |            |
| [标]发明人         | KIM WOONGKWON<br>김웅권<br>KIM SEJUNE<br>김세준                                                          |         |            |
| 发明人            | 김웅권<br>김세준                                                                                         |         |            |
| IPC分类号         | G02F1/1335 H01L21/00 G02F1/1368 G02F1/1333 G02F1/133 G02F1/1362 G02F H01L29/786 G02F1/136 G03F7/20 |         |            |
| CPC分类号         | G02F2001/136231 G02F1/136227 G02F1/136209                                                          |         |            |
| 其他公开文献         | KR1020050070415A                                                                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                          |         |            |

#### 摘要(译)

目的：提供一种制造LCD（液晶显示器）阵列基板的方法，通过在下基板上形成黑矩阵和滤色器来改善LCD的孔径比。

