



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월23일
(11) 등록번호 10-1003829
(24) 등록일자 2010년12월17일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2004-0030602

(22) 출원일자 2004년04월30일

심사청구일자 2009년03월23일

(65) 공개번호 10-2005-0105579

(43) 공개일자 2005년11월04일

(56) 선행기술조사문헌

KR1020040053677 A

KR100930919 B1

W097036205

전체 청구항 수 : 총 15 항

심사관 : 박재학

(54) 씨오티 구조 액정표시장치 및 그 제조 방법

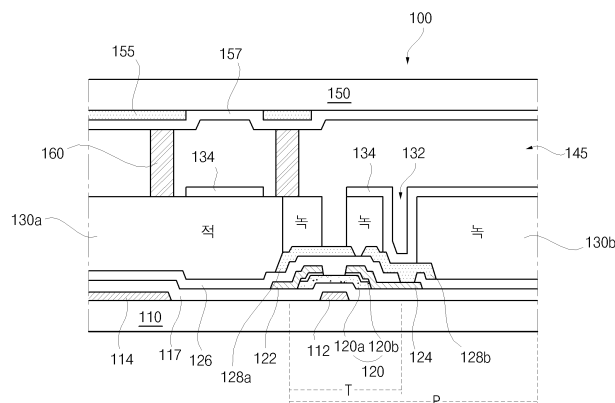
(57) 요약

본 발명은 COT구조 액정표시장치에 관한 것으로, 더욱 상세히는 상부기판에 패턴드 스페이서를 구비한 COT구조의 액정표시장치 및 그 제조 방법에 관한 것이다.

종래의 COT구조 액정표시장치는 상부기판에 투명한 공통전극만이 형성되어 있으며, 상부 및 하부기판의 셀갭을 유지하기 위하여 볼 스페이서를 이용하였다. 이는 공통전극만이 형성된 상부기판에 얼라인 마크를 형성할 수 없으므로 합착시 정렬 오차 문제로 인해 패턴드 스페이서는 형성할 수 없는 문제가 있다.

본 발명은 종래의 문제를 해결하기 위해, COT 구조의 액정표시장치에 있어서, 상부기판에 블랙매트릭스를 형성함으로써, 상기 블랙매트릭스를 형성하는 물질로써 인식 가능한 얼라인 마크를 형성한다. 따라서, 이를 이용하여 정확한 정렬이 가능하게 함으로써, 효과적인 셀갭 유지 및 빛샘불량을 방지할 수 있는 패턴드 스페이서를 상부기판에 구비한 COT 구조 액정표시장치를 제공하는 것을 그 목적으로 한다.

대표도 - 도4b



특허청구의 범위

청구항 1

합착된 제 1 기판과 제 2 기판과;

제 2 기판과 마주보는 제 1 기판의 일면에 서로 수직 교차하여 화소 영역을 정의하면서 구성된 게이트 배선과 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막 트랜지스터와;

상기 박막 트랜지스터 상부에 구성되며, 드레인 전극과 접촉하는 것을 특징으로 하는 차광막과;

상기 차광막 상부로 화소 영역에 구성된 적, 녹, 청색 컬러필터층과;

상기 컬러필터층 상부에 위치하고, 상기 차광막과 접촉하는 화소전극과;

상기 제 1 기판과 마주 보는 제 2 기판의 일면에 일정간격 이격하여 구성되는 블랙매트릭스와;

상기 블랙매트릭스 상부로 전면에 형성된 공통전극과;

상기 공통전극 상부로 하부의 블랙매트릭스와 중첩하는 특정 위치에 일정 간격으로 배치되며 적정 높이를 갖는 패턴드 스페이서와;

상기 제 1, 2 기판 사이에 개재된 액정층

을 포함하는 씨오티(colored filter on TFT; COT) 구조 액정표시장치.

청구항 2

합착된 제 1 기판과 제 2 기판과;

제 2 기판과 마주보는 제 1 기판의 일면에 서로 수직 교차하여 화소영역을 정의하면서 구성된 게이트 배선과 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막 트랜지스터와;

상기 각 화소영역 내에 상기 박막 트랜지스터와 연결되며, 구성되는 다수의 화소전극과;

상기 화소영역 내에서 상기 화소전극과 엇갈려 배치되는 것을 특징으로 하는 다수의 공통전극과;

상기 박막 트랜지스터 상부에 구성되는 차광막과;

상기 차광막 상부로 화소영역 별로 각각 구성된 적, 녹, 청색 컬러필터 패턴과;

상기 제 1 기판과 마주 보는 제 2 기판의 일면의 테두리에 상기 테두리를 따라 구성되는 블랙매트릭스와;

상기 블랙매트릭스의 내측으로 특정 위치에 상기 블랙매트릭스와 동일한 물질로써 일정 간격으로 형성되는 적정 높이를 갖는 다수의 패턴드 스페이서와;

상기 제 1, 2 기판 사이에 개재된 액정층

을 포함하는 씨오티(colored filter on TFT; COT) 구조 액정표시장치.

청구항 3

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 패턴드 스페이서의 적정 높이는 $2\mu\text{m}$ 내지 $8\mu\text{m}$ 인 씨오티(colored filter on TFT; COT) 구조 액정표시장치.

청구항 4

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 블랙매트릭스가 형성된 제 2 기관의 일면에 상기 블랙매트릭스를 형성한 물질로써 형성된 얼라인 마크(alignment mark)가 더욱 구성되는 씨오티(colour filter on TFT; COT) 구조 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 패턴드 스페이서는 벤조사이클로부텐(BCB), 포토 아크릴(photo acrylic), 사이토프(cyclopentadiene), 퍼플루로사이클로부텐(perfluorocyclobutene ; PFCB) 등의 무색 투명한 유기물질 중 하나로 형성되는 것이 특징인 씨오티(colour filter on TFT; COT) 구조 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 블랙매트릭스는 카본(Carbon)을 포함하는 유기물질 또는 블랙레진(black resin)인 씨오티(colour filter on TFT; COT) 구조 액정표시장치.

청구항 7

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 차광막은 크롬(Cr) 또는 크롬 산화물(CrO₂)를 포함하는 금속물질인 씨오티(colour filter on TFT; COT) 구조 액정표시장치.

청구항 8

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 패턴드 스페이서가 형성되는 특정 위치는 제 1 기관 상의 게이트 배선 또는 데이터 배선과 대응되는 영역인 것이 특징인 씨오티(colour filter on TFT; COT) 구조 액정표시장치.

청구항 9

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 적, 녹, 청색 컬러필터층 상부에는 평탄화막이 더욱 구성된 씨오티(colour filter on TFT; COT) 구조 액정표시장치.

청구항 10

제 1 기관의 일면에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 박막 트랜지스터를 형성하는 단계와;

상기 박막 트랜지스터 상부로 보호층을 형성하는 단계와;

상기 보호층 상부로 상기 박막 트랜지스터를 가리며, 드레인 전극과 접촉하는 차광막을 형성하는 단계와;

상기 차광막 및 노출된 보호층 위로 화소영역별로 적, 녹, 청색의 컬러필터 패턴을 형성하는 단계와;

상기 적, 녹, 청색 컬러필터 패턴 상부에, 각 화소영역별로 상기 차광막과 접촉하는 화소전극을 형성하는 단계

와;

상기 제 1 기판과 마주 보는 제 2 기판의 일면에 상기 제 1 기판상의 데이터 배선과 게이트 배선에 대응되는 영역에 블랙매트릭스와 상기 제 2 기판 외각에 얼라인 마크를 형성하는 단계와;

상기 블랙매트릭스 상부로 전면에 공통전극을 형성하는 단계와;

상기 공통전극 상부에 상기 블랙매트릭스와 중첩되는 영역에 적정 높이를 갖고 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계

를 포함하는 씨오티(colored filter on TFT; COT) 구조 액정표시장치의 제조 방법.

청구항 11

제 1 기판의 일면에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 박막 트랜지스터를 형성하는 단계와;

상기 화소영역 내에 서로 엇갈려 배치하는 공통전극과 화소전극을 형성하는 단계와;

상기 박막 트랜지스터 상부로 보호층을 형성하는 단계와;

상기 보호층 상부로 상기 박막 트랜지스터를 가리는 차광막을 형성하는 단계와;

상기 차광막 및 노출된 보호층 위로 화소영역별로 적, 녹, 청색의 컬러필터 패턴을 형성하는 단계와;

상기 제 1 기판과 마주 보는 제 2 기판의 일면의 테두리에 블랙매트릭스와 상기 블랙매트릭스 외측에 얼라인 마크와 상기 테두리의 블랙매트릭스 내부로 특정 위치에 적정 높이를 가지며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계

를 포함하는 씨오티(colored filter on TFT; COT) 구조 액정표시장치의 제조 방법.

청구항 12

제 10 항 또는 제 11 항 중 어느 하나의 항에 있어서,

상기 적, 녹, 청색의 컬러필터 패턴을 형성한 단계 이후에는 평탄화막을 형성하는 단계를 더욱 포함하는 씨오티(colored filter on TFT; COT) 구조 액정표시장치의 제조 방법.

청구항 13

제 10 항 또는 제 11 항 중 어느 하나의 항에 있어서,

상기 패턴드 스페이서를 형성하는 단계 이후에는 접착제인 씰란트(sealant)를 이용하여 상기 제 1, 2 기판 사이에 액정을 개재한 후, 합착하는 단계를 더욱 포함하는 씨오티(colored filter on TFT; COT) 구조 액정표시장치의 제조 방법.

청구항 14

기판 상의 테두리에 제 1 블랙매트릭스와, 상기 제 1 블랙매트릭스 내측으로 격자 모양의 제 2 블랙매트릭스를 형성하는 단계와;

상기 제 1, 2 블랙매트릭스 상부로 전면에 공통전극을 형성하는 단계와;

상기 공통전극 상부에 상기 제 2 블랙매트릭스와 중첩되는 영역에 적정 높이를 가지며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계

를 포함하는 씨오티(color filter on TFT; COT) 구조 액정표시장치용 기판의 제조 방법.

청구항 15

기판 상에 블랙 계열의 유기 물질층을 형성하는 단계와;

상기 유기 물질층 위로 차단영역과 투과영역을 갖는 마스크를 위치시키고, 상기 마스크를 통해 상기 유기 물질층을 노광하는 단계와;

상기 노광 된 유기 물질층을 현상하여 기판 상에 테두리에 블랙매트릭스와, 상기 테두리의 블랙매트릭스 내측으로 상기 블랙매트릭스와 동일 물질로써 적정 높이를 가지며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계

를 포함하는 씨오티(color filter on TFT; COT) 구조 액정표시장치용 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0023] 본 발명은 액정표시장치에 관한 것으로 특히, COT(color filter on TFT)구조의 액정표시장치 및 그 제조 방법에 관한 것이다.
- [0024] 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- [0025] 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 상기 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- [0026] 도 1은 종래에 따른 액정표시장치를 개략적으로 나타낸 도면이다.
- [0027] 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- [0028] 상기 하부기판(22)은 어레이 기판(array substrate)이라고도 하며, 스위칭 소자인 박막 트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막 트랜지스터(TFT)를 교차하여 지나가는 게이트 배선(13)과 데이터 배선(15)이 형성된다.
- [0029] 이때, 상기 화소영역(P)은 상기 게이트 배선(13)과 데이터 배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다. 상기 화소전극(17)은 인듐-틴-옥사이드(ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- [0030] 또한, 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 소스/드레인 금속층(30)을 사용한다.
- [0031] 이때, 상기 소스/드레인 금속층(30)은 화소 전극(17)과 접촉되어 화소전극(17)의 신호를 받도록 구성된다.
- [0032] 그런데, 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이 기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이 기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- [0033] 따라서, 이러한 문제를 해결하기 위해 근래에는 어레이 기판에 컬러필터를 구성하는 COT(color filter on TFT)

구조가 제안되었다.

- [0034] 도 2는 종래에 따른 COT구조의 액정표시장치의 구성을 개략적으로 도시한 단면도이다.
- [0035] 도시한 바와 같이, 종래에 따른 COT 구조의 액정표시장치(40)는 박막 트랜지스터와 컬러필터가 형성된 제 1 기판(50)과, 상기 제 1 기판(50)에 대향되는 제 2 기판(90)과 상기 두 기판(50, 90) 사이에 개재된 액정층(80)으로 구성되어 있다.
- [0036] 상기 제 1 기판(50)은 투명한 기판 상에 게이트 전극(52)과 액티브층(60)과 소스 전극(62)과 드레인 전극(64)을 포함하는 박막 트랜지스터(T)가 구성되어 있으며, 도시하지는 않았지만, 상기 박막 트랜지스터(T)를 중심으로 수직하게 교차하여 화소영역(P)을 정의하는 게이트 배선(64) 및 데이터 배선(미도시)이 구성되어 있다.
- [0037] 상기 게이트 배선(64)의 일 끝단에는 게이트 패드(미도시)가 구성되어 있으며, 상기 데이터 배선(미도시)의 일 끝단에는 데이터 패드(미도시)가 구성되어 있다.
- [0038] 또한, 상기 박막 트랜지스터(T) 및 게이트 및 데이터 배선(64)이 구성된 기판(50)의 전면에는 적, 녹, 청색 컬러필터(68a, 68b, 미도시)와 차광막(70) 블랙매트릭스(71)가 구성되는데, 상기 컬러필터(68a, 68b, 미도시)는 화소영역(P)에 대응하여 구성되어 있으며, 상기 차광막(70)은 박막 트랜지스터(T)의 채널영역(CH)에 대응되어 형성되어 있으며, 상기 블랙매트릭스(71)는 화소(P) 간 경계영역 즉 게이트 배선(64)과 데이터 배선(미도시)에 대응하여 구성되어 있다.
- [0039] 또한, 상기 적, 녹, 청 컬러필터(68a, 68b, 미도시)의 상부에는 상기 드레인 전극(64)과 콘택홀(77)을 통해 접촉하며 투명한 화소전극(74)이 구성되어 있으며, 상기 화소전극(77) 상부에는 액정의 초기 배향을 위한 배향막(76)이 형성되어 있다.
- [0040] 전술한 구성을 갖는 제 1 기판(50)에 대향되는 제 2 기판(90)은 투명한 기판에 상기 제 1 기판(50)의 화소전극(74)과 대향하며 배향막(94)과 공통전극(92)이 형성되어 있다.
- [0041] 다음, 전술한 구조의 COT구조의 액정표시장치의 제 1 기판과 컬러필터 기판의 제조 방법에 대해 간략히 설명한다.
- [0042] 우선, COT구조의 액정표시장치용 제 1 기판의 제조 방법에 대해 도 3a 내지 3d를 참조하여 설명한다.
- [0043] 도 3a 내지 도 3d는 종래의 COT구조 액정표시장치용 제 1 기판의 제작 공정을 도시한 공정 단면도이다.
- [0044] 우선, 도 3a는 기판에 박막 트랜지스터를 형성하는 단계를 도시한 것이다.
- [0045] 상기 박막 트랜지스터(T)는 기판(50) 상에 형성되며, 게이트 전극(52)과, 게이트 절연막(57)과, 액티브층(60)과, 소스 및 드레인 전극(62, 64)으로 구성된다. 이때, 상기 액티브층(60)은 실질적으로 순수 비정질 실리콘층(60a)과 불순물이 섞인 비정질 실리콘층(60b, 이하 분순물 비정질층으로 칭함)으로 나뉘며, 상기 소스 및 드레인 전극(62, 64)의 하부 액티브층(60)은 불순물 비정질층(60b)/순수 비정질층(60a)의 적층구조이고, 상기 소스 및 드레인 전극(62, 64)의 하부를 제외한 부분의 액티브층 즉, 박막 트랜지스터(T)의 채널형성 부분(CH)은 순수 비정질층(60a)으로 구성된다.
- [0046] 상기 소스 및 드레인 전극(62, 64) 상부에는 추후 공정에서 생성될 컬러필터에 의한 상기 박막 트랜지스터(T)의 채널(CH)을 보호하기 위해 보호막(66)이 형성된다.
- [0047] 다음, 도 3b는 적, 녹, 청색 레지스트를 증착하고, 패터닝하여 적, 녹, 청색의 컬러필터(68a, 68b, 미도시)를 형성하는 단계를 도시하고 있다.
- [0048] 상기 컬러필터(68a, 68b, 미도시)는 3번의 각 색에 해당하는 컬러 레지스트를 증착하는 과정과 3번의 패터닝 과정을 진행하여 형성된다. 이때, 상기 박막 트랜지스터(T)의 채널부분(CH)과 드레인 전극(64) 상부 보호막(66)의 일부분이 노출되도록 패터닝한다. 이는 추후 차광막(미도시)과 드레인 콘택홀(미도시)을 형성하기 위함이다.
- [0049] 다음, 도 3c는 차광막과 평탄화막을 형성하는 단계를 도시하고 있다.
- [0050] 상기 차광막(70)은 외부광이 박막 트랜지스터(T)의 채널(CH)로 입사하는 것을 방지하기 위함으로 실질적으로 빛에 대해 불투명한 물질 예를들면 크롬 등의 금속물질 또는 카본을 포함하는 유기물질 등이 쓰인다. 상기 차광막(70) 형성 시 하부의 게이트 배선(54)과 데이터 배선(미도시)에 대응되는 상기 차광막(70)을 형성한 물질로써 블랙매트릭스(71)를 더욱 형성한다. 이때, 상기 블랙매트릭스(71)는 화소(P)의 경계에서 비정상적 구동을 하는 액정에 의한 빛샘을 방지하고, 각 컬러의 경계에서 상기 각 컬러가 혼색되어 표시되는 것을 방지하기 위함이다.

- [0051] 다음, 상기 차광막(70) 및 블랙매트릭스(71) 위로 전면에 평탄화막(73)을 형성하고, 드레인 전극(64)의 일부가 노출되도록 드레인 콘택홀(77)을 형성한다.
- [0052] 다음, 도 3d는 화소전극(68)을 형성하는 단계를 도시하고 있다.
- [0053] 상기 드레인 콘택홀(77)을 포함하는 평탄화막(73) 위로 투명도전성 물질을 증착하고 패너닝함으로써 상기 드레인 콘택홀(77)을 통해 드레인 전극(64)과 접촉하는 화소전극(74)을 형성함으로써 COT 구조의 제 1 기관(50)을 완성한다.
- [0054] 다음, COT 구조의 상부기관인 제 2 기관을 제조 하는 방법에 대해서 설명한다. 상기 제 2 기관은 그 구조가 간단하므로 도면으로 제시하지 않았다.
- [0055] 상기 제 2 기관은 기관 상에 투명도전성 물질을 전면 증착하여 공통전극을 형성함으로써 완성된다.
- [0056] 종래의 COT 구조의 액정표시장치는 전술한 바와 같은 공정에 의해 제 1 기관과 제 2 기관을 각각 제작한 후, 상기 두 기관 중 하나의 기관 테두리에 접착제인 실란트(sealant)로써 디스펜싱하고, 상기 두 기관의 일정 겹을 형성하기 위한 스페이서를 산포한 후, 합착하여 액정패널을 형성하고, 상기 액정패널에 액정을 주입 봉지함으로써 완성하고 있다.
- [0057] 하지만, 전술한 바와 같이 완성된 종래의 COT 구조의 액정표시장치는 상기 제 1 기관과 상부기관 간의 셀갭 형성을 위해서는 항상 산포에 의한 볼 스페이서로써 셀갭을 유지시켜야 하는 단점이 있다.
- [0058] 일정한 직경을 갖는 구형의 볼 스페이서를 산포법에 의해 기관 상에 형성 시 스페이서 뭉침 등의 발생하고, 스페이서가 기관 전면에서 고르게 분포하지 않으며, 화상을 표시하는 액티브 영역에도 상기 스페이서가 존재함으로써 빛샘현상 등이 발생하여 화질저하의 원인이 되고 있다.
- [0059] 따라서, 최근에 액정표시장치에 있어서는 상부기관인 컬러필터 기관에 패턴드 스페이스를 형성함으로써 전술한 문제를 해결하고 있다.
- [0060] 하지만, 종래의 COT 구조의 액정표시장치에 있어서는 상부기관인 제 2 기관상에는 투명한 공통전극만이 형성됨으로써 상/하판 합착을 위한 얼라인 마크를 형성할 수 없으므로, 더 정확히 표현하면 상기 투명도전성 물질로 얼라인 마크를 형성하여도 투명하기에 센서가 상기 얼라인 마크를 인식하지 못하게 되므로, 상기 상부기관에 패턴드 스페이서를 형성한다 하여도 정확한 위치 대응을 하지 못하는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

- [0061] 본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 제안된 것으로, COT 구조의 액정표시장치에 있어서, 상부기관에 블랙매트릭스를 형성함으로써, 상기 블랙매트릭스를 형성하는 물질로써 인식 가능한 얼라인 마크를 형성한다. 따라서, 이를 이용하여 정확한 정렬이 가능하게 함으로써, 효과적인 셀갭 유지 및 빛샘불량을 방지할 수 있는 패턴드 스페이서를 상부기관에 구비한 COT 구조 액정표시장치를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

- [0062] 전술한 목적을 달성하기 위한 본 발명에 따른 씨오티(COT)구조 액정표시장치는 합착된 제 1 기관과 제 2 기관과; 제 2 기관과 마주보는 제 1 기관의 일면에 서로 수직 교차하여 화소 영역을 정의하면서 구성된 게이트 배선과 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막 트랜지스터와; 상기 박막 트랜지스터 상부에 구성되며, 드레인 전극과 접촉하는 것을 특징으로 하는 차광막과; 상기 차광막 상부로 화소 영역에 구성된 적, 녹, 청색 컬러필터층과; 상기 컬러필터층 상부에 위치하고, 상기 차광막과 접촉하는 화소전극과; 상기 제 1 기관과 마주 보는 제 2 기관의 일면에 일정간격 이격하여 구성되는 블랙매트릭스와; 상기 블랙매트릭스 상부로 전면에서 형성된 공통전극과; 상기 공통전극 상부로 하부의 블랙매트릭스와 중첩하는 특정 위치에 일정 간격으로 배치되며 적정 높이를 갖는 패턴드 스페이서와; 상기 제 1, 2 기관 사이에 개재된 액정층을 포함한다.

- [0063] 이때, 상기 패턴드 스페이서는 벤조사이클로부텐(BCB), 포토 아크릴(photo acryl), 사이토프(cytop), 퍼플루로 사이클로부텐(perfluorocyclobutene ; PFCB) 등의 무색 투명한 유기물질 중 하나로 형성되는 것이 바람직하며, 또한, 상기 블랙매트릭스는 카본(Carbon)을 포함하는 유기물질 또는 블랙레진(black resin)인 것이 바람직하다.
- [0064] 본 발명에 또 다른 실시예에 의한 씨오티(COT)구조 액정표시장치는 합착된 제 1 기판과 제 2 기판과; 제 2 기판과 마주보는 제 1 기판의 일면에 서로 수직 교차하여 화소영역을 정의하면서 구성된 게이트 배선과 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성된 박막 트랜지스터와; 상기 각 화소영역 내에 상기 박막 트랜지스터와 연결되며, 구성되는 다수의 화소전극과; 상기 화소영역 내에서 상기 화소전극과 엇갈려 배치되는 것을 특징으로 하는 다수의 공통전극과; 상기 박막 트랜지스터 상부에 구성되는 차광막과; 상기 차광막 상부로 화소영역 별로 각각 구성된 적, 녹, 청색 컬러필터 패턴과; 상기 제 1 기판과 마주 보는 제 2 기판의 일면의 테두리에 상기 테두리를 따라 구성되는 블랙매트릭스와; 상기 블랙매트릭스의 내측으로 특정 위치에 상기 블랙매트릭스와 동일한 물질로써 일정 간격으로 형성되는 적정 높이를 갖는 다수의 패턴드 스페이서와; 상기 제 1, 2 기판 사이에 개재된 액정층을 포함한다.
- [0065] 이때, 상기 패턴드 스페이서의 적정 높이는 2 μ m 내지 8 μ m인 것이 바람직하다.
- [0066] 또한, 상기 블랙매트릭스가 형성된 제 2 기판의 일면에 상기 블랙매트릭스를 형성한 물질로써 형성된 얼라인 마크(alignment mark)가 더욱 구성되는 것이 특징이다.
- [0067] 또한, 상기 차광층은 크롬(Cr) 또는 크롬 산화물(CrOx)를 포함하는 금속물질인 것이 바람직하다.
- [0068] 또한, 상기 패턴드 스페이서가 형성되는 특정 위치는 제 1 기판 상의 게이트 배선 또는 데이터 배선과 대응되는 영역인 것이 바람직하다.
- [0069] 또한, 상기 적, 녹, 청색 컬러필터층 상부에는 평탄화막이 더욱 구성된 것이 바람직하다.
- [0070] 본 발명의 실시예에 의한 씨오티(color filter on TFT; COT) 구조 액정표시장치의 제조 방법은 제 1 기판의 일면에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 박막 트랜지스터를 형성하는 단계와; 상기 박막 트랜지스터 상부로 보호층을 형성하는 단계와; 상기 보호층 상부로 상기 박막 트랜지스터를 가리며, 드레인 전극과 접촉하는 차광막을 형성하는 단계와; 상기 차광막 및 노출된 보호층 위로 화소영역별로 적, 녹, 청색의 컬러필터 패턴을 형성하는 단계와; 상기 적, 녹, 청색 컬러필터 패턴 상부에, 각 화소영역별로 상기 차광막과 접촉하는 화소전극을 형성하는 단계와; 상기 제 1 기판과 마주 보는 제 2 기판의 일면에 상기 제 1 기판상의 데이터 배선과 게이트 배선에 대응되는 영역에 블랙매트릭스와 상기 제 2기판 외각에 얼라인 마크를 형성하는 단계와; 상기 블랙매트릭스 상부로 전면에 공통전극을 형성하는 단계와; 상기 공통전극 상부에 상기 블랙매트릭스와 중첩되는 영역에 적정 높이를 갖으며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계를 포함한다.
- [0071] 본 발명의 또 다른 실시예에 의한 씨오티(color filter on TFT; COT) 구조 액정표시장치의 제조 방법은 제 1 기판의 일면에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 박막 트랜지스터를 형성하는 단계와; 상기 화소영역 내에 서로 엇갈려 배치하는 공통전극과 화소전극을 형성하는 단계와; 상기 박막 트랜지스터 상부로 보호층을 형성하는 단계와; 상기 보호층 상부로 상기 박막 트랜지스터를 가리는 차광막을 형성하는 단계와; 상기 차광막 및 노출된 보호층 위로 화소영역별로 적, 녹, 청색의 컬러필터 패턴을 형성하는 단계와; 상기 제 1 기판과 마주 보는 제 2 기판의 일면의 테두리에 블랙매트릭스와 상기 블랙매트릭스 외측에 얼라인 마크와 상기 테두리의 블랙매트릭스 내부로 특정 위치에 적정 높이를 가지며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계를 포함한다.
- [0072] 이때, 상기 적, 녹, 청색의 컬러필터 패턴을 형성한 단계 이후에는 평탄화막을 형성하는 단계를 더욱 포함한다.
- [0073] 또한, 상기 패턴드 스페이서를 형성하는 단계 이후에는 점착제인 씰란트(sealant)를 이용하여 상기 제 1, 2 기판 사이에 액정을 개재한 후, 합착하는 단계를 더욱 포함한다.
- [0074] 본 발명의 실시예에 의한 씨오티(color filter on TFT; COT) 구조 액정표시장치용 기판의 제조 방법은 기판 상의 테두리에 제 1 블랙매트릭스와, 상기 제 1 블랙매트릭스 내측으로 격자 모양의 제 2 블랙매트릭스를 형성하는 단계와; 상기 제 1, 2 블랙매트릭스 상부로 전면에 공통전극을 형성하는 단계와; 상기 공통전극 상부에 상기 제 2 블랙매트릭스와 중첩되는 영역에 적정 높이를 가지며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계를 포함한다.
- [0075] 본 발명의 또 다른 실시예에 의한 씨오티(color filter on TFT; COT) 구조 액정표시장치용 기판의 제조 방법은

기관 상에 블랙 계열의 유기 물질층을 형성하는 단계와; 상기 유기 물질층 위로 차단영역과 투과영역을 갖는 마스크를 위치시키고, 상기 마스크를 통해 상기 유기 물질층을 노광하는 단계와; 상기 노광 된 유기 물질층을 현상하여 기관 상에 테두리에 블랙매트릭스와, 상기 테두리의 블랙매트릭스 내측으로 상기 블랙매트릭스와 동일 물질로써 적정 높이를 가지며 일정간격으로 배열되는 패턴드 스페이서를 형성하는 단계를 포함한다.

[0076] 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.

[0077] <제 1 실시예>

[0078] 도 4a와 4b는 본 발명의 제 1 실시예에 따른 COT 구조 액정표시장치의 구성을 개략적으로 도시한 평면도와 상기 평면도를 A-A를 절단한 단면도이다.

[0079] 우선, 도 4a를 참조하여 평면 구조에 대해 간단히 설명한다. 상기 평면 구조는 일반적인 액정표시장치와 거의 유사하다. 제 1 기관(110)에 있어 가로방향으로 게이트 배선(114)이 위치하고 있으며, 상기 게이트 배선(114)과 교차하며 세로방향으로 데이터 배선(121)이 위치하고 있으며, 상기 두 배선(114, 121)이 교차하여 화소(P)를 정의하고 있다. 또한, 상기 두 배선(114, 121)의 교차지점에 게이트 전극(112)과 액티브층(120)과 소스 및 드레인 전극(122, 124)으로 구성되는 박막 트랜지스터(T)가 구비되어 있으며, 또한, 상기 게이트 배선(114)과 데이터 배선(121) 상부에 상기 배선(114, 121)과 중첩하며 적정면적의 단면을 갖는 패턴드 스페이서(160)가 일정간격을 가지며 형성되어 있는 것이 특징이다. 또한, 상기 박막 트랜지스터(T)를 덮으며, 제 1, 2 차광막(128a, 128b)이 형성되어 있다.

[0080] 다음, 상기 도 4a를 A-A를 따라 절단한 4b의 단면도를 참조하여 단면 구조에 대해 설명한다.

[0081] 제 1 실시예에 의한 COT구조 액정표시장치(100)는 액정층(145)을 사이에 두고 제 1 기관(110)과 제 2 기관(150)이 합착되어 구성되어 있다.

[0082] 상기 제 1 기관(110)에는 각 화소(P)별로 게이트 전극(114)과 액티브층(120)과 소스 및 드레인 전극(122, 124)으로 구성되는 박막 트랜지스터(T)가 형성되어 있으며, 상기 박막 트랜지스터(T) 상부의 보호층(126) 위로 노출된 액티브층을 포함한 상기 박막 트랜지스터를 차폐하는 제 1, 2 차광막(128a, 128b)이 형성되어 있다. 이때, 상기 제 2 차광막(128b)은 드레인 전극(124)과 접촉하고 있으며, 상기 드레인 전극(124)과 접촉하는 제 2 차광막(128b)은 적, 녹, 청색 컬러필터(130a, 130b, 미도시) 위에 형성된 화소전극(134)과 콘택홀(132)을 통해 접촉하고 있는 것이 특징이다.

[0083] 상기 차광막(128a, 128b) 위로 각 화소(P)별로 적, 녹, 청색의 컬러필터(130a, 130b, 미도시)가 형성되어 있으며, 상기 컬러필터(130a, 130b, 미도시) 위로 투명도전성 물질이 증착되고, 패턴되어 각 화소(P)별로 드레인 전극(124)과 접촉하는 제 2 차광막(128b)과 접촉하는 화소전극(134)이 형성되어 있다. 이때, 도시하지 않았지만, 상기 컬러필터(130a, 130b, 미도시) 상부에는 상기 컬러필터(130a, 130b, 미도시)를 보호하기 위한 평탄화층(미도시)이 형성될 수도 있다.

[0084] 다음, 상기 제 1 기관(110)에 대향하고 있는 제 2 기관(150)은 기관 하부에 상기 제 1 기관(110) 상에 게이트 배선(114)과 데이터 배선(121)이 교차하여 형성된 각 화소(P)의 경계에 대응하여 상기 각 배선(114, 121)에 대응되는 영역에 블랙매트릭스(155)가 형성되어 있다. 또한, 도면에는 나타나지 않았으나, 상기 제 1 기관(150)의 화상이 표시되는 액티브 영역(미도시)에 대응되는 영역 외부에 상기 두 기관(110, 150)을 서로 대향하여 합착시, 위치 정렬의 기준이 되는 얼라인 마크(미도시)가 상기 블랙매트릭스 물질로 형성된다.

[0085] 다음, 상기 블랙매트릭스(155) 하부 및 노출된 기관(150) 전면에 투명도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)가 증착되어 공통전극(157)이 형성되어 있으며, 상기 블랙매트릭스(155)가 형성된 곳에 중첩되어 특정 영역에 적정 높이를 갖는 패턴드 스페이서(160)가 형성되어 있다.

[0086] 다음, 본 발명의 제 1 실시예에 의한 COT 구조 액정표시장치의 제 1 기관 및 제 2 기관의 제조 공정에 대해 도면을 참조하여 설명한다.

[0087] 우선, 도 5a 내지 5e를 참조하여 본 발명의 제 1 실시예에 의한 COT 구조 액정표시장치의 제 1 기관의 제조 방법에 대해 설명한다.

[0088] 우선, 도 5a에 도시한 바와 같이, 기관(110) 상에 게이트 전극(114)과 비정질 실리콘 및 불순물 비정질 실리콘으로 이루어진 액티브층(120a, 120b)과 소스 및 드레인 전극(122, 124)으로 각 화소(P)마다 구성되는 박막 트랜

지스터(T)를 형성한다. 이때, 상기 박막 트랜지스터(T) 형성 시에는 도면에 나타나지 않았지만, 서로 교차하여 화소(P)를 정의하는 게이트 배선(114)과 데이터 배선(미도시)이 더욱 형성된다.

[0089] 상기 박막 트랜지스터(T)를 형성하는 단계는 보호층 및 화소전극을 포함하여 5마스크 또는 4마스크 공정진행에 의한 일반적인 액정표시장치용 제 1 기판의 박막 트랜지스터의 제조 방법과 동일하므로 상세한 설명은 생략한다.

[0090] 다음, 도 5b에 도시한 바와 같이, 상기 박막 트랜지스터(T)의 소스 및 드레인 드레인 전극(122, 124) 위로 무기 절연물질 또는 유기절연물질 등을 증착 또는 도포하고, 패터닝하여 상기 드레인 전극(124)을 일부 노출시키는 보호층(126)을 형성하고, 상기 보호층(126) 위로 빛을 투과를 차폐시키는 차폐성이 우수한 금속물질 예를들면 크롬(Cr) 또는 크롬 산화물(CrOx)을 전면에서 증착하고, 패터닝하여 상기 박막 트랜지스터(T) 상부에 차광막(128a, 128b)을 형성한다. 이때, 상기 차광막(128a, 128b)은 드레인 전극(124) 상에서 일정간격 이격하여 채널(CH) 및 소스 전극(122) 위를 덮는 제 1 차광막(128a)과 상기 드레인 전극(124)을 덮으며 상기 드레인 전극(124)과 접촉하는 제 2 차광막(128b)으로 나뉜다.

[0091] 다음, 도 5c에 도시한 바와 같이, 상기 제 1, 2 차광막(128a, 128b)이 형성된 기판(110) 위로 적색 레지스트를 도포하고, 마스크(미도시)를 이용하여 노광하고, 상기 적색 레지스트를 현상함으로써 일정간격으로 반복되는 적색 컬러필터 패턴(130a)을 형성하고, 상기 적색 컬러필터 패턴(130a)을 형성한 방법대로 녹색 및 청색 컬러필터 패턴(130b, 미도시)을 형성함으로써 적, 녹, 청색의 컬러필터층(130a, 130b, 미도시)을 형성한다. 이때, 상기 각각의 적, 녹, 청색 컬러필터 패턴(130a, 130b, 미도시)은 화소(P)별로 순차적으로 반복되며 형성되는 것이 특징이다.

[0092] 다음, 도 5d에 도시한 바와 같이, 상기 적, 녹, 청색 컬러필터층(130a, 130b, 미도시) 중 드레인 전극(124) 일부와 대응되는 부분과 박막 트랜지스터(T)의 채널(CH)에 대응되는 부분을 에칭함으로써 드레인 콘택홀(132)을 형성한다.

[0093] 다음, 도 5e에 도시한 바와 같이, 상기 드레인 콘택홀(132)이 형성된 컬러필터층(130a, 130b, 미도시) 위로 투명도전성 물질을 전면에서 증착하고 패터닝하여 상기 드레인 콘택홀(132)을 통해 드레인 전극(124)과 접촉하며 형성된 제 2 차광막(128b)과 접촉하는 화소전극(134)을 각 화소(P)별로 형성함으로써 제 1 기판을 완성한다.

[0094] 이때, 상기 화소전극(134)과 컬러필터층(130a, 130b, 미도시) 사이에는 유기물질로 이루어진 평탄화막(미도시)을 더욱 형성할 수도 있다.

[0095] 다음, 도 6a 내지 6e를 참조하여 제 1 실시예에 의한 제 2 기판의 제조 방법에 대해 설명한다.

[0096] 도 6a와 도시한 바와 같이, 기판(150) 전면에서 카본(Carbon)을 포함하는 유기물질 또는 크롬(Cr)을 포함하는 금속물질을 도포 또는 증착함으로써 차단 물질층(154)을 형성하고, 상기 차단 물질층(154) 위로 빛을 투과시키는 투과패턴(TA)과 차단시키는 차단패턴(BA)을 갖는 마스크(180)를 위치시킨다.

[0097] 여기서, 상기 차단 물질층(154)을 이루는 물질에 따라 패터닝하는 방법에 달라지게 된다. 간단히 상기 차단 물질층의 종류에 따른 패터닝 방법에 대해 설명한다. 상기 차단 물질층이 유기물질인 경우, 상기 유기물질은 통상적으로 감광 특성을 갖고 있으므로, 유기물질을 기판 상에 도포한 후, 상기 유기물질이 도포된 기판 위로 차단 영역과 투과영역을 구비한 마스크를 이용하여 상기 유기물질을 노광함으로써 일정한 패턴을 형성하고, 상기 차단 물질층이 금속물질인 경우, 상기 차단 물질층 위로 포토레지스트층을 형성하고, 상기 포토레지스트층을 패터닝한 후, 상기 패터닝된 포토레지스트층 외부로 노출된 차단 물질층을 에칭하고, 남아있는 포토레지스트층을 제거함으로써 차단 물질층을 패터닝 할 수 있다.

[0098] 본 발명의 제 1 실시예에서는 크롬(Cr) 등을 포함하는 금속물질을 이용하여 패터닝함으로써 블랙매트릭스 형성을 도시한 것을 예로 보이고 있다.

[0099] 다시, 도면을 참조하여 제조 공정에 대해 설명한다.

[0100] 기판 상의 크롬(Cr) 등을 포함하는 차단 물질층(154) 위로 포토레지스트를 전면에서 도포하여 포토레지스트층(170)을 형성한다. 이후, 상기 포토레지스트층(170) 위로 차단영역(BA)과 투과영역(TA)을 갖는 마스크(180)를 일정간격 이격하여 위치시킨 후, 상기 마스크(180)를 통해 상기 포토레지스트층(170)에 노광을 실시한다. 이때, 상기 마스크(180)에 대응하여 상기 마스크(180) 상에 서로 일정한 폭을 가지며 형성된 차단영역(BA)에 대응하는 포토레지스트층(154b)은 노광장치(미도시)에서 조사된 UV광이 차단되어, UV광과 반응하지 않고, 투과영역(TA)에

대응되는 포토레지스트층(154a)에는 UV광이 조사되어 UV광과 반응하게 된다.

- [0101] 다음, 도 6b에 도시한 바와 같이, 상기 노광이 실시된 포토레지스트층(6a의 154)을 갖는 기판(150)에 현상 공정을 진행하면, UV광이 차단되어 조사되지 않은 포토레지스트층(도 6a의 154b)은 상기 현상 공정 진행 시 현상액에 녹아 제거되어 하부의 차단 물질층(미도시)을 노출시키며, UV광이 조사되어 상기 UV광에 반응한 포토레지스트층(도 6a의 154a)은 기판(150) 상에 남아있게 된다. 이후, 상기 현상되지 않고 포토레지스트층(도 6a의 154a) 외부로 노출된 차단 물질층(미도시)을 에칭하여 제거하고, 연속하여 남아있는 포토레지스트층(도 6a의 154a)을 에칭(ashing) 또는 스트립(strip)하여 제거함으로써 기판(150) 상에 노광 마스크(5a의 170)의 투과영역(TA)의 형상대로, 일정간격 이격한 블랙매트릭스(155)가 형성된다.
- [0102] 도면에서는 네가티브 타입(negative type)의 포토레지스트를 이용한 것을 보이고 있으나, 이에 한정되지 않고, 상기 포토레지스트가 포지티브 타입(positive type)인 경우도 차단영역과 투과영역을 달리하는 마스크를 이용하여 노광, 에칭, 현상을 진행하면 전술한 바와 동일한 형태의 블랙매트릭스 형성이 가능하다.
- [0103] 또한, 도면에는 나타나지 않았으나, 상기 블랙매트릭스(155)가 형성된 영역 외측 즉, 제 1 기판의 화상을 표시하는 영역에 대응되는 영역 외측에 상기 블랙매트릭스(155)를 형성한 동일한 물질로써 합착 얼라인 마크(미도시)를 형성한다. 상기 얼라인 마크(미도시)는 추후 제작 완료할 상기 제 2 기판과 기 제작된 제 1 기판을 대향하도록 위치시킨 후 상기 두 기판을 접착제인 실란트(sealant)를 이용하여 합착 할 경우 제 1, 2 기판을 정확히 정렬시키기 위한 것으로 통상적으로 제 2 기판의 네 귀퉁이 부분에 형성되고 있다.
- [0104] 다음, 도 6c에 도시한 바와 같이, 블랙매트릭스(155) 및 얼라인 마크(미도시)가 형성된 기판(150) 전면에 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착하여 공통전극(157)을 형성한다.
- [0105] 다음, 도 6d에 도시한 바와 같이, 상기 공통전극 위로 벤조사이클로부텐(BCB), 포토 아크릴(photo acryl), 사이토프(cytop), 퍼플루로사이클로부텐(perfluorocyclobutene ; PFCB) 등의 무색 투명한 유기물질을 전면도포하여, 통상적인 셀갭의 두께인 2 μ m 내지 8 μ m 정도의 두께를 갖는 유기 물질층(159)을 형성한 후, 상기 유기 물질층(159) 상부에 패턴드 스페이서를 형성해야 하는 영역에 대응되는 영역이 투과영역(TA), 그 외 영역은 차단영역(BA)으로 이루어진 마스크(182)를 위치시키고, 상기 마스크(182)를 통한 노광을 실시한다.
- [0106] 다음, 도 6e에 도시한 바와 같이, 상기 기판(150) 상에 위치한 마스크(도 6d의 182)를 통해 노광이 진행된 유기 물질층(도 6d의 159)을 현상액에 노출시키는 현상 공정을 진행하면, 기판(150)에 있어 마스크(도 6d의 182)의 투과영역(도 6d의 TA)에 대응되어 UV광에 노출된 유기 물질층(160)만 남아있고, 그 외 마스크(도 6d의 182)의 차단영역(도 6d의 BA)에 의해 UV광이 조사되지 않은 영역의 유기 물질층(미도시)은 현상액에 현상되어 제거됨으로써, 상기 기판(150) 상에 남아있는 유기물질층(160)이 패턴드 스페이서(160)를 형성한다.
- [0107] 다음, 전술한 바와 같이, 제작된 COT 구조 액정표시장치용 제 1 기판과 제 2 기판 각각에 액정의 초기배향을 위한 배향막을 형성하고, 하나의 기판의 테두리에 접착제인 실란트(sealant)를 디스펜싱하여 적정 패턴을 형성한 후, 상기 제 2 기판에 형성된 얼라인 마크를 이용하여 오차범위 내로 정렬하여 합착하고, 상기 합착된 두 기판 사이에 액정을 주입하고, 상기 액정이 주입된 주입구를 밀봉함으로써 패턴드 스페이서를 구비한 COT 구조 액정표시장치를 완성한다.
- [0108] < 제 2 실시예 >
- [0109] 본 발명의 제 2 실시예는 블랙매트릭스 물질로써 상기 블랙매트릭스 형성 시 패턴드 스페이서를 형성한 것을 특징으로 한다. 따라서, 상부기판은 그 구조가 더욱 단순해지며, 제작 시 사용하는 마스크 수를 줄여 제조 비용을 절감시키는 효과를 갖는다.
- [0110] 액정표시장치는 그 특성에 따라, 공통전극과 화소전극을 제 1 기판에 동시에 구성함으로써 횡전계에 의해 구동시킬 수 있다. 이 경우, 상부기판에는 공통전극이 필요하지 않으므로 공통전극을 생략할 수 있다. 따라서, 상부기판에는 블랙매트릭스와 패턴드 스페이서만이 형성되는데, 본 발명의 제 2 실시예에서는 상기 블랙매트릭스를 이용하여 패턴드 스페이서를 형성하는 COT구조 액정표시장치를 제안한다.
- [0111] 최근들어 고속응답을 위해 셀갭을 점점 작게 형성하고 있으며, 이로 인해 카본(carbon) 등을 포함하는 블랙레인을 도포하고 패턴링하여 형성되는 블랙매트릭스의 경우 그 두께가 셀갭의 두께로 이용할 수 있을 정도로 두껍게 형성할 수 있으므로, 전술한 바를 이용하여 액정표시장치에 있어 액티브 영역의 테두리에는 블랙매트릭를 형성

하고, 상기 액티브 영역의 내부에는 데이터 배선 또는 게이트 배선에 대응하여 적정 높이 및 볼륨을 갖는 패턴드 스페이서를 형성하는 것이 본 발명의 제 2 실시예이다.

- [0112] 도 7은 본 발명의 제 2 실시예에 의한 패턴드 스페이서를 구비한 COT구조 액정표시장치를 도시한 단면도이다.
- [0113] 도시한 바와 같이, 박막 트랜지스터(T) 및 컬러필터층(230a, 230b, 미도시)을 구비한 제 1 기판(210)과 블랙매트릭스(미도시)와 패턴드 스페이서(260)가 형성된 제 2 기판(250)이 대향하고 있으며, 상기 두 기판(210, 250) 사이에 액정층(245)이 개재되고 합착되어 구성되어 있다.
- [0114] 상기 제 1 기판(210)에는 각 화소(P)별로 게이트 전극(214)과 액티브층(220)과 소스 및 드레인 전극(222, 224)으로 구성되는 박막 트랜지스터(T)가 형성되어 있으며, 상기 박막 트랜지스터(T) 상부에 보호층(226)이 형성되어 있으며, 상기 보호층(226) 위로 노출된 액티브층을 포함하는 박막 트랜지스터(T)를 차폐하는 차광막(228)이 형성되어 있다. 또한, 상기 차광막(228) 위로 각 화소(P)별로 적, 녹, 청색의 컬러필터 패턴(230a, 230b, 미도시)이 형성되어 있다. 이때, 상기 적, 녹, 청색 컬러필터 패턴(230a, 230b, 미도시) 위로 도면에는 나타나지 않았지만, 평탄화층(미도시)이 더욱 형성될 수 도 있다.
- [0115] 다음, 상기 제 1 기판(210)의 각 화소(P)에는 도면에는 나타나지 않았지만, 화소전극(225)과 공통전극(215)이 서로 엇갈려 배치하고 있으며, 이 경우, 상기 두 전극(225, 215)은 같은 레이어(layer)에 형성될 수도 있고, 도시한 바와 같이 서로 다른 레이어(layer)에 형성 될 수도 있다. 또한, 도면에는 나타나지 않았으나, 상기 화소전극(225)은 상기 박막 트랜지스터(T)의 드레인 전극(224)과 연결된 것이 특징이다.
- [0116] 본 발명의 제 2 실시예에서는 공통전극(215)은 게이트 전극(214)이 형성되는 레이어(layer)에 그리고 화소전극(225)은 소스 및 드레인 전극(222, 224)이 형성되는 레이어(layer)에 형성된 것을 일례로 보이고 있지만, 상기 도면에 나타낸 것 이외에 여러 가지 경우가 있을 수 있다.
- [0117] 본 발명은 패턴드 스페이서가 형성되는 제 2 기판에 중점을 두고 있으므로 제 1 기판의 구조에 대해서는 더 이상의 설명은 생략한다.
- [0118] 다음, 도 7과 더불어 도 8을 참조하면, 상기 박막 트랜지스터(T)와 공통전극(215)과 화소전극(225)과 적, 녹, 청색 컬러필터층(230a, 230b, 미도시)이 구비된 제 1 기판(210)에 대향하는 제 2 기판(250)에는 도면에는 나타나지 않았으나, 상기 제 1 기판(210)의 화상이 표시되는 액티브 영역(미도시)의 테두리에 대응하여 블랙매트릭스(도 8의 263)가 형성되어 있으며, 상기 액티브 영역(미도시)의 데이터 배선(미도시) 또는 게이트 배선(214)과 대응되는 영역에 상기 블랙매트릭스(도 8의 263)를 형성한 물질과 동일한 물질로써 적정 면적을 갖는 패턴드 스페이서(260)가 일정간격 이격하며 형성되어 있다. 이때, 상기 블랙매트릭스(도 8의 263)를 형성하는 재질로 이루어진 패턴드 스페이서(260)의 높이는 통상적인 셀갭의 두께인 $2\mu\text{m}$ 내지 $8\mu\text{m}$ 인 것이 바람직하다.
- [0119] 다음 본 발명의 제 2 실시예에 의한 COT구조 액정표시장치의 제 2 기판의 제조 방법에 대해 도 8과 도 9a와 9b를 참조하여 설명한다.
- [0120] 우선, 도 9a에 도시한 바와 같이, 기판(250) 상에 카본(carbon) 등을 포함하는 유기물질 또는 블랙레진을 액정표시장치 형성 시 요구되는 셀갭의 두께가 되도록 전면 도포하여 유기 물질층(257)을 형성한다. 이때, 크롬(Cr) 등의 금속물질을 증착하여 금속층을 형성하는 것도 가능하나 통상적으로 셀갭은 $2\mu\text{m}$ 내지 $8\mu\text{m}$ 의 두께이므로 전술한 두께의 금속층을 증착하여 형성하는 데에는 공정시간이 길어지게 되므로 바람직하지는 않다.
- [0121] 다음, 상기 적정한 두께로 형성된 유기 물질층(257) 위로 투과영역(TA)과 차단영역(BA)을 갖는 마스크(280)를 위치시키고, 상기 마스크(280)를 통해 상기 유기물질층(257)을 노광한다. 상기 유기물질층(257)은 감광 특성이 있으므로, 네가티브(negative) 또는 포지티브(positive)의 감광특성에 따라 빛을 받은 부분이 현상 시 제거되거나(포지티브 타입) 또는 빛을 받은 부분이 현상 시 남아있게 된다(네가티브 타입).
- [0122] 도 8과 9a에 도시한 바와 같이 상기 유기 물질층(257)이 포지티브 타입인 경우 기판(250)의 테두리 영역(EA)과 상기 테두리 영역(EA) 내측의 특정 위치에는 마스크(280) 상에 차단영역(BA)이 대응되도록 하고, 나머지 영역은 마스크(280)의 투과영역(TA)이 대응되도록 하고, 상기 마스크(280)를 통해 기판(250) 상에 노광을 실시한다.
- [0123] 다음, 도 9b에 도시한 바와 같이, 상기 노광된 유기물질층(도 9a의 257)을 현상하면, 노광된 영역이 제거되어, 기판(250)의 테두리 영역(EA)과 상기 테두리 영역(EA) 내측 영역에는 일정간격을 가지며 배열된 다수의 패턴드 스페이서(260)가 형성된다.
- [0124] 이때, 상기 테두리 영역(EA) 외측에는 도시하지 않았지만, 합착 정렬을 위한 특정 모양의 얼라인 마크(미도시)

가 형성된다.

[0125] 다음, 전술한 바와 같이 블랙매트릭스 및 상기 블랙매트릭스를 형성한 물질로써 패턴드 스페이서가 형성된 제 2 기판과 박막 트랜지스터와 공통전극과 화소전극과 컬러필터층이 형성된 제 1 기판을 상기 기판 중 하나의 기판에 접착제인 실란트(sealant)를 디스펜싱하여 기판의 테두리를 따라 적정 모양으로 패터닝한 후, 진공의 환경에서 상기 제 1, 2 기판 중 하나의 기판에 적당량의 액정을 디스펜싱한 후, 상기 제 2 기판에 구비된 얼라인 마크를 이용하여 정렬하고 합착함으로써 패턴드 스페이서가 구비된 COT구조 액정표시장치를 완성한다.

발명의 효과

[0126] 전술한 바와 같이 제작된 본 발명에 따른 패턴드 스페이서를 구비한 COT 액정표시장치는 상부기판인 제 2 기판에 블랙매트릭스를 포함한 패턴드 스페이서가 구비함으로써 볼 스페이서를 이용한 COT구조 액정표시장치 대비 스페이서 뭉침 및 빛샘불량을 방지하여 화질저하를 방지할 수 있는 효과가 있다.

[0127] 또한, COT구조 횡전계 액정표시장치에 있어서는 블랙매트릭스를 형성하는 물질로써 상기 블랙매트릭스와 패턴드 스페이서를 동시에 형성하는 제조 방법을 제공함으로써 구조 단순화 및 이를 통한 제조 비용 절감의 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도.

[0002] 도 2는 종래에 따른 COT구조 액정표시장치의 구성을 개략적으로 도시한 단면도.

[0003] 도 3a 내지 도 3d는 종래의 COT구조 액정표시장치용 어레이 기판의 제작 공정을 도시한 공정 단면도.

[0004] 도 4a는 본 발명의 제 1 실시예에 따른 COT 구조 액정표시장치의 구성을 개략적으로 도시한 평면도.

[0005] 도 4b는 도 4a를 A-A를 따라 절단한 단면도.

[0006] 도 5a 내지 5e는 본 발명의 제 1 실시예에 의한 COT 구조 액정표시장치용 제 1 기판(어레이 기판)의 제조 단계별 공정 단면도.

[0007] 도 6a 내지 6e는 본 발명의 제 1 실시예에 의한 COT 구조 액정표시장치용 제 2 기판(상부기판)의 제조 단계별 공정 단면도.

[0008] 도 7은 본 발명의 제 2 실시예에 의한 COT 구조 액정표시장치용 제 1 기판(어레이 기판)의 단면도.

[0009] 도 8은 본 발명의 제 2 실시예에 의한 COT 구조 액정표시장치용 제 2 기판(어레이 기판)의 평면도.

[0010] 도 9a 내지 9e는 본 발명의 제 2 실시예에 의한 COT 구조 액정표시장치용 제 2 기판(상부기판)의 제조 단계별 공정 단면도.

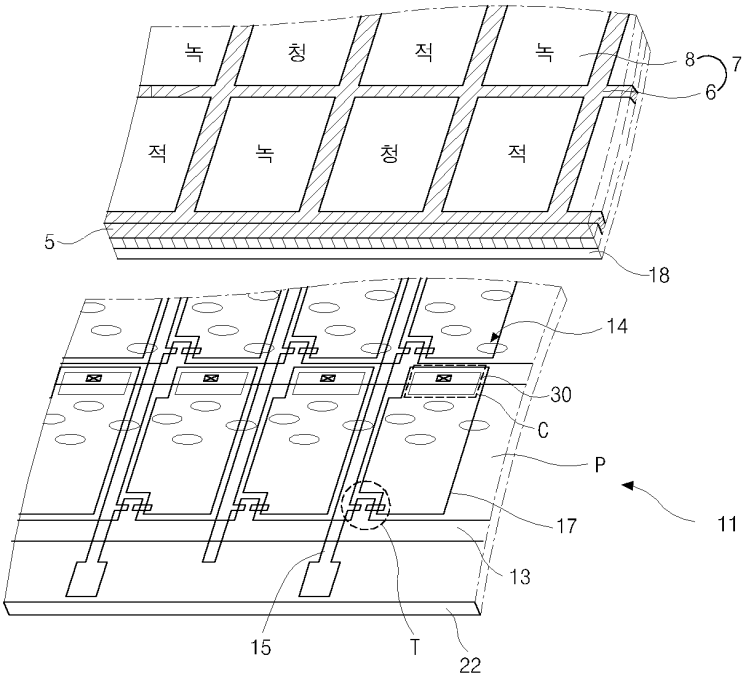
[0011] <도면의 주요부분에 대한 간단한 설명>

[0012] 100 : COT구조 액정표시장치	110 : 제 1 기판
[0013] 112 : 게이트 전극	114 : 게이트 배선
[0014] 117 : 게이트 절연막	120(120a, 120b) : 액티브층
[0015] 122 : 소스전극	124 : 드레인 전극
[0016] 126 : 보호층	128a, 128b : 제 1, 2 차광막
[0017] 130a, 130b : 적, 녹, (청)색 컬러필터 패턴	
[0018] 132 : 드레인 콘택홀	134 : 화소전극
[0019] 145 : 액정층	150 : 제 2 기판
[0020] 155 : 블랙매트릭스	157 : 공통전극

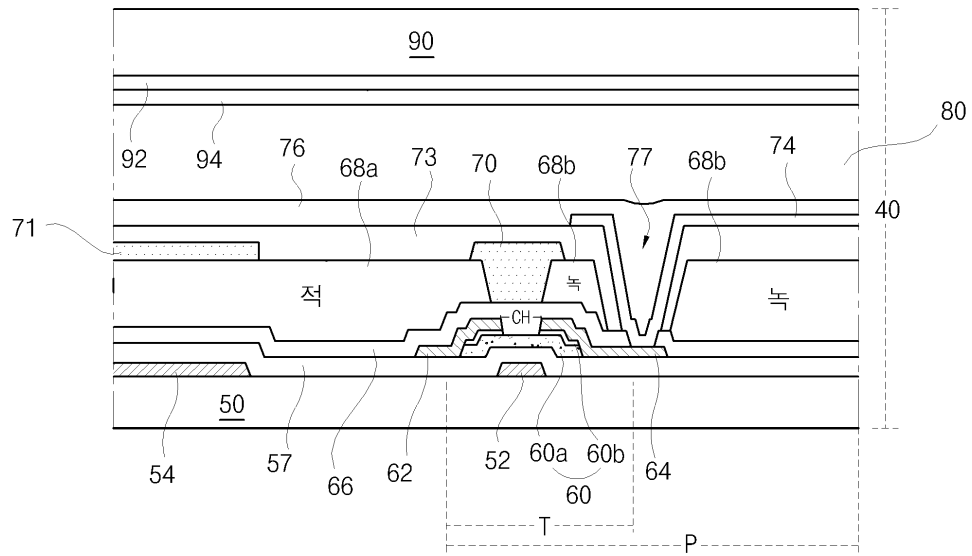
- [0021]160 : 패턴드 스페이서
- [0022]T : 박막 트랜지스터P : 화소영역

도면

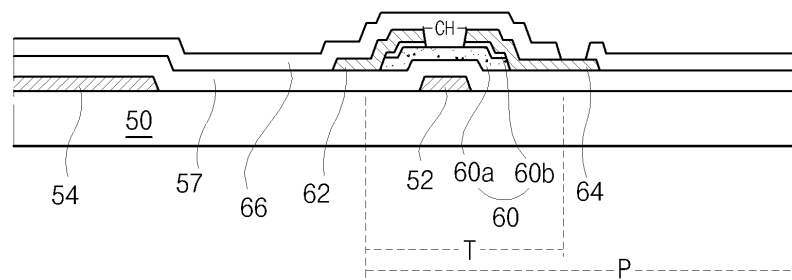
도면1



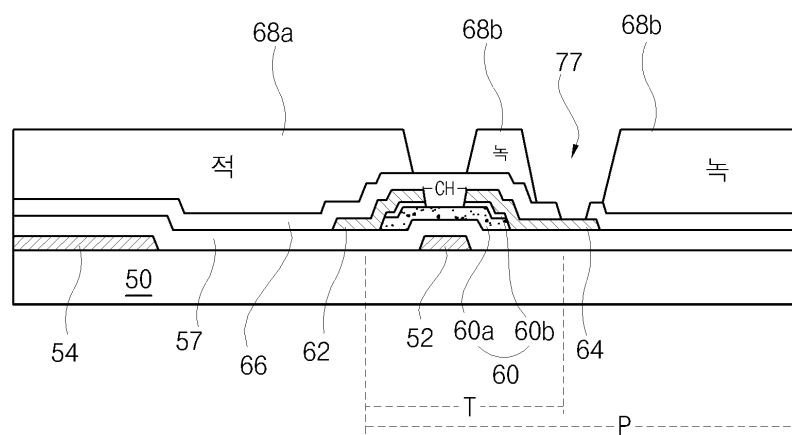
도면2



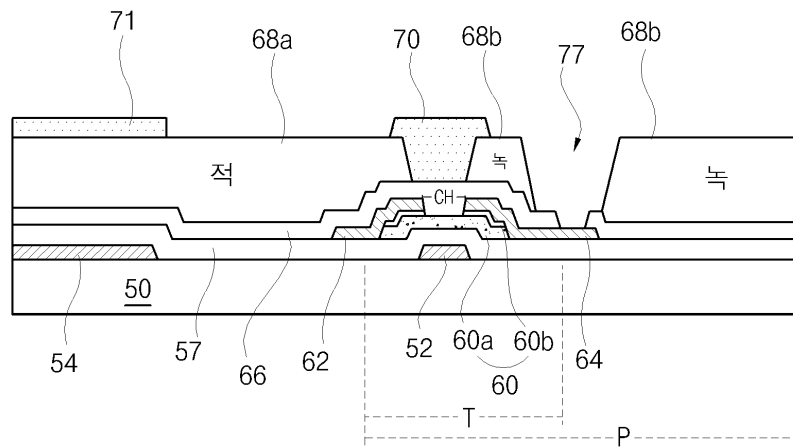
도면3a



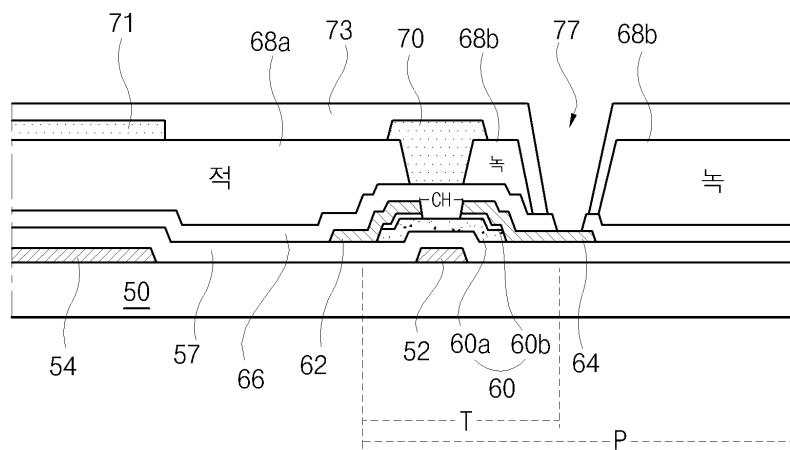
도면3b



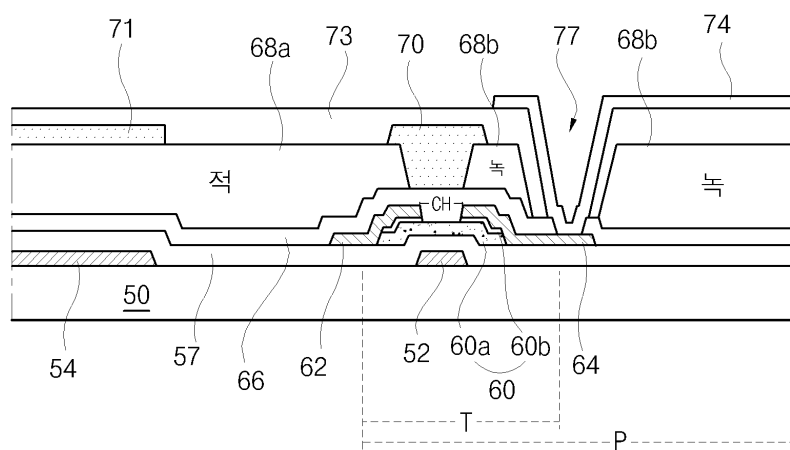
도면3c



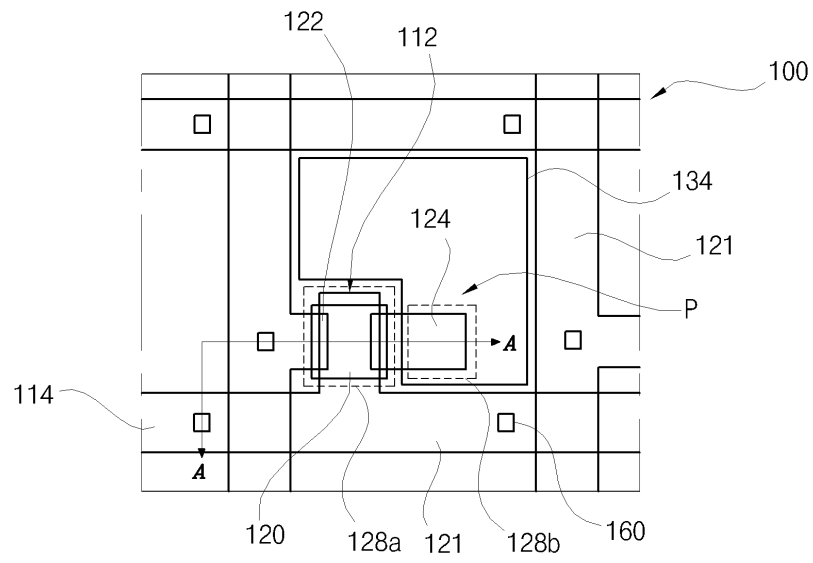
도면3d



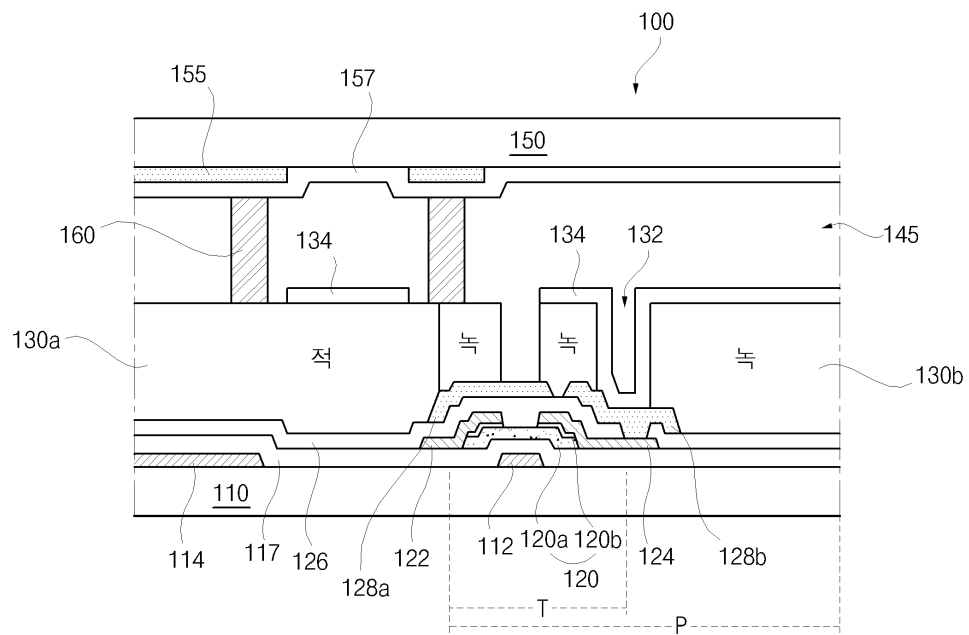
도면3e



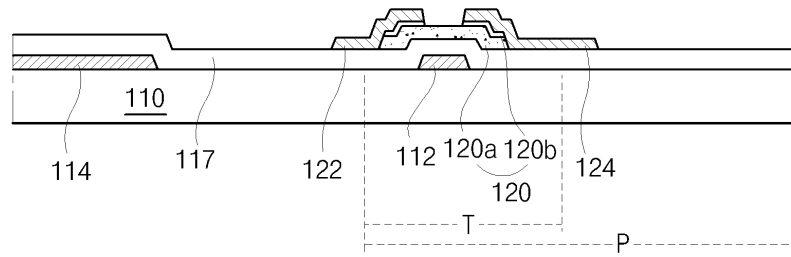
도면4a



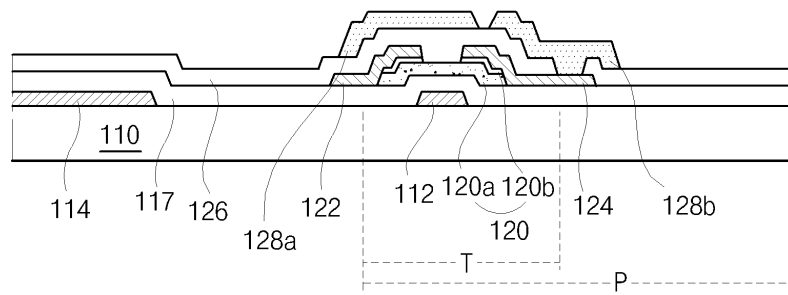
도면4b



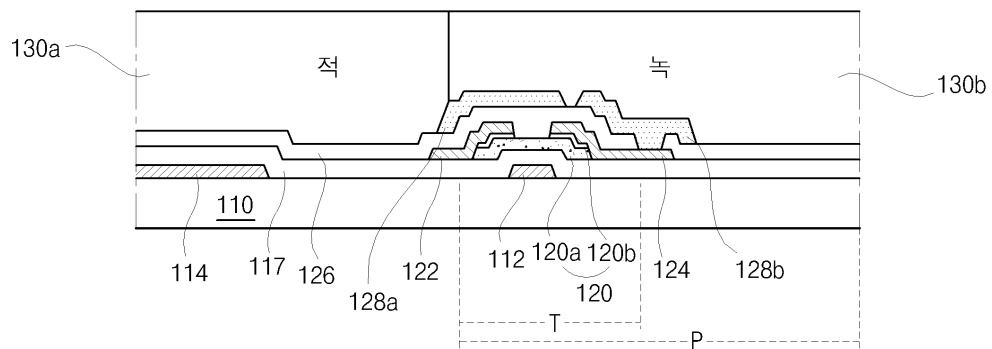
도면5a



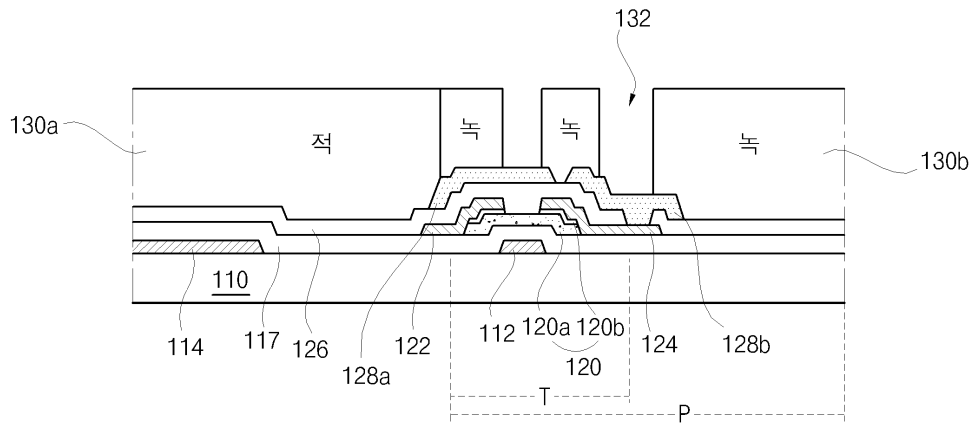
도면5b



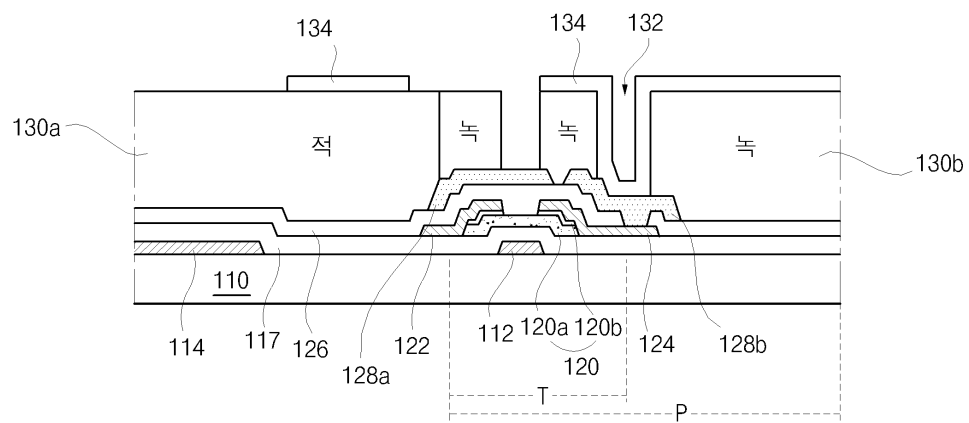
도면5c



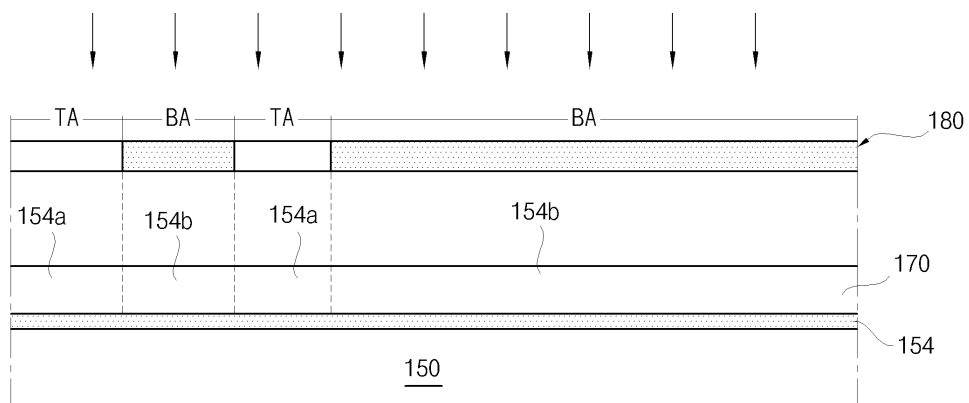
도면5d



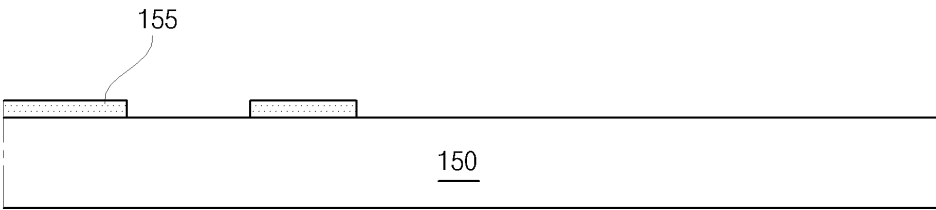
도면5e



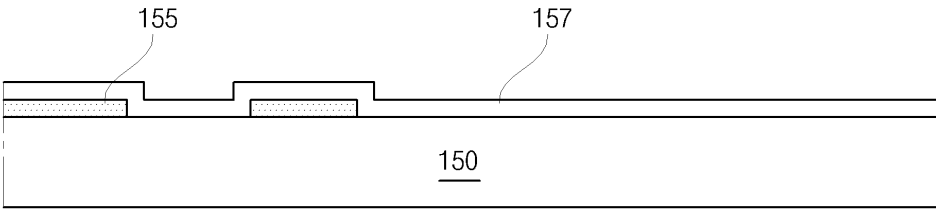
도면6a



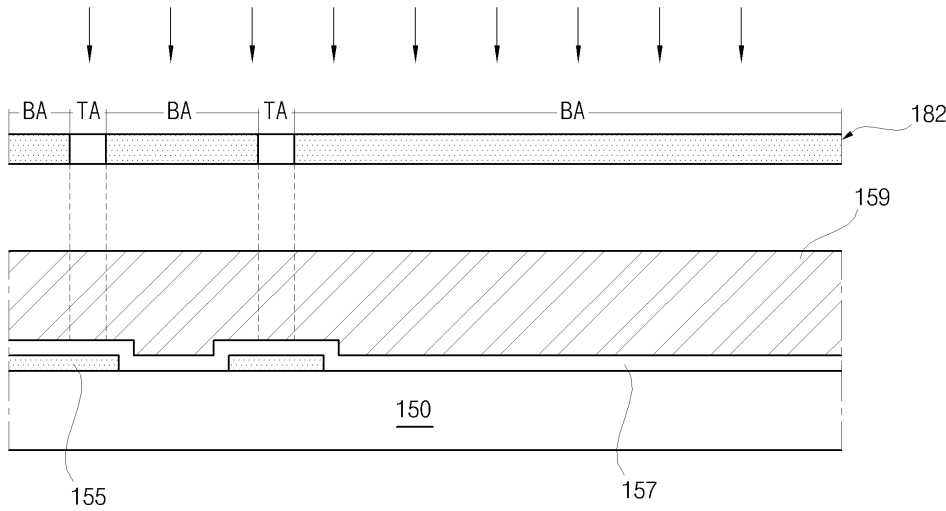
도면6b



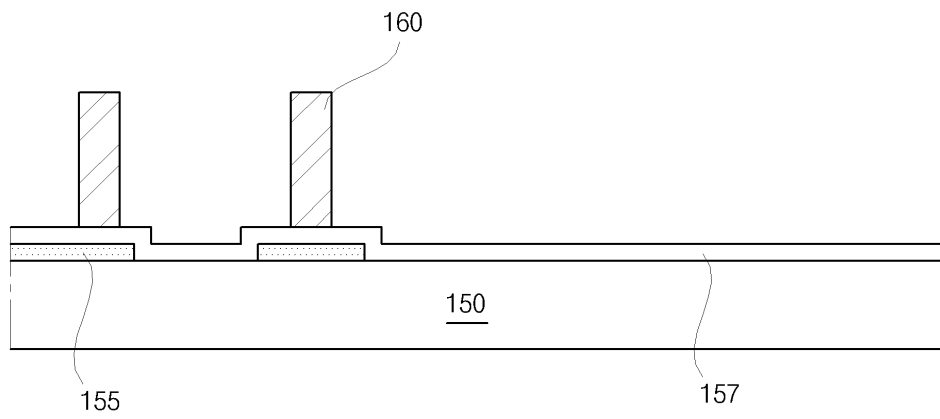
도면6c



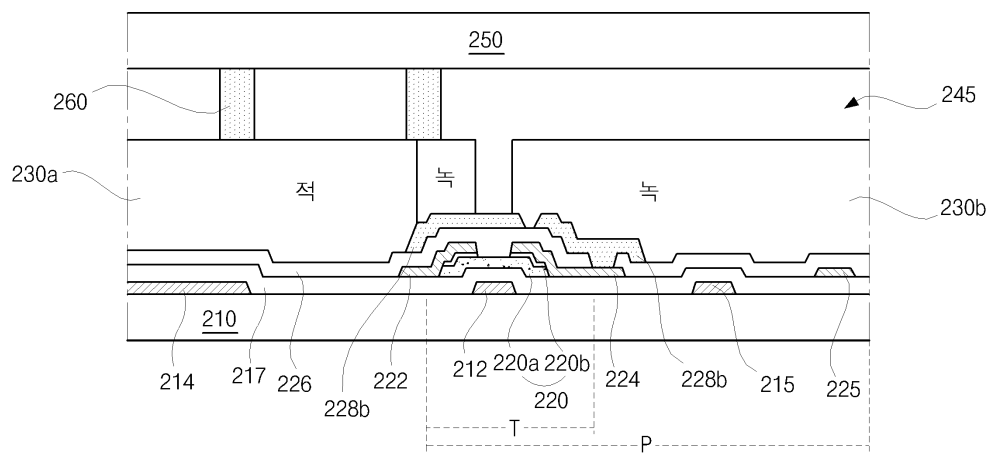
도면6d



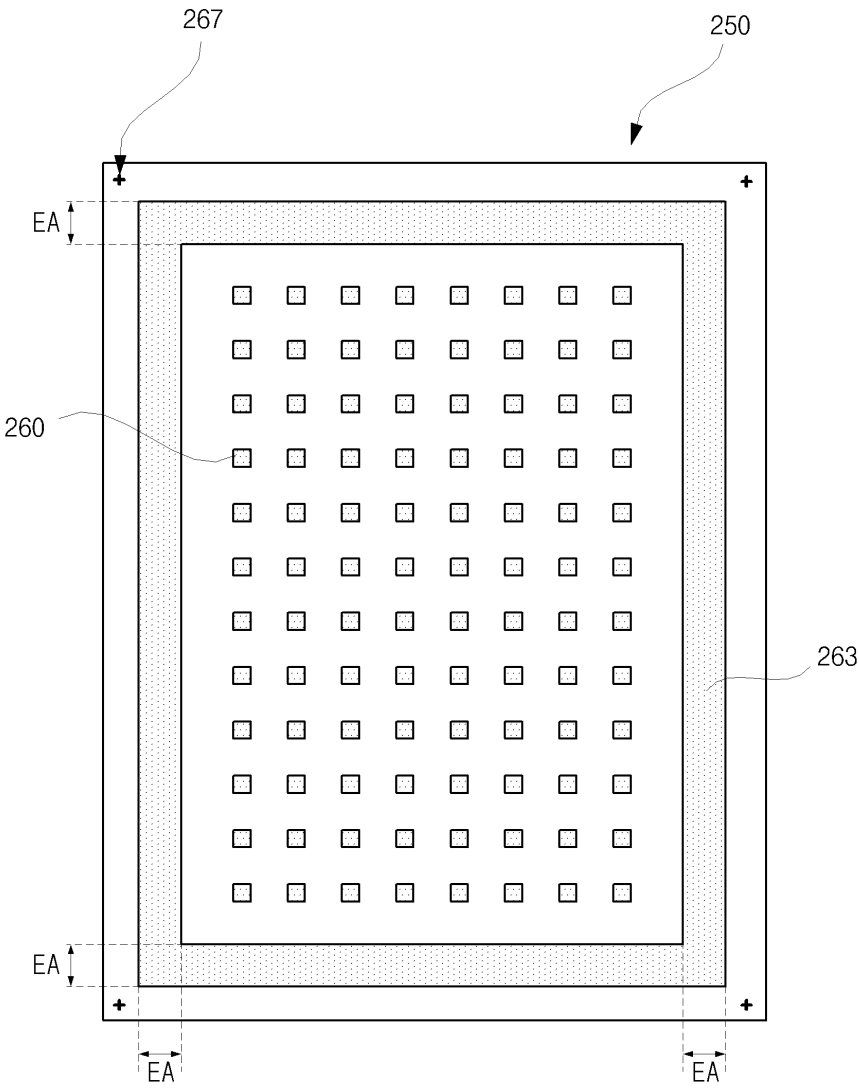
도면6e



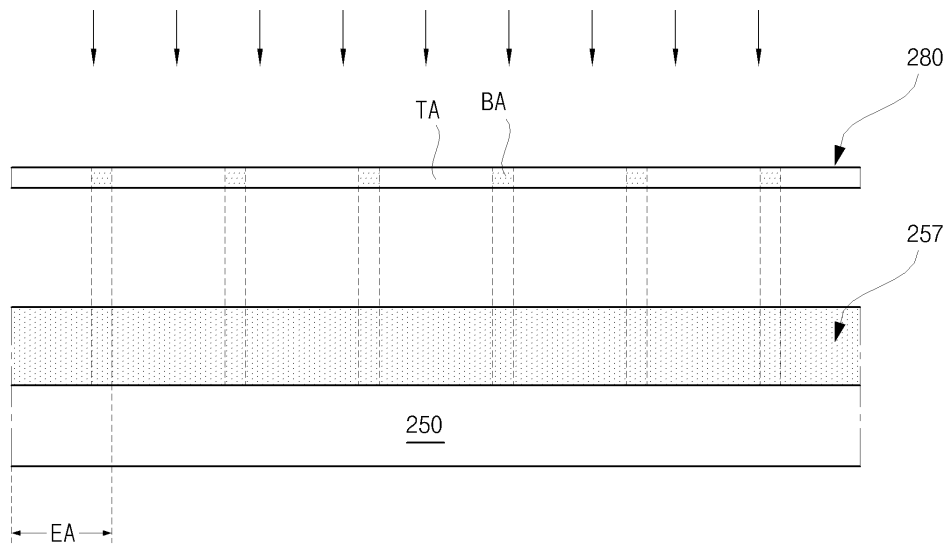
도면7



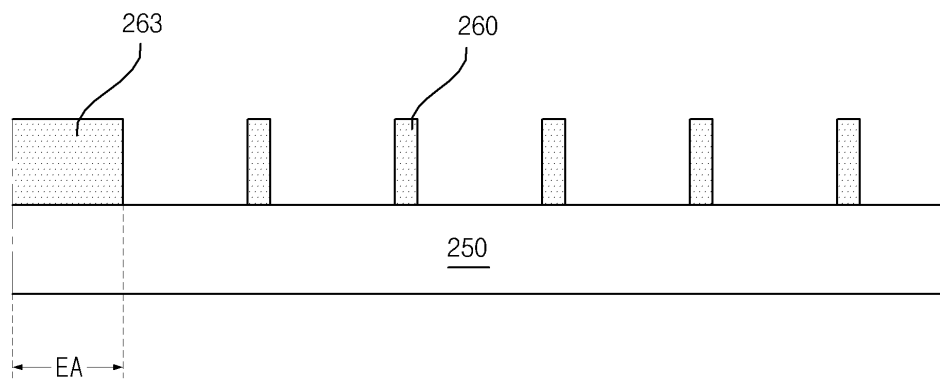
도면8



도면9a



도면9b



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR101003829B1	公开(公告)日	2010-12-23
申请号	KR1020040030602	申请日	2004-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE DONGHOON		
发明人	LEE,DONGHOON		
IPC分类号	G02F1/1339 G02F1/1362 G02F1/1335 G02F G02F1/136		
CPC分类号	G02F1/13394 G02F2001/136222 G02F1/136209		
其他公开文献	KR1020050105579A		
外部链接	Espacenet		

摘要(译)

本发明涉及到的，是一个COT结构的，其包括顶部基板装置及根据所述COT结构的液晶显示装置及其制造方法上的图案化间隔物更特别地为液晶显示器。常规COT结构的液晶显示装置被用作球形间隔物用于保持透明公共电极的单元间隙形成，并且只有上部和下部基板与上部基板。这不仅是一个公共电极，形成上部基板，其层叠图案化间隔形成时由于对准误差问题具有不能形成的问题上的对准标记。本发明为了解决上述现有问题，在COT结构的液晶显示器中，通过在上基板上形成黑矩阵，以形成可识别的对准标记作为形成黑矩阵的材料。因此，通过使用该使能正确的对准，有效单元间隙图案化间隔，可以防止光泄漏缺陷，并且保持其目的在于提供一种具有上基板上的COT结构的液晶显示装置。

