



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월23일
(11) 등록번호 10-0971955
(24) 등록일자 2010년07월16일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2003-0065240
(22) 출원일자 2003년09월19일
심사청구일자 2008년07월24일
(65) 공개번호 10-2004-0041491
(43) 공개일자 2004년05월17일
(30) 우선권주장
1020020069578 2002년11월11일 대한민국(KR)
(56) 선행기술조사문헌
KR1020020000921 A*
KR1020020036023 A*
JP62164025 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자
장윤경
경기도 의왕시 오전동 LG 진달래 아파트 103동 807호
조홍렬
경기도 수원시 장안구 율전동 408-9 청도아파트 1동 101호
류순성
경기도 군포시 산본동 금강APT 915동 1402호
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 16 항

심사관 : 임동재

(54) 액정표시장치용 어레이기판 제조방법

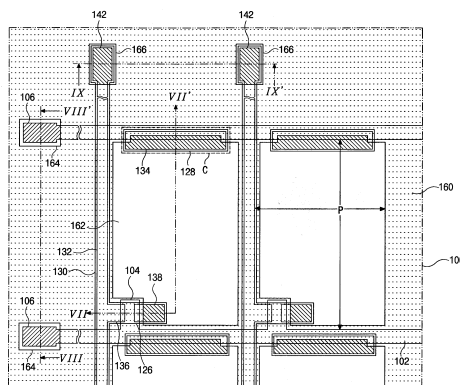
(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 액정표시장치용 어레이기판의 제조방법에 관한 것이다.

본 발명은 3 마스크 공정을 이용하여 액정표시장치용 어레이기판을 제조하는 방법에 관한 것으로, 제 1 마스크 공정으로 게이트 전극과 게이트 배선과 게이트 패드를 형성하고, 제 2 마스크 공정(하프톤 마스크 사용)으로 액티브층과 소스 및 드레인 전극과 데이터 배선 및 데이터 패드전극을 형성하고, 제 3 마스크 공정으로 보호막을 패터닝한 후 보호막을 마스크로 하여 화소전극과, 상기 게이트 패드 전극과 데이터 패드 전극과 각각 접촉하는 게이트 패드 전극 단자와 데이터 패드 전극 단자를 형성한다.

전술한 바와 같은 3마스크 공정으로 액정표시장치용 어레이기판을 제작하게 되면 공정시간을 단축할 수 있는 동시에 제조비용을 절감할 수 있으므로 공정수율을 개선할 수 있고 가격 경쟁력을 높일 수 있는 장점이 있다.

대표도 - 도6



특허청구의 범위

청구항 1

화소영역이 정의된 기관 상에 구성된 게이트 배선 및 상기 게이트 배선의 일 끝단에 구비된 게이트 패드전극과;
 상기 게이트 배선 상부로 상기 게이트 패드전극과 상기 화소영역 내의 상기 기관을 노출시키며 형성된 게이트 절연막과;
 상기 게이트 절연막 상부로 상기 게이트 배선과 수직하게 교차하여 상기 화소영역을 정의하는 데이터 배선 및 상기 데이터 배선의 일 끝단에 구비된 데이터 패드전극과;
 상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 액티브층과 게이트 전극과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터와;
 상기 박막트랜지스터가 구성된 기관의 전면에 구성되고, 상기 드레인 전극과 상기 게이트 패드전극과, 상기 데이터 패드전극과, 상기 화소영역에 대응하는 기관을 노출하는 보호막과;
 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역 내의 상기 기관 상에 상기 기관과 접촉하며 구성된 투명한 화소전극과, 상기 노출된 게이트 패드전극과 접촉하며 상기 게이트 패드전극의 상면 및 측면을 완전히 덮으며 형성된 투명한 게이트 패드 전극단자와, 상기 노출된 데이터 패드 전극과 접촉하며 상기 데이터 패드전극의 상면 및 측면을 완전히 덮으며 형성된 투명한 데이터 패드 전극 단자를 포함하는 액정표시장치용 어레이기관.

청구항 2

제 1 항에 있어서,
 상기 소스 및 드레인 전극과 데이터 배선과 데이터 패드전극의 하부에는 비정질 실리콘층과 불순물이 포함된 비정질 실리콘층이 적층되어 구성된 액정표시장치용 어레이기관.

청구항 3

제 2 항에 있어서,
 상기 소스 및 드레인 전극과 데이터 배선과 데이터 패드전극의 주변으로 하부의 비정질 실리콘층이 노출되어 구성된 액정표시장치용 어레이기관.

청구항 4

제 1 항에 있어서,
 상기 화소영역을 정의하는 게이트 배선의 상부에 섬형상의 금속층이 구성된 액정표시장치용 어레이기관.

청구항 5

제 4 항에 있어서,
 상기 보호막은 상기 섬형상의 금속층을 노출하도록 구성된 액정표시장치용 어레이기관.

청구항 6

제 5 항에 있어서,
 상기 화소전극은 상기 노출된 금속층과 접촉하여, 상기 게이트 배선을 제 1 전극으로 하고 상기 금속층을 제 2 전극으로 하는 스토리지 캐패시터를 구성하는 액정표시장치용 어레이기관.

청구항 7

제 1 항에 있어서,

상기 보호막과 상기 박막트랜지스터와 게이트 배선 및 데이터 배선 사이에 위치하고, 상기 보호막과는 평면적으로 동일한 형상인 무기 절연막 패턴이 구성된 액정표시장치용 어레이기판.

청구항 8

화소영역이 정의된 기판 상에 게이트 배선과 상기 게이트 배선의 일 끝단에 게이트 패드전극과, 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 배선 위로 게이트 절연막을 사이에 두고 수직하게 교차하여 상기 화소영역을 정의하는 데이터 배선과 상기 데이터 배선의 일 끝단에 데이터 패드전극과, 상기 데이터 배선에서 연장된 소스 전극과 이와는 소정간격 이격된 드레인 전극과, 상기 소스 및 드레인 전극의 하부에 액티브층을 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극과 데이터 배선이 형성된 기판의 전면에 보호막을 형성하고 패턴하는 제 3 마스크 공정에 있어서,

상기 보호막과 상기 게이트 절연막을 순차적으로 패턴하여, 상기 드레인 전극과 화소영역 내의 기판과, 상기 게이트 패드전극과 데이터 패드전극을 노출하는 단계와;

상기 패턴된 보호막의 전면에 투명 전극을 증착하여, 상기 노출된 드레인 전극과 접촉하면서 화소영역의 상기 기판상에 형성된 화소전극과, 상기 노출된 게이트 패드 전극과 접촉하며 상기 게이트 패드전극의 상면 및 측면을 완전히 덮는 형태의 게이트 패드전극 단자와, 상기 노출된 데이터 패드 전극과 접촉하며 상기 데이터 패드전극의 상면 및 측면을 완전히 덮는 형태의 데이터 패드전극 단자를 형성하는 단계를 포함하는 제 3 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 9

제 8 항에 있어서,

상기 제 2 마스크공정은, 상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 상기 게이트 절연막과, 순수 비정질 실리콘막과, 불순물 비정질 실리콘막과, 금속층을 순차적으로 적층하고, 스위칭 영역과 데이터 배선 영역을 정의하는 단계와;

상기 금속층의 상부에 포토레지스트층을 형성하고, 포토레지스트층의 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 스위칭 영역에는 단차진 제 1 포토레지스트 패턴을 남기고, 상기 데이터 배선 영역에는 제 2 포토레지스트 패턴을 남기는 단계와;

상기 남겨진 포토레지스트 패턴 사이로 노출된 금속층과, 불순물 비정질 실리콘층과, 순수 비정질 실리콘층을 식각하는 단계와;

상기 남겨진 포토레지스트 패턴을 제거하는 애싱공정을 진행하여, 상기 스위칭 영역의 중앙부를 노출하는 단계와;

상기 노출된 금속층과 하부의 순수 비정질 실리콘층을 제거하고 남겨진 포토레지스트 패턴을 제거하여, 서로 이격된 소스 전극과 드레인 전극과, 소스 전극에서 연장되고 일 끝단에 데이터 패드전극을 포함하는 데이터배선을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 9 항에 있어서,

상기 제 3 마스크 공정 단계는, 상기 패턴된 보호막을 열처리하여 표면이 원호 형상으로 녹아내리도록 하여, 패턴된 보호막의 측면이 역테이퍼지게 하는 단계와;

상기 보호막의 역테이퍼진 측면에 의해 상기 증착된 투명 전극이 절단되도록 하여, 상기 화소전극과 게이트 패드 전극 단자와 데이터 패드 전극 단자가 독립적으로 구성되도록 하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 11

제 8 항에 있어서,

상기 소스 및 드레인 전극과 데이터 배선과 데이터 패드의 주변으로 하부의 비정질 실리콘막이 노출되도록 형성된 액정표시장치용 어레이기판 제조방법.

청구항 12

제 8 항에 있어서,

상기 화소영역을 정의하는 게이트 배선의 상부에 섬형상의 금속층을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 13

제 8 항에 있어서,

상기 보호막은 상기 섬형상의 금속층을 노출하도록 형성된 액정표시장치용 어레이기판 제조방법.

청구항 14

제 13 항에 있어서,

상기 화소전극은 상기 노출된 금속층과 접촉하여, 상기 게이트 배선을 제 1 전극으로 하고 상기 금속층을 제 2 전극으로 하는 스토리지 캐패시터를 형성하는 액정표시장치용 어레이기판 제조방법.

청구항 15

제 8 항에 있어서,

상기 소스 및 드레인 전극과 데이터 배선과 상기 보호막 사이에 무기절연막을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 16

제 15 항에 있어서,

상기 무기 절연막은 상기 보호막을 식각 방지막으로하여 패턴되어, 상기 보호막과 평면적으로 동일한 형상으로 형성되는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치용 어레이기판의 제조방법에 관한 것이다.
- [0016] 도 1은 일반적인 액정표시장치를 개략적으로 도시한 평면도이다
- [0017] 도시한 바와 같이, 일반적인 액정표시장치(11)는 블랙매트릭스(6)와 서브컬러필터(7)를 포함하는 컬러필터(8)와, 상기 컬러필터(8)의 상부에 증착된 투명전극인 공통전극(9)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(56)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(15)이 충전되어 있다.
- [0018] 상기 하부기판(22)은 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix typ

e)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(12)과 데이터배선(34)이 형성된다.

- [0019] 상기 화소(P)영역은 상기 게이트배선(12)과 데이터배선(34)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(56)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 사용한다.
- [0020] 전술한 바와 같이 구성되는 액정표시장치는 상기 박막트랜지스터(T)와 상기 박막트랜지스터에 연결된 화소전극(56)이 매트릭스 내에 존재함으로써 영상을 표시한다.
- [0021] 상기 게이트배선(12)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트전극을 구동하는 펄스전압을 전달하며, 상기 데이터배선(34)은 상기 박막트랜지스터(T)의 제 2 전극인 소스 전극을 구동하는 신호전압을 전달하는 수단이다.
- [0022] 전술한 바와 같은 구성을 가지는 액정패널의 구동은 액정의 전기 광학적 효과에 기인한 것이다.
- [0023] 자세히 설명하면, 상기 액정층(15)은 자발분극(Spontaneous Polarization)특성을 가지는 유전이방성 물질이며, 전압이 인가되면 자발분극에 의해 쌍극자(Bipolar)를 형성함으로써 전계의 인가방향에 따라 분자의 배열방향이 바뀌는 특성을 갖는다.
- [0024] 따라서, 이러한 배열상태에 따라 광학적 특성이 바뀌므로써 전기적인 광변조가 생기게 된다.
- [0025] 이러한 액정의 광변조 현상에 의해, 빛을 차단 또는 통과시키는 방법으로 이미지를 구현하게 된다.
- [0026] 전술한 바와 같은 동작을 나타내는 액정표시장치는 제조 공정이 매우 복잡하며, 공정을 단순화 함으로서 공정시간과 제조 원가를 단축하려는 노력이 진행되고 있다.
- [0027] 이러한 일환으로 종래에는 상기 박막트랜지스터 어레이부의 제조공정을 5~7 마스크 공정에서 4 마스크 공정으로 완료할 수 있는 제조방법이 제안되었다.
- [0028] 도 2는 종래의 4 마스크 공정으로 제작된 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이다.
- [0029] 도시한 바와 같이, 게이트배선(12)과 데이터배선(34)이 직교하여 화소영역(P)을 정의하며, 상기 게이트배선(12)과 데이터배선(34)의 교차지점에는 스위칭소자로 박막트랜지스터(T)가 위치한다.
- [0030] 상기 게이트 배선(12)의 일 끝단에는 게이트 패드전극(10)이 구성되며, 상기 데이터 배선(34)의 일 끝단에는 데이터 패드 전극(36)이 구성된다.
- [0031] 상기 각 패드전극(10,36)은 아일랜드 형상의 투명전극 패턴인 게이트 패드 전극단자(58)와 데이터 패드 전극단자(60)와 각각 접촉하여 구성된다.
- [0032] 상기 박막트랜지스터(T)는 상기 게이트배선(12)과 연결되어 주사신호를 인가 받는 게이트전극(14)과, 상기 데이터배선(34)과 연결되어 데이터신호를 인가 받는 소스 전극(40) 및 이와는 소정간격 이격된 드레인 전극(42)으로 구성된다.
- [0033] 또한, 상기 게이트전극(14) 상부에 구성되고 상기 소스 전극(40) 및 드레인 전극(42)과 접촉하는 액티브층(32)을 포함한다.
- [0034] 또한, 상기 화소영역(P)상에는 상기 드레인 전극(42)과 접촉하는 투명한 화소 전극(56)을 구성하며, 상기 투명한 화소 전극(56)의 일부는 상기 게이트배선(12)의 상부로 연장하여 구성한다.
- [0035] 상기 게이트배선(12)의 상부에는 아일랜드 형상의 금속패턴(38)을 형성하며, 상기 금속 패턴(38)은 상기 게이트배선(12)의 상부로 연장된 투명 화소전극(56)과 접촉한다.
- [0036] 전술한 바와 같은 구성으로, 상기 게이트배선(12)의 일부를 제 1 스토리지 전극으로 하고, 상기 화소전극(17)과 접촉하는 금속패턴(28)을 제 2 스토리지 전극으로 하고, 상기 제 1 및 제 2 스토리지 전극 사이에 위치하는 게이트 절연막(미도시)을 유전체로 하는 스토리지 캐패시터(C)가 구성된다.
- [0037] 이때, 도시하지는 않았지만, 상기 액티브층(30)과 소스 및 드레인 전극(40,42) 사이에는 오믹 콘택층(미도시)이 구성되며, 상기 액티브층과 오믹 콘택층을 형성하는 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 패턴되어, 상기 데이터 배선(34)과 데이터 패드전극(36)의 하부로 연장된 제 1 패턴(35)이 되고, 상기 금속패턴(28)의

하부에 구성된 제 2 패턴(29)이 형성된다.

- [0038] 전술한 바와 같은 어레이기판의 구성은 종래의 4마스크 공정으로 제작된 것이며, 도면을 참조하여 종래의 4마스크 공정을 이용한 어레이기판의 제조공정을 설명한다.
- [0039] 도 3a 내지 도 3g와 도 4a 내지 도 4g와 도 5a 내지 도 5g는 도 2의 III-III', IV-IV', V-V'를 따라 절단하여 종래의 4마스크 공정 순서에 따라 도시한 공정 단면도이다.(도 3a 내지 도 3g는 스위칭 소자와 화소영역과 보조용량부를 나타내고, 도 4a 내지 도 4g는 게이트 패드부를 나타내고, 도 5a 내지 도 5g는 데이터 패드부를 나타낸다.)
- [0040] 먼저, 도 3a와 4a와 5a에 도시한 바와 같이, 투명한 절연 기판(22)상에 제 1 금속층을 형성한 후 제 1 마스크 공정으로, 일 끝단에 게이트 패드 전극(10)을 포함하는 게이트 배선(12)과, 상기 게이트 배선(12)에서 돌출 연장된 게이트 전극(14)을 형성한다.
- [0041] 상기 게이트 전극물질은 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)과 같은 다양한 도전성 금속을 사용할 수 있으며 특히, 알루미늄(Al)과 알루미늄 합금을 사용할 경우에는 몰리브덴(Mo)이나 크롬(Cr)등을 사용하여 이중층으로 구성한다.
- [0042] 상기 게이트 배선(12)과 게이트 패드 전극(10)등이 형성된 기판(22)의 전면에 제 1 절연막인 게이트 절연막(16)과, 순수 비정질 실리콘층(18)과, 불순물 비정질 실리콘층(20)과, 제 2 금속층(24)을 적층한다.
- [0043] 이때, 상기 제 1 절연막(16)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연 물질 그룹 중 선택된 하나를 증착하여 형성하며, 상기 제 2 금속층(24)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta) 등의 도전성 금속물질 중 선택된 하나를 증착하여 형성한다.
- [0044] 상기 다수의 층이 적층된 기판(22)에 스위칭 소자 영역(T)과, 이후 공정에서 형성되는 데이터 배선과 데이터 패드 전극을 포함하는 데이터 영역(D)과 화소영역(P)과 스토리지 영역(S)을 정의한다.
- [0045] 이때, 상기 스위칭 소자 영역(T)은 상기 화소 영역(P)의 일측에 정의한다.
- [0046] 다음으로, 도 3b와 4b와 5b에 도시한 바와 같이, 상기 다수의 영역(D,T,P,S)이 정의된 제 2 금속층(24)의 상부에는 포토레지스트(photo-resist:이하 "PR"층 이라함)를 도포하여 PR층(26)을 형성한다. 이때, 상기 PR층(26)은 빛을 받은 부분이 노광되어 현상되는 포지티브형(positive type)을 사용하는 것으로 한다.
- [0047] 상기 PR층(26)이 형성된 기판(22)의 상부에 투과영역(A)과 차단영역(B)과 반투과 영역(슬릿 영역)(C)으로 구성된 마스크(50)를 위치시킨다.
- [0048] 상기 반투과 영역(C)은 상기 스위칭 영역(T)중 게이트 전극(14)의 상부에 대응하여 위치하도록 하고, 상기 반사부(B)는 데이터 영역(D)과 스토리지 영역(S)에 대응하여 위치하도록 한다.
- [0049] 이때, 상기 반투과 영역(C)에 대응하는 PR층(26)은 상기 투과영역(A)에 비해 일부분만 노광되는 특성이 있다.
- [0050] 연속하여, 상기 마스크(50)의 상부로 빛을 조사하는 노광공정(exposure)과, 노광된 부분을 제거하는 현상공정(develop)을 진행한다.
- [0051] 전술한 바와 같은 공정을 진행하게 되면, 도 3c와 4d와 5d에 도시한 바와 같이, 스위칭 영역(T)과 스토리지 영역(S)과 상기 데이터 배선영역(D)에 패턴된 PR층(26)이 형성된다.
- [0052] 상기 패턴된 PR층(26) 사이로 노출된 제 2 금속층(24)을 습식식각 방식으로 식각한 후, 하부의 불순물 비정질 실리콘층(20)과 순수 비정질 실리콘층(18)을 건식식각을 통해 제거하는 공정을 진행하면, 도 3d와 4d와 5d에 도시한 바와 같이, 상기 스위칭 영역(T)에는 소스/드레인 전극패턴(28)이 상기 데이터 배선영역(D)에는 소스/드레인 전극패턴(28)에서 연장된 데이터 배선(34)과, 데이터 배선의 일 끝단에 데이터 패드 전극(36)이 형성된다.
- [0053] 동시에, 상기 게이트 배선(12)의 일부 상부에는 아일랜드 형상의 금속패턴(38)이 형성된다.
- [0054] 상기 패턴된 순수 비정질 실리콘층과 불순물 비정질 실리콘층은 상기 소스/드레인 전극패턴(28)의 하부에서 상기 데이터배선(34)과 데이터 패드 전극(36)의 하부로 연장된 제 1 패턴(35)과, 상기 금속패턴(38)의 하부에 아일랜드 형상으로 구성된 제 2 패턴(29)으로 형성된다.
- [0055] 이때, 상기 스위칭 영역(T)에 구성된 제 1 패턴 중 하부에 구성된 순수 비정질 실리콘층을 액티브층(30)이라 하고, 액티브 채널층(30)의 상부에 구성된 불순물 비정질 실리콘층을 오믹 콘택층(32)이라 하다.

- [0056] 다음으로, 도 3e와 4e와 5e에 도시한 바와 같이, 상기 스윗칭 영역(T)에 채널(CH)을 형성하기 위한 이전 공정으로, 상기 채널의 상부에 형성된 PR층을 제거하기 위한 애싱공정(ashing processing)을 진행한다.
- [0057] 상기 애싱 공정을 진행하게 되면, 상기 게이트 전극(14) 상부에 부분 노광되었던 얇은 PR층이 제거되는 동시에, 상기 각 PR패턴(26)의 주변(F)이 깎여 나가 하부의 금속패턴(28,34(데이터 배선),38,36(데이터 패드 전극))이 노출된다.
- [0058] 연속하여, 상기 PR패턴(26) 사이로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층을 건식식각을 통해 제거하는 공정을 진행하여 하부의 순수 비정질 실리콘층을 노출하는 공정을 진행한다.
- [0059] 이때, 패턴된 PR층(26)사이로 노출된 금속층이 몰리브덴(Mo)일 경우에는 건식식각으로 노출된 금속층과 그 하부의 불순물 비정질 실리콘층을 한꺼번에 제거하는 것이 가능하나, 상기 금속층이 크롬(Cr)일 경우에는 상기 PR패턴 사이로 노출된 금속층을 먼저 습식식각을 통해 제거한 후, 연속하여 건식식각으로 그 하부의 불순물 비정질 실리콘층을 제거하는 공정을 진행한다.
- [0060] 이와 같은 공정을 통해, 도 3f와 4f와 5f에 도시한 바와 같이, 상기 스윗칭 영역(T)에서는 상기 소스/드레인 전극패턴이 다시 한번 패턴되어, 서로 이격된 소스 전극(40)과 드레인 전극(42)이 구성되며, 서로 이격된 사이로 액티브층(30)중 액티브 채널영역(CH)이 노출되는 결과를 얻을 수 있다.
- [0061] 이상과 같이 제 2 마스크 공정을 통해, 액티브층(32)과 소스 및 드레인 전극(40,42)과 데이터 배선(34)과 데이터 패드 전극(36)과 상기 게이트 배선(12)의 상부에 섬형상의 금속층(38)이 형성된다.
- [0062] 연속하여, 상기 소스 및 드레인 전극(40,42)과 데이터 배선(34)과 데이터 패드 전극(36)과 섬형상의 금속층(38)이 형성된 기판(22)의 전면에 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함한 투명한 유기절연물질 그룹 중 선택된 하나를 도포하여 형성하거나, 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막인 보호막(46)을 형성한다.
- [0063] 다음으로, 상기 보호막(46)을 제 3 마스크 공정으로 패턴하여, 상기 드레인 전극(42)의 일부를 노출하는 드레인 콘택홀(48)과, 상기 금속층(38)의 일부를 노출하는 스토리지 콘택홀(50)과, 상기 게이트 패드 전극(10)과 데이터 패드 전극(36)의 일부를 노출하는 게이트 패드 콘택홀(52)과 데이터 패드 콘택홀(54)을 형성한다.
- [0064] 연속하여, 도 3g와 4g와 5g에 도시한 바와 같이, 상기 보호막(46)의 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함한 투명 도전성 금속물질 중 선택된 하나를 증착하고 제 4 마스크 공정으로 패턴하여, 상기 드레인 전극(42)과 접촉하면서 상기 화소영역(P)을 지나 상기 섬형상의 금속층(38)과 접촉하는 투명 화소전극(56)과, 상기 게이트 패드전극 전극(10)과 접촉하는 게이트 패드 전극단자(58)와 상기 데이터 패드 전극(36)과 접촉하는 데이터 패드 전극단자(60)를 형성한다.
- [0065] 전술한 바와 같은 공정으로 종래의 방법에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명이 이루고자 하는 기술적 과제

- [0066] 본 발명은 전술한 4 마스크 공정을 더욱 단순화하여 개선된 공정 수율을 확보하고 재료비를 절감하기 위한 목적으로 안출된 것으로, 본 발명에 따른 어레이기판 제조방법은 하프톤(halftone) 마스크를 사용하는 동시에, 상기 박막트랜지스터를 보호하는 보호막을 소정의 형상으로 패턴하고 이를 마스크로 하여 하부의 게이트 절연막을 식각하는 공정과, 상기 화소전극과 게이트 패드 전극단자와 데이터 패드 전극 단자를 형성하는 공정을 진행하여 3 마스크 공정으로 액정표시장치용 어레이기판을 제작한다.

발명의 구성 및 작용

- [0067] 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 화소영역이 정의된 기판 상에 구성된 게이트 배선 및 상기 게이트 배선의 일 끝단에 구비된 게이트 패드전극과; 상기 게이트 배선 상부로 상기 게이트 패드전극과 상기 화소영역 내의 상기 기판을 노출시키며 형성된 게이트 절연막과; 상기 게이트 절연막 상부로 상기 게이트 배선과 수직하게 교차하여 상기 화소영역을 정의하는 데이터 배선 및 상기 데이터 배선의 일 끝단에 구비된 데이터 패드전극과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 액티브

층과 게이트 전극과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터와; 상기 박막트랜지스터가 구성된 기관의 전면에 구성되고, 상기 드레인 전극과 상기 게이트 패드전극과, 상기 데이터 패드전극과, 상기 화소영역에 대응하는 기관을 노출하는 보호막과; 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역 내의 상기 기관 상에 상기 기관과 접촉하며 구성된 투명한 화소전극과, 상기 노출된 게이트 패드전극과 접촉하며 상기 게이트 패드전극의 상면 및 측면을 완전히 덮으며 형성된 투명한 게이트 패드 전극단자와, 상기 노출된 데이터 패드 전극과 접촉하며 상기 데이터 패드전극의 상면 및 측면을 완전히 덮으며 형성된 투명한 데이터 패드 전극 단자를 포함한다.

- [0068] 상기 소스 및 드레인 전극과 데이터 배선과 데이터 패드전극의 하부에는 비정질 실리콘층과 불순물이 포함된 비정질 실리콘층이 적층된 반도체층이 구성된다.
- [0069] 상기 소스 및 드레인 전극과 데이터 배선과 데이터 패드전극의 주변으로 하부의 비정질 실리콘층이 노출되어 구성된다.
- [0070] 상기 화소영역을 정의하는 게이트 배선의 상부에 섬형상의 금속층이 구성되며, 상기 보호막은 상기 섬형상의 금속층의 일부를 노출하도록 구성된다.
- [0071] 이때, 상기 화소전극은 상기 노출된 금속층과 접촉하여, 상기 게이트 배선을 제 1 전극으로 하고 상기 금속층을 제 2 전극으로 하는 스토리지 캐패시터를 구성한다.
- [0072] 상기 보호막과 상기 박막트랜지스터와 게이트 배선 및 데이터 배선 사이에 위치하고, 상기 보호막과는 평면적으로 동일한 형상인 무기 절연막 패턴이 구성된다.
- [0073] 본 발명에 따른 액정표시장치용 어레이기관의 제조방법은 화소영역이 정의된 기관 상에 게이트 배선과 상기 게이트 배선의 일 끝단에 게이트 패드전극과, 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 배선 위로 게이트 절연막을 사이에 두고 수직하게 교차하여 상기 화소영역을 정의하는 데이터 배선과 상기 데이터 배선의 일 끝단에 데이터 패드전극과, 상기 데이터 배선에서 연장된 소스 전극과 이와는 소정간격 이격된 드레인 전극과, 상기 소스 및 드레인 전극의 하부에 액티브층을 형성하는 제 2 마스크 공정 단계와; 상기 소스 및 드레인 전극과 데이터 배선이 형성된 기관의 전면에 보호막을 형성하고 패턴하는 제 3 마스크 공정에 있어서, 상기 보호막과 상기 게이트 절연막을 순차적으로 패턴하여, 상기 드레인 전극과 화소영역 내의 기관과, 상기 게이트 패드전극과 데이터 패드전극을 노출하는 단계와; 상기 패턴된 보호막의 전면에 투명 전극을 증착하여, 상기 노출된 드레인 전극과 접촉하면서 화소영역의 상기 기관상에 형성된 화소전극과, 상기 노출된 게이트 패드 전극과 접촉하며 상기 게이트 패드전극의 상면 및 측면을 완전히 덮는 형태의 게이트 패드전극 단자와, 상기 노출된 데이터 패드 전극과 접촉하며 상기 데이터 패드전극의 상면 및 측면을 완전히 덮는 형태의 데이터 패드전극 단자를 형성하는 단계를 포함하는 제 3 마스크 공정 단계를 포함한다.
- [0074] 삭제
- [0075] 상기 제 2 마스크공정은, 상기 게이트 배선과 게이트 전극이 형성된 기관의 전면에 게이트 절연막과, 순수 비정질 실리콘막과, 불순물 비정질 실리콘막과, 금속층을 순차적으로 적층하고, 스위칭 영역과 데이터 배선 영역을 정의하는 단계와;
- [0076] 상기 금속층의 상부에 포토레지스트층을 형성하고, 포토레지스트층의 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부로 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 스위칭 영역에는 단차진 제 1 포토레지스트 패턴을 남기고, 상기 데이터 배선 영역에는 제 2 포토레지스트 패턴을 남기는 단계와; 상기 남겨진 포토레지스트 패턴 사이로 노출된 금속층과, 불순물 비정질 실리콘층과, 순수 비정질 실리콘층을 식각하는 단계와; 상기 남겨진 포토레지스트 패턴을 제거하는 애싱공정을 진행하여, 상기 스위칭 영역의 중앙부를 노출하는 단계와; 상기 노출된 금속층과 하부의 순수 비정질 실리콘층을 제거하고 남겨진 포토레지스트 패턴을 제거하여, 서로 소정간격 이격된 소스 전극과 드레인 전극과, 소스 전극에서 연장되고 일 끝단에 데이터 패드전극을 포함하는 데이터배선을 형성하는 단계를 포함한다.
- [0077] 상기 제 3 마스크 공정 단계는, 상기 패턴된 보호막을 열처리하여 표면이 원호 형상으로 녹아내리도록 하여, 패턴된 보호막의 측면이 역테이퍼지게 하는 단계와; 상기 보호막의 역테이퍼진 측면에 의해 상기 증착된 투명 전극이 절단되도록 하여, 상기 화소전극과 게이트 패드 전극 단자와 데이터 패드 전극 단자가 독립적으로 구성되도록 하는 단계를 포함한다.

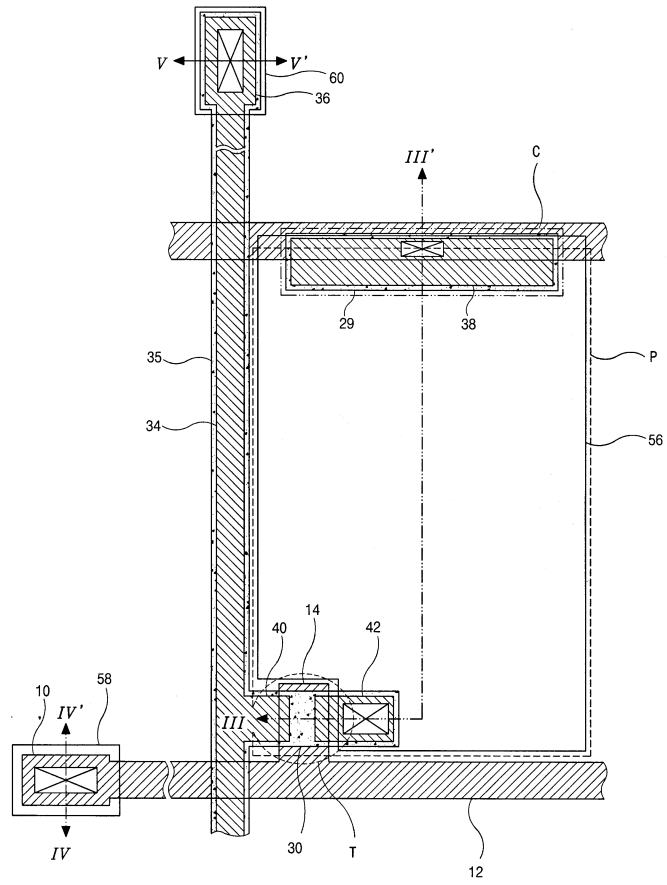
- [0078] 이때, 상기 소스 및 드레인 전극과 데이터 배선과 데이터 패드의 주변으로 하부의 비정질 실리콘막이 노출되도록 형성된다.
- [0079] 상기 화소영역을 정의하는 게이트 배선의 상부에 섬형상의 금속층을 형성하는 단계를 포함하고, 상기 보호막은 상기 섬형상의 금속층의 일부를 노출하도록 형성된다.
- [0080] 이때, 상기 화소전극은 상기 노출된 금속층과 접촉하여, 상기 게이트 배선을 제 1 전극으로 하고 상기 금속층을 제 2 전극으로 하는 스토리지 캐패시터를 형성한다.
- [0081] 상기 소스 및 드레인 전극과 데이터 배선과 상기 보호막 사이에 무기절연막을 형성하는 단계를 포함하며, 상기 무기 절연막은 상기 보호막을 식각 방지막으로하여 패턴되어, 상기 보호막과 평면적으로 동일한 형상으로 형성되는 것을 특징으로 한다.
- [0082] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- [0083] -- 실시예 --
- [0084] 본 발명의 특징은 3 마스크 공정으로 액정표시장치용 어레이기판을 제작하는 것이다.
- [0085] 도 6은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이다.
- [0086] 도시한 바와 같이, 기판(100)상에 게이트배선(102)과 데이터배선(132)이 직교하여 화소영역(P)을 정의하며, 상기 게이트배선(112)과 데이터배선(132)의 직교 점에 스위칭소자로 박막트랜지스터(T)를 형성한다.
- [0087] 상기 게이트 배선(102)의 일 끝단에는 게이트 패드전극(106)을 구성하고, 상기 데이터 배선(132)의 일 끝단에는 데이터 패드전극(142)을 구성하고, 상기 각 패드전극(106,142)은 아일랜드 형상의 투명전극 패턴인 게이트 패드 전극단자(164)와 데이터 패드 전극단자(166)와 평면적으로 겹쳐 구성한다.
- [0088] 상기 박막트랜지스터(T)는 상기 게이트배선(102)과 연결되어 주사신호를 인가 받는 게이트전극(104)과, 상기 데이터배선(132)과 연결되어 데이터신호를 인가 받는 소스 전극(136) 및 이와는 소정간격 이격된 드레인 전극(138)으로 구성한다.
- [0089] 상기 화소영역(P)에는 상기 드레인 전극(138)과 접촉하는 화소전극(162)을 형성하고, 상기 화소영역(P)을 정의하는 게이트 배선(102)의 일부 상부에는 섬형상의 금속층(134)을 형성한다.
- [0090] 상기 금속패턴(138)은 하부의 게이트배선(102)과 함께 스토리지 캐패시터(C)를 구성하며, 게이트 배선(102)은 제 1 스토리지 전극으로서의 역할을 하게 되고, 금속패턴(134)은 상기 화소전극(162)과 접촉하여 제 2 스토리지 전극으로서의 역할을 하게 된다.
- [0091] 전술한 구성에서, 상기 소스 및 드레인 전극(136,138)과 제 2 스토리지 전극(134)과 데이터 배선(132)과 데이터 패드 전극(142)을 패턴하는 공정 중, 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층이 패턴되며, 편의상 소스 및 드레인 전극(136,138)의 하부에 구성된 것을 반도체층의 제 1 패턴(126)이라 하고, 제 1 패턴(126)에서 데이터 배선(132) 및 데이터 패드 전극(142)의 하부로 연장된 부분을 제 2 패턴(130)이라 하고, 상기 제 2 스토리지 전극(134)의 하부에 구성된 부분을 제 3 패턴(128)이라 한다.
- [0092] 이때, 상기 반도체층의 제 1 패턴(126)과 제 2 패턴(130)과 제 3 패턴(128)은 상기 소스 및 드레인 전극(136,138)과 데이터 배선(132) 및 데이터 패드 전극(142)과 제 2 스토리지 전극(134)의 주변으로 노출된 형상이다.(자세하게는 반도체층의 순수 비정질 실리콘층이 노출된다.)
- [0093] 전술한 바와 같은 구성에서 본 발명의 특징은, 화소전극(162)과, 데이터 패드 전극단자(164)와 게이트 패드 전극단자(166)만을 노출한 상태에서 기판(100)의 전면에 보호막(162)이 형성되는 것이다.
- [0094] 이는 상기 보호막을 마스크로 하여, 상기 화소전극(162)과 데이터 패드 전극단자(164)와 게이트 패드 전극 단자(166)를 형성하는 3마스크 공정으로 어레이기판을 제작하는 이하, 공정을 통해 설명될 수 있다.
- [0095] 이하, 도 7a 내지 도 7h와 8a 내지 8h와 9a 내지 9h를 참조하여, 본 발명에 따른 액정표시장치의 제조공정을 설명한다.
- [0096] 도 7a 내지 7h와 8a 내지 8h와 9a 내지 9h는 도 6의 VII-VII', VIII-VIII', IX-IX'를 따라 절단하여, 본 발명의 공정 순

서에 따라 도시한 공정 단면도이다.

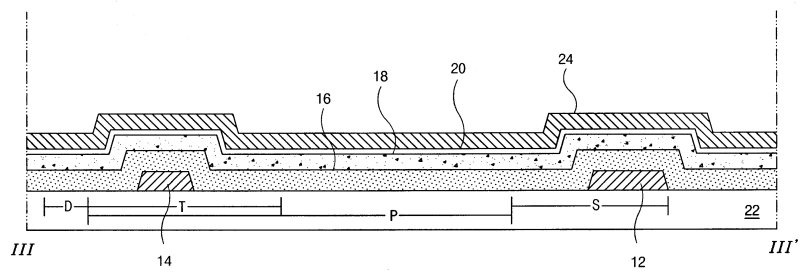
- [0097] (도 7a 내지 도 7h는 스위칭 영역과 화소영역과 보조용량 영역의 단면도이고, 도 8a 내지 도 8h는 게이트 패드부의 단면도이고, 도 9a 내지 9h는 데이터 패드부의 단면도이다)
- [0098] 도 7a와 8a와 9a에 도시한 바와 같이, 기판(100)상에 알루미늄(Al), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr)등의 도전성 금속을 증착하고 패터닝하여, 제 1 마스크 공정으로 게이트배선(102)과 상기 게이트배선에서 일 방향으로 돌출 연장된 게이트전극(104)과 게이트 배선(102)의 일 끝단에 게이트 패드 전극(106)을 형성한다.
- [0099] 이때, 능동 행렬 액정 표시장치의 동작에 중요한 게이트 전극(104) 물질은 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제의 원인이 되므로, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 적층 구조가 적용된다.
- [0100] 다음으로, 도 7b와 도 8b와 도 9b에 도시한 바와 같이, 상기 게이트 배선(102)과 게이트 전극(104)과 게이트 패드 전극(106)이 형성된 기판(100)의 전면에 산화 실리콘(SiO₂), 질화 실리콘(SiN_x)등의 무기 절연물질과 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)와 같은 유기절연물질을 증착하여, 게이트 절연막(108)을 형성한다.
- [0101] 연속하여, 상기 게이트 절연막(108) 상부에 순수 비정질 실리콘층(a-Si:H)(110)과 불순물 비정질 실리콘층(n+a-Si:H)(112)과 제 2 금속층(114)을 형성한다.
- [0102] 연속하여, 상기 제 2 금속층의 상부에 포토레지스트(photo-resist : 이하 PR이라 칭함)를 도포하여 PR층(116)을 형성한다.
- [0103] 상기 제 2 금속층(114)은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta) 등의 도전성 금속 그룹 중 선택된 하나를 증착하여 형성한다.
- [0104] 다음으로, 상기 PR층(116)이 형성된 기판(100)상에 화소영역(P)과 스위칭 소자 영역과(T) 데이터 배선 영역(D)과 스토리지 영역(S)을 정의한다.
- [0105] 이때, 상기 화소 영역(P)의 일측에 상기 스위칭 소자 영역(T)을 정의한다.
- [0106] 연속하여, 상기 기판(100)의 이격된 상부에 투과부(A)과 반투과부(C)과 차단부(B)로 구성된 마스크(M)를 위치시킨다.
- [0107] 이때, 상기 마스크(M)의 차단부(B)는 상기 데이터 배선 영역(D)과 스토리지 영역(S)과, 상기 스위칭 영역(T)의 주변에 대응하고, 상기 반투과부(C)는 상기 스위칭 영역(T)중 상기 게이트 전극(104)의 상부에 대응하여 위치하도록 한다.
- [0108] 상기 마스크(M)의 상부에서 빛을 조사하여, 상기 기판(100)상에 형성한 PR층(116)을 노광하고 현상하는 공정을 진행한다.
- [0109] 그 결과, 도 7c와 도 8c와 도 9c에 도시한 바와 같이, 상기 스위칭 영역(T)의 상부에는 상기 마스크(M)의 반투과부(도 7b의 C)에 대응한 부분이 부분적으로 현상되어 높이가 다른 PR패턴(120a)이 남게 되고, 상기 데이터 배선 영역(D)과 상기 스토리지 영역(S)의 상부에는 도포된 그대로의 높이로 PR패턴(120b)이 남게 된다.
- [0110] 다음으로, 상기 남겨진 PR패턴(120a,120b) 사이로 노출된 제 2 금속층(114)과 불순물 비정질 실리콘층(112)과 순수 비정질 실리콘층(110)을 제거한 후 연속하여, 상기 PR패턴을 상부로부터 소정 높이만 깎는 애싱공정(ashing processing)을 진행한다.
- [0111] 이와 같이 하면, 상기 도 7d와 도 8d와 도 9d에 도시한 바와 같이, 상기 스위칭영역(T)에 대응하여 소스/드레인 금속패턴(124)이 형성되고, 소스 드레인 금속패턴(124)의 주변부(F)와 중앙부(E)를 노출하는 상태로 PR 패턴(122a)이 남게 된다.
- [0112] 물론, 상기 스토리지 영역(S)에는 섬형상의 금속패턴(134)이 남게되고, 상기 데이터 배선 영역(D)에는 상기 소스/드레인 금속패턴(124)에서 연결되고 일 끝단에는 데이터 패드 전극(142)을 포함하는 데이터배선(132)이 형성되고, 상기 섬형상의 금속패턴(134)과 상기 데이터배선 및 데이터 패드 전극(132,142)의 상부에도 이들의 주변부(F)를 노출하는 PR패턴(122b)이 남게 된다.

- [0113] 연속하여, 상기 남겨진 PR패턴(122a, 122b) 사이로 노출된 금속과 그 하부의 비정질 실리콘층을 제거한 후, 상기 남겨진 PR패턴(122a, 122b)을 제거하는 공정을 진행한다.
- [0114] 이와 같이 하면, 도 7e와 도 8e와 도 9e에 도시한 바와 같이, 상기 스위칭 영역(T)에 대응하여 서로 소정간격 이격된 소스 전극(136)과 드레인 전극(138)과, 상기 소스 전극(136)에서 상기 데이터 배선 영역(D)으로 연장되어 게이트 배선(102)과 수직하게 교차하는 데이터 배선(132)과, 상기 데이터 배선의 끝단에 데이터 패드 전극(142)을 형성한다.
- [0115] 동시에, 상기 화소영역을 정의하는 게이트배선(102)의 일부 상부에 섬형상의 제 2 스토리지 전극(134)을 형성한다.
- [0116] 전술한 공정 중 패터닝 불순물 비정질 실리콘층과 순수 비정질 실리콘층은 편의상 반도체층이라 하고, 반도체층은 상기 소스 및 드레인 전극(136, 138)의 하부에 위치한 제 1 패턴(126)과, 제 1 패턴에서 상기 데이터 배선(132)과 데이터 패드전극(142)으로 연장된 제 2 패턴(130)과, 상기 제 2 스토리지 전극(134)의 하부에 위치한 제 3 패턴(128)을 포함한다.
- [0117] 각각은 불순물 비정질 실리콘층(126b, 130b, 128b)과 순수 비정질 실리콘층(126a, 130a, 128a)이 적층된 형상이다.
- [0118] 이때, 상기 데이터 배선(132) 및 데이터 패드 전극(142)과 소스 및 드레인 전극(136, 138)과, 제 2 스토리지전극(134)의 주변으로 하부의 비정질 실리콘층(130a, 126a, 128a)이 노출된 형상이 된다.
- [0119] 다음으로, 상기 소스 및 드레인 전극(136, 138)과 데이터 배선(132)과 데이터 패드 전극(142)과 제 2 스토리지 전극(146)이 형성된 기판(100)의 전면에 감광성 유기절연막을 도포하여 보호막(160)을 형성한다. 감광성 유기막으로는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)가 있다.
- [0120] 연속하여, 제 3 마스크 공정으로 상기 보호막(160)을 노광하고 현상하여, 도 7f와 도 8f와 도 9f에 도시한 바와 같이, 상기 스위칭 소자(T)와 데이터 패드 전극(142)을 제외한 데이터 배선(132)과, 상기 게이트 패드 전극(106)을 제외한 게이트 배선(102)의 상부와 제 2 스토리지 전극(146)의 상부와, 상기 각 데이터 패드 전극(142)사이와 상기 게이트 패드 전극(106)의 사이에 대응하는 위치에 패터닝 보호막(편의상 패터닝 전의 부호를 동일하게 사용함)(160)이 남도록 한다.
- [0121] 이때, 상기 패터닝 보호막(160)을 소정의 온도에서 큐어링(curing)하여 보호막(160)의 표면이 단면적으로 둥근 형상(원호)이 되도록 한다.
- [0122] 즉, 패터닝 보호막(160)의 일측이 90도 미만의 각이 되도록 즉, 역 테이퍼 지게 형성해야 한다.
- [0123] 이와 같이 하기 위해서는 상기 큐어링을 한번에 진행하는 것이 아니고, 나누어 진행하는 방법을 사용하면 된다.
- [0124] 도 7g와 도 8g와 도 9g에 도시한 바와 같이, 상기 패터닝 보호막(160)사이로 노출된 게이트 절연막(108)을 식각하여 상기 게이트 패드(106)를 노출하는 공정을 진행한다.
- [0125] 연속하여, 도 7h와 도 8h와 도 9h에 도시한 바와 같이, 상기 패터닝 보호막(160)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하여, 상기 노출된 드레인 전극(138)과 제 2 스토리지 전극(146)과 접촉하면서 상기 화소영역(P)에 위치하는 화소전극(162)과, 상기 노출된 게이트 패드 전극(106)을 감싸는 형상인 게이트 패드 전극단자(164)와, 상기 데이터 패드(142)를 감싸는 형상인 데이터 패드 전극단자(166)를 형성한다.
- [0126] 이때, 상기 보호막(160)의 측면이 역 테이퍼 지게 형성되기 때문에, 상기 투명전극은 기판(100)의 전면에 증착됨에도 불구하고, 보호막의 역테이퍼에 의해 끊어져, 각각 독립적인 패턴으로 형성될 수 있다.
- [0127] 따라서, 전술한 바와 같이 감광성 유기막인 보호막을 마스크로 이용하면 3 마스크 공정으로 액정표시장치용 어레이기판을 제작하는 것이 가능하다.
- [0128] 전술한 공정은 상기 박막트랜지스터(T)의 상부에 바로 유기막 재질의 보호막(160)을 형성하였으나, 상기 보호막(160)과 박막트랜지스터(T)의 액티브층(126a)과의 접촉특성을 개선하기 위해, 상기 보호막(160)과 박막트랜지스터 사이에 무기절연막 패턴을 더욱 형성할 수 있다.
- [0129] 이하, 도 10과 도 11과 도 12를 참조하여 설명한다.
- [0130] 도 10과 도 11과 도 12는 도 6의 VII-VII, VIII-VIII, IX-IX를 따라 절단한 단면도이다.

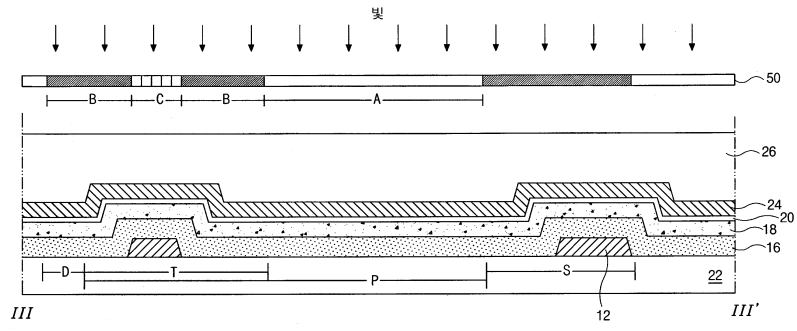
도면2



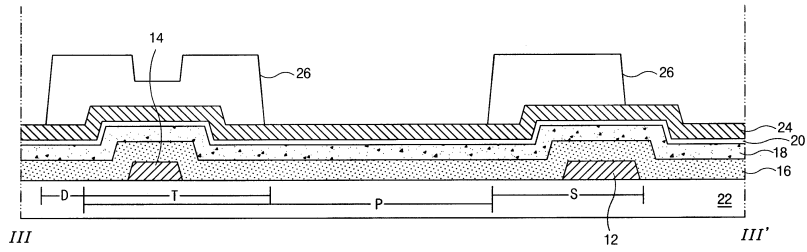
도면3a



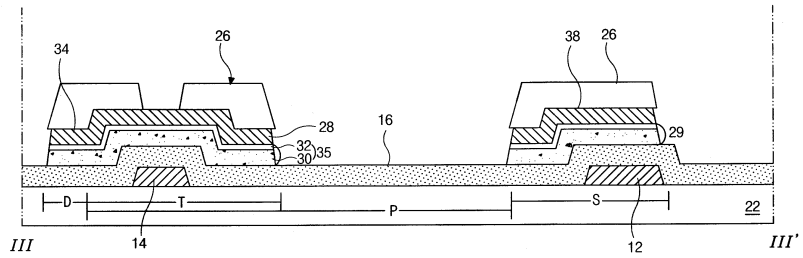
도면3b



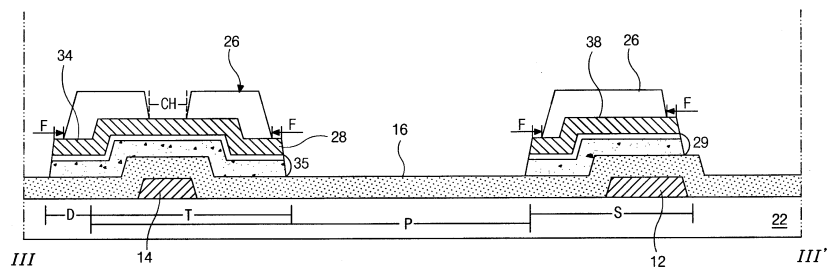
도면3c



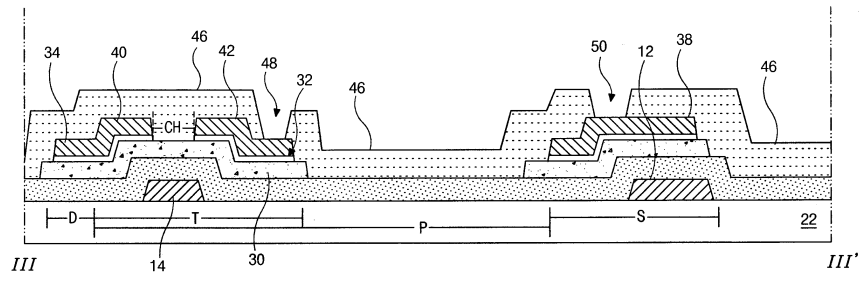
도면3d



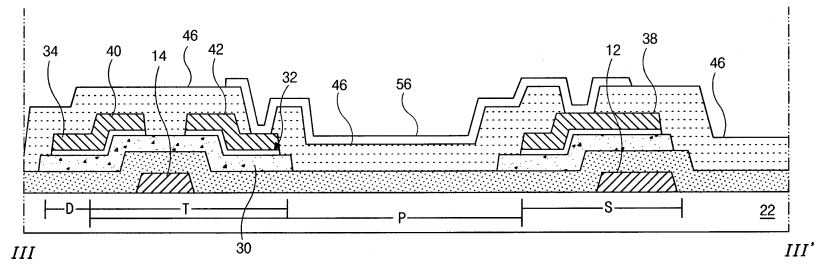
도면3e



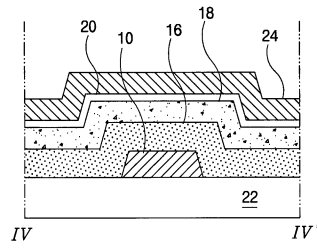
도면3f



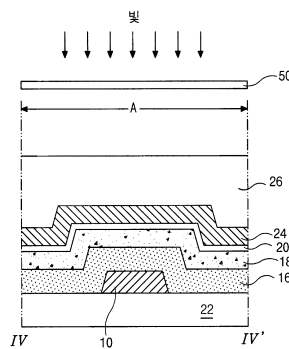
도면3g



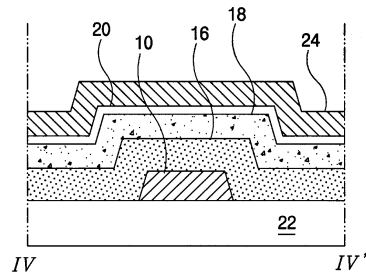
도면4a



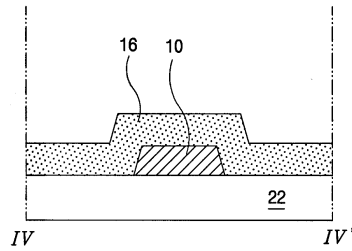
도면4b



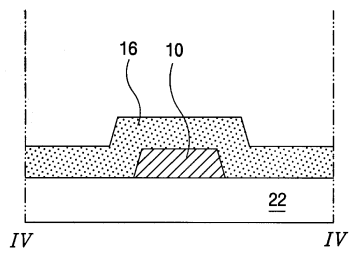
도면4c



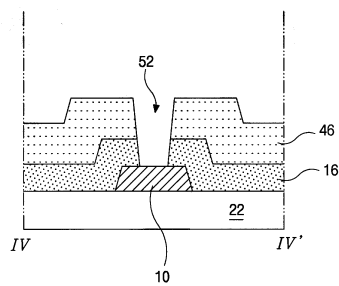
도면4d



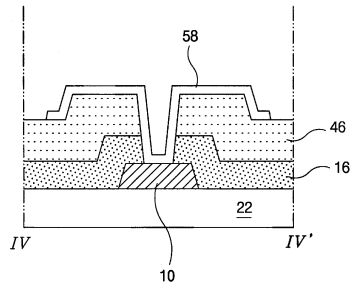
도면4e



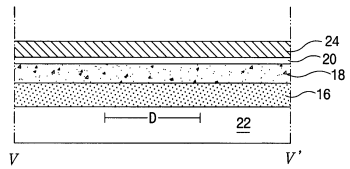
도면4f



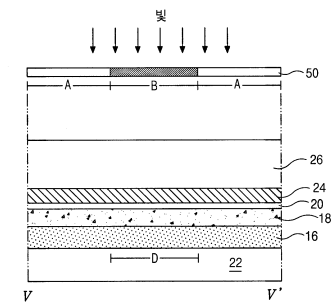
도면4g



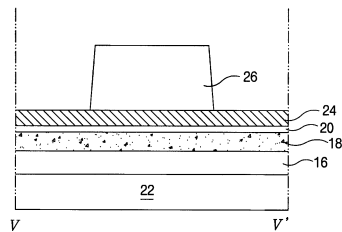
도면5a



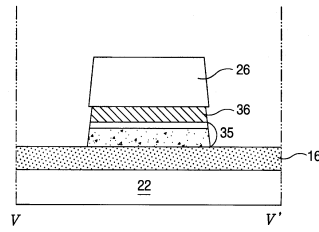
도면5b



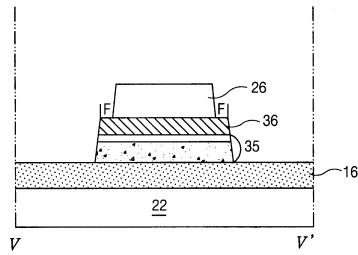
도면5c



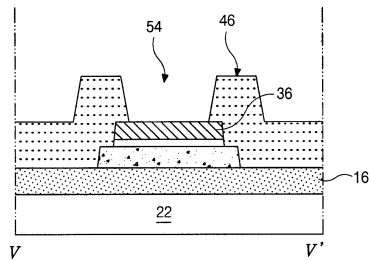
도면5d



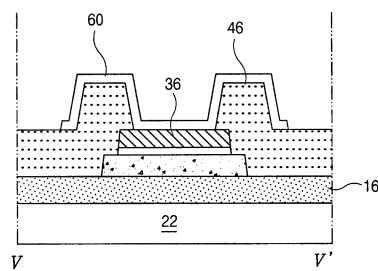
도면5e



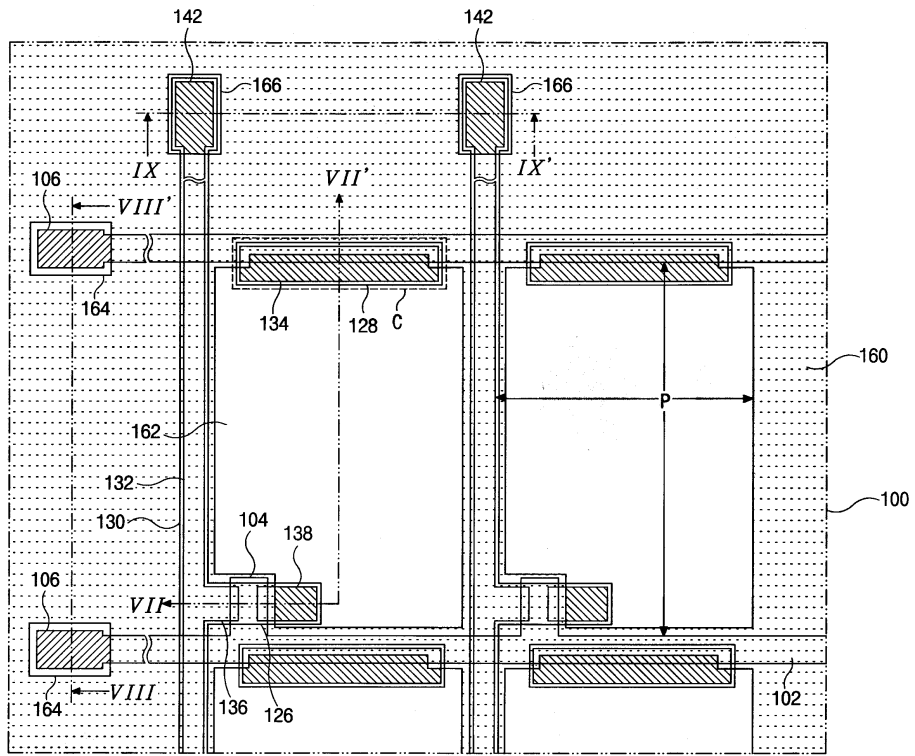
도면5f



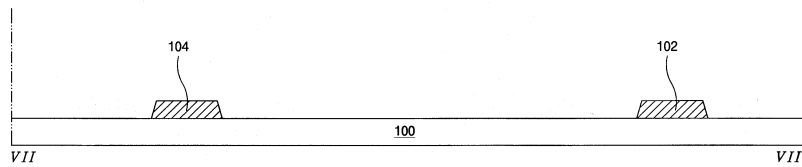
도면5g



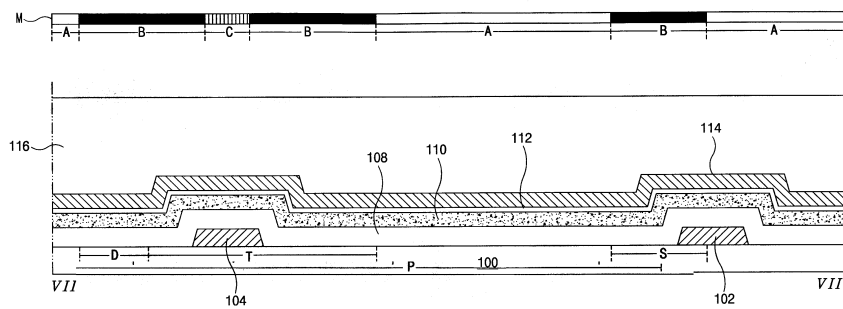
도면6



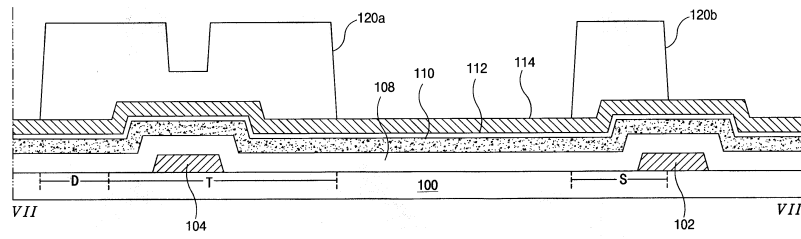
도면7a



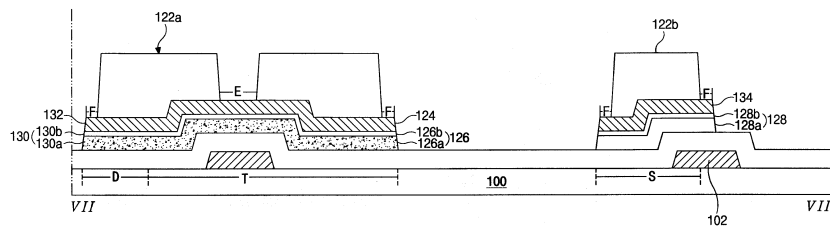
도면7b



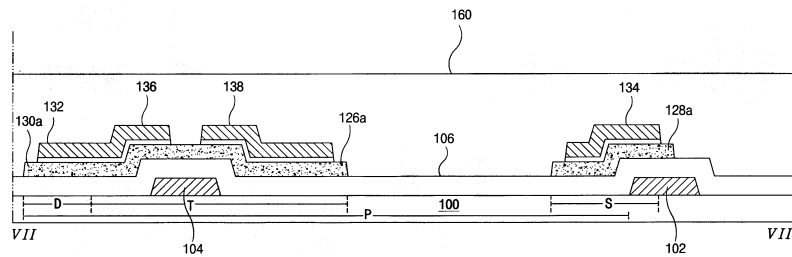
도면7c



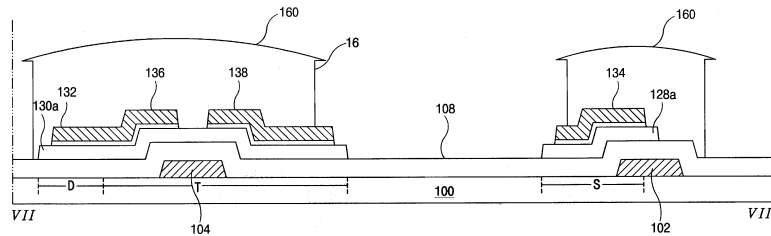
도면7d



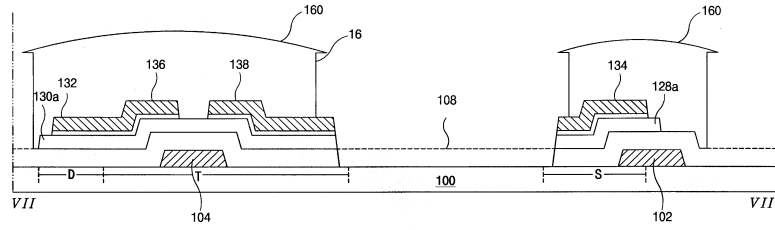
도면7e



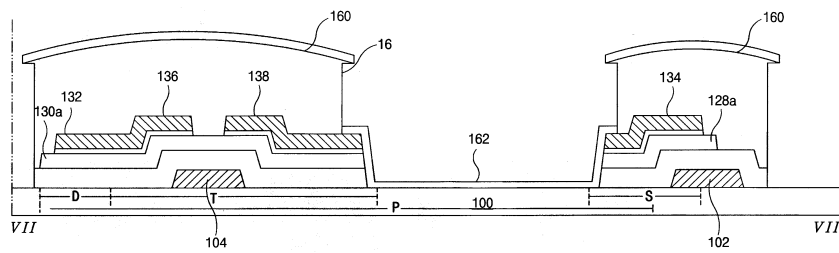
도면7f



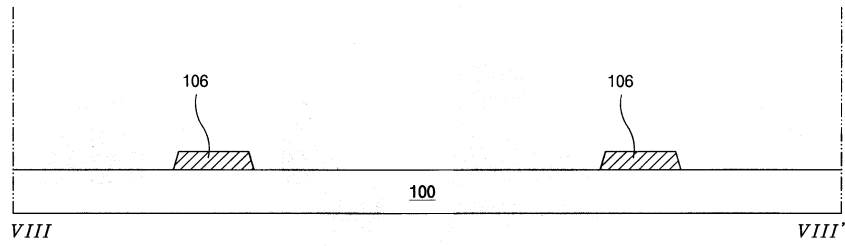
도면7g



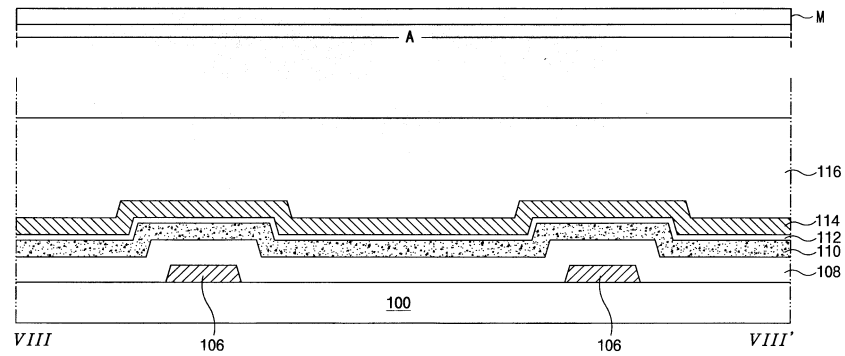
도면7h



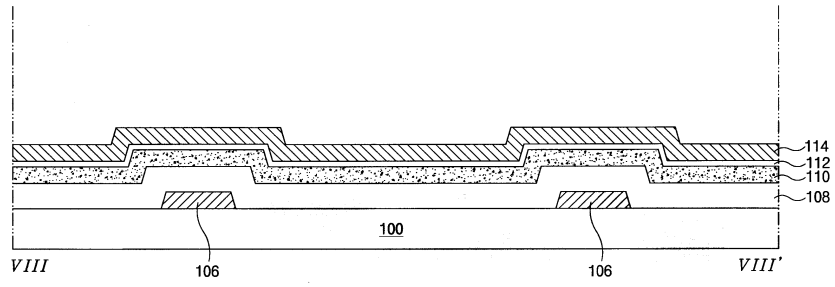
도면8a



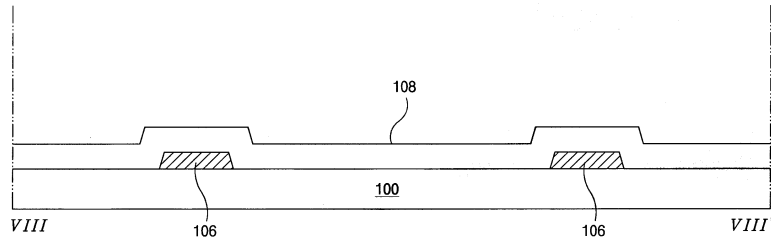
도면8b



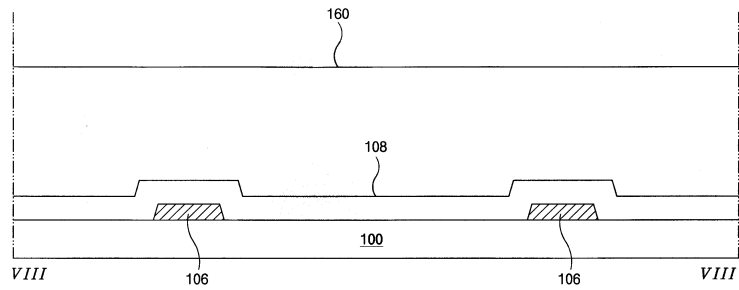
도면8c



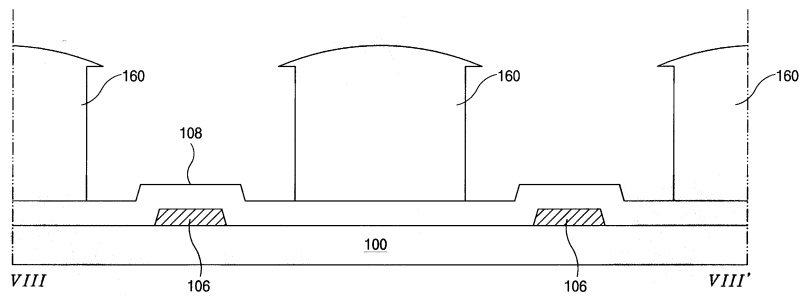
도면8d



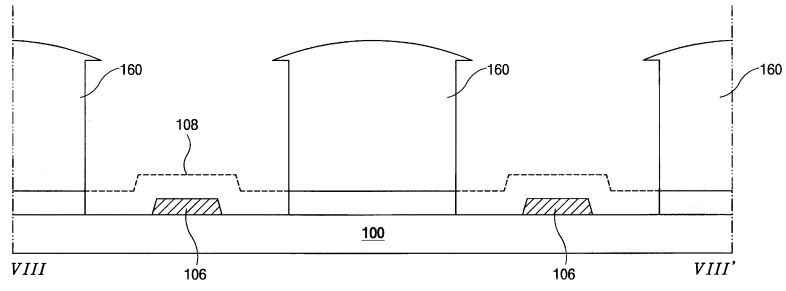
도면8e



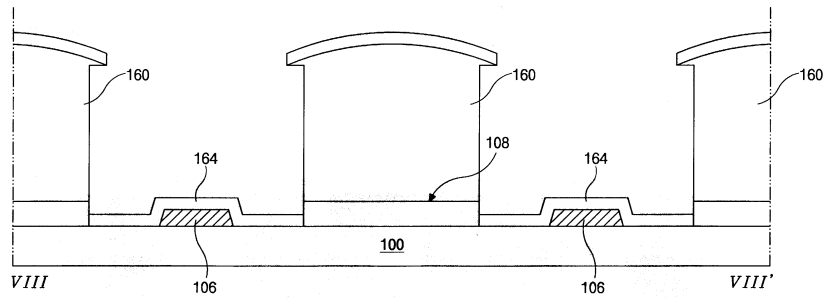
도면8f



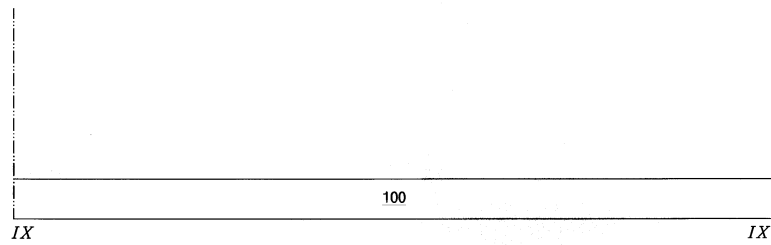
도면8g



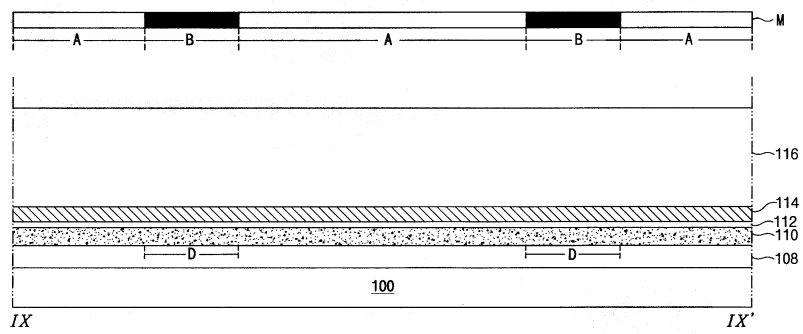
도면8h



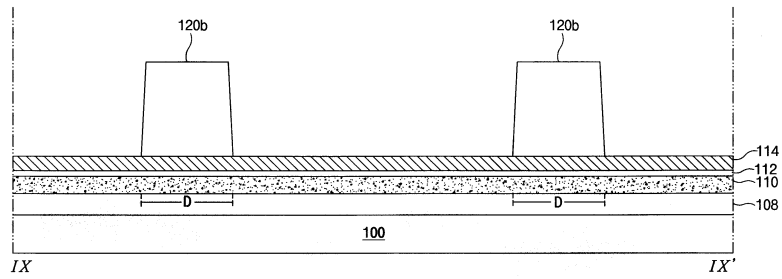
도면9a



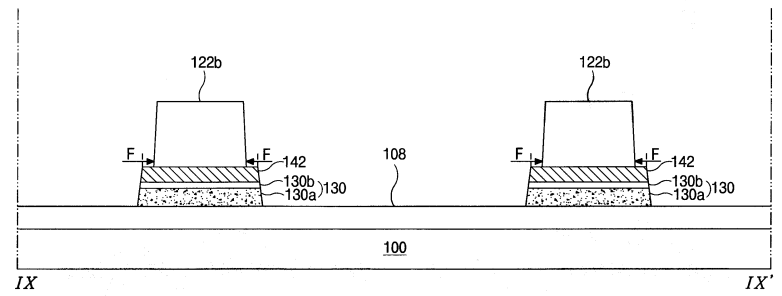
도면9b



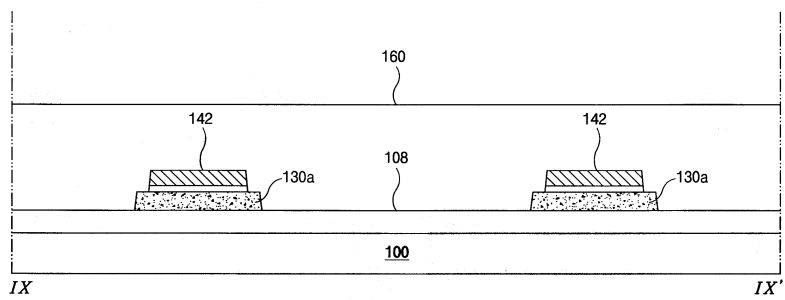
도면9c



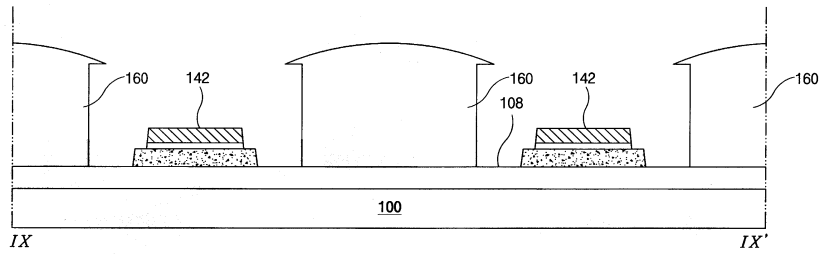
도면9d



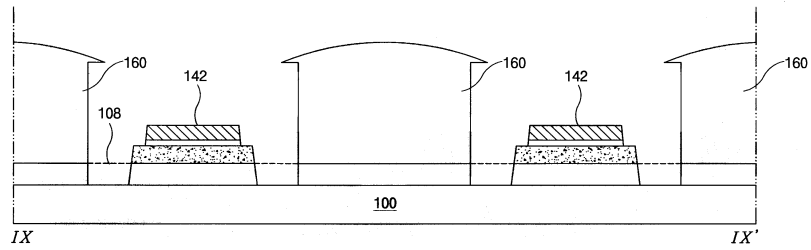
도면9e



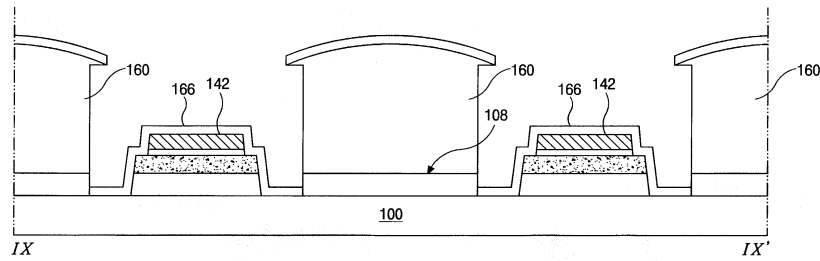
도면9f



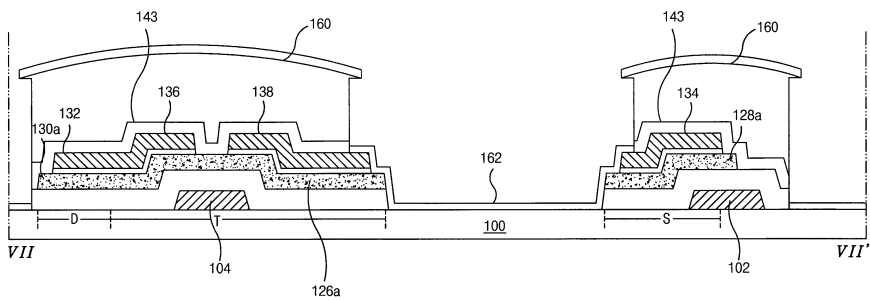
도면9g



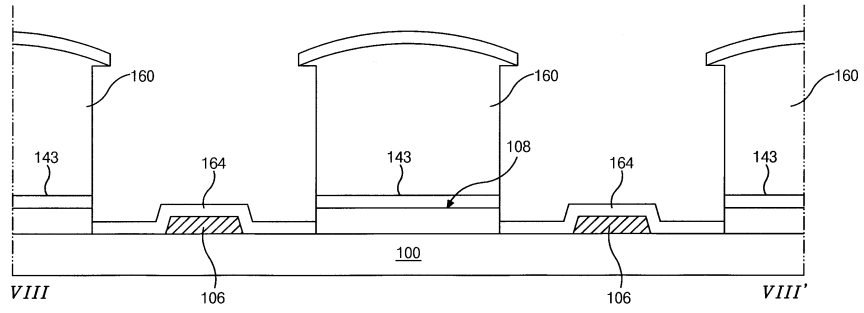
도면9h



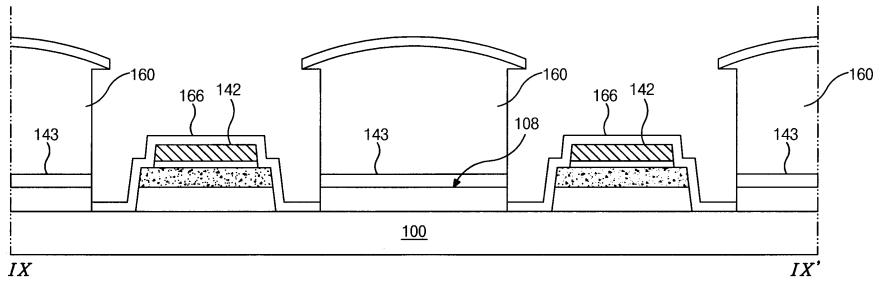
도면10



도면11



도면12



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR100971955B1	公开(公告)日	2010-07-23
申请号	KR1020030065240	申请日	2003-09-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHANG YOUN GYOUNG 장윤경 CHO HEUNG LYUL 조흥렬 YOO SOON SUNG 류순성		
发明人	장윤경 조흥렬 류순성		
IPC分类号	G02F1/136 G02F1/1345 G02F1/1362 G02F1/1368 G09F9/30 G09F9/35		
CPC分类号	G02F2001/136236 G02F1/13458 G02F1/136227		
优先权	1020020069578 2002-11-11 KR		
其他公开文献	KR1020040041491A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置，更具体地，涉及制造用于液晶显示装置的阵列基板的方法。本发明涉及一种使用三掩模工艺制造用于液晶显示(LCD)器件的阵列基板的方法，其中通过第一掩模工艺形成栅电极，栅极布线和栅极焊盘，第二掩模工艺(半色调掩模使用)与和防护膜的由所述图案作为掩模后形成有源层和源电极和漏电极以及数据线，所述数据焊盘电极，所述第三掩模工艺，像素电极，和其栅极连接到一个保护膜焊盘电极和数据焊盘电极形成栅极焊盘电极端子和数据焊盘电极端子。第三掩模工艺中，如上所述，当用于根据制造过程中的时间的液晶显示阵列基板可以在同一时间被缩短降低制造成本这样做，以提高成品率和增加的价格竞争力的优点有。

