



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월27일
(11) 등록번호 10-0923701
(24) 등록일자 2009년10월20일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2002-0087881

(22) 출원일자 2002년12월31일

심사청구일자 2007년12월10일

(65) 공개번호 10-2004-0061601

(43) 공개일자 2004년07월07일

(56) 선행기술조사문헌

KR100430084 B1

KR1020010103430 A

KR100792466 A

전체 청구항 수 : 총 6 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김세준

서울특별시용산구동빙고동32-15

박승렬

인천광역시연수구청학동469-325/2

(74) 대리인

특허법인네이트

심사관 : 윤성주

(54) 액정표시장치용 어레이기판과 그 제조방법

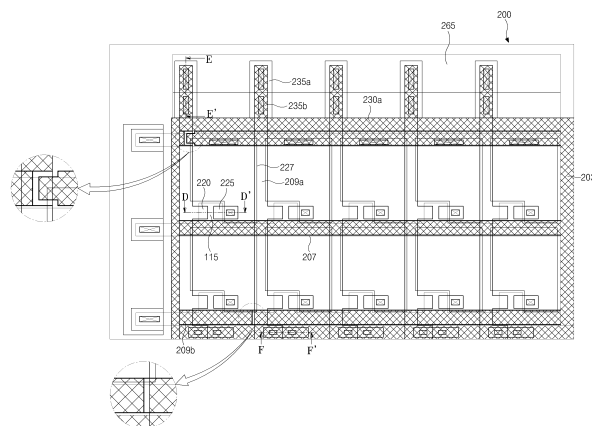
(57) 요약

본 발명은 액정표시장치에 관한 것으로, 게이트 또는 데이터 리페어 배선을 갖는 TOC 구조 액정표시장치의 어레이 기판에 관한 것이다.

본 발명에 따른 액정표시장치의 어레이 기판은 상기 기판의 최하부에 형성되는 BM패턴을 게이트 리페어 배선 또는 데이터 리페어 배선으로 이용하여 게이트 배선 또는 데이터 배선의 단선으로 인한 배선 오픈 불량을 방지 할 수 있다.

상기 BM패턴의 리페어 배선이 형성된 어레이 기판은 기존 TOC 공정에 추가공정 없이 형성이 가능하다.

대표도 - 도11



특허청구의 범위

청구항 1

절연기관과;

리페어 배선을 포함하는 블랙매트릭스(BM) 패턴과;

상기 BM 패턴 상부에 컬러필터 패턴층과;

상기 컬러필터 패턴층 상부에 평탄화막과;

상기 평탄화막 상부에 위치하고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과;

상기 게이트 패드 및 게이트 배선의 상부에 위치하는 게이트 절연막과;

상기 게이트 배선과 상기 게이트 절연막을 사이에 두고 수직하게 교차하여, 화소영역을 정의하고 일 끝단에 데이터 패드를 포함하는 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터와;

상기 박막 트랜지스터가 형성된 기관의 전면에 위치하고, 상기 게이트 패드와 데이터 패드를 노출하는 보호층과;

상기 드레인 전극과 접촉하면서 화소영역마다 독립적으로 패터닝된 화소전극

을 포함하는 액정표시장치용 어레이기관.

청구항 2

절연기관 상에 형성되며 제 1 방향으로 형성된 제 1 및 제 2 BM 패턴과, 상기 제 1 및 제 2 BM 패턴의 양단을 연결하며 상기 제 1 방향에 수직한 제 2 방향으로 형성되는 제 3 및 제 4 BM 패턴과, 상기 제 1 및 제 2 BM 패턴과 평행하며 일정간격 이격하여 일끝이 게이트 패드부까지 연장되고, 타끝이 제 4 BM 패턴과 접촉되도록 형성되는 복수개의 제 1 방향의 게이트 리페어 BM 패턴을 형성하는 단계와;

상기 BM 패턴 위로 컬러필터 패턴을 형성하는 단계와;

상기 컬러필터 패턴 위로 평탄화막을 형성하는 단계와;

패드부의 평탄화막을 제거하고, 상기 제 4 BM 패턴에 있어, 일정간격으로 상기 평탄화막을 식각하여 상기 제 4 BM 패턴의 일부를 노출하는 단계와;

상기 평탄화막 위로 상기 게이트 리페어 BM 패턴과 중첩되고, 그 일 끝에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 상기 게이트 패드가 형성된 상기 기관의 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 게이트 배선과 수직하게 교차하면서 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 상기 데이터 배선의 교차지점에, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계와;

상기 박막 트랜지스터가 형성된 상기 기관의 전면에 보호층을 형성하는 단계와;

상기 보호층을 패터닝하여, 상기 드레인 전극 일부와 상기 패드부를 노출하는 단계와;

상기 노출된 드레인 전극과 접촉하는 화소전극 및 상기 패드부에 패드 전극과 접촉하는 금속패턴을 형성하고, 상기 게이트 배선과 그 하부에 중첩되어 위치하는 상기 게이트 리페어 BM 패턴을 연결하는 단계

를 포함하는 액정표시장치용 어레이기관 제조방법.

청구항 3

제 2 항에 있어서,

상기 게이트 배선은 그 타끝이 상기 제 4 BM 패턴과 중첩하며 상기 제 2 방향으로 그 일부가 연장되어 형성되고, 콘택홀을 통해 상기 제 4 BM 패턴과 연결되며, 그 끝이 근처의 상기 게이트 배선과는 연결되지 않는 것이 특징인 액정표시장치용 어레이기판 제조방법.

청구항 4

절연 기판 상에 제 1 방향으로 그 중간부분이 일정간격 이격하며 형성되는 복수개의 BM 패턴과, 상기 제 1 방향에 수직한 제 2 방향으로 끊임없이 일끝이 데이터 패드부까지 연장되는 데이터 리페어 BM 배선을 포함하는 복수개의 BM 패턴을 형성하는 단계와;

상기 BM 패턴 위로 컬러필터 패턴층을 형성하는 단계와;

상기 컬러필터 패턴층 위로 평탄화막을 형성하는 단계와;

패드부의 평탄화막을 제거하고, 상기 데이터 패드부에서 가장 멀리 위치하는 제 1 방향의 하측 테두리 BM 패턴에 있어, 일정간격으로 상기 평탄화막을 식각하여 상기 BM 패턴을 노출하는 단계와;

상기 평탄화막 위로 그 일 끝에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 게이트 패드가 형성된 기판의 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 게이트 배선과 수직하게 교차하면서 일 끝단에 제 1 및 제 2 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 상기 데이터 배선의 교차지점에, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계와;

상기 박막 트랜지스터가 형성된 상기 기판의 전면에 보호층을 형성하는 단계와;

상기 보호층을 패터닝하여, 상기 드레인 전극 일부와 상기 패드부를 노출하는 단계와;

상기 노출된 상기 드레인 전극과 접촉하는 화소전극 및 상기 패드부에 패드 전극과 접촉하는 금속패턴을 형성하고, 상기 데이터 배선과 그 하부에 중첩되어 위치하는 상기 데이터 리페어 BM 패턴을 연결하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 5

제 4 항에 있어서,

상기 데이터 패드부에서 가장 멀리 위치하는 제 1 방향의 최하측 BM패턴 상에는 상기 제 1 방향의 최하측 BM패턴과 접촉하며 화소 폭보다 작게 일정간격 이격하며 복수개의 금속패턴이 형성되는 것이 특징인 액정표시장치용 어레이기판 제조방법.

청구항 6

제 4 항에 있어서,

상기 데이터 배선은 상기 패드부 타측 끝이 상기 데이터 패드부에서 가장 멀리 위치하는 제 1 방향의 최하부 BM 패턴과 중첩하며 상기 제 1 방향으로 그 일부가 연장되고, 그 끝이 근처의 데이터 배선과는 연결되지 않으며, 상기 제 1 방향의 최하부 BM패턴 상의 금속패턴과 접촉하며 형성되는 것이 특징인 액정표시장치용 어레이기판 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 액정표시장치에 관한 것으로, BM을 이용한 리페어 배선을 포함하는 TOC(TFT array on Color filter) 구조 액정표시장치와 그 제조방법에 관한 것이다.
- <18> 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- <19> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <20> 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- <21> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- <22> 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <23> 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <24> 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- <25> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 소스 및 드레인 금속층(30)을 사용한다.
- <26> 이때, 상기 소스 및 드레인 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- <27> 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- <28> 전술한 문제를 해결하고자 컬러필터와 박막 트랜지스터를 한 기판에 구성하여 합착 오차 및 빛샘 불량의 발생 문제를 해결하였다.
- <29> 이하, 상기 TOC구조 액정표시장치의 어레이 기판에 대해 설명한다.
- <30> 도 2에 도시한 바와 같이, 제 1 방향으로 게이트 배선(53)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(57)이 형성되어 있으며, 게이트 배선(53) 및 데이터 배선(57)이 교차하여 화소영역(P)을 정의한다.
- <31> 상기 게이트 배선(53) 및 데이터 배선(57)의 일끝단에는 각각 게이트 패드(60) 및 데이터 패드(63)가 형성되어 있다.
- <32> 상기 게이트 배선(53) 및 데이터 배선(57)이 교차되는 지점에는 박막트랜지스터가 형성되어 있고, 박막트랜지스터와 연결되어 화소 전극(70)이 형성되어 있다.
- <33> 상기 박막트랜지스터에는, 상기 게이트 배선(53)에서 분기된 게이트 전극(55)과, 상기 데이터 배선(57)에서 분기된 소스 전극(65)과, 상기 소스 전극(65)과 일정간격 이격된 드레인 전극(67)으로 이루어진다.
- <34> 상기 화소 전극(70)은 전단 게이트 배선(53)과 일부 중첩되게 구성되고, 상기 화소 전극(70)과 중첩되는 게이트 배선(53) 영역은 캐패시터 전극을 이루고 있다. 그리고, 도면에서 빗금친 영역은 블랙매트릭스(45) 형성부에 해당되며, 상기 블랙매트릭스(45)는 게이트 배선(53) 및 데이터 배선(57) 그리고, 박막트랜지스터를 덮는 영역 및 화소 전극(70)의 테두리부를 덮는 영역에 위치하고, 화소 영역(P)의 메인 영역을 노출시킨다.
- <35> 도 3 내지 5는 도 2의 I-I', II-II', III-III'에 따라 절단한 공정 단면도이다.
- <36> 도시한 바와 같이, 투명한 절연기판(40) 위에 빗샘을 방지하는 BM패턴(45)이 형성되어 있고, 상기 BM패턴(45)위

로 경계를 이루는 적(R), 녹(G), 청(B)의 칼라 필터 패턴(47)과 상기 칼라 필터 패턴(47) 위로 투명 유기 절연물의 평탄화막(49)이 형성되어 있다. 상기 평탄화막(49) 상부에는 금속과 같은 도전 물질로 게이트 전극(55a)이 형성되어 있으며, 게이트 절연막(56)이 게이트 전극(55a)을 덮고 있다. 게이트 전극(55a) 상부의 게이트 절연막(56) 위에는 액티브층(59a)을 이루는 반도체층(59)이 형성되어 있으며, 상기 반도체층(59) 상부에는 소스 및 드레인 전극(65, 67)이 형성되어 있는데, 소스 및 드레인 전극(65, 67)은 게이트 전극(55a)과 함께 박막 트랜지스터를 이룬다. 이어, 소스 및 드레인 전극(65, 67) 위에는 드레인 전극(67)을 노출시키는 드레인 전극 콘택홀(68)을 갖는 보호층(69)이 형성되어 있으며, 상기 보호층(69) 위로 투명 도전 물질로 이루어진 화소 전극(70)이 형성되어 있는데, 상기 화소 전극(70)은 드레인 전극 콘택홀(68)을 통해 드레인 전극(67)과 연결되어 있다.

<37> 게이트 패드(60) 및 데이터 패드(63)에 대해 설명하면, 상기 게이트 및 데이터 패드(60, 63)에는 컬러필터 및 평탄화층이 형성되지 않는다. 게이트 패드(60)에 있어서, 기판(40) 상에 게이트 전극(55a)을 이루는 물질로써 게이트 패드 전극(55b)이 형성되어 있고, 상기 게이트 패드 전극(55b)위로 게이트 절연막(56)이 형성되어 있으며, 상기 게이트 절연막(56) 위로 보호층(69)이 형성되며, 상기 보호층(69) 및 게이트 절연막(56)이 식각되어 상기 게이트 패드 전극(55b)을 노출시키며, 그 위로 금속패턴(71a)이 상기 보호층(69) 일부와 노출된 게이트 패드 전극(55b)과 접촉하며 형성되어 있다.

<38> 데이터 패드(63)에 있어서, 기판(40)상에 게이트 절연막(56)이 형성되어 있으며, 상기 게이트 절연막(56) 위로 데이터 패드 전극(66)과 상기 데이터 패드 전극(66) 위로 보호층(69)이 형성되어 있으며, 상기 보호층(69)은 식각되어, 데이터 패드 전극(66)을 노출시키며, 상기 노출된 데이터 패드 전극(66)과 보호층(69) 일부에 접촉하며 금속패턴(71b)물질이 형성되어 있다.

발명이 이루고자 하는 기술적 과제

<39> 본 발명은 종래의 TOC 구조에 있어서, 별도의 마스크 추가없이 기판의 최하부에 형성되는 금속 BM을 이용하여 상기 BM을 게이트 패드 부위까지 연장하고 동시에 각 게이트 배선별로 BM을 분리하여 구성함으로써 전기적으로 분리되도록 하여 게이트 배선과 데이터 배선을 리페어 할 수 있는 구조를 형성하는 것이다.

발명의 구성 및 작용

<40> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 절연기판과; 리페어 배선을 포함하는 블랙매트릭스(BM) 패턴과; 상기 BM 패턴 상부에 컬러필터 패턴층과; 상기 컬러필터 패턴층 상부에 평탄화막과; 상기 평탄화막 상부에 위치하고, 일 끝단에 게이트 패드를 포함하는 게이트 배선과; 상기 게이트 패드 및 게이트 배선의 상부에 위치하는 게이트 절연막과; 상기 게이트 배선과 상기 게이트 절연막 사이에 두고 수직하게 교차하여, 화소영역을 정의하고 일 끝단에 데이터 패드를 포함하는 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터와; 상기 박막 트랜지스터가 형성된 기판의 전면에 위치하고, 상기 게이트 패드와 데이터 패드를 노출하는 보호층과; 상기 드레인 전극과 접촉하면서 화소영역마다 독립적으로 패터닝된 화소전극을 포함하는 액정표시장치용 어레이기판을 제공한다.

본 발명에 따른 액정표시장치용 어레이 기판의 제조방법은 절연기판 상에 형성되며 제 1 방향으로 형성된 제 1 및 제 2 BM 패턴과, 상기 제 1 및 제 2 BM 패턴의 양단을 연결하며 상기 제 1 방향에 수직한 제 2 방향으로 형성되는 제 3 및 제 4 BM 패턴과, 상기 제 1 및 제 2 BM 패턴과 평행하며 일정간격 이격하여 일끝이 게이트 패드부까지 연장되고, 타끝이 제 4 BM 패턴과 접촉되도록 형성되는 복수개의 제 1 방향의 게이트 리페어 BM 패턴을 형성하는 단계와; 상기 BM 패턴 위로 컬러필터 패턴을 형성하는 단계와; 상기 컬러필터 패턴 위로 평탄화막을 형성하는 단계와; 패드부의 평탄화막을 제거하고, 상기 제 4 BM 패턴에 있어, 일정간격으로 상기 평탄화막을 식각하여 상기 제 4 BM 패턴의 일부를 노출하는 단계와; 상기 평탄화막 위로 상기 게이트 리페어 BM 패턴과 중첩되고, 그 일 끝에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 상기 게이트 패드가 형성된 상기 기판의 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 게이트 배선과 수직하게 교차하면서 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 상기 데이터 배선의 교차지점에, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계와; 상기 박막 트랜지스터가 형성된 상기 기판의 전면에 보호층을 형성하는 단계와; 상기 보호층을 패터닝하여, 상기 드레인 전극 일부와 상기 패드부를 노출하는 단계와; 상기 노출된 드레인 전극과 접촉하는 화소전극 및 상기 패드부에 패드 전극과 접촉하는 금속패턴을 형성하고, 상기 게이트 배선과 그 하부에 중첩되어 위치하는 상기 게이트 리페어 BM 패턴을 연결하는 단계를 포함하는 액정표시장치용 어레이

기관 제조방법을 제공한다.

상기 게이트 배선은 그 타끝이 상기 제 4 BM 패턴과 중첩하며 상기 제 2 방향으로 그 일부가 연장되어 형성되고, 콘택홀을 통해 상기 BM 패턴과 연결되며, 그 끝이 근처의 상기 게이트 배선과는 연결되지 않는 것이 특징으로 한다.

<41> 삭제

<42> 삭제

<43> 본 발명에 따른 또 다른 액정표시장치용 어레이 기관의 제조방법은 절연 기관 상에 제 1 방향으로 그 중간부분이 일정간격 이격하며 형성되는 복수개의 BM 패턴과, 상기 제 1 방향에 수직한 제 2 방향으로 끊임없이 일끝이 데이터 패드부까지 연장되는 데이터 리페어 배선을 포함하는 복수개의 BM 패턴을 형성하는 단계와; 상기 BM 패턴 위로 컬러필터 패턴을 형성하는 단계와; 상기 컬러필터 패턴층 위로 평탄화막을 형성하는 단계와; 패드부의 평탄화막을 제거하고, 상기 데이터 패드부에서 가장 멀리 위치하는 제 1 방향의 하측 테두리 BM 패턴에 있어, 일정간격으로 상기 평탄화막을 식각하여 상기 BM 패턴을 노출하는 단계와; 상기 평탄화막 위로 그 일 끝에 게이트 패드를 포함하는 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 게이트 패드가 형성된 기관의 전면면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 게이트 배선과 수직하게 교차하면서 일 끝단에 제 1 및 제 2 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 상기 데이터 배선의 교차지점에, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계와; 상기 박막 트랜지스터가 형성된 상기 기관의 전면면에 보호층을 형성하는 단계와; 상기 보호층을 패터닝하여, 상기 드레인 전극 일부와 상기 패드부를 노출하는 단계와; 상기 노출된 상기 드레인 전극과 접촉하는 화소전극 및 상기 패드부에 패드 전극과 접촉하는 금속패턴을 형성하고, 상기 데이터 배선과 그 하부에 중첩되어 위치하는 상기 데이터 리페어 BM 패턴을 연결하는 단계를 포함하는 액정표시장치용 어레이기관 제조방법을 제공한다.

상기 데이터 패드부에서 가장 멀리 위치하는 제 1 방향의 최하측 BM패턴 상에는 상기 BM과 접촉하며 화소 폭보다 작게 일정간격 이격하며 복수개의 금속패턴이 형성되는 것이 특징으로 하며, 상기 데이터 배선은 상기 패드부 타측 끝이 상기 데이터 패드부에서 가장 멀리 위치하는 제 1 방향의 최하부 BM패턴과 중첩하며 상기 제 1 방향으로 그 일부가 연장되고, 그 끝이 근처의 데이터 배선과는 연결되지 않으며, 상기 BM패턴 상의 금속패턴과 접촉하며 형성되는 것이 특징으로 한다.

<44> 삭제

<45> 삭제

<46> 이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.

<47> <제 1 실시예>

<48> 제 1 실시예는 게이트 배선을 리페어 할 수 있는 TOC구조로 형성된다.

<49> 도 6은 게이트 패드와 데이터 패드를 및 게이트 배선의 리페어를 위한 BM을 포함하는 어레이 기관의 평면도이며, 도 7은 BM 공정만 실시했을 경우 BM 리페어 패턴을 나타낸 도면이다.

<50> 기관(100) 상에 BM패턴 형성 시, 상기 BM패턴(103a, 103b)을 게이트 패드(160)까지 연장하여 형성하였으며, 전기적 분리를 위해 테두리의 종방향의 BM패턴(103b)에 있어, 화소단위로 끊겨 형성된다. 즉, 테두리의 종방향으로의 BM패턴(103b)은 화소를 이를 부분별로 독립되도록 형성하고, 게이트 배선(107a) 하부의 횡방향 BM 패턴(103a)은 끊임없이 연결되어 형성된다. 즉, 상기 횡방향의 BM패턴(103a)은 게이트 배선(107a)과 중첩되어 형성되어 있으며, 게이트 배선(107a)과 데이터 배선(109)이 교차하여 정의되는 화소영역(P) 상의 화소전극(127)은 양 옆에 위치하는 데이터 배선(109)과 중첩되어 형성한다. 이는 고개구율 확보를 위함이다. 또한 상기 화

소전극(127)은 게이트 배선(107a)과도 일부 중첩하며, 게이트 배선(107a)상의 스토리지 전극과 접촉하고 있으며, 드레인 전극(125)과도 콘택홀을 통해 접촉하도록 형성된다.

<51> 본 발명의 제 1 실시예에 의한 TOC 구조 하부기판에 있어 가장 특징적인 것은 게이트 패드 타측의 테두리 BM패턴(103b)과 일부가 상기 종방향의 테두리 BM패턴(103b)을 따라 수직으로 연장되어 중첩되어 형성된다. 이때 상기 BM패턴(103b)과 중첩하며 연장되는 종방향 게이트 배선(107b)은 상기 게이트 배선(107b) 주위의 게이트 배선 연장부분과는 연결되지 않는다.

<52> 도 8a 내지 8a와 도 9a 내지 9f와 도 10a 내지 10f는 도 6의 절단선 A-A', B-B', C-C'에 따른 공정 단면도이다. 상기 도면을 참조하여 제조 방법에 대해 설명한다.

<53> 우선, 도 8a와 9a, 10a에 도시한 바와 같이, 절연기판(100)에 전도성을 갖는 크롬(Cr)을 증착하고 마스크 공정을 진행하여 BM패턴(103a, 103b)을 형성한다. 상기 BM패턴(103a, 103b)은 빛샘방지 및 본 발명에 의해 게이트 배선의 리페어 배선의 기능을 포함한다. 이후 상기 BM패턴(103a, 103b) 위로 적, 녹, 청의 컬러필터 패턴(110)을 형성하고, 상기 컬러필터 패턴(110) 위로 투명 유기 절연물의 평탄화막(112)을 형성한다. 이때 상기 평탄화막(112)은 패드부에 있어서 상기 패턴 제작후 외부 구동회로인 PCB(Printed circuit board) 부착시 문제가 될 수 있으므로 제거되며, 테두리의 종방향 BM패턴(103b)에 있어서도, 상기 BM패턴(103b)을 노출시키기 위해 평탄화막(112) 일부가 제거된다.

<54> 다음으로, 도 8b와 9b, 10b에 도시한 바와 같이, 상기 평탄화막(112)이 형성된 기판(100)에 금속물질을 전면 증착하고 마스크 공정을 진행하여 게이트 전극(115a)을 형성한다. 이때, 게이트 패드부에 있어서, 상기 노출된 BM패턴(103a) 위로 게이트 전극(115a)을 이룬 금속물질이 패터닝되어 게이트 패드 전극(115b)을 형성하고, 테두리 종방향 BM패턴(103b)에 있어서, 평탄화막(112) 일부가 제거되어 노출된 BM패턴(103b)과 접촉하며 게이트 배선(115c)이 연장되어 형성된다. 이후 상기 게이트 전극(115a)을 포함하여 게이트 배선(115c) 및 게이트 패드 전극(115b) 위로 질화실리콘 등의 무기물질을 증착하여 게이트 절연막(116)을 형성한다.

<55> 다음으로 도 8c와 9c, 10c에 도시한 바와 같이, 상기 게이트 절연막(116) 위로 비정질 실리콘인 액티브층(117a)과 불순물이 포함된 비정질 실리콘인 오믹콘택층(117b)의 반도체층(117)을 형성한다. 여기서, 실리콘층을 증착하고 패터닝하여 액티브층(117a)을 형성하고 액티브층(117a)에 불순물인 인(Phosphorus)이나 붕소(Boron)로 이온도핑하여 오믹콘택층(117b)을 형성한다.

<56> 다음으로, 상기 오믹콘택층(117b)상부에 소스 전극(120)과 드레인 전극(125)을 형성한다. 여기서, 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu)를 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 마스크 공정을 통하여 패터닝하여 소스 및 드레인 전극(120, 125)을 형성한다. 한편, 액티브층(117a)과 오믹콘택층(117b)을 형성하고, 그 위에 소스 및 드레인 전극(120, 125)을 형성한 다음, 소스 및 드레인 전극(120, 125) 사이에 이격된 영역에서 노출된 오믹콘택층(117b)을 제거하여 그 하부에 액티브층(117a)을 노출하여 채널영역을 형성한다. 이후 상기 소스 및 드레인 전극(120, 125) 위로 벤조사이클로부텐(BCB)등의 유기물질을 전면 도포하여 보호층(140)을 형성한다. 이때 상기 보호층(140)은 패드부 및 테두리의 BM패턴(103a) 상에도 형성된다.

<57> 다음으로, 도 8d와 9d, 10d에 도시한 바와 같이, 상기 보호층(140) 상에 마스크 공정을 실시하여 드레인 전극(125)을 노출시키는 드레인 콘택홀(150) 및 게이트 패드 전극(115b)을 노출시키는 게이트 패드 콘택홀(153)을 형성한다. 이후 상기 콘택홀(150, 153)이 형성된 기판(100)에 투명도전성 물질인 ITO등을 전면 증착하고, 패터닝하여 드레인 콘택홀(150)을 통해 드레인 전극(125)과 접촉하는 화소전극(127)을 형성하고, 동시에 게이트 패드 전극(115b)과 접촉하여 연결하는 게이트 패드 전극 패턴을 형성한다.

<58> 전술한대로 제조된 본 발명에 제 1 실시예에 의한 BM으로써 형성한 게이트 리페어 배선을 갖는 TOC 구조 액정표시장치의 하부기판은 게이트 배선과 상기 게이트 배선 하부의 BM패턴이 전기적으로 연결되어 있으므로, 상기 게이트 배선이 단선또는 단락발생 시 야기되는 게이트 라인 불량을 방지 할 수 있다. 즉, 게이트 배선이 단선되면 상기 단선이 이루어진 화소 이후의 화소들은 전기 공급이 되지 않으므로 화소가 죽는 라인 오프(off) 불량이 발생하지만, BM의 리페어 배선을 통해 전기가 공급되어 라인 오픈 불량을 방지 할 수 있다.

<59> <제 2 실시예>

<60> 제 2 실시예는 데이터 배선을 리페어 할 수 있는 TOC구조로 형성된다.

<61> 도 11은 게이트 패드와 데이터 패드 및 게이트 배선의 리페어를 위한 BM을 포함하는 하부기판의 평면도이며, 도 12는 BM 공정만 실시했을 경우 BM 리페어 배선을 나타낸 도면이다.

- <62> 기판(200) 상에 BM패턴(203a, 203b) 형성 시, 상기 BM패턴(203a, 203b)을 데이터 패드부(260)까지 연장하여 형성하였으며, 전기적 분리를 위해 게이트 배선(207) 하부에 위치하는 횡방향 BM패턴(203a)에 있어, 화소별로 BM패턴(203a)이 화소단위로 끊겨 형성된다. 즉, 데이터 배선(209a) 하부의 종방향 BM패턴(203b)은 전기적으로 연결되도록 중간에 끊김이 없도록 연결하여 형성하고, 게이트 배선(207) 하부에 위치하는 횡방향 BM패턴(203a)은 전기적으로 연결되지 않도록 화소별로 끊어서 형성하여 단지 빔샘방지 역할만을 하도록 형성된다.
- <63> 또한, 게이트 배선(207)과 데이터 배선(209a)이 교차하여 정의되는 화소영역(P) 상의 화소전극(227)은 고개구를 확보를 위해 양 옆에 위치하는 데이터 배선(209a)과 중첩되어 형성한다. 또한, 상기 화소전극(227)은 게이트 배선(207)과도 일부 중첩하며, 게이트 배선(207)상의 스토리지 전극과 접촉하고 있으며, 드레인 전극(225)과도 드레인 콘택홀을 통해 접촉하도록 형성된다. 또한 데이터 배선(209a)은 데이터 패드(235a) 끝에서 연결되어 액티브 영역 끝까지 형성되며, 그 끝은 횡방향 BM 테두리 부분으로 수직으로 꺾여 일부 연장되어 형성된다. 상기 연장된 데이터 배선(209b)은 콘택홀을 통해 횡방향 테두리 BM패턴(203a)과 연결되어 있다.
- <64> 상기 TOC구조 액정표시장치의 하부기판에 있어서, 특징적인 부분은 제 1 데이터 패드(235a) 및 제 2 데이터 패드(235b)를 가지며, 상기 데이터 패드부(265) 타측 즉, 액티브 영역 하부의 횡방향 BM 테두리에 데이터 배선(209b)과 BM패턴을 콘택홀을 통해 연결시키는 구조로 형성되는 것이다.
- <65> 도 13a 내지 13d와 도 14a 내지 14d와 도 15a 내지 15f는 도 11의 절단선 D-D', E-E', F-F'에 따른 공정 단면도이다. 상기 도면을 참조하여 제조 방법에 대해 설명한다.
- <66> 우선, 도 13a와 14a, 15a에 도시한 바와같이, 절연기판(200)에 금속재질 예를들면 크롬(Cr)을 증착하고 마스크 공정을 진행하여 BM패턴(203a, 203b)을 형성한다. 상기 BM패턴(203a, 203b)은 빔샘방지 및 본 발명에 의해 데이터 배선의 리페어 배선의 기능을 포함한다. 이후 상기 BM패턴(203a, 203b) 위로 적, 녹, 청의 컬러필터 패턴(210)을 형성하고, 상기 컬러필터 패턴(210) 위로 투명 유기 절연물의 평탄화막(212)을 형성한다. 이때 상기 평탄화막(212)은 패드부(260, 265)에 있어서 상기 패널 제작후, PCB부착시 문제가 될 수 있으므로 제거되며, 하부 테두리의 BM패턴(203a)에 있어서도 상기 BM패턴(203a)을 노출시키기 위해 평탄화막(212) 일부가 패터닝 되어 제거된다.
- <67> 다음으로, 도 13b와 14b, 15b에 도시한 바와 같이, 상기 평탄화막(212)이 형성된 기판(200)에 금속물질층을 전면 증착하고 마스크 공정을 진행하여 게이트 전극(215a)을 형성한다. 이때, 제 1 데이터 패드(235a)에 있어서, 노출된 BM패턴(203b)위로 게이트 전극(215b)의 금속물질이 패터닝되어 형성되며, 상기 제 1 데이터 패드(235a)의 액티브 영역 사이의 패드부 연결 부분에 있어서도 일부의 평탄화막(212)이 제거된다. 상기 제거된 부분은 추후 BM패턴(203b)과 접촉하는 콘택홀이 형성된다. 하부 테두리 BM패턴(203a)에 있어서 평탄화막(212) 일부가 제거되어 노출된 BM패턴(203a)과 접촉하며 게이트 전극(215a) 형성과 동시에 금속 패턴이 형성된다. 이후, 상기 게이트 전극(215a)을 포함하여 기판(200) 전면에서 질화실리콘 등의 무기물질을 증착하여 게이트 절연막(216)을 형성한다.
- <68> 다음으로 도 13c와 14c, 15c에 도시한 바와 같이, 상기 게이트 절연막(216) 위로 비정질 실리콘인 액티브층(217a)과 불순물이 포함된 비정질 실리콘인 오믹콘택층(217b)의 반도체층(217)을 형성한다. 여기서, 실리콘층을 증착하고 패터닝하여 액티브층(217a)을 형성하고, 상기 액티브층(217a)에 불순물인 인(Phosphorus)이나 붕소(Boron)로 이온도핑하여 오믹콘택층(217b)을 형성한다.
- <69> 다음으로, 상기 오믹콘택층(217b)상부에 소스 전극(220)과 드레인 전극(225)을 형성한다. 여기서, 금속물질층을 증착하고 마스크 공정을 통하여 패터닝하여 소스 및 드레인 전극(220, 225)을 형성한다. 한편, 액티브층(217a)과 오믹콘택층(217b)을 형성하고, 그 위에 소스 및 드레인 전극(220, 225)을 형성한 다음, 소스 및 드레인 전극(220, 225) 사이에 이격된 영역에서 노출된 오믹콘택층(217b)을 제거하여 그 하부에 액티브층(217a)을 노출하여 채널영역을 형성한다. 데이터 패드부(265)에 있어서, 게이트 절연막(216) 위로 소스 전극(220)을 포함하는 데이터 배선(209a)이 형성된다. 또한 데이터 배선(209a) 끝의 테두리 BM패턴(203a)과 연결된 데이터 배선(209b)에 있어서, 상기 데이터 배선(209b)이 하부 테두리 BM패턴(103a)과 접촉하며 형성된 금속패턴 부분과 게이트 절연막(116)을 사이에 두고 일부 중첩되어 형성된다. 이후 상기 소스 및 드레인 전극(220, 225) 위로 벤조사이클로부텐(BCB)등의 유기물질을 전면 도포하여 보호층(240)을 형성한다.
- <70> 다음으로, 도 13d와 14d, 15d에 도시한 바와 같이, 상기 보호층(240) 상에 마스크 공정을 실시하여 드레인 전극(225)을 노출시키는 드레인 콘택홀(250) 및 제 1 및 제 2 데이터 패드 전극(215b, 209a)을 노출시키는 데이터 패드 콘택홀(204b, 204c)을 형성한다. 이후 상기 콘택홀(204b, 204c)이 형성된 기판(200)에 투명도전성 물질인

ITO등을 전면에 증착하고, 패터닝하여 드레인 콘택홀(250)을 통해 드레인 전극(225)과 접촉하는 화소전극(227)을 형성하고, 동시에 제 1 및 제 2 데이터 패드 전극(215b, 209a)과 접촉하여 연결하는 데이터 패드 금속패턴(228)을 형성한다. 데이터 패드 금속패턴(228)은 데이터 패드부(265)에 형성되는 제 1 데이터 패드 전극(215b)과 데이터 패드 연결부에 형성되는 제 2 데이터 패드 전극(209a)과 연결되어 형성된다.

<71> 전술한대로 제조된 본 발명에 제 2 실시예에 의한 BM패턴으로써 형성한 데이터 리페어 배선을 갖는 TOC 구조 액정표시장치의 어레이기판은 데이터 배선과 상기 데이터 배선 하부의 BM패턴이 제 1 및 제 2 데이터 패드 전극을 통해 연결되고, 데이터 배선의 하부끝은 상기 하부 끝에 형성된 데이터 배선 콘택홀과 테두리 횡방향 BM패턴과 접촉하며 형성된 데이터 금속패턴 상에 형성된 콘택홀을 통해 투명금속으로 연결되어 등전위의 데이터 배선과 BM 리페어 배선을 형성한다. 따라서, 상기 데이터 배선이 단선 또는 단락 발생 시 야기되는 데이터 배선 불량을 방지 할 수 있다. 즉, 데이터 배선이 단선되면 상기 단선이 이루어진 화소 이후의 화소들은 전기 공급이 되지 않으므로 화소 라인 오프(off) 불량이 발생하지만, 상기 데이터 배선 하부의 BM 리페어 배선을 통해 전기가 공급되어 전기적으로 연결되므로 라인 오프 불량을 방지 할 수 있다.

발명의 효과

<72> 본 발명에 따른 TOC 구조의 액정표시장치용 어레이기판은 블랙매트릭스를 게이트 리페어 배선 또는 데이터 리페어 배선으로 사용하여 게이트 배선 또는 데이터 배선의 단선시 발생하는 배선 오픈 불량을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- <1> 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면.
- <2> 도 2는 일반적인 TOC 구조 액정표시장치의 어레이 기판 단면도.
도 3 내지 도 5는 도 2의 I-I', II-II', III-III'에 따라 절단한 공정 단면도.
- <3> 도 6은 본 발명의 제 1 실시예에 따른 TOC구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도.
- <4> 도 7은 본 발명의 제 1 실시예에 따른 TOC구조 액정표시장치용 어레이 기판상에 BM패턴을 형성한 평면도.
- <5> 도 8a 내지 도 8d와 도 9a 내지 도 9d와 도 10a 내지 도 10d는 6의 A-A`와 B-B`와 C-C`을 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 단면도.
- <6> 도 11은 본 발명의 제 2 실시예에 따른 TOC구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도.
- <7> 도 12는 본 발명의 제 2 실시예에 따른 TOC구조 액정표시장치용 어레이기판상에 BM패턴을 형성한 평면도.
- <8> 도 13a 내지 도 13d와 도 14a 내지 도 14d와 도 15a 내지 도 15d는 11의 D-D`와 E-E`와 F-F`을 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 단면도.

<9> <도면의 주요부분에 대한 간단한 설명>

200 : 기판	203a, 203b : BM 패턴
207 : 게이트 배선	209a, 209b : 데이터 배선
225 : 드레인 전극	227 : 화소전극
235a, 235b : 데이터 패드	265 : 데이터 패드부

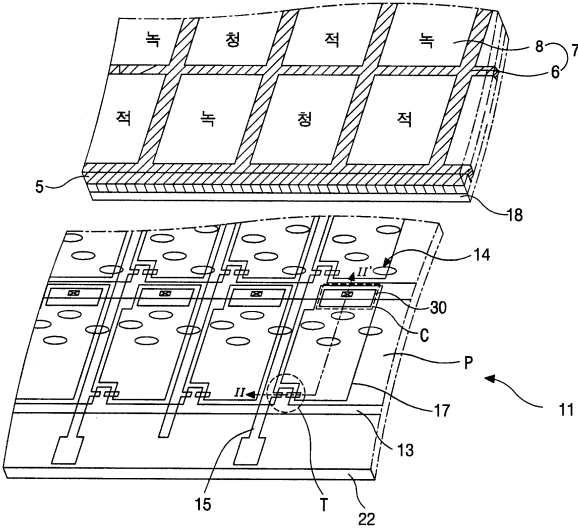
<10> 삭제

<11> 삭제

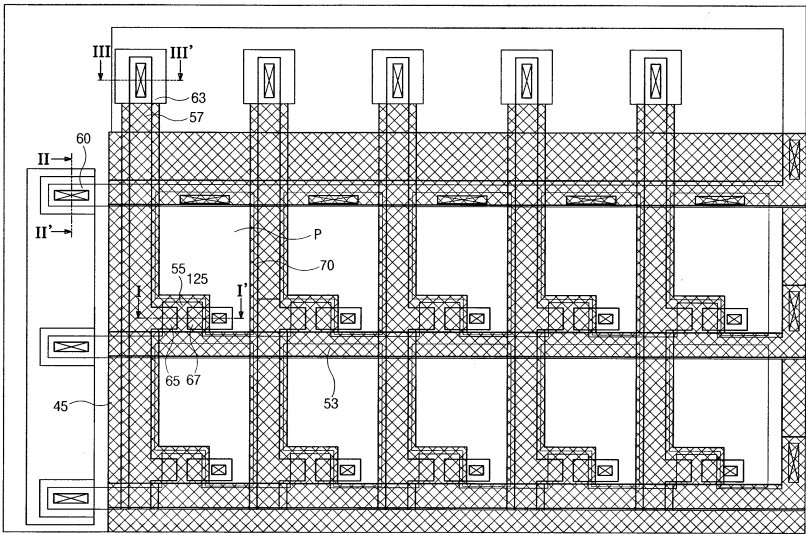
- <12> 삭제
- <13> 삭제
- <14> 삭제
- <15> 삭제
- <16> 삭제

도면

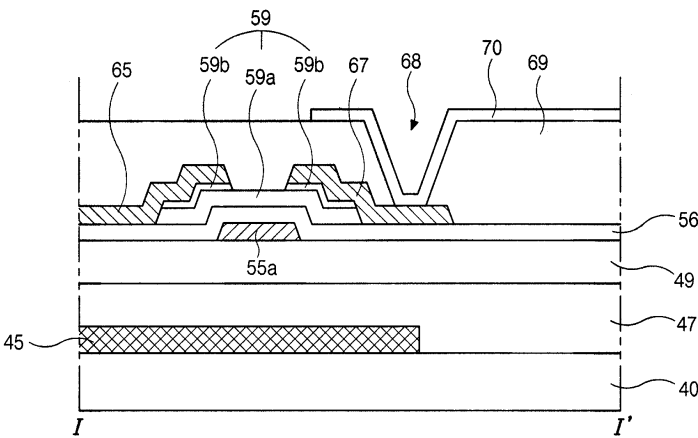
도면1



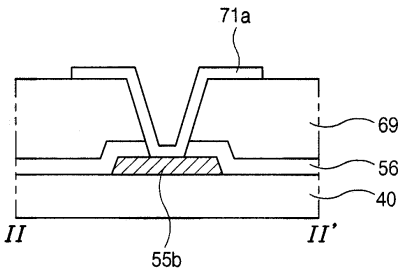
도면2



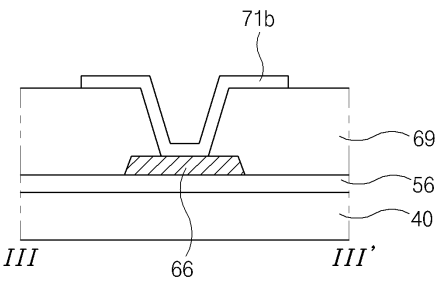
도면3



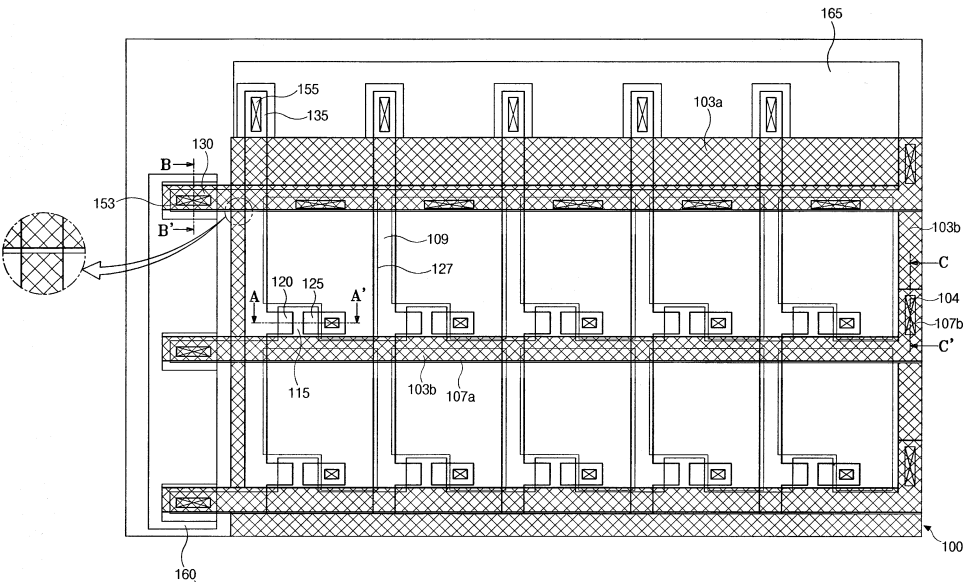
도면4



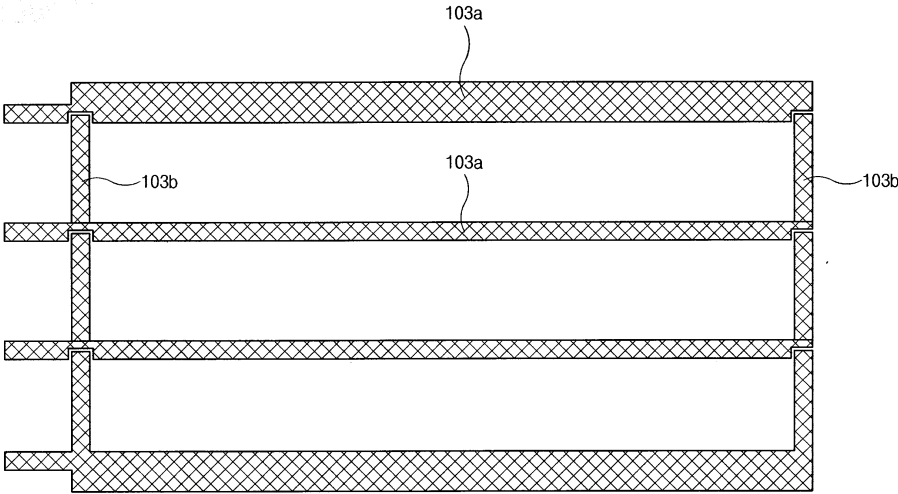
도면5



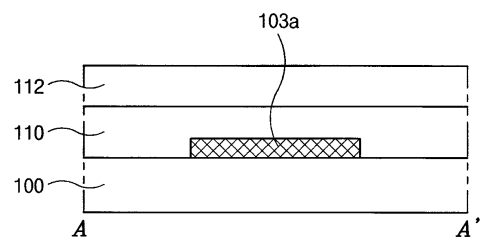
도면6



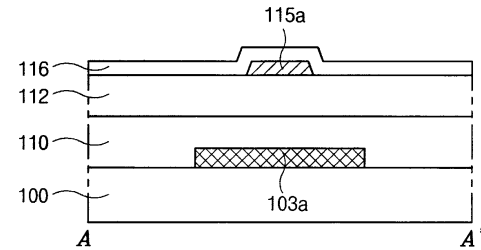
도면7



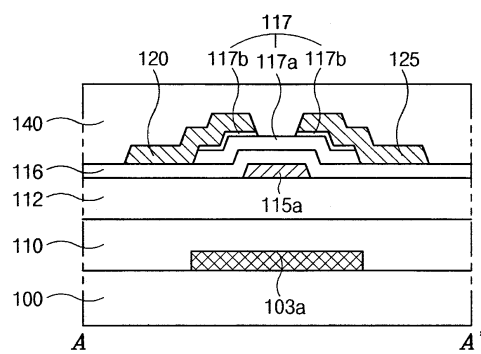
도면8a



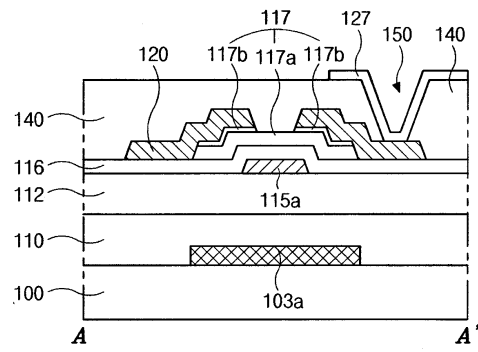
도면8b



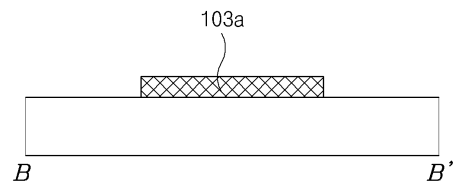
도면8c



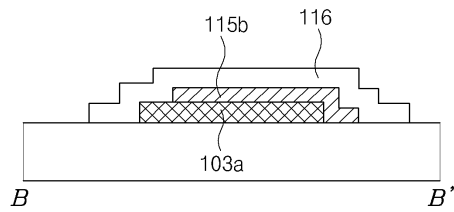
도면8d



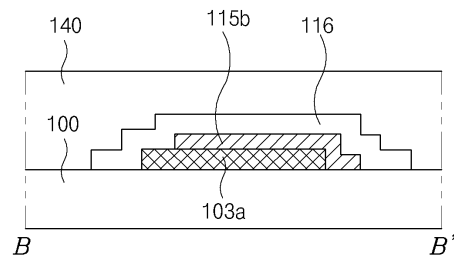
도면9a



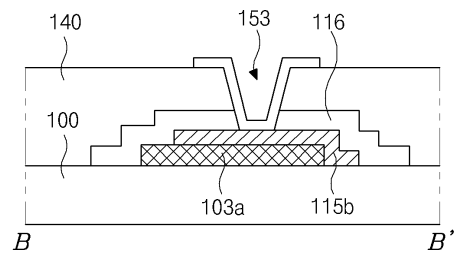
도면9b



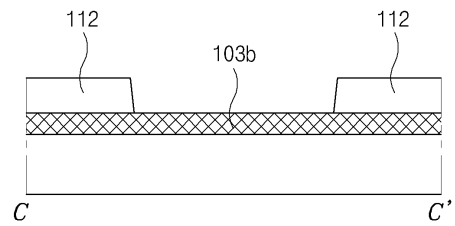
도면9c



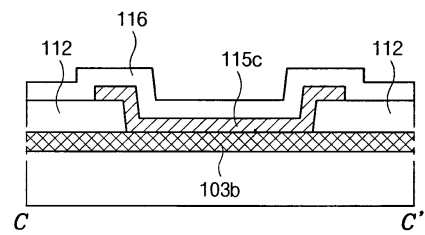
도면9d



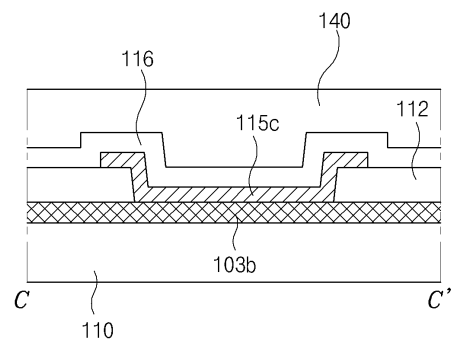
도면10a



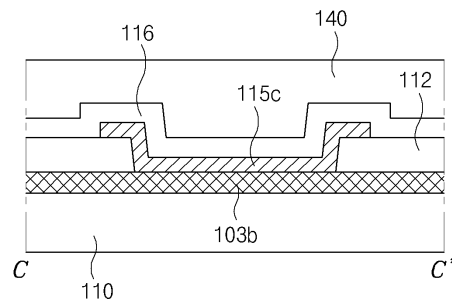
도면10b



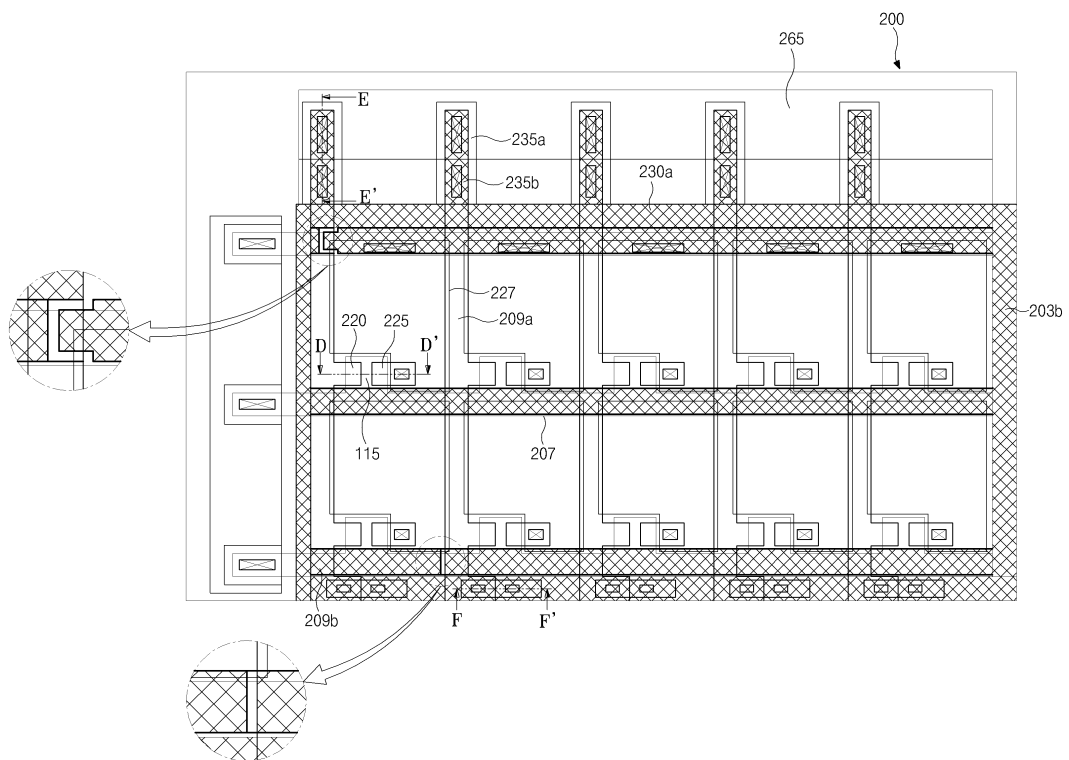
도면10c



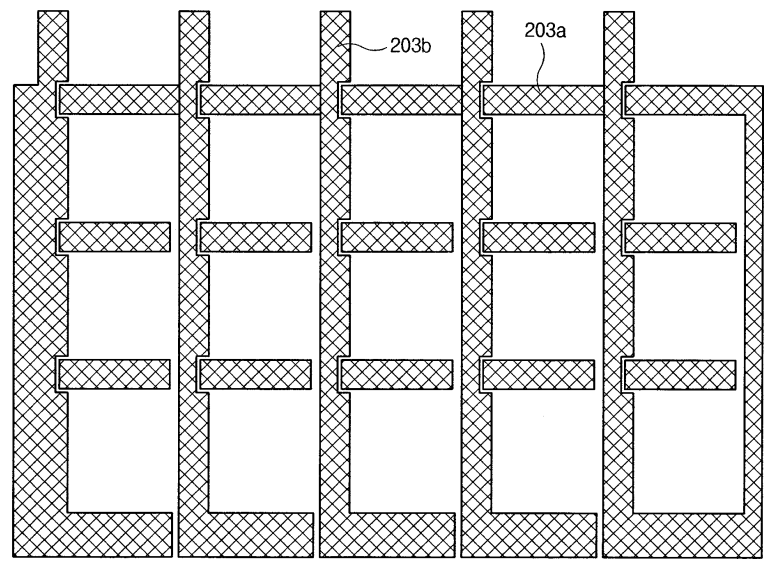
도면10d



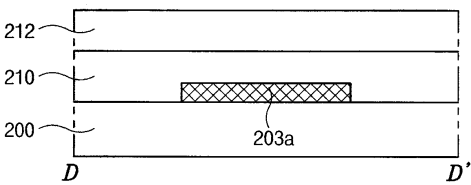
도면11



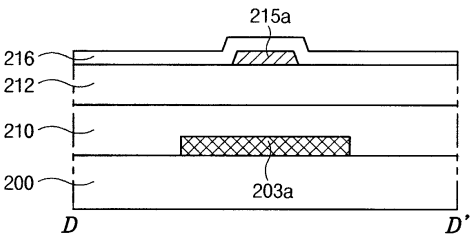
도면12



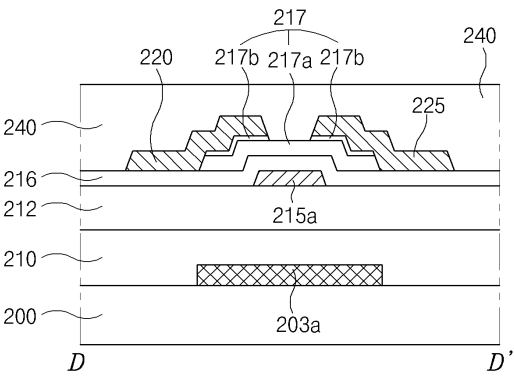
도면13a



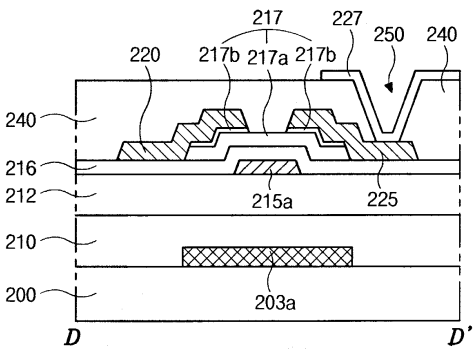
도면13b



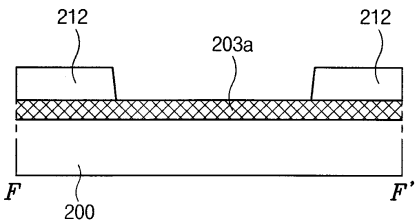
도면13c



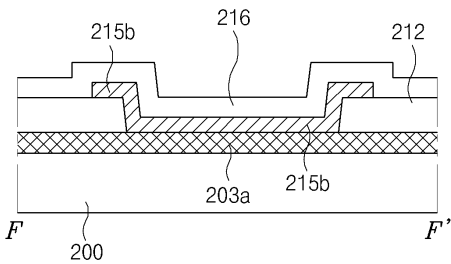
도면13d



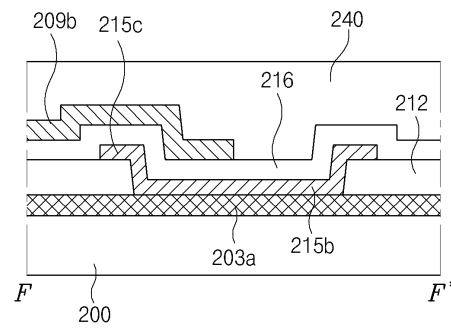
도면14a



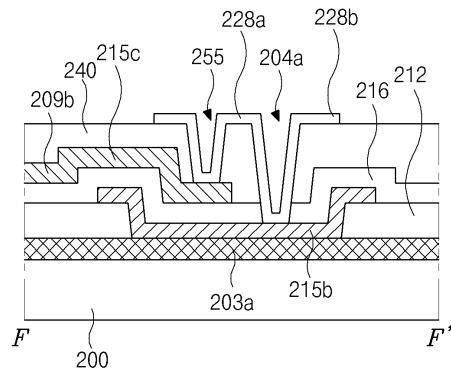
도면14b



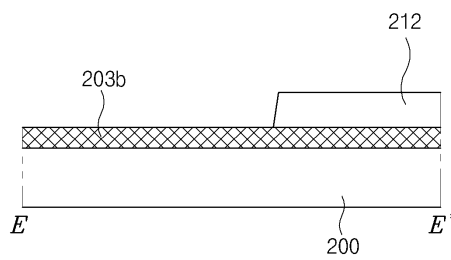
도면14c



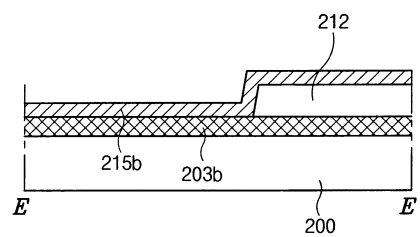
도면14d



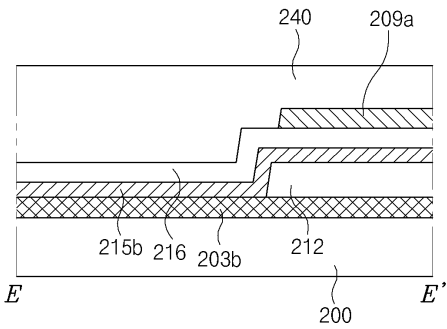
도면15a



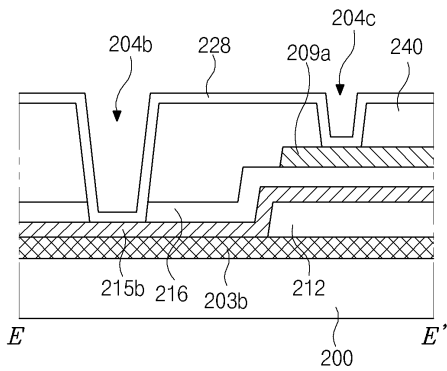
도면15b



도면15c



도면15d



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR100923701B1	公开(公告)日	2009-10-27
申请号	KR1020020087881	申请日	2002-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEJUNE 김세준 PARK SEUNGRYUL 박승렬		
发明人	김세준 박승렬		
IPC分类号	G02F1/1343		
其他公开文献	KR1020040061601A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，更具体地说，涉及一种具有栅极或数据修复布线的TOC结构液晶显示装置的阵列基板。根据本发明的液晶显示装置的阵列基板可以通过使用形成在基板的最下部的BM图案作为栅极修复布线或数据修复布线来防止由于栅极布线或数据布线的断开而导致的布线开路故障。其上形成有BM图案的修复布线的阵列基板可以在现有的TOC工艺中形成，而无需任何额外的工艺。

