



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2009년09월14일

(11) 등록번호 10-0916603

(24) 등록일자 2009년09월02일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2002-0078006

(22) 출원일자 2002년12월09일

심사청구일자 2007년10월22일

(65) 공개번호 10-2004-0050235

(43) 공개일자 2004년06월16일

(56) 선행기술조사문헌

JP07072473 A

KR1019990034037 A

전체 청구항 수 : 총 20 항

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김웅권

경기도군포시산본동1145세종아파트640-1204

장윤경

경기도의왕시오전동LG진달래아파트103동807호

(74) 대리인

특허법인 네이트

심사관 : 반성원

(54) 액정표시장치용 어레이기판 제조방법

(57) 요약

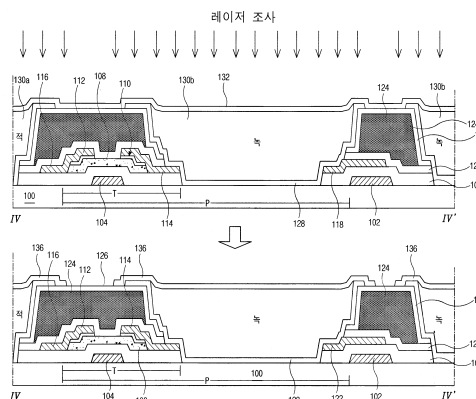
본 발명은 액정표시장치에 관한 것으로, 어레이기판에 컬러필터가 구성된 COT구조의 액정표시장치에 관한 것이다.

본 발명에 따른 액정표시장치는 어레이기판의 상부에 컬러필터를 구성하는 구조에 있어서, 박막트랜지스터와 게이트 배선 및 데이터 배선의 상부에 불투명한 유기수지로 블랙매트릭스를 형성하고, 컬러필터를 중심으로 상부와 하부에 각각 제 1 및 제 2 투명전극을 형성한다.

이때, 상기 제 2 투명 전극은 별도의 PR패턴 공정을 진행하지 않고, 기판의 전면에 투명전극을 형성한 후 이를 부분적으로 결정화하여, 비정질과 결정질의 선택적 식각을 통해 패턴공정을 진행한다.

이와 같이 하면, 별도의 PR패턴 공정을 진행하지 않아도 되므로 PR패턴을 현상하는 현상액이나, 이를 제거하는 제거액에 의해 상기 컬러필터가 영향을 받지 않는 장점이 있다.

대표도 - 도4g



특허청구의 범위

청구항 1

기관 상에 구성되고, 일 방향으로 연장된 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 제 1 절연막을 사이에 두고 수직하게 교차하여 다수의 화소영역을 정의하는 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계와;

상기 드레인 전극의 일부를 제외한 박막트랜지스터의 상부와, 게이트 배선 및 데이터 배선의 상부 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기관의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기관의 표면을 노출하는 단계와;

상기 패터닝된 제 2 절연막이 형성된 기관에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와;

상기 제 1 화소전극의 상부에 컬러필터를 형성하는 단계와;

상기 컬러필터가 형성된 기관의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터 패턴에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와;

상기 컬러필터 패턴에 대응하지 않는 부분의 상기 투명 도전성 물질을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기관 제조방법.

청구항 2

제 1 항에 있어서,

상기 반도체층은 순수 비정질 실리콘으로 형성된 액티브층과, 불순물 비정질 실리콘으로 형성된 오믹 콘택층인 액정표시장치용 어레이기관 제조방법.

청구항 3

제 1 항에 있어서,

상기 블랙매트릭스는 불투명한 감광성 유기 물질인 액정표시장치용 어레이기관 제조방법.

청구항 4

제 1 항에 있어서,

상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기관 제조방법.

청구항 5

제 1 항에 있어서,

상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기관 제조방법.

청구항 6

제 5 항에 있어서,

상기 무기절연층을 형성하는 물질은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)인 액정표시장치용 어레이기판 제조방법.

청구항 7

제 1 항에 있어서,

상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성된 액정표시장치용 어레이기판 제조방법.

청구항 8

제 1 항에 있어서,

상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 OZ산($((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}))$ 인 액정표시장치용 어레이기판 제조방법.

청구항 9

기관 상에 일 방향으로 연장된 게이트 배선과, 이에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 제 1 절연막을 사이에 두고 적층된 반도체층과, 반도체층과 접촉하고 소정간격 이격된 소스 전극과 드레인 전극을 포함하는 박막트랜지스터와, 상기 소스 전극에서 연장된 데이터 배선을 동시에 형성하는 단계와;

상기 소스 및 드레인 전극과 상기 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기관의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기관의 표면을 노출하는 단계와;

상기 패턴된 제 2 절연막이 형성된 기관에 투명 도전성 물질을 증착하고 패턴하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와;

상기 화소영역의 제 1 전극 상부에 컬러필터를 형성하는 단계와;

상기 컬러필터가 형성된 기관의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와;

상기 컬러필터 패턴에 대응하지 않는 부분의 상기 투명 도전성 물질을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 9 항에 있어서,

상기 반도체층은 순수 비정질 실리콘으로 형성된 액티브층과, 불순물 비정질 실리콘으로 형성된 오믹 콘택층인 액정표시장치용 어레이기판 제조방법.

청구항 11

제 9 항에 있어서,

상기 블랙매트릭스는 불투명한 감광성 유기 물질인 액정표시장치용 어레이기판 제조방법.

청구항 12

제 9 항에 있어서,

상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 13

제 9 항에 있어서,

상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 14

제 13 항에 있어서,

상기 무기절연층을 형성하는 물질은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)인 액정표시장치용 어레이기판 제조방법.

청구항 15

제 9항에 있어서,

상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성된 액정표시장치용 어레이기판 제조방법.

청구항 16

제 9 항에 있어서,

상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 OZ산($(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}$)인 액정표시장치용 어레이기판 제조방법.

청구항 17

제 9 항에 있어서,

상기 액티브층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는,

상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 오믹 콘택층과 금속층을 적층하는 단계와;

상기 금속층 상부에 포토레지스트층을 형성하고, 포토 레지스트층과 이격된 상부에 투과부의 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부에 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 게이트 전극 상부에 서로 다른 높이로 패턴된 제 1 포토패턴과, 상기 게이트 배선과는 수직한 형상으로 제 2 포토패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토패턴 사이로 노출된 금속층과 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 데이터 배선과 이에 연장된 소스-드레인 전극층과, 소스-드레인 전극층의 하부에 제 1 반도체층과 제 1 반도체층에서 상기 데이터 배선의 하부로 연장된 제 2 반도체층을 형성하는 단계와;

상기 제 1 및 제 2 포토 패턴을 애싱하는 공정을 진행하여, 상기 소스-드레인 전극층의 중앙부를 노출하는 단계와;

상기 노출된 소스 드레인 전극층을 식각하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 18

제 17 항에 있어서,

상기 제 1 반도체층과 제 2 반도체층은 패턴된 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성된 액정표시장치용 어레이기판 제조방법.

청구항 19

제 17 항에 있어서,

상기 소스 및 드레인 전극층을 형성하는 공정에서, 상기 제 1 반도체층의 불순물 비정질 실리콘층이 제거되는 액정표시장치용 어레이기판 제조방법.

청구항 20

제 19 항에 있어서,

상기 데이터 배선과 소스 및 드레인 전극의 주변으로 하부의 비정질 실리콘층이 노출되어 형성된 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정표시장치에 관한 것으로, 박막트랜지스터 어레이부의 상부에 컬러필터를 구성하는 COT(color filter on TFT)구조 액정표시장치와 그 제조방법에 관한 것이다.
- <17> 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- <18> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <19> 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- <20> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- <21> 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <22> 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <23> 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- <24> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(30)을 사용한다.
- <25> 이때, 상기 섬형상의 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- <26> 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- <27> 이하, 도 2를 참조하여 설명한다.
- <28> 도 2는 도 1의 II-II'를 따라 절단한 단면도이다.
- <29> 앞서 설명한 바와 같이, 어레이기판인 제 1 기판(22)과 컬러필터 기판인 제 2 기판(5)이 이격되어 구성되고, 제

1 및 제 2 기판(22,5)의 사이에는 액정층(14)이 위치한다.

- <30> 어레이기판(22)의 상부에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)을 포함하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는 보호막(40)이 구성된다.
- <31> 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소전극(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성된다.
- <32> 상기 상부 기판(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 하부 기판(22)의 화소영역(P)에 대응하여 컬러필터(7a,7b,7c)가 구성된다.
- <33> 이때, 일반적인 어레이기판의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소 전극(17)을 일정 간격(A) 이격 하여 구성하게 되고, 게이트 배선(13)과 화소 전극 또한 일정간격(B) 이격 하여 구성하게 된다.
- <34> 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 상부 컬러필터기판(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- <35> 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.
- <36> 그런데, 상기 상부 기판(5)과 하부 기판(22)을 합착하는 공정 중 합착 오차(misalign)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그 만큼 개구율이 저하된다.
- <37> 또한, 마진을 넘어서는 합착오차가 발생할 경우, 빛샘 영역(A,B)이 블랙매트릭스(6)에 모두 가려지지 않는 빛샘 불량이 발생하는 경우가 종종 있다.
- <38> 이러한 경우에는 상기 빛샘이 외부로 나타나기 때문에 화질을 저하하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <39> 본 발명은 전술한 바와 같은 문제를 해결하기 위해 제안된 것으로, 본 발명을 요약하면 컬러필터를 하부기판에 구성하고 컬러필터 사이 영역 즉, 박막트랜지스터와 게이트 배선 및 데이터배선의 상부에 블랙매트릭스를 구성한다.
- <40> 상기 화소영역에는 제 1 투명전극과 컬러필터와 제 2 투명전극 순으로 구성하되, 상기 제 1 투명 전극은 드레인 전극과 직접 접촉하는 구성이고, 상기 제 2 투명 전극은 상기 제 1 투명 전극과 접촉하도록 구성한다.
- <41> 이때, 상기 제 2 투명 전극을 패터닝하는 공정은 별도의 PR패터닝공정을 진행하지 않고, 상기 제 2 투명 전극을 증착한 후, 화소영역에 대응하는 부분에만 레이저를 조사하여 결정화 한 후, 비정질의 전극만을 식각하는 식각용액을 사용하여 이를 제거하는 공정을 진행함으로써 제 2 투명 전극을 각 화소마다 독립적으로 패터닝할 수 있게 된다. 이때,상기 레이저 뿐 아니라 UV 램프를 강하게 쬔어 결정화를 이룰 수 있다.
- <42> 이와 같이 하면, 별도의 PR패터닝 공정을 진행하지 않아도 되므로 PR 패터닝 시 필요한 현상액이나 제거액(stripper)에 의해 하부의 컬러필터 패터닝이 데미지를 입지 않게 된다.
- <43> 따라서, 고화질의 액정표시장치를 제작할 수 있다.

발명의 구성 및 작용

- <44> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판 상에 구성되고, 일 방향으로 연장된 게이트 배선을 형성하는 단계와; 상기 게이트 배선과 제 1 절연막을 사이에 두고 수직하게 교차하여 다수의 화소영역을 정의하는 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계와; 상기 드레인 전극의 일부를 제외한 박막트랜지스터의 상부와, 게이트 배선 및 데이터 배선의 상부 블랙매트릭스를 형

성하는 단계와; 상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와; 상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와; 상기 제 1 화소전극의 상부에 컬러 필터를 형성하는 단계와; 상기 컬러필터가 형성된 기판의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터 패턴에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와; 상기 결정화 되지 않은 부분의 비정질 투명전극을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계를 포함한다.

- <45> 상기 반도체층은 순수 비정질 실리콘으로 형성된 액티브층과, 불순물 비정질 실리콘으로 형성된 오믹 콘택층이다.
- <46> 상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함한다.
- <47> 상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함한다.
- <48> 상기 무기절연층을 형성하는 물질은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)이다.
- <49> 상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성되며, 상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 OZ산($((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}))$)이다.
- <50> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 일 방향으로 연장된 게이트 배선과, 이에 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부에 제 1 절연막을 사이에 두고 적층된 액티브 층과 오믹콘택층과, 오믹 콘택층과 접촉하고 소정간격 이격된 소스 전극과 드레인 전극과, 소스 전극에서 연장된 데이터 배선을 동시에 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와; 상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와; 상기 화소영역의 제 1 전극 상부에 컬러필터를 형성하는 단계와; 상기 컬러필터가 형성된 기판의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와; 상기 결정화 되지 않은 부분의 비정질 투명전극을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계를 포함한다.
- <51> 상기 블랙매트릭스는 불투명한 감광성 유기 물질로 형성한다.
- <52> 상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함한다.
- <53> 상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 OZ산($((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}))$)이다.
- <54> 전술한 바와 같은 공정에서, 상기 액티브층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는, 상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 오믹 콘택층과 금속층을 적층하는 단계와; 상기 금속층 상부에 포토레지스트층을 형성하고, 포토 레지스트층과 이격된 상부에 투과부의 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부에 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 게이트 전극 상부에 서로 다른 높이로 패터닝된 제 1 포토패턴과, 상기 게이트 배선과는 수직한 형상으로 제 2 포토패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토패턴 사이로 노출된 금속층과 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 데이터 배선과 이에 연장된 소스-드레인 전극층과, 소스-드레인 전극층의 하부에 제 1 반도체층과 제 1 반도체층에서 상기 데이터 배선의 하부로 연장된 제 2 반도체층을 형성하는 단계와; 상기 제 1 및 제 2 포토패턴을 애싱하는 공정을 진행하여, 상기 소스-드레인 전극층의 중앙부를 노출하는 단계와; 상기 노출된 소스 드레인 전극층을 식각하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 더욱 포함한다.

- <55> 상기 제 1 반도체층과 제 2 반도체층은 패터닝된 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성되며, 상기 소스 및 드레인 전극층을 형성하는 공정에서, 상기 제 1 반도체층의 불순물 비정질 실리콘층이 제거된다.
- <56> 상기 데이터 배선과 소스 및 드레인 전극의 주변으로 하부의 비정질 실리콘층이 노출되어 형성된다.
- <57> 이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.
- <58> -- 제 1 실시예 --
- <59> 도 3은 본 발명에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 도면이다.
- <60> 도시한 바와 같이, 기판(100)상에 일 방향으로 연장된 게이트 배선(102)을 서로 평행하게 구성하고, 상기 게이트 배선(102)과 수직하게 교차하여 다수의 화소영역(P)을 정의하는 데이터 배선(116)을 구성한다.
- <61> 상기 게이트 배선(102)과 데이터 배선(116)이 교차하는 지점에는 게이트 전극(104)과 액티브층(108)과 소스 및 드레인 전극(112, 114)을 포함하는 박막트랜지스터(T)를 구성한다.
- <62> 상기 두 배선(102, 116)이 교차하여 정의되는 영역(P)에는 드레인 전극(114)과 접촉하는 이중층의 투명 화소전극(128, 136)과 컬러필터(130a, 130b, 130c)를 구성한다.
- <63> 상기 투명 전극(128, 136)은 이중 층으로 구성되며, 이중 제 1 전극(128)은 드레인 전극(114)과 접촉하면서 컬러필터(130a, 130b, 130c)의 하부에 구성하고, 제 2 전극(136)은 컬러필터(130a, 130b, 130c)의 상부에 구성한다.
- <64> 상기 제 2 전극(136)은 제 1 전극(128)을 통해 드레인 전극(114)과 간접적으로 접촉하는 형상이다.
- <65> 제 1 및 제 2 투명 전극(128, 136)은 게이트배선(102)의 상부에 구성된 스토리지 캐패시터(C_{st})와 병렬로 연결된다.
- <66> 스토리지 캐패시터(C_{st})는 게이트 배선(102)의 일부를 제 1 전극으로 하고, 상기 제 1 및 제 2 투명전극(제 1 및 제 2 화소전극)(128, 136)과 연결되는 동시에 상기 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(118)을 제 2 전극으로 한다.
- <67> COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(124)와, 적, 녹, 청색의 컬러필터(130a, 130b, 130c)가 구성된 형태이다.
- <68> 블랙매트릭스(124)는 빛샘영역을 가리는 역할을 하며, 게이트 배선 및 데이터 배선(116)과 박막트랜지스터(T)에 대응하여 구성한다.
- <69> 상기 블랙매트릭스(124)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터를 보호하는 보호막의 역할을 하게 된다.
- <70> 전술한 구성에서, 상기 컬러필터의 상부에 제 2 투명전극(제 2 화소전극)을 형성할 때 별도의 포토공정을 사용하지 않기 때문에 하부의 컬러필터 패턴이 데미지를 입는 불량을 방지할 수 있다.
- <71> 이하, 도 4a 내지 도 4g를 참조하여, 본 발명의 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.
- <72> 도 4a 내지 도 4g는 도 3의 IV-IV'를 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서로 도시한 공정 단면도이다.
- <73> (도 3의 절단선 IV-IV'는 박막트랜지스터와 화소의 절단선이다.)
- <74> 도 4a에 도시한 바와 같이, 기판(100)상에 도전성 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 게이트 배선(102)과 게이트 전극(104)을 형성한다.
- <75> 상기 게이트 배선(104)과 게이트 전극(102)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 1 절연층인 게이트 절연막(106)을 형성한다.

- <76> 상기 게이트 절연막(106)상에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하고 제 2 마스크 공정으로 패터닝하여, 게이트 전극(104)상부의 게이트 절연막(106)상에 액티브층(108)과 오믹 콘택층(110)을 형성한다.
- <77> 다음으로 도 4b에 도시한 바와 같이, 상기 액티브층(108)과 오믹 콘택층(110)이 형성된 기판(100)의 전면에 크롬(Cr) 또는 몰리브덴(Mo)을 증착하고 제 3 마스크 공정으로 패터닝하여, 상기 오믹 콘택층(110)과 각각 접촉하는 소스 전극(112)과 드레인 전극(114)과, 상기 소스전극(112)과 연결된 데이터배선(116)과, 상기 게이트 배선(102)의 상부에 아일랜드 형상의 소스/드레인 금속층(118)을 형성한다.
- <78> 상기 소스 및 드레인 전극(112,114)이 형성된 기판(100)의 전면에 질화 실리콘(SiN₂)과 산화 실리콘(SiO₂)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(120)을 형성한다.
- <79> 이때, 제 2 절연막(120)의 기능은 이후에 형성되는 유기막(블랙매트릭스)과 상기 액티브층(108)사이에서 발생할 수 있는 접촉불량을 방지하기 위한 기능을 한다.
- <80> 제 2 절연막(120)은 상기 유기막과 액티브층(108)사이에서 접촉불량이 발생하지 않는다면 굳이 형성하지 않아도 좋다.
- <81> 전술한 바와 같은 공정을 통해 박막트랜지스터 어레이부를 형성하는 공정이 완료된다.
- <82> 다음으로, 도 4c에 도시한 바와 같이, 상기 제 2 절연막(120)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(122)을 형성하고 제 4 마스크 공정으로 패터닝하여, 상기 박막트랜지스터(T)와 데이터 배선(116) 및 게이트 배선(102)의 상부에 블랙매트릭스(124)를 형성한다.
- <83> 다음으로, 도 4d에 도시한 바와 같이, 상기 블랙매트릭스(124)가 형성된 기판(100)의 전면에 절연물질을 증착하여 제 3 절연막(126)을 형성한다.
- <84> 상기 제 3 절연막(126)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 사용하거나, 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 사용한다.
- <85> 도 4e에 도시한 바와 같이, 제 5 마스크 공정으로 상기 제 3 절연막(126)과 제 2 절연막(120)과 게이트 절연막(106)을 식각하여, 상기 드레인 전극(114)일 측과 화소영역(P)과, 상기 섬형상의 금속층(118)의 일측을 노출하는 공정을 진행한다.
- <86> 도 4f에 도시한 바와 같이, 상기 패터닝된 제 3 절연막(126)이 형성된 기판(100)의 전면에 전술한 바와 같은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하고 제 6 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(114)과 상기 소스/드레인 금속층(118)과 동시에 접촉하면서 화소영역(P)에 위치하는 제 1 화소전극(128)을 형성한다.
- <87> 연속하여, 상기 제 1 화소전극(128)이 형성된 기판(100)의 전면에 컬러수지를 도포하여, 다수의 화소영역(P)에 적색과 녹색과 청색의 컬러필터(130a,130b,도 3의 130c)를 각각 형성한다.
- <88> 도 4g에 도시한 바와 같이, 상기 다수의 컬러필터 패터닝(130a,130b,도 3의 130c)이 형성된 기판(100)의 전면에 앞서 설명한 투명전극을 증착하여 투명전극층(132)을 증착한다.
- <89> 이때, 증착된 투명전극층(132)은 비정질 상태이며, KrF를 광원으로 하는 레이저를 조사하여 부분적으로 결정화를 진행한다.
- <90> 즉, 화소영역(P)에 대응하는 부분에 집중적으로 레이저를 조사하여 결정화를 진행한다. 이때, 레이저 이외에도 UV LAMP를 강하게 쬔어 결정화 할 수도 있다.
- <91> 상기 부분적으로 결정화기 진행된 투명전극을 OZON 즉, ((COOH)₂·H₂O+H₂O)에 담그게 되면 상기 비정질 부분만 제거되어 상기 화소영역(P)에는 상기 제 1 화소전극(128)과 접촉하면서 상기 컬러필터 패터닝(130a,130b,도 3의 130c) 상부에 구성되는 제 2 화소전극(136)을 형성할 수 있다.
- <92> 이때, 상기 제 2 화소전극(136)을 형성하는 공정에서 별도의 포토공정을 진행하지 않기 때문에 포토 공정시 현상액에 의해 하부의 컬러필터 패터닝이 데미지를 입는 것을 방지할 수 있다.

- <93> 이상과 같은 공정을 통해 본 발명에 따른 COT구조의 액정표시장치용 기판을 제작할 수 있다.
- <94> 전술한 바와 같은 공정은 상기 컬러필터를 형성하는 공정을 제외하고, 6마스크 공정으로 어레이 기판을 제작하였다.
- <95> 이하, 제 2 실시예는 상기 제 1 실시예의 변형 예로서, 제 1 실시예에 비해 공정을 더욱 단순화 할 수 있는 방법을 제안한다.
- <96> -- 제 2 실시예 --
- <97> 본 발명의 제 2 실시예는 전술한 박막트랜지스터 어레이부의 공정에서 상기 소스 및 드레인 전극과 액티브층을 한꺼번에 패터닝하여 COT 구조의 액정표시장치를 제작하는 방법을 제안한다.
- <98> 도 5는 본 발명의 제 2 실시예에 따른 COT구조의 액정표시장치용 하부기판의 구성을 개략적으로 도시한 평면도이다.
- <99> 도시한 바와 같이, 기판(200)상에 일 방향으로 연장된 게이트 배선(202)을 서로 평행하게 구성하고, 상기 게이트 배선(202)과 수직하게 교차하여 다수의 화소영역(P)을 정의하는 데이터 배선(224)을 구성한다.
- <100> 상기 게이트 배선(202)과 데이터 배선(224)이 교차하는 지점에는 게이트 전극(204)과 액티브층(232a)과 소스 및 드레인 전극(238, 240)을 포함하는 박막트랜지스터(T)를 구성한다.
- <101> 상기 두 배선(202, 224)이 교차하여 정의되는 영역(P)에는 드레인 전극(240)과 접촉하는 투명전극(254, 260)과 컬러필터(256a, 256b, 256c)를 구성한다.
- <102> 상기 투명 전극(254, 260)은 이중 층으로 구성되며, 이중 제 1 전극(254)은 드레인 전극(240)과 접촉하면서 컬러필터(256a, 256b, 256c)의 하부에 구성하고, 제 2 전극(260)은 컬러필터(256a, 256b, 256c)의 상부에 구성한다.
- <103> 상기 상기 제 2 전극(260)은 제 1 전극(254)을 통해 드레인 전극(240)과 간접적으로 접촉하는 형상이다.
- <104> 제 1 및 제 2 투명 전극(254, 260)은 게이트배선(202)의 상부에 구성된 스토리지 캐패시터(C_{st})와 병렬로 연결된다.
- <105> 스토리지 캐패시터(C_{st})는 게이트 배선(202)의 일부를 제 1 전극으로 하고, 상기 제 1 및 제 2 투명전극(254, 260)과 연결되는 동시에 상기 소스 및 드레인 전극(238, 240)과 동일층 동일물질로 형성된 섬형상의 금속층(228)을 제 2 전극으로 한다.
- <106> 이때, 상기 소스 및 드레인 전극(238, 240)과 액티브층(232a)은 동일한 공정에서 동시에 형성되며, 이러한 경우에는 도시한 바와 같이, 필연적으로 상기 데이터 배선과 소스 및 드레인 전극(238, 240)과 섬형상의 금속층(228)의 주변으로 비정질 실리콘층(230a, 232a, 234a)이 노출되는 형상이 된다.
- <107> COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(250)와, 적, 녹, 청색의 컬러필터(256a, 256b, 256c)가 구성된 형태이다.
- <108> 블랙매트릭스(250)는 빛샘영역을 가리는 역할을 하며, 게이트 배선 및 데이터 배선(224)과 박막트랜지스터(T)에 대응하여 구성한다.
- <109> 상기 블랙매트릭스(254)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터를 보호하는 보호막의 역할을 하게 된다.
- <110> 이하, 도 6a 내지 도 6k를 참조하여, 본 발명의 제 2 실시예에 따른 COT구조의 박막트랜지스터 어레이부와 컬러필터부의 제조공정을 설명한다.
- <111> 도 6a 내지 도 6k는 도 5의 VI-VI'을 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서로 도시한 공정단면도이다.
- <112> 도 6a에 도시한 바와 같이, 기판(200)상에 박막트랜지스터 영역(T)과 화소영역(P)과 데이터 영역(D)과 스토리지 영역(S)을 정의한다.
- <113> 상기 다수의 영역(D, T, P, S)이 정의된 기판(200)의 전면에 도전성 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 게이트 배선(202)과 게이트 전극(204)을 형성한다.

- <114> 다음으로, 도 6b에 도시한 바와 같이, 상기 게이트 배선(204)과 게이트 전극(202)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 1 절연층인 게이트 절연막(208)을 형성한다.
- <115> 상기 게이트 절연막(208)상에 순수 비정질 실리콘(a-Si:H)층(210)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)층(212)과 제 2 금속층(214)을 순차적으로 형성한다. 연속하여, 상기 제 2 금속층(214)의 상부에 포토레지스트를 도포하여 PR층(216)을 형성한다.
- <116> 이때, 상기 제 2 금속층은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 알루미늄 합금(AlNd)을 포함하는 도전성 금속그룹 중 선택된 하나로 형성할 수 있다.
- <117> 연속하여, 상기 기판(200)과 이격된 상부에 투과부(A)와 차단부(B)와 반투과부(C)로 구성된 마스크(M)를 위치시킨다.
- <118> 이때, 상기 차단부(B)는 데이터 영역(D)과 박막트랜지스터 영역(T)과 스토리지 영역(S)에 대응하고, 상기 반투과부(C)는 상기 박막트랜지스터 영역(T)의 일부에 대응하고, 상기 투과부(C)는 상기 박막트랜지스터 영역(T)을 제외한 화소영역(P)에 대응하도록 구성한다.
- <119> 상기 마스크의 상부로 빛을 조사하여 하부의 PR층을 노광하고 현상하게 되면, 도 6c에 도시한 바와 같이, 상기 박막트랜지스터 영역(T)에 대응하여 높이가 다른 PR패턴(220a)이 남게 되고, 상기 데이터 영역(D)과 스토리지 영역(S)에는 원래 도포된 높이 그대로의 PR패턴(220b)이 남게 된다.
- <120> 상기 박막트랜지스터 영역(T)에 대응한 부분의 PR패턴(220a)의 높이가 서로 다른 이유는, 상기 마스크(도 6b의 M)의 반투과부(C)에 대응한 부분이 상부로부터 일부만 노광되고 현상되었기 때문이다.
- <121> 연속하여, 상기 패턴된 PR층(220a, 220b)사이로 노출된 하부의 제 2 금속층(214)과 불순물 비정질 실리콘층(212)과 순수 비정질 실리콘층(210)을 제거하는 공정을 진행하면, 도 6d에 도시한 바와 같이, 상기 패턴된 PR층(220a, 220b)의 하부에 구성되고, 상기 데이터 영역(D)에 대응하여 데이터 배선(224)과, 상기 데이터 배선(224)과 연결되면서 상기 박막트랜지스터 영역(T)에 섬형상으로 구성된 소스-드레인 전극층(226)과, 상기 스토리지 영역(S)에 형성된 섬형상의 금속층(228)이 형성된다.
- <122> 동시에, 상기 데이터 배선(224)의 하부에는 제 1 반도체 패턴(230)이 구성되고, 제 1 반도체 패턴(230)에서 상기 소스-드레인 전극층(226)의 하부로 연장된 제 2 반도체 패턴(232)이 구성되고, 상기 섬형상의 금속층(226)의 하부에는 제 3 반도체 패턴(234)이 구성된다.
- <123> 각각은 패턴된 순수 비정질 실리콘층(230a, 232a, 234a)과 불순물 비정질 실리콘층(230b, 232b, 234b)이 적층된 형상이다.
- <124> 다음으로, 도 6e는 박막트랜지스터에 구성되는 액티브 채널층을 노출하기 위한 전단계인 PR패턴을 식각하는 애싱공정을 진행한 형상을 나타낸 도면이다.
- <125> 상기 마스크의 반투과부(도 6b의 C)에 대응하여 일부만 노광된 부분은 이후 형성되는 액티브 채널에 대응하는 부분(E)이며, 일차로 이를 제거하기 위한 애싱공정(ashing processing)을 진행하게 된다. 상기 애싱공정은 일종의 건식식각 공정과 같으며, 상기 액티브 채널층에 대응하는 부분(E)의 PR패턴의 높이만큼 PR패턴이 전체적으로 제거된다.
- <126> 상기 애싱공정을 통해 전체적으로 낮아진 PR패턴(236a, 236b)의 주변(F)으로 상기 데이터 배선(224)과 소스-드레인 전극층(226)과, 섬형상의 금속층(228)이 노출되는 현상이 필연적으로 발생하게 된다.
- <127> 상기 PR패턴을 애싱하는 공정이 완료되면, 상기 액티브채널층(E)에 대응하여 노출된 소스-드레인 전극층(226)과 그 하부의 비정질 실리콘층(232b)을 제거하는 공정을 진행하고, 상기 남겨진 PR 패턴을 제거한다.
- <128> 이때, 상기 PR패턴(236a, 236b)의 주변(F)으로 노출된 금속층과 그 하부의 비정질 실리콘층(230b, 232b, 234b) 또한 제거된다.
- <129> 이와 같은 공정을 완료하면 결과적으로, 도 6f에 도시한 바와 같이, 상기 박막트랜지스터 영역(T)에 대응하여 서로 소정간격 이격되어 액티브 채널층(CH)을 노출하는 소스 전극(238)과 드레인 전극(240)과, 소스 전극(238)에서 연장된 데이터 배선(224)과, 상기 게이트 배선(204)이 일부 상부에는 섬형상의 금속층(228)을 형성할 수 있다. 상기 각 구성요소의 주변으로는 필연적으로 순수 비정질 실리콘층(230a, 232a, 234a)이 노출된 형상이

된다.

- <130> 이때, 상기 박막트랜지스터 영역(T)에 대응하여 구성된 순수 비정질 실리콘층(232a)을 액티브층(active layer)이라 하고, 그 상부의 불순물 비정질 실리콘층(232b)을 옴릭 콘택층(ohmic contact layer)이라 한다.
- <131> 이상과 같이, 도 6b와 도 6f를 통한 제 2 마스크 공정으로 박막트랜지스터 어레이부를 형성하는 공정이 완료되었다.
- <132> 다음으로, 도 6g에 도시한 바와 같이, 상기 소스 및 드레인 전극(238,240)이 형성된 기판(200)의 전면에 질화실리콘(SiN₂)과 산화실리콘(SiO₂)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(246)을 형성한다.
- <133> 이때, 제 2 절연막(246)의 기능은 이후에 형성되는 유기막(미도시)과 상기 액티브층(232a)사이에 발생할 수 있는 접촉불량을 방지하기 위한 기능을 한다.
- <134> 다음으로, 상기 제 2 절연막(246)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(248)을 형성하고 제 3 마스크 공정으로 패터닝하여, 상기 박막트랜지스터 영역(T)과 데이터 배선(224) 및 섬형상의 금속층(228)의 일부만을 가리도록 패터닝된 블랙매트릭스(250)를 형성한다.
- <135> 다음으로, 도 6h에 도시한 바와 같이, 상기 블랙매트릭스(250)가 형성된 기판(200)의 전면에 절연물질을 증착하여 제 3 절연막(252)을 형성한다.
- <136> 상기 제 3 절연막(252)은 질화실리콘(SiN_x)과 산화실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 사용하거나, 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 사용한다 .
- <137> 도 6i에 도시한 바와 같이, 제 4 마스크 공정으로 상기 제 3 절연막(252) 제 2 절연막(246)과 게이트 절연막(206)을 식각 하여, 상기 드레인 전극(240)의 일측과 화소영역(P)과, 상기 섬형상의 금속층(228)의 일측을 노출하는 공정을 진행한다.
- <138> 도 6j에 도시한 바와 같이, 상기 패터닝된 제 3 절연막(252)이 형성된 기판(200)의 전면에 전술한 바와 같은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하고 제 5 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(240)과 상기 섬형상의 금속층(228)과 동시에 접촉하면서 화소영역(P)에 위치하는 제 1 화소전극(254)을 형성한다.
- <139> 연속하여, 상기 제 1 화소전극(254)이 형성된 기판(200)의 전면에 컬러수지를 도포하여, 다수의 화소영역(P)에 적색과 녹색과 청색의 컬러필터(256a,256b,도 5의 256c)를 각각 형성한다.
- <140> 도 6k에 도시한 바와 같이, 상기 다수의 컬러필터 패터닝(256a,256b,256c)이 형성된 기판(200)의 전면에 앞서 설명한 투명전극을 증착하여 투명전극층(258)을 증착한다.
- <141> 이때, 증착된 투명전극층(258)은 비정질 상태이며, KrF를 광원으로 하는 레이저를 조사하여 부분적으로 결정화를 진행한다.
- <142> 즉, 화소영역(P)에 대응하는 부분에 집중적으로 레이저를 조사하여 결정화를 진행한다. 이때, 레이저 뿐 아니라 UV 램프를 강하게 쬔어 결정화 할 수 있다.
- <143> 상기 부분적으로 결정화기 진행된 투명전극을 OZ산 즉, ((COOH)₂·H₂O+H₂O)에 담그게 되면 상기 비정질 부분만 제거되어 상기 화소영역(P)에는 상기 제 1 화소전극(254)과 접촉하면서 상기 컬러필터 패터닝(256a,256b,256c) 상부에 구성되는 제 2 화소전극(260)을 형성할 수 있다.
- <144> 이때, 상기 제 2 화소전극(260)을 형성하는 공정에서 별도의 포토공정을 진행하지 않기 때문에 포토 공정 시 현상액에 의해 하부의 컬러필터 패터닝이 데미지를 입는 것을 방지할 수 있다.
- <145> 또한, 전술한 공정은 컬러필터 패터닝 공정을 제외하고 상기 5 마스크 공정으로 제작되므로 상기 제 1 실시예에 비해 1마스크 공정을 줄여 공정시간을 단축하는 동시에 공정비용을 낮출 수 있는 장점이 있다.

발명의 효과

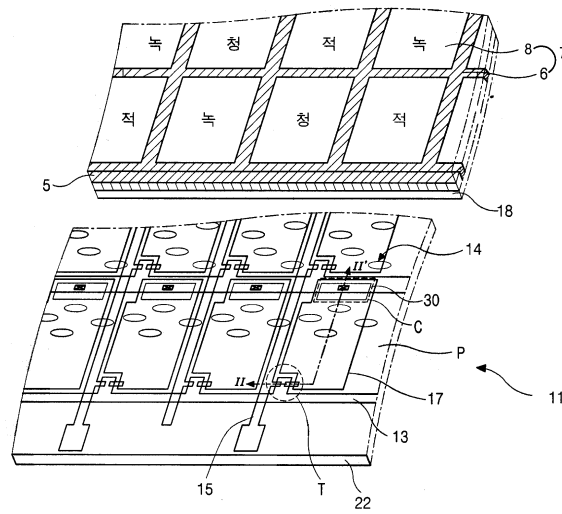
- <146> 본 발명에 따른 COT 구조의 액정표시장치는 어레이기판에 블랙매트릭스를 설계할 때 합착오차를 위한 공정마진을 둘 필요가 없으므로 개구율을 개선하는 효과가 있다.
- <147> 또한, 제 2 화소전극을 형성하는 공정에서 사진식각 공정을 진행하지 않기 때문에 하부의 컬러필터가 상기 식각 공정에서 사용되는 약액에 의해 손상을 입지 않으므로 고화질을 구현하는 액정표시장치를 제작할 수 있는 효과가 있다.
- <148> 또한, 박막트랜지스터를 형성할 때, 소스 및 드레인 전극과 액티브층을 1마스크 공정으로 형성함으로써, 공정시간 단축과 함께 공정비용을 낮추는 효과가 있다.

도면의 간단한 설명

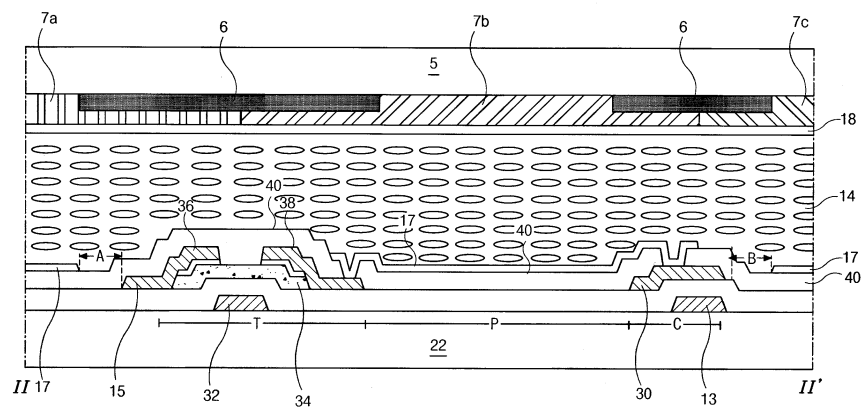
- <1> 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면이고,
- <2> 도 2는 도 1의 II-II'를 절단하여 도시한 액정표시장치의 단면도이고,
- <3> 도 3은 본 발명의 제 1 실시예에 따른 COT구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,
- <4> 도 4a 내지 도 4g는 도 3의 IV-IV'를 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이고,
- <5> 도 5는 본 발명의 제 2 실시예에 따른 COT구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,
- <6> 도 6a 내지 도 6k는 도 5의 VI-VI'를 따라 절단하여 본 발명의 제 2 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이다.
- <7> <도면의 주요부분에 대한 간단한 설명>
- <8> 100 : 기판 102 : 게이트 배선
- <9> 104 : 게이트 전극 108 : 게이트 절연막
- <10> 110 : 액티브층 112 : 오믹 콘택층
- <11> 114 : 소스 전극 116 : 드레인 전극
- <12> 120 : 제 1 보호막 124 : 블랙 매트릭스
- <13> 126 : 제 2 보호막 128 : 제 1 화소전극
- <14> 130a,b : 컬러필터
- <15> 136 : 제 1 화소전극

도면

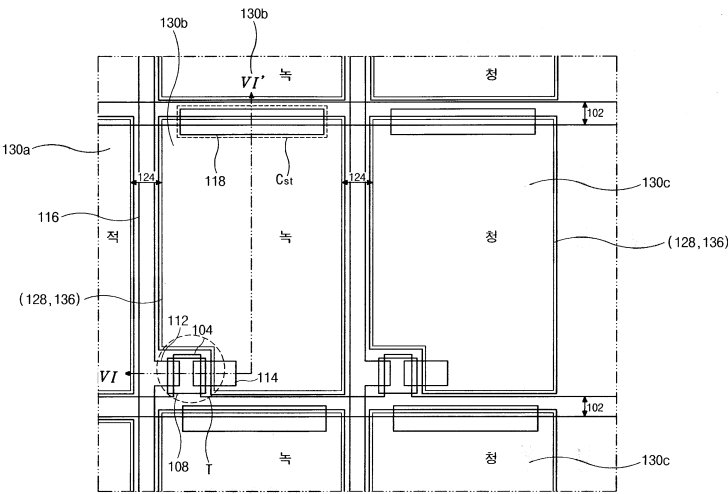
도면1



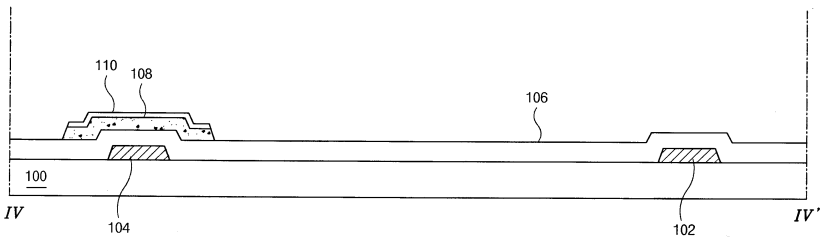
도면2



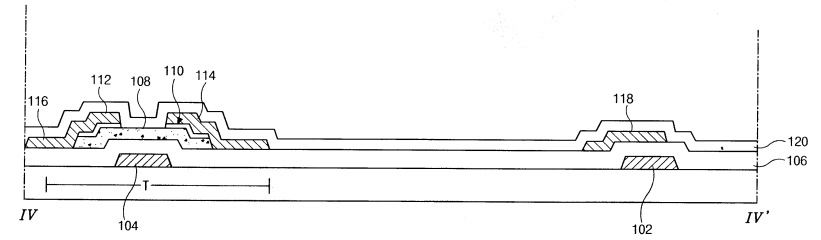
도면3



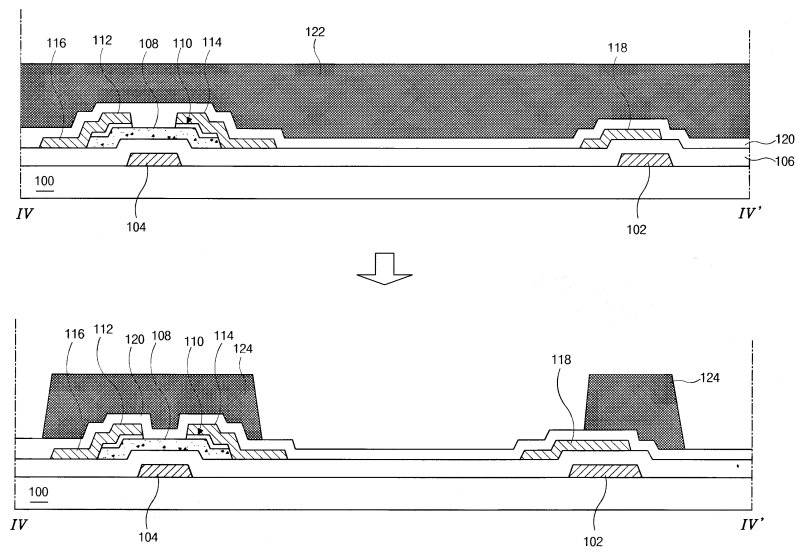
도면4a



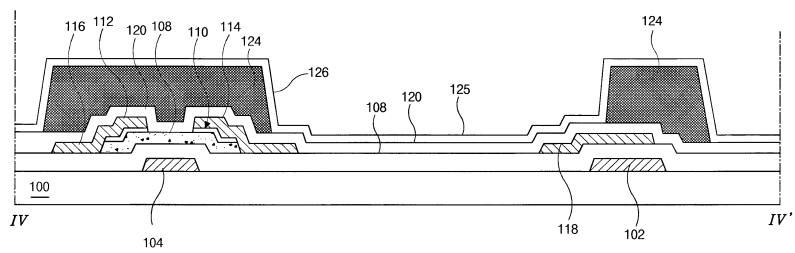
도면4b



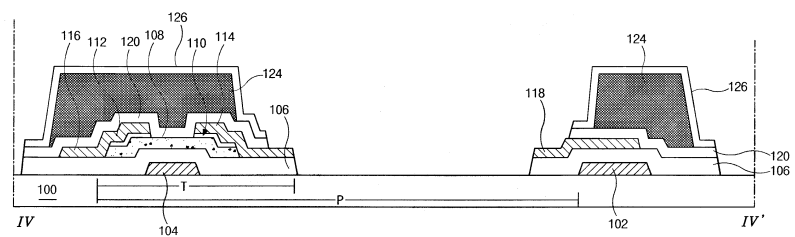
도면4c



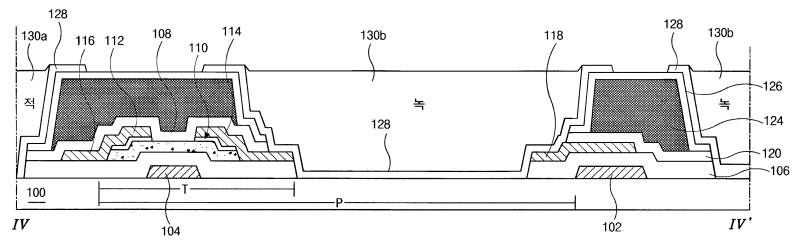
도면4d



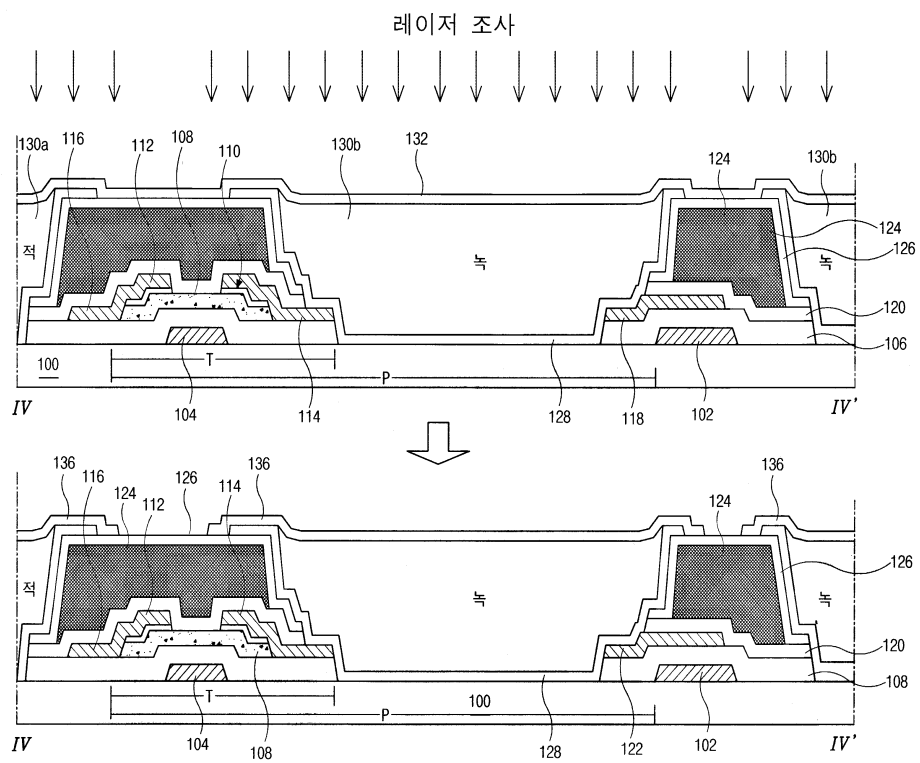
도면4e



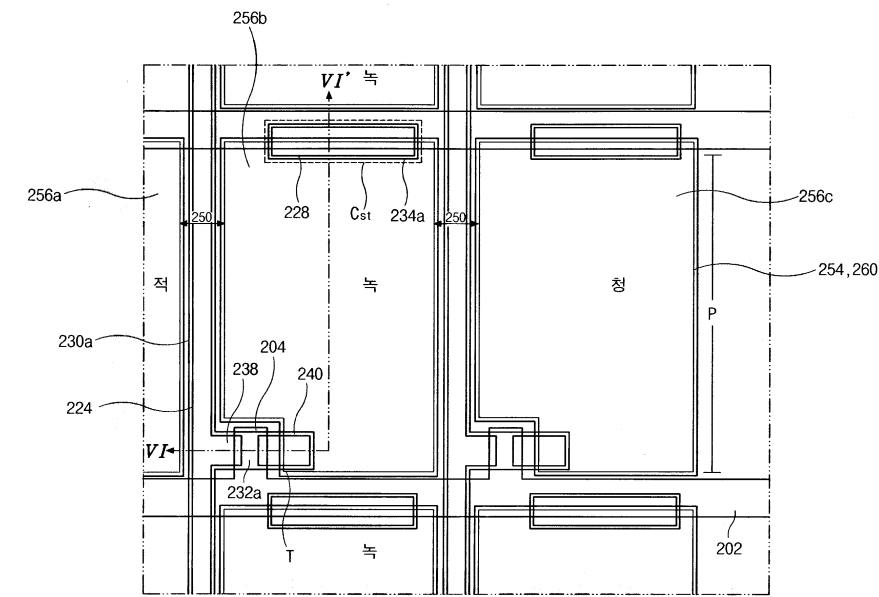
도면4f



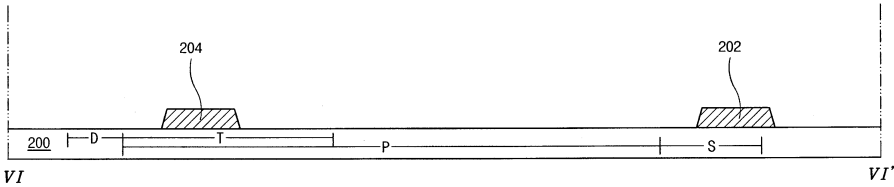
도면4g



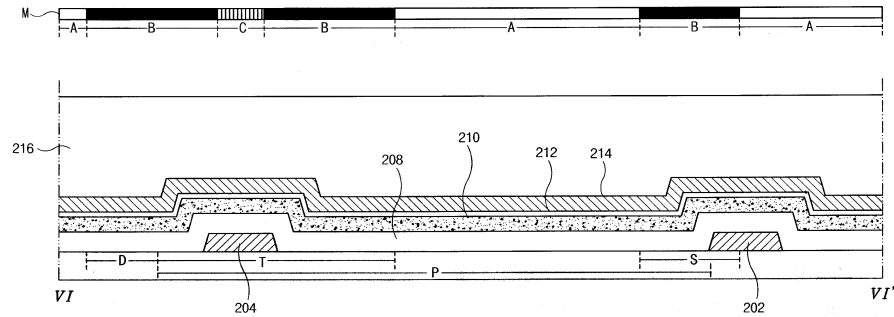
도면5



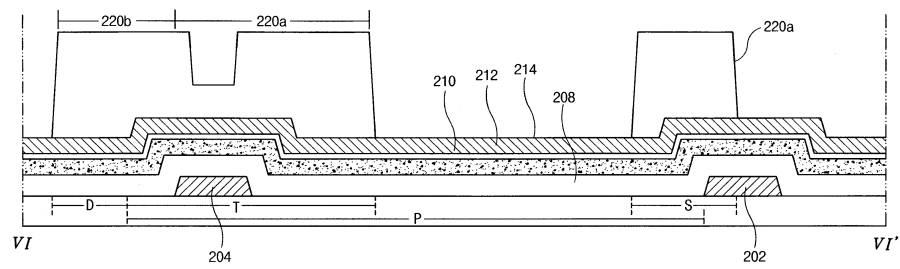
도면6a



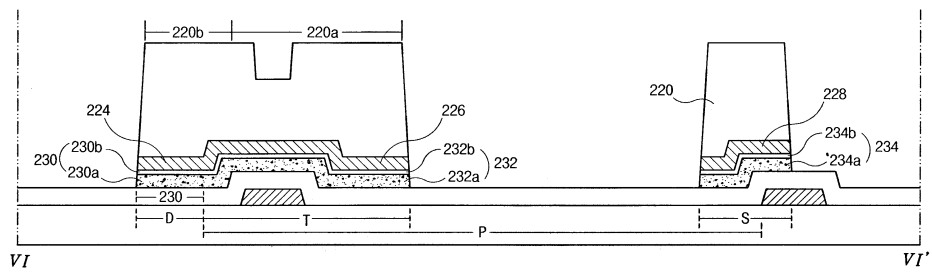
도면6b



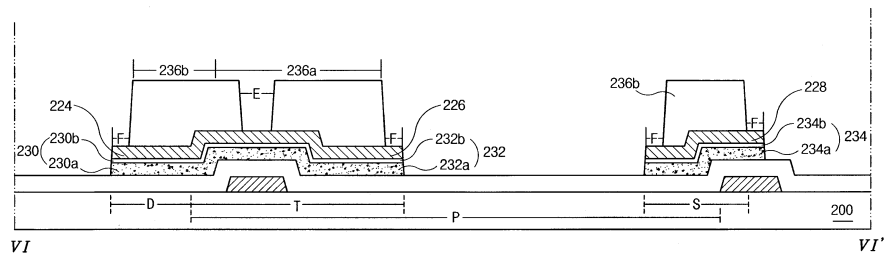
도면6c



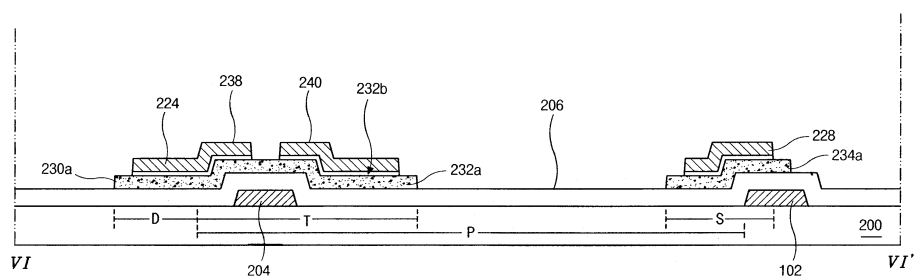
도면6d



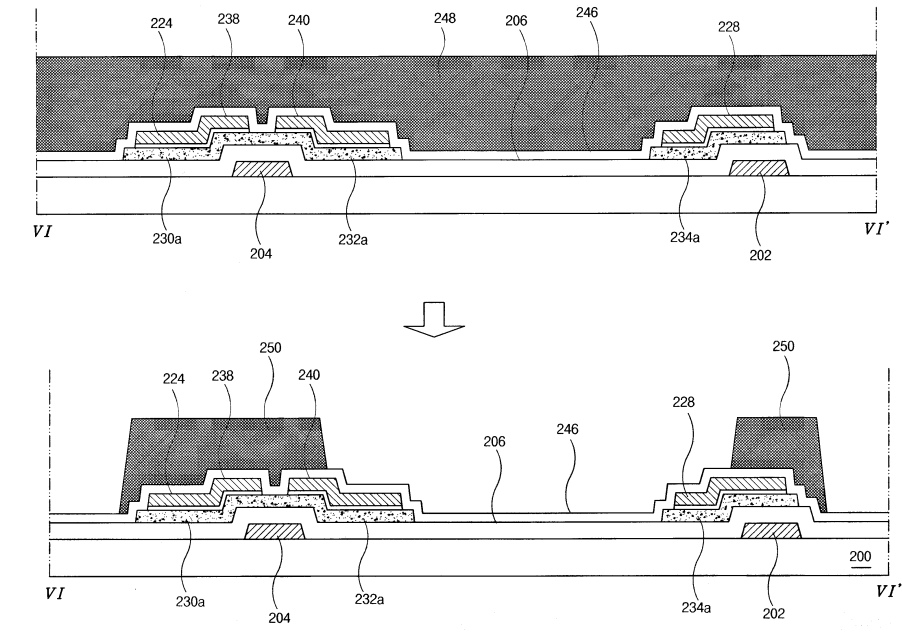
도면6e



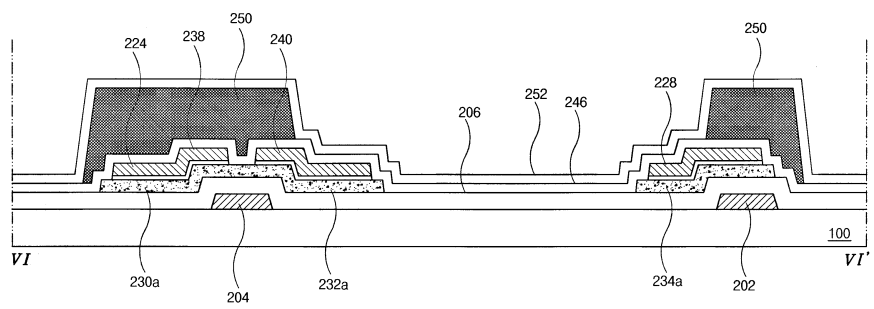
도면6f



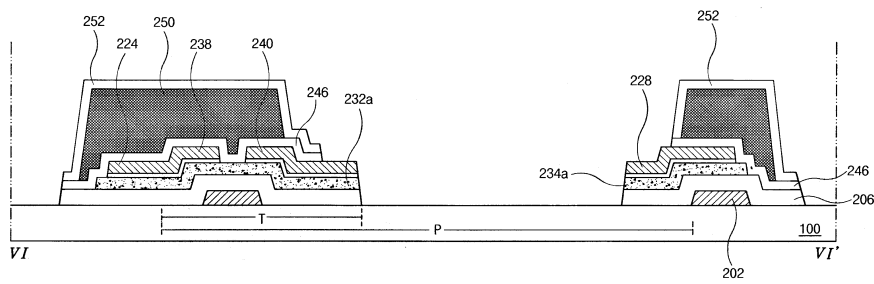
도면6g



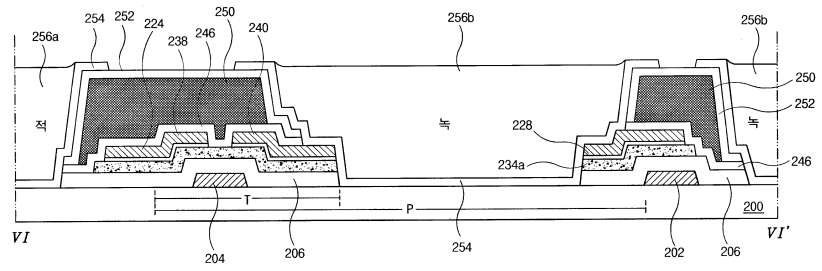
도면6h



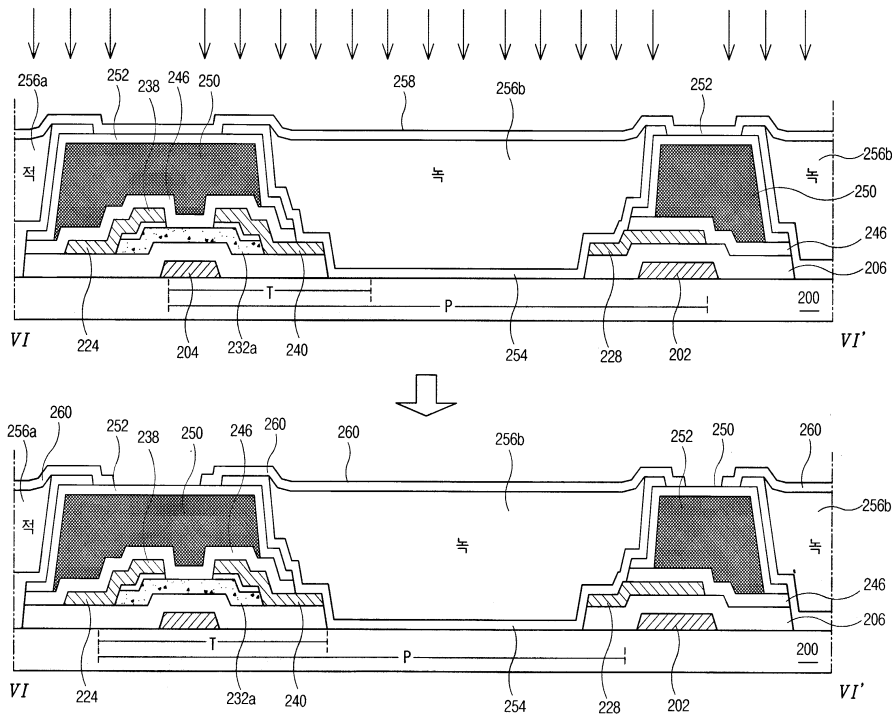
도면6i



도면6j



도면6k



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR100916603B1	公开(公告)日	2009-09-14
申请号	KR1020020078006	申请日	2002-12-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM WOONGKWON 김웅권 CHANG YOUNGYOUNG 장윤경		
发明人	김웅권 장윤경		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1362 G02F1/1368 H01L21/28 H01L21/3205 H01L21/336 H01L23/52 H01L29/786		
CPC分类号	G02F1/134336 G02F1/13439 G02F2001/136222		
其他公开文献	KR1020040050235A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置，更具体地，涉及具有COT结构的液晶显示装置，其中滤色器形成在阵列基板上。根据本发明的构成上的阵列基板的顶部上的滤色器的顶部主要是在结构中，薄膜晶体管栅极与布线，并用有机树脂不透明的黑矩阵的数据布线的上部，彩色滤光片的液晶显示装置并且第一和第二透明电极分别形成在下部和上部。此时，所述第二透明电极不需要采取任何额外的PR图案化工艺，通过该部分结晶形成所述基板的整个表面上形成透明电极后，处理前进到由无定形和结晶的选择性蚀刻的图案。在这种情况下，有一个优点是滤色器不受用于显影PR图案的显影液或用于去除PR图案的去除液的影响，因为不需要进行单独的PR图案处理。

