

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.<sup>7</sup>  
G02F 1/136

(45) 공고일자 2005년04월13일  
(11) 등록번호 10-0482160  
(24) 등록일자 2005년03월31일

(21) 출원번호 10-2002-0053208  
(22) 출원일자 2002년09월04일

(65) 공개번호 10-2004-0021384  
(43) 공개일자 2004년03월10일

(73) 특허권자 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 이주영  
경북포항시북구기계면화대리454-2번지

(74) 대리인 특허법인네이트

심사관 : 임동재

(54) 액정표시장치용 어레이기판

요약

본 발명은 액정표시장치용 액정패널을 구성하는 하부어레이기판으로서, 투명기판과; 상기 투명기판 상에 평행하게 배열되는 다수의 게이트라인과; 상기 투명기판 상에 상기 게이트라인과 중첩하도록 배열되어 매트릭스(matrix) 형태의 화소를 각각 정의하는 다수의 평행한 데이터라인과; 상기 다수의 게이트라인 일 끝단을 연결하여, 상기 각 게이트라인에 순차적으로 게이트펄스를 일방향 스캔 전달하는 게이트드라이버와; 상기 다수의 데이터라인 일 끝단을 연결하여, 상기 다수의 데이터라인으로 데이터펄스를 전달하는 데이터드라이버와; 상기 각 화소에 실장되는 화소전극과; 상기 게이트라인에 연결되는 게이트전극과, 상기 데이터라인에 연결되는 소스전극과, 상기 화소전극에 연결되는 드레인전극을 포함하여, 상기 각 화소에 실장되는 다수의 제 1 박막트랜지스터와; 상기 제 1 박막트랜지스터의 오프전원을 출력하는 피드라인과; 상호 연결된 상태로 상기 피드라인과 상기 다수의 게이트라인을 각각 연결하는 다수의 제 2 박막트랜지스터를 포함하는 어레이기판을 제공한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치용 액정패널의 단면도

도 2는 일반적인 액정표시장치용 어레이기판의 평면회로도

도 3은 일반적인 액정표시장치용 어레이기판의 일부를 확대하여 도시한 부분확대도

도 4a 내지 도 4b는 각각 일반적인 어레이기판에 있어서, 게이트라인 별 서로 다른 위치의 박막트랜지스터에 인가되는 게이트펄스와 데이터펄스를 비교하여 도시한 그래프

도 5는 본 발명에 따른 액정표시장치용 액정패널의 단면도

도 6은 본 발명에 따른 액정표시장치용 어레이기판의 평면회로도

도 7은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 도시한 부분확대도

도 8a 내지 도 8b는 각각 본 발명에 따른 어레이기판에 있어서, 게이트라인 별 서로 다른 위치의 박막트랜지스터에 인가되는 게이트펄스와 데이터펄스를 비교하여 도시한 그래프

<도면의 주요부분에 대한 부호의 간단한 설명>

130 : 하부어레이기판 136 : 게이트라인

138 : 게이트드라이버 140 : 데이터라인

142 : 데이터드라이버 200 : 피드라인

T : 제 1 박막트랜지스터 T2 : 제 2 박막트랜지스터

P : 화소  $C_{LC}$  : 액정캐패시터

$C_{ST}$  : 스토리지캐패시터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치용 액정패널에 관한 것으로, 좀 더 자세하게는 상부컬러필터기판과 하부어레이기판을 포함하는 상기 액정패널에 있어서, 특히 다수의 박막트랜지스터가 형성되는 하부어레이기판에 관한 것이다.

최근 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리하여 표시하는 디스플레이(display) 산업이 급속도로 발전해왔다.

이에 박형화, 경량화, 저소비전력화 등 수요자들의 다양한 요구를 충족시킬 수 있는 액정표시장치(Liquid Crystal Display : LCD)가 개발되었고, 현재 기존의 브라운관(Cathode-Ray Tube : CRT)을 대체하는 차세대 디스플레이 장치로 각광받고 있다.

액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 디스플레이한다.

즉, 액정은 분자구조가 가늘고 길며, 배열에 방향성을 갖는 광학적 이방성과 인위적으로 전기장을 인가할 경우 배열방향이 변화되는 분극성질을 가지고 있다. 이에 액정표시장치는 액정에 전압을 인가하여 분자배열을 인위적으로 조절하고, 이때 변화되는 편광특성을 이용해 다양한 화상을 표시한다.

특히 전술한 구동원리를 통해 사용자에게 보여지는 화상을 디스플레이하는 액정패널은, 간단히 서로 대향하는 양 기판 사이로 액정이 개재된 구성을 가지는 바, 도 1은 일반적인 액정표시장치용 액정패널의 단면을 도시한 도면이다.

또한 도 2는 이 액정패널을 구성하는 상부컬러필터기판과 하부어레이기판 중 특히 다수의 박막트랜지스터가 포함된 하부어레이기판의 개략적인 평면회로도로서, 해상도 및 동영상 구현능력이 뛰어나 현재 가장 널리 사용되는 능동행렬(Active Matrix LCD : AM-LCD) 방식을 채택하고 있다.

먼저 액정패널(10)은 일면에 공통전극(24)이 설치된 상부컬러필터기판(20)과, 일면에 화소전극(32)이 설치된 하부어레이기판(30)이 서로의 전극을 마주보도록 대향 배열되고, 그 사이로 액정(50)이 개재된 구성을 가진다.

이때 상부컬러필터기판(20)은 유리등의 투명재질로 이루어진 투명기판(1) 하부로 설치되는 컬러필터층(22) 및 블랙매트릭스(26)와, 액정(50)에 전압을 인가하는 일 전극 역할의 공통전극(24)을 포함한다. 특히 컬러필터층(22)은 각각 붉은 색을 반사하는 레드컬러필터와, 녹색을 반사하는 그린컬러필터와, 푸른색을 반사하는 블루컬러필터로 구분될 수 있고, 블랙매트릭스(26)는 상기 각 컬러별 컬러필터의 사이를 커버(cover)하며, 후술하는 하부어레이기판(30)으로 침투되는 빛을 일부 차단한다.

또한 하부어레이기판(30)은 유리등의 투명재질로 이루어진 투명기판(1) 상부로 중첩하는 다수의 평행한 게이트라인(36)과 데이터라인(40), 그리고 다수의 박막트랜지스터(T) 및 이와 연결되는 화소전극(32)을 포함한다.

이때 다수의 게이트라인(36)과 데이터라인(40)은 서로 중첩하며 매트릭스(matrix) 형태의 화소(P)를 정의하고, 이들 화소(P)에는 각각 박막트랜지스터(T) 및 이와 일대일 대응 연결되는 화소전극(32)이 실장되는 바, 액정을 사이에 두고 서로 대향하는 공통전극(24)과 화소전극(32)을 포함하여 액정캐패시터( $C_{LC}$ )를 정의한다. 또한 각 화소(P)에는 기생용량을 해결하기 위한 스토리지캐패시터(storage capacitor :  $C_{ST}$ )가 구비되어 액정캐패시터( $C_{LC}$ )와 병렬 연결된다.

그리고 상부컬러필터기판(20)과 하부어레이기판(30) 외면으로는 각각 제 1 편광판(28)과 제 2 편광판(34)이 위치한다.

또한 하부어레이기판(30) 일 가장자리로는 다수의 게이트라인(36) 일단을 연결하는 게이트드라이버(38)가 위치하여 각 게이트라인(36)으로 게이트펄스를 순차적 일방향 스캔(scan) 전달하고, 이와 인접한 다른 가장자리로는 다수의 데이터라인(40) 일단을 연결하는 데이터드라이버(42)가 위치하여 데이터펄스를 전달한다.

이때 게이트라인(36)으로 전달되는 게이트펄스는 박막트랜지스터(T)의 온(on) 전압이고, 데이터라인(40)으로 전달되는 데이터펄스는 액정의 분자배열을 변화시키는 액정구동전압이다.

또한 도 3은 일반적인 하부어레이기판의 일부를 확대하여 도시한 부분확대도로서, 전술한 도 1 및 도 2 와 함께 설명한다.

각 화소(P)에 실장되는 박막트랜지스터(T)는 각각 게이트라인(36)과 연결되는 게이트전극(g)과, 데이터라인(40)과 연결되는 소스전극(s)과, 액정캐패시터( $C_{LC}$ )와 연결되는 드레인전극(d)을 포함한다. 이에 박막트랜지스터(T)는 게이트펄스를 통해 온/오프 제어되면서 데이터펄스를 액정캐패시터( $C_{LC}$ )에 접속하는 스위치 역할을 한다.

상기한 하부어레이기판(30)을 포함하는 액정패널(10)은 프레임(frame) 별로 화상을 표시하는데, 이의 작동은 이하와 같다.

먼저 게이트드라이버(38)는 게이트펄스를 매 프레임마다  $G_1$  번째 게이트라인으로부터  $G_m$  번째 게이트라인까지 일방향으로 순차적 스캔(scan) 전달한다. 또 데이터드라이버(42)는 상기 각 게이트펄스에 대응되는 데이터펄스를  $D_1$  데이터라인 내지  $D_m$  데이터라인의 전(全) 데이터라인(40)으로 각각 전달한다.

일례로, 도 3과 같이  $G_{m-1}$  번째 게이트라인에 게이트펄스가 전달됨과 동시에  $D_1$  내지  $D_m$  데이터라인을 통해 데이터펄스가 전달된다. 따라서  $G_{m-1}$  게이트라인에 연결된  $T_1$  내지  $T_m$  박막트랜지스터가 온(on) 되어  $D_1$  내지  $D_m$  데이터라인으로 전달된 데이터펄스를 각각 해당 화소(P)의 액정캐패시터( $C_{LC}$ )에 접속시킨다.

이에 각 화소(P)의 액정캐패시터( $C_{LC}$ )에 전압이 충전되어 액정의 분자배열이 변화되고, 제 1 및 제 2 편광판(28, 34) 사이에서 액정분자의 배열방향에 따른 투과율 변화와, 컬러필터층(22)의 레드, 그린, 블루컬러필터의 색 조합을 통해 컬러영상을 표시한다.

미설명 부호 60은 액정패널(10)의 배면에서 전면을 향해 빛을 공급하는 백라이트를 도시한 것으로, 액정패널(10)에는 자체 발광요소가 없으므로 이 백라이트(60)의 빛을 통해 비로소 충분한 휘도의 화상을 표시할 수 있다.

또 비록 도시되지는 않았지만, 액정(50)의 누설을 방지하기 위해 양 기판 가장자리는 실링제 등으로 봉합(封函)되고, 상부컬러필터기판(20) 및 하부어레이기판(30)과 액정(50)의 경계에는 각각 액정 분자배열에 신뢰성을 부여하는 상, 하부 배향막이 개재된다.

한편, 전술한 구성의 하부어레이기판(30)을 포함하는 액정패널(10) 및 이의 구동방법을 사용할 경우, 게이트펄스는 각 게이트라인(36) 일단으로부터 타단으로 진행된다. 따라서 도체로서 게이트라인(36)이 가지는 자체저항과 캐패시터 성분에 의해 게이트라인(36) 타단으로 갈수록 최초 전달된 게이트펄스와 상이한 파형으로 왜곡되는 현상이 발생한다.

즉, 도 4a 내지 도 4b는 각각 도 3 에 도시한  $G_{m-1}$  번째 게이트라인에 있어서, 서로 다른 위치의 박막트랜지스터에 인가되는 게이트펄스 및 데이터펄스를 비교하여 도시한 그래프이다.

이때 설명의 편의를 위해 임의로  $G_{m-1}$  게이트라인을 지정한 것이므로, 이하의 설명은 그 외의 게이트라인에서도 동일하게 나타나는 현상이다. 또  $G_{m-1}$  게이트라인에 연결된 다수의 박막트랜지스터(T)를 구분하기 위해 일단에서부터  $T_1$  내지  $T_m$  부호를 각각 부여하는 바, 이중 도 4a는 게이트펄스( $G(N)$ )가 최초로 도달되는 첫 번째의  $T_1$  박막트랜지스터에 해당되고, 도 4b는 이 게이트펄스( $G(N)$ )가  $G_{m-1}$  게이트라인을 경유하여 최종적으로 전달되는 마지막  $T_m$  박막트랜지스터에 해당된다.

그리고  $D(N)$ 은  $T_1$  박막트랜지스터와  $T_m$  박막트랜지스터에 각각 전달되는 데이터펄스를,  $D(N-1)$ 은 상기  $G_{m-1}$  게이트라인 이전의  $G_{m-2}$  게이트라인으로 전달된 데이터펄스를,  $D(N+1)$ 은 상기  $G_{m-1}$  게이트라인 이후의  $G_m$  게이트라인에 전달되는 데이터펄스를 나타낸다.

도시된 바와 같이, 게이트펄스( $G(N)$ )와 데이터펄스( $D(N)$ )는 각각 구형파로서, 정상 상태의 초기전압으로부터 라이징(rising)되어 한동안 일정크기의 전압을 유지한 후 폴링(falling)된다.

이에 Gm-1 게이트라인으로 전달된 게이트펄스(G(N))가 라이징되어 임계전압(Vth) 이상으로 증압되면 T1 내지 Tm 박막트랜지스터가 온(on) 되어 데이터펄스(D(N))를 액정캐패시터(C<sub>LC</sub>)에 접속시키고, 이 데이터펄스(D(N)) 전압이 액정캐패시터(C<sub>LC</sub>)에 충전된다. 이후 게이트펄스(G(N))가 임계전압(Vth) 이하로 폴링되면 T1 내지 Tm 박막트랜지스터가 오프(off)되어 액정캐패시터(C<sub>LC</sub>)로부터 데이터펄스(D(N))를 차단한다.

따라서 도 4a와 도 4b에 있어서, Ta로 표시된 구간은 각각 데이터펄스(D(N)) 전압이 액정캐패시터(C<sub>LC</sub>)에 충전되는 차징타임(charging time)을, Tb는 게이트펄스(G(N)) 폴링이 시작된 후 임계전압(Vth) 이하로 감압되어 T1 내지 Tm 박막트랜지스터가 오프되는 오프타임(off time)을 표시한다.

이때 게이트펄스(G(N))의 폴링이 시작되어도 데이터펄스(D(N))는 일정한 전위를 유지하고, 게이트펄스(G(N))가 T1 내지 Tm 박막트랜지스터의 임계전압(Vth) 이하로 감압된 후 비로소 데이터펄스(D(N))의 폴링이 시작되는데, 이는 박막트랜지스터 소자의 오프 동작에 신뢰성을 부여하여 다음의 데이터펄스(D(N+1))에 의한 신호 잡음(noise)을 방지하기 위한 것이다.

즉, 게이트펄스(G(N))의 폴링이 시작되어도 임계전압(Vth) 이하로 감압되기 전까지 T1 내지 Tm 박막트랜지스터는 온 상태를 유지한다. 특히 소자 특성에 따라 임계전압(Vth) 이하로 감압되더라도 가벼운 턴 온 (slightly turn on) 상태가 될 수 있다.

따라서 만일 게이트펄스(G(N))와 데이터펄스(D(N))의 폴링이 동시에 진행된다면 Gm-1 게이트라인의 T1 내지 Tm 박막트랜지스터가 오프 되기 전, 다음단의 Gm 게이트라인에 대응되는 데이터펄스(D(N+1))가 발생될 수 있고, 이 경우 하나의 액정캐패시터(C<sub>LC</sub>)로 서로 다른 두 개의 데이터펄스(D(N), D(N+1))가 섞이는 잡음 현상이 발생된다.

이를 방지하기 위해 게이트펄스(G(N))의 폴링이 시작된 후 한동안 데이터펄스(D(N))는 일정전위를 유지하고, 이어 게이트펄스(G(N))가 임계전압(Vth) 이하로 감압되어 이에 대응된 T1 내지 Tm 박막트랜지스터가 모두 오프된 후, 해당 데이터펄스(D(N))의 폴링이 시작된다.

한편, 도 4a와 도 4b를 비교할 경우 동일한 Gm-1 게이트라인에 연결되어 있다하더라도 T1 박막트랜지스터와 Tm 박막트랜지스터에 전달되는 게이트펄스(G(N)) 파형이 서로 상이함을 알 수 있는데, 이는 도체로서 게이트라인(36)이 가지는 자체저항 및 캐패시터 성분에 원인한다.

즉, 최초 T1 박막트랜지스터에 전달되는 게이트펄스(G(N))는 Gm-1 게이트라인을 이동통로로 마지막의 Tm 박막트랜지스터까지 도달되는데, 이 동안 도체로서 Gm-1 게이트라인이 가지는 자체저항과 캐패시터로 인해 게이트펄스(G(N))가 왜곡될 수 있고, 이는 라이징과 폴링 시간이 연장되는 알씨 딜레이(RC Delay) 현상으로 나타난다.

이러한 현상은 게이트라인의 저항이 커지거나 또는 길이가 길어질수록 더욱 심화되는데, 특히 폴링되는 시간이 연장될 경우 액정표시장치가 디스플레이하는 화상에 큰 영향을 준다.

즉, Gm-1 게이트라인을 기준으로 보면, 다음단의 Gm 게이트라인에 전달될 데이터펄스(D(N+1))가 섞이는 잡음 문제를 해결하기 위해 당해 게이트펄스(D(N))의 폴링시작 시점으로부터 데이터펄스(D(N))는 한동안 동일전위를 유지하고, 게이트펄스(G(N))가 박막트랜지스터의 임계전압(Vth) 이하로 감압된 후 비로소 데이터펄스(D(N))가 폴링 되어야 함은 앞서 잠시 언급한 바 있다.

하지만 알씨 딜레이로 인해 게이트펄스(G(N))의 폴링시간이 길어질 경우 결국 폴링 시작 시점으로부터 임계전압(Vth) 이하로 감압되는 오프타임 Tb의 연장을 의미하는 바, 다음단의 Gm 게이트라인으로 전달되는 데이터펄스(D(N+1))에 인한 신호잡음을 방지하기 위해서는 차징 타임인 Ta가 단축될 수밖에 없다.

그러나 차징타임 Ta가 단축되면 액정캐패시터(C<sub>LC</sub>)에 데이터펄스(D(N))가 충전되는 시간을 단축하게 되고, 이에 액정분자배열을 충분하게 변화시키지 못해 목적하는 투과율을 구현할 수 없다.

따라서 디스플레이되는 화상의 좌우 휘도차와 대비비의 불균일을 심화시키는 물론 잔상과 깜박임(flicker)등의 여러가지 문제점이 나타나고, 이는 액정표시장치의 디스플레이 신뢰성을 크게 위협한다.

이를 해결하게 위해, 전통적으로는 게이트라인(36)을 구현하는 금속재질로서 보다 저 저항을 가지는 신 금속재질의 개발 노력이 계속되었고, 게이트모듈레이션(gate modulation) 기능을 가지는 추가적인 회로의 구비방법, 또는 게이트라인(36) 양 끝단에 각각 게이트드라이버를 설치하는 방법이 개발되기도 하였다.

그러나 이들 방법은 액정표시장치의 비용을 상승시키는 부작용을 수반하며, 특히 알씨 딜레이로 인한 여러 가지 문제점을 충분히 해결하지 못하는 실정이다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 전술한 바와 같은 문제점을 해결하고자 안출한 것으로, 알씨 딜레이로 인한 게이트펄스의 폴링시간 지연 문제를 해결하고, 보다 신뢰성 있는 액정표시장치를 구현하는데 그 목적이 있다.

**발명의 구성 및 작용**

본 발명에 상기와 같은 목적을 달성하기 위해, 액정표시장치용 액정패널을 구성하는 하부어레이기판으로서, 투명기판과; 상기 투명기판 상에 평행하게 배열되는 다수의 게이트라인과; 상기 투명기판 상에 상기 게이트라인과 중첩하도록 배열되어 매트릭스(matrix) 형태의 화소를 각각 정의하는 다수의 평행한 데이터라인과; 상기 다수의 게이트라인 일 끝단을 연결하여, 상기 각 게이트라인에 순차적으로 게이트펄스를 일방향 스캔 전달하는 게이트드라이버와; 상기 다수의 데이터라인 일 끝단을 연결하여, 상기 다수의 데이터라인으로 데이터펄스를 전달하는 데이터드라이버와; 상기 각 화소에 실장되는 화소전극과; 상기 게이트라인에 연결되는 게이트전극과, 상기 데이터라인에 연결되는 소스전극과, 상기 화소전극에 연결되는 드레인전극을 포함하여, 상기 각 화소에 실장되는 다수의 제 1 박막트랜지스터와; 상기 제 1 박막트랜지스터의 오프전원을 출력하는 피드라인과; 상호 연결된 상태로 상기 피드라인과 상기 다수의 게이트라인을 각각 연결하는 다수의 제 2 박막트랜지스터를 포함하는 어레이기판을 제공한다.

이때 상기 제 2 박막트랜지스터는 각각 대응되는 게이트라인의 게이트펄스를 통해, 상기 게이트드라이버 스캔의 타 방향으로 이웃한 게이트라인에 상기 오프전압을 전달하는 것을 특징으로 한다. 특히 상기 다수의 제 2 박막트랜지스터는 각각 상기 게이트라인 타 끝단에 연결되는 드레인전극과, 상기 게이트드라이버 스캔의 타 방향으로 이웃한 게이트라인에 연결되는 게이트전극과, 상기 피드라인에 연결되는 소스전극을 포함하는 것을 특징으로 한다.

이때 상기 데이터드라이버와, 상기 게이트드라이버와, 상기 다수의 제 2 박막트랜지스터는 각각 상기 투명기판 상에 형성되는 것을 특징으로 하며, 상기 피드라인은 접지전위인 것을 특징으로 한다.

이때 상기 피드라인은 공통전극전압을 출력하는 것을 특징으로 한다.

또한 상기 게이트펄스는 상기 제 1 박막트랜지스터 온 전압인 게이트하이전압과, 상기 제 1 박막트랜지스터 오프전압인 게이트로우전압을 포함하는 것을 특징으로 하며, 상기 피드라인은 상기 게이트펄스의 게이트로우전압을 출력하는 것을 특징으로 하는 바, 이하 본 발명의 올바른 실시예를 첨부된 도면을 참조하여 설명한다.

도 5는 본 발명에 따른 액정표시장치용 액정패널의 단면도이고, 도 6은 이중 다수의 박막트랜지스터가 포함되는 어레이기판을 개략적으로 도시한 평면회로도로서, 바람직하게는 능동행렬(Active Matrix LCD : AM-LCD) 방식을 채택하는 것을 특징으로 한다.

본 발명에 따른 액정패널(110)은 일반적인 경우와 유사하게 액정(150)과, 이를 사이에 두고 평행하게 배열되며, 각각 서로 대향하는 일면에 공통전극(124)이 설치된 상부컬러필터기판(120) 그리고 화소전극(132)이 설치된 하부어레이기판(130)을 포함한다.

이때 상부컬러필터기판(120)은 유리등의 투명재질로 이루어진 투명기판(1) 하부로 컬러필터층(122), 그리고 액정에 전압을 인가하는 일 전극 역할의 공통전극(124)을 포함하는데, 이 컬러필터층(122)은 각각 붉은 색을 반사하는 레드컬러필터와, 녹색을 반사하는 그린컬러필터와, 푸른색을 반사하는 블루컬러필터로 구분될 수 있다. 또 이들 각 컬러별 컬러필터 사이의 간격을 커버하고, 후술하는 하부기판(130)으로 침투되는 빛을 일부 차단하기 위한 블랙매트릭스(126)를 포함한다.

이때 공통전극(124)으로는 공통전극 전압(Vcom)이 인가된다.

그리고 하부어레이기판(130)은 유리등의 투명재질로 이루어진 투명기판(1) 상부로 게이트펄스를 전달하는 다수의 평행한 게이트라인(136)과, 데이터펄스를 전달하는 다수의 데이터라인(140)이 중첩하며 다수의 화소(P)를 정의하고, 이 화소(P)마다 각각 제 1 박막트랜지스터(T) 및 이와 일대일 대응연결 되는 화소전극(132)이 실장된다.

이에 액정(150)과, 이를 사이에 두고 서로 대향하는 공통전극(124) 및 화소전극(132)을 포함하여 액정캐패시터(C<sub>LC</sub>)를 정의한다.

또한 화소설계에 따른 기생용량을 해결하기 위해서 각 화소(P)마다 스토리지캐패시터(C<sub>ST</sub>)가 액정캐패시터(C<sub>LC</sub>)와 병렬 연결되고, 이 액정패널(110)을 구성하는 양 기판 외면으로는 각각 제 1 편광판(128)과 제 2 편광판(134)이 위치한다.

이들 제 1 및 제 2 편광판(128, 134)은 바람직하게는 필름(film)형태로 제조되어 각각의 외면으로 부착될 수 있다.

또한 하부어레이기판(130) 일 가장자리로는 다수의 게이트라인(136) 일단을 연결하는 게이트드라이버(138)가 위치하여 제 1 박막트랜지스터(T)의 온(on)전압인 게이트하이전압과, 오프(off)전압인 게이트로우전압을 포함하는 게이트펄스를 순차적으로 일 방향 스캔 전달하고, 이와 인접한 다른 한 가장자리로는 다수의 데이터라인(140) 일단을 연결하는 데이터드라이버(142)가 위치하여 액정구동전압인 데이터펄스를 전달한다.

그리고 액정패널(110) 배면으로는 전면을 향해 빛을 공급하는 백라이트(160)가 구비되며, 비록 도시되지는 않았지만, 액정(150)이 누설되는 것을 방지하기 위해 양 기판 가장자리는 실링제 등으로 봉합(封函)되고, 이들 양 기판과 액정의 경계 부분에는 각각 액정분자의 배열방향에 신뢰성을 부여하는 상, 하부 배향막이 개재된다.

이상의 구성은 일반적인 액정패널 및 하부어레이기판과 별반 다르지 않다 할 수 있지만, 본 발명에 따른 액정표시장치용 액정패널, 특히 하부어레이기판(130) 상에는 제 1 박막트랜지스터(T)의 오프전원을 출력하는 피드라인(200)과, 이 피드라인(200)과 게이트라인(136)을 각각 연결하는 제 2 박막트랜지스터(T')가 포함되는 것을 특징으로 한다.

따라서 하부어레이기판(130)에는 서로 다른 두 종류의 박막트랜지스터가 포함되는 바, 이들을 구별하기 위해 각 화소(P)에 실장되는 박막트랜지스터를 제 1 박막트랜지스터(T)로, 전술한 피드라인(200)과 게이트라인(136)을 연결하는 박막트랜지스터를 제 2 박막트랜지스터(T')라 구분한다.

이때 바람직하게는 피드라인(200)은 다수의 게이트라인(136) 타 끝단을 연결하도록 게이트드라이버(138)와 대향되는 하부어레이기판(130) 다른 한쪽 가장자리에 설치될 수 있고, 제 2 박막트랜지스터(T')는 각각 대응되는 게이트라인의 게이트펄스를 통해 게이트드라이버 스캔방향과 반대방향의 이웃한 게이트라인으로 오프전압을 전달하는 역할을 한다.

또한 피드라인이 출력하는 제 1 박막트랜지스터(T)의 오프전압은 바람직하게는 접지전위나 게이트펄스에 포함되는 게이트로우전압 또는 공통전극 전압일 수 있다.

이를 위해 이들 다수의 제 2 박막트랜지스터(T')는 각각 해당 게이트라인에 연결되는 게이트전극(g)과, 피드라인(200)에 연결되는 소스전극(s)과, 상기 게이트드라이버(138) 스캔방향과 반대방향의 이웃한 게이트라인에 연결되는 드레인전극(d)을 포함할 수 있다. 따라서 각 게이트라인 타 끝단에 연결된 제 2 박막트랜지스터의 게이트전극은 게이트드라이버 스캔 방향으로 이웃한 다음 게이트라인의 제 2 박막트랜지스터 드레인전극에 연결된다.

좀 더 자세히, 도 7은 상술한 본 발명에 따른 어레이기판이 가지는 임의의 게이트라인 중 특히 Gm-1 게이트라인 및 이에 연결된 다수의 요소들 도시한 부분확대도로서, 이와 전술한 도 5 내지 도 6 을 참조한다.

이때 설명의 편의를 위해 임의로 Gm-1 게이트라인을 지정한 것으로, 이하의 설명은 그 외의 게이트라인에서도 동일하게 나타나는 현상임을 밝혀둔다. 그리고 Gm-1 게이트라인에 연결된 다수의 제 1 박막트랜지스터(T)를 구분하기 위해 일단에서부터 타단으로 각각 T1 내지 Tm 부호를 부여하였다.

먼저 도 7에 있어서, T1 내지 Tm 제 1 박막트랜지스터는 각각 Gm-1 게이트라인과 연결되는 게이트전극(g)과, D1 내지 Dm 데이터라인에 연결되는 소스전극(s)과, 액정캐패시터(C<sub>LC</sub>)와 연결되는 드레인전극(d)을 포함한다. 따라서 이들 T1 내지 Tm 박막트랜지스터는 게이트펄스를 통해 온/오프 제어되면서 데이터펄스를 액정캐패시터(C<sub>LC</sub>)로 전달하는 스위치 역할을 한다.

또 다수의 제 2 박막트랜지스터(T')는 각각 상호 연결된 상태로 해당 게이트라인과 피드라인(200)을 연결하는 바, 일례로 T'm 박막트랜지스터는 대응되는 Gm-1 게이트라인의 게이트펄스를 통해 이전의 Gm-2 게이트라인으로 피드라인(200)의 오프전압을 전달한다.

이를 위해 바람직하게는 Gm-1 게이트라인 타 끝단에 연결되는 게이트전극(g)과, Gm-2 게이트라인에 연결되는 드레인전극(d)과, 피드라인(200)에 연결되는 소스전극(s)을 포함한다.

이하 본 발명에 따른 어레이기판의 구동방법에 대해 설명한다.

본 발명에 따른 어레이기판을 포함하는 액정패널은 프레임 단위로 화상을 표현하는데, 각 프레임 별로 게이트드라이버(138)는 제 1 박막트랜지스터(T)의 온 전압인 게이트펄스를 G1 게이트라인으로부터 Gm 게이트라인 까지 순차적으로 일방향 스캔(scan) 전달한다. 그리고 데이터드라이버(142)는 D1 데이터라인으로부터 Dm 데이터라인까지 액정의 구동전압인 데이터펄스를 각각 전달한다.

일례로 Gm-1 번째 게이트라인의 경우, 게이트펄스는 이의 일단에서 타 끝단을 향해 이동하는 동안 각각 T1 내지 Tm 박막트랜지스터를 온 시키고, 이를 통해 D1 내지 Dm 데이터라인에서 출력되는 데이터펄스는 각 화소(P)의 액정캐패시터(C<sub>LC</sub>)로 접속된다.

특히 Gm-1 번째 게이트라인의 마지막 Tm 박막트랜지스터까지 도달된 게이트펄스는 이어 본 발명에 따른 T'm 박막트랜지스터를 온 시키고, T'm 박막트랜지스터는 피드라인의 오프전압을 Gm-2 게이트라인으로 전달하게 된다.

따라서 Gm-2 게이트라인에 연결된 제 1 박막트랜지스터는 강제로 오프되는 바, 본 발명에 따른 어레이기판의 특징은, 순차적으로 스캔전달 되는 게이트펄스를 통해 각각 이전에 게이트펄스가 전달된 게이트라인으로 오프전압을 전달하는 것이다.

좀 더 자세히, 각 게이트라인을 따라 게이트펄스가 스캔되는 방향을 일방향 이라 하면, 각각의 게이트라인에 전달된 게이트펄스를 통해 타 방향의 이웃한 게이트라인으로 오프전압을 전달하는 구조를 가진다. 이에 Gm-2 게이트라인에 대응된 제 1 박막트랜지스터를 강제 오프시켜 폴링시간 지연에 따른 문제점을 해결한다.

도 8a 내지 도 8b는 각각 도 7 에 도시한 Gm-1 번째 게이트라인에 있어서, 서로 다른 위치의 제 1 박막트랜지스터에 인가되는 게이트펄스 및 데이터펄스를 비교하여 도시한 그래프이다.

이때 Gm-1 게이트라인에 연결된 T1 내지 Tm 박막트랜지스터 중 최초로 게이트펄스가 전달되는 첫 번째 박막트랜지스터 T1 과, 최종적으로 게이트펄스가 전달되는 마지막 박막트랜지스터 Tm 을 비교하는 바, 도 8a는 T1 박막트랜지스터에 인가되는 게이트펄스(G(N)) 및 데이터펄스(D(N))를 도시한 것이고, 8b는 Tm 박막트랜지스터에 인가되는 게이트펄스(G(N)) 및 데이터펄스(D(N))를 도시한 것이다.

그리고 도면에 표시된  $D(N-1)$ 과  $D(N+1)$ 은 각각  $G_m-1$  게이트라인 이전의  $G_m-2$  게이트라인과,  $G_m-1$  게이트라인 이후의  $G_m$  게이트라인에 게이트펄스가 전달될 경우 데이터드라이버가 출력하는 데이터펄스를 나타낸다. 또 설명의 편의를 위해 각각의 도면 하단에 다음의  $G_m$  번째 게이트라인으로 전달되는 게이트펄스( $G(N+1)$ )를 함께 도시하였다.

먼저 게이트펄스( $G(N)$ )와 데이터펄스( $D(N)$ )는 각각 구형파로서, 정상 상태의 초기전압으로부터 라이징(rising)되어 한동안 일정크기의 전압을 유지한 후 폴링(falling)된다.

이에  $G_m-1$  게이트라인으로 전달된 게이트펄스( $G(N)$ )가 라이징되어 임계전압( $V_{th}$ ) 이상으로 승압되면 T1 내지 Tm 박막트랜지스터가 온 되어 데이터펄스( $D(N)$ )를 액정캐패시터( $C_{LC}$ )에 접속시키고, 이 데이터펄스( $D(N)$ ) 전압이 액정캐패시터( $C_{LC}$ )에 충전된다. 이후 게이트펄스( $G(N)$ )가 임계전압( $V_{th}$ ) 이하로 폴링되면 T1 내지 Tm 박막트랜지스터가 오프되어 데이터펄스( $D(N)$ )를 액정캐패시터( $C_{LC}$ )로부터 차단한다.

따라서 도 8a와 도 8b에 있어서, Ta로 표시된 구간은 각각 데이터펄스( $D(N)$ ) 전압이 액정캐패시터( $C_{LC}$ )에 충전되는 차징타임을, Tb는 게이트펄스( $G(N)$ )의 폴링이 시작된 후 임계전압( $V_{th}$ ) 이하로 감압되어 T1 내지 Tm 박막트랜지스터가 오프되는 오프타임을 표시한다.

한편, 종래의 일반적인 어레이기판에 있어서, 게이트펄스( $G(N)$ )의 폴링이 시작된 후에도 한동안 데이터펄스( $D(N)$ )는 일정한 전위를 유지하고, 게이트펄스( $G(N)$ )가 임계전압( $V_{th}$ ) 이하로 감압된 후, 비로소 데이터펄스( $D(N)$ )의 폴링이 시작된다. 이의 이유는 다음의 게이트라인( $G(N+1)$ )으로 전달되어야 할 데이터펄스( $D(N+1)$ )에 의한 신호잡음을 해결하기 위한 것으로, 이 경우 게이트라인의 알씨딜레이로 인한 게이트펄스 폴링 시간이 지연이 발생되면 결국 차징타임을 줄여야 하므로 화상의 질을 저하시키는 앞서 언급한 바 있다.

그러나 본 발명에 따른 어레이기판은  $G_m-1$  게이트라인으로 게이트펄스( $G(N)$ )가 인가되면 이는 T'm 제 2 박막트랜지스터를 온 시키게 되고, 이를 통해  $G_m-2$  게이트라인으로 제 1 박막트랜지스터 오프전압을 전달하여 이에 대응된 제 1 박막트랜지스터를 강제 오프시킨다.

따라서 일반적인 경우에서 발생할 수 있는 알씨 딜레이로 인한 폴링시간의 지연을 해결하는 바, 도 8a와 8b를 비교할 경우 게이트펄스( $G(N)$ )의 폴링시간이 별반 차이나지 않는 것을 확인 할 수 있다.

즉,  $G_m-1$  게이트라인을 위한 게이트펄스( $G(N)$ )에 의해 T'm 박막트랜지스터가 이전단의  $G_m-2$  게이트라인으로 오프전압을 전달하고, 따라서 이와 대응된 제 1 박막트랜지스터 강제 오프됨에 따라 오프타임을 단축하게 된다.

이러한 과정은 G1 내지 Gm 게이트라인에 걸쳐 역으로 순차적 진행되고, 이를 통해 종래의 게이트펄스 폴링지연의 문제를 해결한다.

또한, 본 발명은 폴리실리콘이 사용된 액정패널에 적용될 경우 더욱 개선된 효과를 얻을 수 있는데, 잘 알려진 바와 같이 박막트랜지스터의 전기전도 캐리어층으로 폴리실리콘 재질을 사용할 경우 전하이동도가 매우 커 데이터드라이버 및/또는 게이트드라이버를 각각 하부어레이기판 내로 실장시킬 수 있다.

따라서 이와 같이 폴리실리콘 액정패널의 경우 본 발명에 따른 제 2 박막트랜지스터 및 피드라인을 하부어레이기판 상에 구성할 수 있고, 바람직하게는 제 1 박막트랜지스터와 동일공정에서 구성하는 것이 가능하다.

이를 통해 저 비용의 보다 개선된 액정표시장치를 구현한다.

### 발명의 효과

본 발명은 다수의 제 1 박막트랜지스터를 포함하는 액정패널용 하부어레이기판에 있어서, 다수의 게이트라인을 연결하는 피드라인과, 상호 연결된 상태로 각 게이트라인과 피드라인 사이에 개재되는 다수의 제 2 박막트랜지스터를 제공하여 보다 개선된 액정표시장치를 구현한다.

이때 이들 다수의 제 2 박막트랜지스터는 자신에 연결된 게이트라인의 게이트펄스를 통해 이전의 게이트라인으로 피드라인의 오프전압을 전달한다. 이에 게이트라인의 알씨 딜레이로 인한 폴링시간의 지연시간을 단축하고, 이를 통해 디스플레이 되는 화상의 좌우 휘도차와 대비비의 불균일도를 개선함은 물론, 잔상과 깜박임(flicker)등 여러 가지 단점을 극복할 수 있는 잇점이 있다.

특히 본 발명에 따른 어레이기판을 사용할 경우 게이트모듈레이션 기능을 가지는 별도의 회로를 생략할 수 있고, 다수의 게이트라인의 일단에 하나의 게이트드라이버만을 사용하여도 개선된 화상을 얻을 수 있다.

또한 본 발명은 폴리실리콘이 사용된 액정표시장치에 적용이 가능한 바, 이 경우 다수의 제 2 박막트랜지스터를 하부어레이기판의 제조공정에서 구현할 수 있고, 이를 통해 보다 저 비용으로 보다 개선된 액정표시장치를 구현 가능하게 한다.

### (57) 청구의 범위

#### 청구항 1.

투명기관과, 상기 투명기관 상에 중첩 배열되어 매트릭스 형태의 화소를 각각 정의하는 다수의 평행한 게이트라인 및 데이터라인과, 상기 각 화소에 실장되는 화소전극과, 상기 각 화소에 실장되며 상기 게이트라인에 연결되는 게이트전극, 상기 데이터라인에 연결되는 소스전극, 상기 화소전극과 연결되는 드레인전극을 포함하는 다수의 제 1 박막트랜지스터와, 상기 다수의 게이트라인 일 끝단을 연결하여 상기 각 게이트라인에 순차적으로 게이트펄스를 일방향 스캔 전달하는 게이트드라이버와, 상기 다수의 데이터라인 일 끝단을 연결하여 상기 다수의 데이터라인으로 데이터펄스를 전달하는 데이터드라이버를 포함하는 액정표시장치용 어레이기관으로서,

상기 제 1 박막트랜지스터의 오프전원을 출력하는 피드라인과;

상기  $n$ ( $n$ 은 임의의 정수)번째 게이트라인 끝단으로 출력되는 게이트펄스를 통해 상기 게이트드라이버 스캔 반대방향의  $n-1$ 번째 게이트라인 끝단으로 상기 오프전압을 전달하는 다수의 제 2 박막트랜지스터를 포함하는 액정표시장치용 어레이기관.

## 청구항 2.

제 1항에 있어서,

상기 다수의 제 2 박막트랜지스터는 상기  $n$ 번째 게이트라인 끝단에 연결되는 게이트전극과, 상기  $n-1$ 번째 게이트라인 끝단으로 연결되는 드레인전극과, 상기 피드라인에 연결되는 소스전극을 포함하는 액정표시장치용 어레이기관.

## 청구항 3.

제 1항에 있어서,

상기 데이터드라이버와, 상기 게이트드라이버와, 상기 다수의 제 2 박막트랜지스터는 각각 상기 투명기관 상에 형성되는 액정표시장치용 어레이기관.

## 청구항 4.

제 1항에 있어서,

상기 피드라인은 접지전위인 액정표시장치용 어레이기관.

## 청구항 5.

청구항 1에 있어서,

상기 피드라인은 공통전극전압을 출력하는 액정표시장치용 어레이기관.

## 청구항 6.

청구항 1에 있어서,

상기 게이트펄스는 상기 제 1 박막트랜지스터 온 전압인 게이트하이전압과, 상기 제 1 박막트랜지스터 오프전압인 게이트로우전압을 포함하는 액정표시장치용 어레이기관.

## 청구항 7.

청구항 6에 있어서,

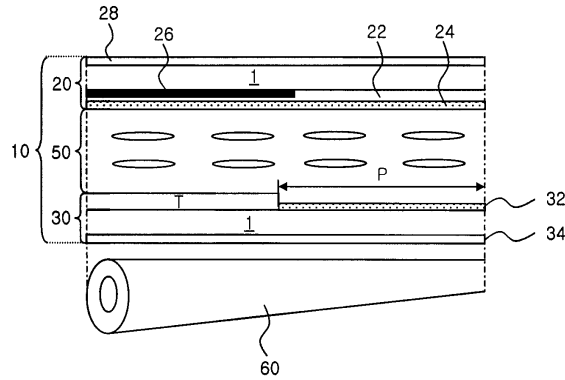
상기 피드라인은 상기 게이트펄스의 게이트로우전압을 출력하는 액정표시장치용 어레이기관.

## 청구항 8.

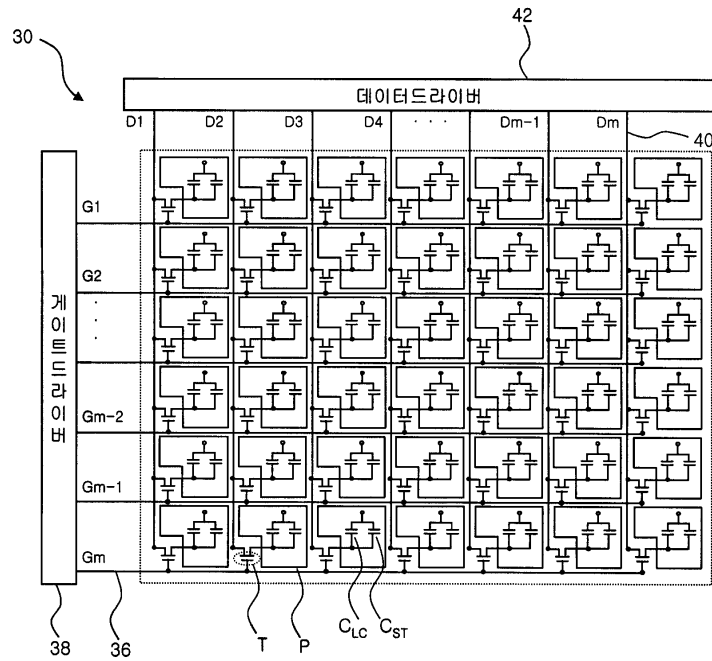
삭제

도면

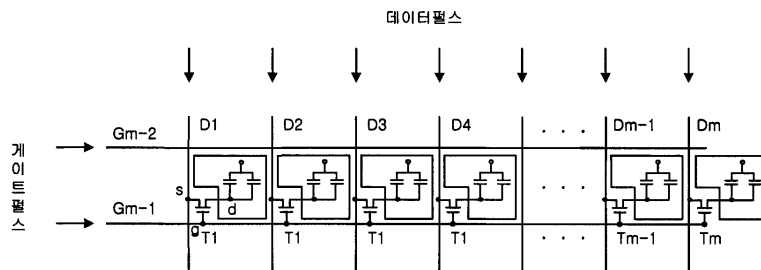
도면1



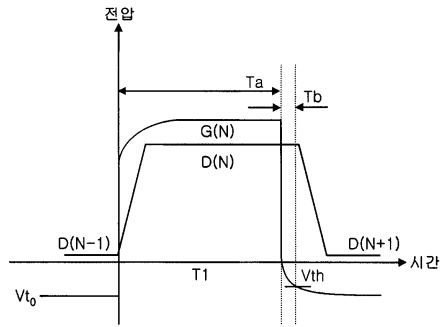
도면2



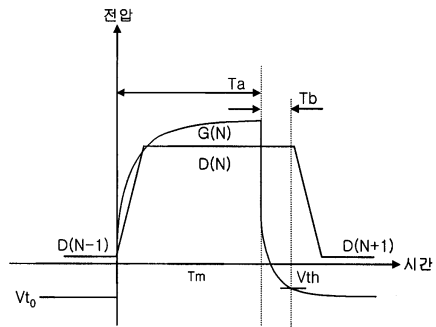
도면3



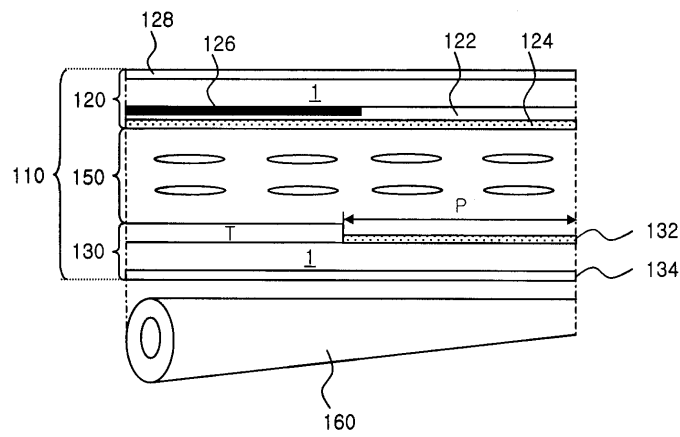
도면4a



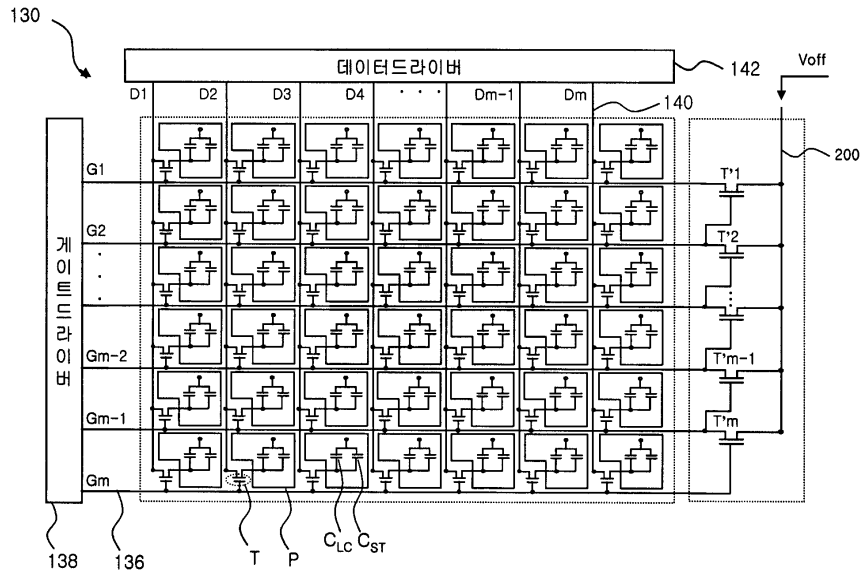
도면4b



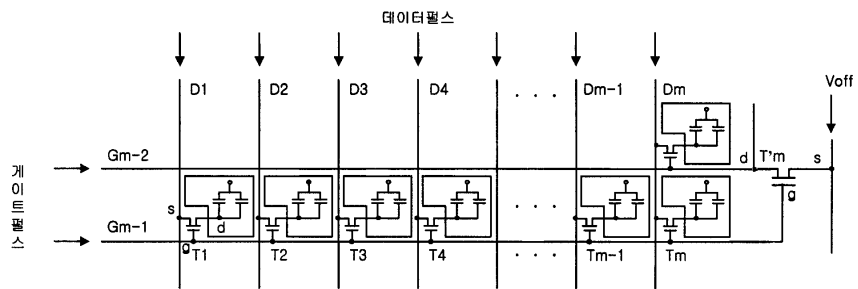
도면5



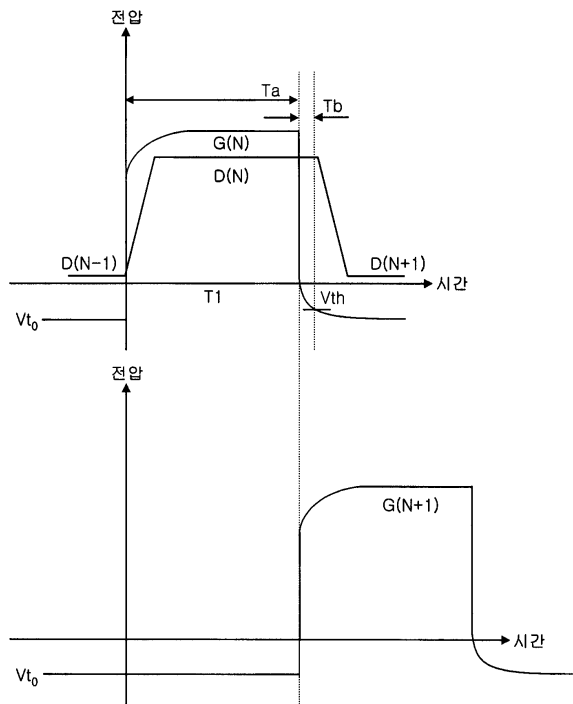
도면6



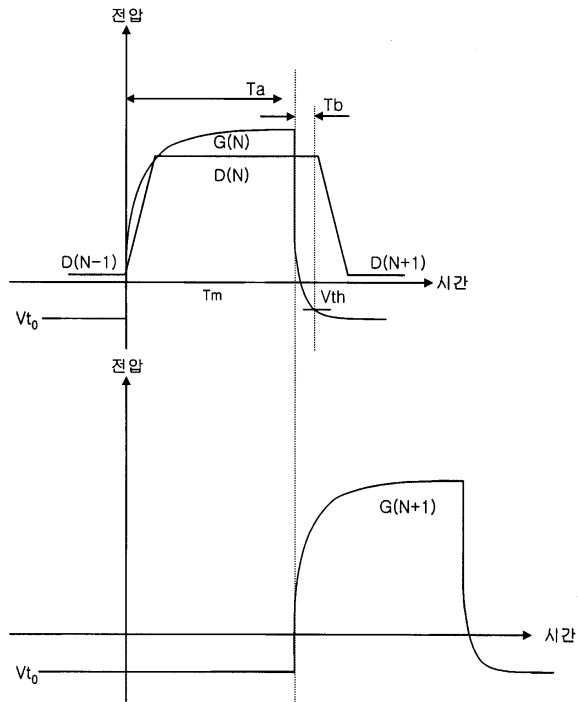
도면7



도면8a



도면8b



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	<a href="#">KR100482160B1</a>	公开(公告)日	2005-04-13
申请号	KR1020020053208	申请日	2002-09-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU YOUNG		
发明人	LEE, JU YOUNG		
IPC分类号	G09G3/36 H01L21/00 G02F1/136		
CPC分类号	G09G3/3677 G09G3/3648 G09G2310/0251 G09G2300/0408 G09G2320/0209 G09G2320/0223		
其他公开文献	KR1020040021384A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种构成液晶显示器用液晶面板的下阵列基板，包括：透明基板；多条栅极线平行排列在透明基板上；多条平行数据线设置在透明基板上，以垂直于栅极线，以限定矩阵形式的像素；多条栅极线的末端栅极驱动器，用于在一个方向上顺序地将栅极脉冲连接到栅极线；连接多条数据线的末端以将数据脉冲传输到多条数据线的数据驱动器；像素电极安装在每个像素上；栅极连接到栅极线，栅极连接到数据线多个第一薄膜晶体管，每个第一薄膜晶体管具有连接到像素电极的源电极和漏电极，第一薄膜晶体管安装在每个像素上；用于输出第一薄膜晶体管的截止功率的馈线；以及多个第二薄膜晶体管，每个第二薄膜晶体管在互连状态下互连馈电线和多条栅极线。度

