

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
7 septembre 2001 (07.09.2001)

PCT

(10) Numéro de publication internationale
WO 01/65532 A1

(51) Classification internationale des brevets⁷ : G09G 3/36,
3/32

(21) Numéro de la demande internationale :
PCT/FR01/00539

(22) Date de dépôt international :
23 février 2001 (23.02.2001)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
00/02410 25 février 2000 (25.02.2000) FR

(71) Déposant (pour tous les États désignés sauf US) : THOM-
SON-LCD [FR/FR]; 173 boulevard Haussmann, F-75008
Paris (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : BAYOT,

Jean-Marc [FR/FR]; Thomson Multimedia, 46, quai
Alphonse le Gallo, F-92648 Boulogne Cedex (FR). LE-
BRUN, Hugues [FR/FR]; Thomson Multimedia, 46, quai
Alphonse Le Gallo, F-92648 Boulogne Cedex (FR).

(74) Mandataire : RUELLAN-LEMONNIER, Brigitte;
Thomson Multimedia, 46, quai Alphonse Le Gallo,
F-92648 Boulogne Cedex (FR).

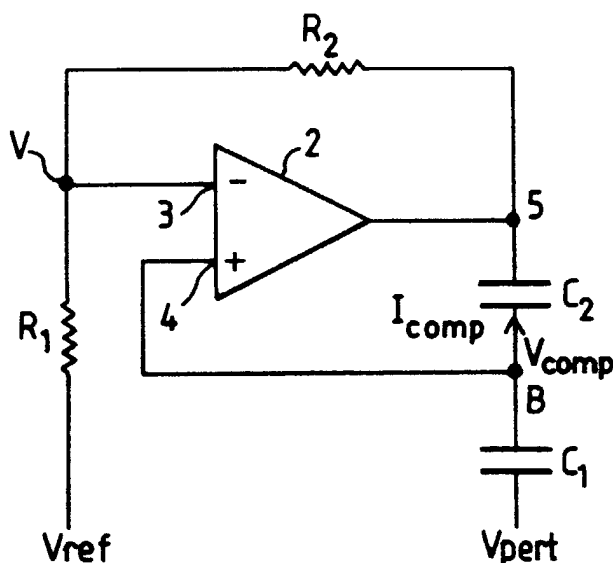
(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE,
DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,
NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR,
TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) États désignés (régional) : brevet ARIPO (GH, GM, KE,
LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), brevet eurasien
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen
(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE, TR), brevet OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

[Suite sur la page suivante]

(54) Title: METHOD FOR COMPENSATING A PERTURBED CAPACITIVE CIRCUIT AND APPLICATION TO MATRIX
DISPLAY DEVICE

(54) Titre : PROCEDE DE COMPENSATION D'UN CIRCUIT CAPACITIF PERTURBE ET APPLICATION AUX ECRANS DE
VISUALISATION MATRICIELS



(57) Abstract: The invention concerns a method for compensating a circuit comprising a first conductor (Ij) with specific potential, at least a second conductor (ci) generating perturbations on the first conductor by capacitive coupling, a first bus (CE) at a reference voltage in capacitive coupling with the first conductor. The method comprises the following steps: measuring the current flowing on the first bus (CE) when a voltage is applied on the second conductor; integrating a measured current so as to obtain a compensating voltage to be applied on the first conductor. The invention is applicable to AM-LCD type liquid crystal display screens.

(57) Abrégé : La présente invention concerne un procédé de compensation d'un circuit comportant au moins un premier conducteur (Ij) à un potentiel déterminé, au moins un second conducteur (ci) générant des perturbations sur le premier conducteur par couplage capacitif, un premier bus (CE) à une tension de référence couplé capacitivement au premier conducteur. Le procédé comporte les étapes suivantes: mesure du courant circulant sur le premier bus (CE) lors de l'application d'une tension sur le second

conducteur, intégration d'un courant mesuré de manière à obtenir une tension de compensation à appliquer sur le premier conducteur. Applications aux écrans à cristaux liquides du type AM-LCD.

WO 01/65532 A1

**Publiée :**

- avec rapport de recherche internationale
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

PROCEDE DE COMPENSATION D'UN CIRCUIT CAPACITIF PERTURBE ET APPLICATION AUX ECRANS DE VISUALISATION MATRICIELS

La présente invention concerne un perfectionnement au procédé de compensation d'un circuit capacitif perturbé. Elle concerne
5 plus particulièrement un procédé de compensation des perturbations capacitives dans un écran de visualisation matriciel.

La présente invention concerne aussi l'application de ce procédé aux écrans de visualisation matriciels, plus particulièrement aux
10 écrans de visualisation du type matrice active. Elle concerne donc un dispositif de compensation de potentiel pour écran de visualisation commandé par un réseau d'électrodes disposé en lignes et en colonnes. Il s'agit plus particulièrement d'écrans à cristaux liquides à matrice active, mais d'autres écrans du même type peuvent aussi être utilisés tels que
15 les écrans LCOS ou les écrans fonctionnant sur le même principe.

Pour faciliter la description, la présente invention sera décrite en se référant à un écran de visualisation du type écran à cristaux liquides ou LCD à matrice active. Mais elle peut aussi s'appliquer à tout système capacitif perturbé qui nécessite une compensation, celle-ci étant réalisée
20 sans rajouter de ligne de mesure spécifique, mais en utilisant un plan conducteur tel que la contre-électrode d'un écran LCD à matrice active, déjà présent par construction dans le système capacitif.

Dans le cas d'un écran de visualisation du type écran à cristaux liquides à matrice active, celui-ci est constitué, de manière connue, d'un
25 ensemble de lignes parallèles et d'un ensemble de colonnes parallèles disposées perpendiculairement les unes aux autres auxquels sont reliés par l'intermédiaire d'un moyen de commutation tel qu'un transistor TFT des éléments-images ou pixels. Ce type d'écran peut fonctionner de manière séquentielle, les lignes étant activées les unes après les autres
30 tandis que les données sont affichées sur les colonnes ou vice-versa. Dans le cas d'un fonctionnement séquentiel ligne par ligne, le circuit de

commande des lignes impose un premier potentiel de sélection sur la ligne choisie, les autres lignes étant rapportées à un potentiel de référence. Pendant une partie de la durée correspondant à la commande-lignes, les circuits de commande-colonnes imposent sur toutes les colonnes un potentiel fonction des données à afficher. De ce fait, tous les circuits de commande-colonnes changent simultanément d'état. Ces changements simultanés d'état produisent donc un couplage capacitif entre lignes et colonnes d'autant plus important que la différence entre l'impédance de commande et l'impédance de charge est grande au profit de cette dernière. Or, ce couplage appelé couplage colonne-ligne-colonne ou CLC entraîne des variations de contraste d'une colonne à l'autre de l'écran, si il n'est pas compensé.

Ainsi, différentes solutions ont été proposées pour compenser les couplages capacitifs existant entre les lignes et les colonnes d'un écran matriciel utilisant des dispositifs de commande-lignes ou colonnes, plus particulièrement ceux présentant une impédance de sortie haute ou moyenne. Un circuit de compensation de ce type est décrit par exemple dans la demande de brevet français n° 94 05987 déposée le 17 mai 1994 au nom de THOMSON-LCD et publiée sous le n° 2 720 185. Dans ce cas, on utilise une électrode supplémentaire couplée capacitivement par des capacités à chacune des lignes de l'écran pour réaliser la compensation ainsi qu'une ligne supplémentaire couplée aussi capacitivement aux colonnes de l'écran qu'elle croise pour détecter le niveau de compensation à apporter. Dans ce cas, deux électrodes supplémentaires sont nécessaires pour réaliser la mesure du déséquilibre dû au couplage capacitif et la compensation de ce déséquilibre.

Pour remédier à cet inconvénient, on a proposé dans la demande de brevet français n° 97 06940 déposée le 5 juin 1997 et publiée sous le n° 2 764 424 au nom de THOMSON-LCD, de n'utiliser qu'un seul bus ou électrode supplémentaire pour réaliser à la fois la

mesure du déséquilibre et la compensation de ce déséquilibre. Dans ce cas, l'on utilise un circuit de compensation des déséquilibres dus au couplage capacitif lignes/colonnes pendant les phases de commande, dont l'entrée et la sortie sont couplées audit bus supplémentaire. Comme représenté sur la figure 1, le circuit de compensation utilisé est constitué par un amplificateur opérationnel 2 dont une entrée, à savoir l'entrée négative 3, est reliée par l'intermédiaire d'une impédance, à savoir la résistance R1 dans le mode de réalisation représenté, à une tension de référence V_{ref} . Cette entrée 3 est aussi reliée par l'intermédiaire d'une seconde impédance, à savoir la résistance R2, à la sortie 5 de l'amplificateur opérationnel. De plus, la seconde entrée, à savoir l'entrée positive 4, est reliée au point B de connexion au bus supplémentaire de compensation et elle est aussi connectée à travers une première capacité C2 à la sortie 5 de l'amplificateur opérationnel. D'autre part, le point B est connecté au bus de compensation à travers la capacité de compensation C1 dont la valeur est égale à la somme des capacités reliant le ou les bus supplémentaires à chaque ligne du réseau matriciel. Pour détecter les pertes V_{pert} avec le montage ci-dessus, lorsque les lignes sont perturbées capacitivement par les colonnes, la sortie 5 de l'amplificateur opérationnel 2 est modifiée de manière à ramener la tension ligne à une valeur égale à la tension de référence permettant donc de compenser le déséquilibre avec le même bus.

Le circuit ci-dessus est un compensateur à impédance négative. Il convertit tout courant dans la capacité de compensation C1 en une variation de tension inverse dans cette même capacité. Ce type de circuit est très sensible aux courants de fuite dans les circuits de commande-lignes et aux courants issus des capacités du bus de compensation lors de l'application d'autres signaux de commande de l'écran. De ce fait, le circuit décrit ci-dessus entre en oscillations lorsque la tension de compensation devient trop importante.

La présente invention a pour but de remédier aux inconvénients mentionnés ci-dessus en proposant un nouveau procédé de compensation d'un circuit capacitivement perturbé ainsi qu'un nouveau circuit pour la mise en œuvre du procédé.

5 Ainsi, la présente invention a pour objet un procédé de compensation des perturbations capacitives dans un écran de visualisation comportant un réseau d'électrodes disposées matriciellement en lignes l_j (j variant de 1 à m) et en colonnes c_i (i variant de 1 à n), les électrodes étant reliées à des éléments-image ou pixels, une capacité de
10 couplage étant associée à chaque croisement ligne / colonne, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments-image et ayant par construction une capacité non nulle avec l'ensemble des colonnes, un circuit de commande-lignes et un circuit de commande-colonnes et au moins un bus conducteur de
15 compensation croisant l'ensemble des lignes, ledit procédé étant caractérisé par les étapes suivantes :

- mesure du courant circulant dans le plan conducteur lors de l'application d'une tension sur au moins une colonne,
- intégration du courant mesuré de manière à obtenir une
20 tension de compensation à appliquer sur au moins une ligne par l'intermédiaire du bus de compensation couplé capacitivement aux lignes.

Selon un mode de réalisation préférentiel, la mesure du courant est réalisée par une première impédance en série avec le plan conducteur
25 et l'intégration du courant est réalisée par un circuit intégrateur monté en parallèle sur la première impédance. De préférence, le circuit intégrateur est constitué par un amplificateur opérationnel et un circuit de contre-réaction constitué par une capacité montée entre la borne de sortie et une des bornes d'entrée de l'amplificateur opérationnel. Selon une variante, le
30 circuit de contre-réaction peut être constitué par une capacité et une

impédance parallèle, ce qui limite le gain de l'intégrateur aux hautes fréquences.

5 Selon une autre caractéristique, une seconde impédance est montée en série entre ladite borne d'entrée de l'amplificateur opérationnel et une borne de la première impédance, cette seconde impédance pouvant être variable. Une troisième impédance peut être connectée entre l'autre borne de la première impédance et la seconde borne d'entrée de l'amplificateur opérationnel. Cette troisième impédance peut aussi être
10 variable.

La présente invention concerne aussi un écran de visualisation comportant un réseau d'électrodes disposé matriciellement en lignes L_j (j variant de 1 à m) et en colonnes C_i (i variant de 1 à m), les électrodes
15 étant reliées à des éléments-images ou pixels, une capacité de couplage étant associée à chaque croisement lignes / colonnes, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments-images et ayant par construction une capacité non nulle avec l'ensemble des colonnes, de circuits de commande-lignes et colonnes et
20 au moins un bus conducteur de compensation croisant l'ensemble des lignes, le plan conducteur et le bus conducteur étant connectés à un circuit de compensation des perturbations dues au couplage capacitif lignes / colonnes mettant en œuvre le procédé ci-dessus.

De préférence, l'écran de visualisation est un écran à cristaux
25 liquides à matrice active, un écran de type LCOS ou tout écran de visualisation de type semblable. De plus, le plan conducteur à une tension de référence est constitué, par la contre-électrode de l'écran de visualisation.

30 D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description d'un mode de réalisation

préférentiel, cette description étant faite avec référence aux dessins ci-annexés dans lesquels :

la figure 1 déjà décrite représente un circuit de compensation selon l'art antérieur,

5 la figure 2 représente schématiquement un écran de visualisation à cristaux liquides du type matrice active auquel peut s'appliquer la présente invention,

la figure 3 représente un circuit de compensation conforme à la présente invention,

10 la figure 4 représente une variante du circuit de compensation conforme à la présente invention, et

la figure 5 représente des mesures de tension aux bornes de la résistance de mesure et sur le bus de compensation effectuées sur un écran XGA.

15 On décrira avec référence à la figure 2, un écran de visualisation à réseau matriciel, plus particulièrement un écran à cristaux liquides muni d'un bus de compensation permettant la mise en œuvre de la présente invention. Cet écran de visualisation est constitué par un réseau matriciel de lignes lj (j variant de 1 à m) et de colonnes ci (i variant
20 de 1 à n) disposé perpendiculairement. Au croisement de chaque ligne et de chaque colonne est prévu un transistor de commande T , en général un transistor en couches minces ou TFT qui commande un pixel symbolisé par une capacité C . Dans le cas d'un écran à cristaux liquides, une des électrodes de la capacité C est constituée par l'électrode de pixel tandis
25 que l'autre électrode est constituée par une contre-électrode CE commune à tous les pixels. De manière connue, les lignes sont connectées à des circuits de commande-lignes non représentés tandis que les colonnes sont connectées à des circuits de commande-colonnes non représentés. Comme expliqué dans l'introduction, lorsque les sorties
30 des circuits de commande-lignes ne sont pas à basse impédance, il existe des couplages capacitifs non-négligeables représentés par les capacités

Cij entre les lignes et les colonnes. Aussi, pour remédier à cet inconvénient et comme représenté sur la figure 2, on prévoit au moins un bus supplémentaire ou bus de compensation e. Ce bus de compensation e est réalisé parallèlement aux colonnes ci et est couplé capacitivement par des capacités référencées Ccomp à chacune des lignes lj de l'écran.

Dans le circuit décrit ci-dessus, la contre-électrode qui constitue l'électrode de référence pour la capacité à cristal liquide peut être considérée comme une référence de tension pour l'écran de visualisation. Or, chaque colonne a une capacité non-nulle avec la contre-électrode et la colonne charge ou décharge cette capacité à chaque commutation. Conformément à la présente invention, la variation de tension des colonnes peut donc être déduite de la mesure du courant dans le plan de référence de tension, à savoir dans la contre-électrode. En effet, la commutation de tension au niveau des colonnes génère des appels de courant dans la contre-électrode et l'intégrale du courant mesuré dans la contre-électrode est proportionnelle à la variation de tension de la colonne lors de la commutation. Cette valeur peut donc être utilisée pour compenser les perturbations dues au couplage lignes/colonnes ou perturbations CLC.

On décrira maintenant, avec référence à la figure 3, un premier circuit permettant de réaliser la compensation conformément à la présente invention. Ce circuit comporte essentiellement un moyen de mesure du courant circulant sur la contre-électrode lors de l'application d'une tension sur les colonnes d'un écran LCD et un moyen permettant d'intégrer le courant mesuré de manière à obtenir une tension de compensation à appliquer sur les lignes par l'intermédiaire du bus de compensation. Le moyen de mesure du courant est constitué par une impédance, à savoir la résistance Rm montée en série avec la contre-électrode de l'écran à cristaux liquides à matrice active. Cette résistance Rm est connectée, au niveau de la borne A, au circuit de commande du

signal de contre-électrode qui permet d'appliquer une tension de référence sur la contre-électrode. Le circuit d'intégration est constitué de manière connue par un amplificateur opérationnel IC1 dont la sortie est connectée par l'intermédiaire d'une capacité C_{int} sur une des entrées, à savoir l'entrée - de l'amplificateur IC1. D'autre part, une résistance R_{int} est montée en série avec l'entrée - de l'amplificateur opérationnel IC1. La résistance R_m de mesure du courant circulant dans la contre-électrode est montée entre la borne + de l'amplificateur IC1 et la borne de la résistance R_{int} qui n'est pas connectée à l'entrée - de l'amplificateur IC1. La résistance R_m est donc montée en série entre le circuit de commande du signal de contre-électrode et la contre-électrode de l'écran à cristaux liquides. Avec le circuit décrit ci-dessus, la différence de potentiel aux bornes de la résistance R_m est proportionnelle au courant qui passe dans la contre-électrode. Ce courant est intégré par l'amplificateur opérationnel IC1 et la capacité C_{int} et donne en sortie une tension V_{comp} qui est proportionnelle à la tension de compensation. Cette tension V_{comp} est appliquée sur les lignes de l'écran par l'intermédiaire des capacités de compensation C_{comp} . De préférence, pour obtenir une tension de compensation adéquate, la résistance R_{int} est une résistance variable permettant de régler le gain de l'intégrateur. Selon une variante de réalisation, la contre-électrode peut être remplacée par un plan de masse. Dans ce cas, l'invention fonctionne de façon absolument identique lorsque le courant est mesuré sur ledit plan de masse qui sert alors de référence pour les capacités de stockage de tous les pixels si les colonnes ont une capacité non nulles avec le plan de masse.

Sur la figure 4, on a représenté une variante de réalisation du circuit. Dans ce cas, le circuit de contre-réaction monté entre la sortie et l'entrée - de l'amplificateur opérationnel est constitué par un filtre formé de la capacité C_{int} et d'une résistance R montée en parallèle. Cette structure limite le gain de l'intégrateur aux hautes fréquences. De plus,

une résistance R' variable ou non est montée entre la borne + de l'amplificateur opérationnel et la borne A. Les autres éléments sont identiques.

Le circuit décrit ci-dessus n'oscille pas comme représenté par les courbes de la figure 5 dans laquelle la courbe I représente la mesure de tension aux bornes de la résistance R_m et la courbe O représente la tension sur le bus de compensation en fonction du temps. Les mesures ont été faites sur un écran XGA présentant un taux de démultiplexage de 5, sur lequel au début de chaque ligne, la tension colonne est préchargée à une tension de référence, ce qui explique le pic observé sur les courbes.

La présente invention s'applique non seulement à des écrans de visualisation du type à dispositifs de commande intégrés, comportant notamment des circuits de commande-lignes haute-impédance, mais elle peut aussi s'appliquer à des écrans de visualisation à circuits de commande externes. Dans ce cas, la mesure du courant est effectuée sur la tension de blocage des lignes en entrée des circuits de commande externes. La sortie de l'amplificateur opérationnel monté en intégrateur est reliée au bus de compensation "e" de la figure 2.

Il est évident pour l'homme de l'art que la présente invention peut s'appliquer à tous types d'écran de visualisation à matrice active, du type comportant un plan conducteur similaire à la contre-électrode d'un écran LCD. Il peut s'appliquer non seulement aux écrans à cristaux liquides à matrice active du type décrit ci-dessus mais aussi aux écrans LCOS, quelque soit la technologie utilisée pour la réalisation des transistors, à savoir le silicium amorphe, le silicium polycristallin basse-température, le silicium polycristallin haute-température ou le silicium cristallin.

REVENDEICATIONS

1. Procédé de compensation des perturbations capacitatives dans un écran de visualisation comportant un réseau d'électrodes disposées matriciellement en lignes lj (j variant de 1 à m) et en colonnes ci (i variant de 1 à n), les électrodes étant reliées à des éléments-image ou pixels, une capacité de couplage étant associée à chaque croisement ligne / colonne, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments-image et ayant par construction une capacité non nulle avec l'ensemble des colonnes, un circuit de commande-lignes et un circuit de commande-colonnes et au moins un bus conducteur de compensation croisant l'ensemble des lignes, caractérisé par les étapes suivantes :

- mesure du courant circulant dans le plan conducteur lors de l'application d'une tension sur au moins une colonne (CI),
- intégration du courant mesuré de manière à obtenir une tension de compensation à appliquer sur au moins une ligne par l'intermédiaire du bus conducteur (e) de compensation couplé capacitivement aux lignes.

20

2. Procédé selon la revendication 1, caractérisé en ce que la mesure du courant est réalisée par une première impédance (R_m) en série avec le plan conducteur.

3. Procédé selon les revendications 1 et 2, caractérisé en ce que l'intégration du courant est réalisée par un circuit intégrateur (IC1, Cint, R) monté en parallèle sur la première impédance (R_m).

4. Procédé selon la revendication 3, caractérisé en ce que le circuit intégrateur est constitué par un amplificateur opérationnel (IC1) et

30

une capacité (C_{int}) montée entre la borne de sortie et une des bornes d'entrée de l'amplificateur opérationnel.

5 5. Procédé selon la revendication 3, caractérisé en ce que le circuit intégrateur est constitué par un amplificateur opérationnel (IC1) et un filtre formé d'une capacité (C_{int}) et d'une résistance (R) en parallèle, monté entre la borne de sortie et une des bornes d'entrée de l'amplificateur opérationnel (IC1)

10 6. Procédé selon les revendications 4 et 5, caractérisé en ce qu'une seconde impédance (R_{int}) est montée en série entre ladite borne d'entrée de l'amplificateur opérationnel et une borne de la première impédance.

15 7. Procédé selon les revendications 4 à 6, caractérisé en ce qu'une troisième impédance (R') est montée en série entre l'autre borne d'entrée de l'amplificateur opérationnel et l'autre borne de la première impédance (R_m).

20 8. Ecran de visualisation comportant un réseau d'électrodes disposées matriciellement en lignes l_j (j variant de 1 à m) et en colonnes c_i (i variant de 1 à n), les électrodes étant reliées à des éléments image ou pixels, une capacité de couplage étant associée à chaque croisement ligne / colonne, un plan conducteur à une tension de référence formant
25 des éléments capacitifs avec les éléments image et ayant par construction une capacité non nulle avec l'ensemble des colonnes, un circuit de commande-lignes et un circuit de commande-colonnes et au moins un bus conducteur de compensation croisant l'ensemble des lignes, caractérisé en ce que le plan conducteur et le bus conducteur sont
30 connectés à un circuit de compensation des perturbations dues aux

couplages capacitifs ligne / colonne mettant en œuvre le procédé selon l'une quelconque des revendications 1 à 7.

9. Ecran de visualisation selon la revendication 7, caractérisé en
5 ce qu'il est constitué par un écran à cristaux liquides à matrice active ou un écran LCOS.

10. Ecran de visualisation selon les revendications 8 et 9,
caractérisé en ce que le plan conducteur à une tension de référence est
10 constitué par la contre-électrode.

1/2

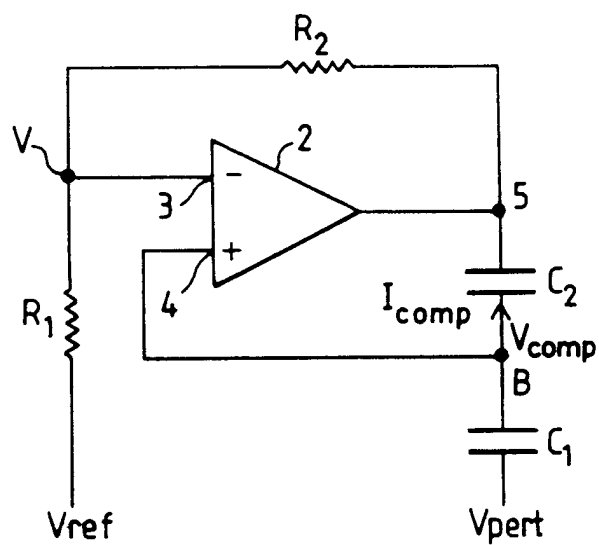


FIG.1

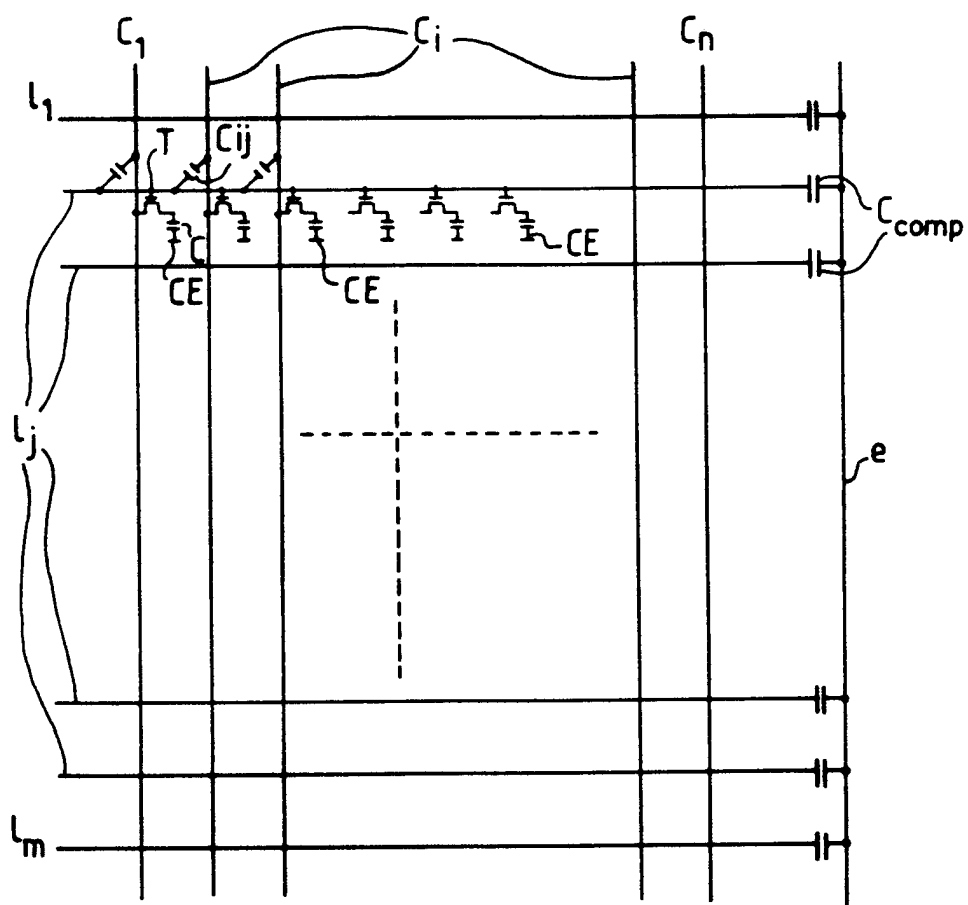
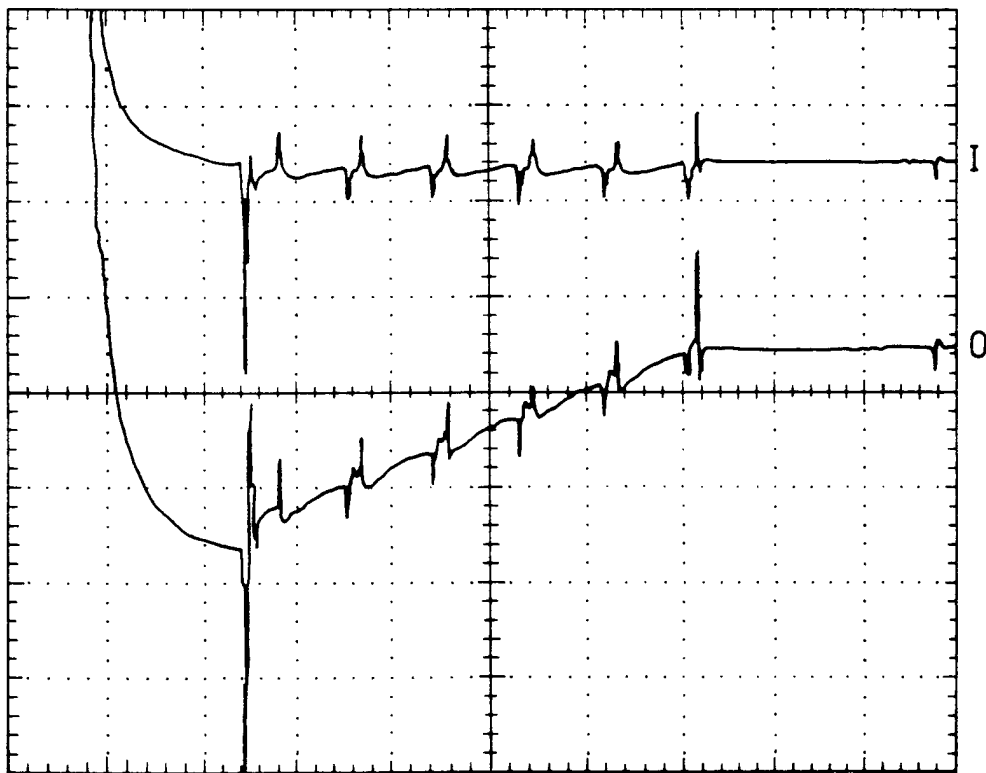
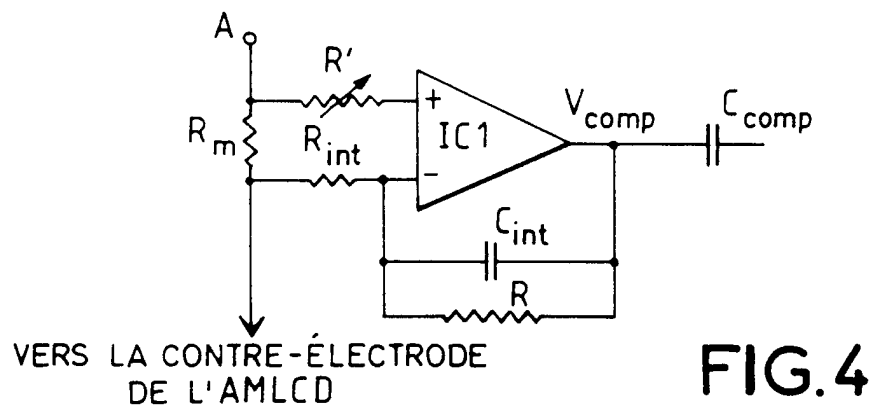
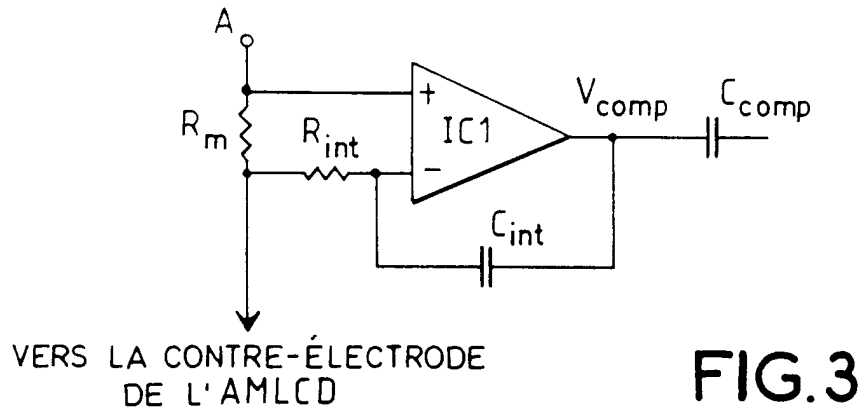


FIG.2

2/2

**FIG.5**

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 01/00539

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G09G3/36 G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	FR 2 542 896 A (SINTRA ALCATEL SA) 21 September 1984 (1984-09-21)	1-3,8
Y	page 2, line 24 -page 4, line 24 ---	4-7,9,10
Y	US 5 841 410 A (TAKAHARA KAZUHIRO ET AL) 24 November 1998 (1998-11-24) column 12, line 28 -column 13, line 11 column 14, line 7 - line 24 column 14, line 53 - line 58 figures 23,28 -----	4-7,9,10

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

6 July 2001

Date of mailing of the international search report

16/07/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Amian, D

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 01/00539

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
FR 2542896 A	21-09-1984	NONE	
US 5841410 A	24-11-1998	JP 6194622 A US 6222516 B KR 9610773 B	15-07-1994 24-04-2001 08-08-1996

RAPPORT DE RECHERCHE INTERNATIONALE

De _____ de Internationale No
PCT/FR 01/00539

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G09G3/36 G09G3/32

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G09G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
WPI Data, EPO-Internal, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	FR 2 542 896 A (SINTRA ALCATEL SA) 21 septembre 1984 (1984-09-21)	1-3,8
Y	page 2, ligne 24 -page 4, ligne 24 ----	4-7,9,10
Y	US 5 841 410 A (TAKAHARA KAZUHIRO ET AL) 24 novembre 1998 (1998-11-24) colonne 12, ligne 28 -colonne 13, ligne 11 colonne 14, ligne 7 - ligne 24 colonne 14, ligne 53 - ligne 58 figures 23,28 -----	4-7,9,10

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *8* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

6 juillet 2001

Date d'expédition du présent rapport de recherche internationale

16/07/2001

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Europeen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Amian, D

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

De de Internationale No

PCT/FR 01/00539

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
FR 2542896 A	21-09-1984	AUCUN	
US 5841410 A	24-11-1998	JP 6194622 A	15-07-1994
		US 6222516 B	24-04-2001
		KR 9610773 B	08-08-1996

专利名称(译)	补偿扰动电容电路的方法和矩阵显示装置的应用		
公开(公告)号	EP1257995A1	公开(公告)日	2002-11-20
申请号	EP2001909889	申请日	2001-02-23
[标]申请(专利权)人(译)	THALES AVIONICS LCD		
申请(专利权)人(译)	THALES AVIONICS LCD S.A.		
当前申请(专利权)人(译)	THALES AVIONICS LCD S.A.		
[标]发明人	BAYOT JEAN MARC THOMSON MULTIMEDIA LEBRUN HUGUES THOMSON MULTIMEDIA		
发明人	BAYOT, JEAN-MARC,THOMSON MULTIMEDIA LEBRUN, HUGUES,THOMSON MULTIMEDIA		
IPC分类号	G02F1/133 G09G3/20 G09G3/32 G09G3/3208 G09G3/36		
CPC分类号	G09G3/3648 G09G3/20 G09G3/32 G09G3/3208 G09G3/3655 G09G2300/043 G09G2300/08 G09G2320/0209		
代理机构(译)	CHAUVERNEFF , VLADIMIR		
优先权	2000002410 2000-02-25 FR		
其他公开文献	EP1257995B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于补偿电路的方法，该方法包括具有特定电位的第一导体 (Ij)，至少第二导体 (ci) 通过电容耦合在第一导体上产生扰动，第一总线 (CE) 处于电容的参考电压与第一导体耦合。该方法包括以下步骤：当在第二导体上施加电压时，测量在第一总线 (CE) 上流动的电流;积分测量的电流，以便获得施加在第一导体上的补偿电压。本发明适用于AM-LCD型液晶显示屏。