



(11) **EP 1 257 995 B1**

(12) **FASCICULE DE BREVET EUROPEEN**

(45) Date de publication et mention
de la délivrance du brevet:
21.04.2010 Bulletin 2010/16

(51) Int Cl.:
G09G 3/36^(2006.01) G09G 3/32^(2006.01)

(21) Numéro de dépôt: **01909889.6**

(86) Numéro de dépôt international:
PCT/FR2001/000539

(22) Date de dépôt: **23.02.2001**

(87) Numéro de publication internationale:
WO 2001/065532 (07.09.2001 Gazette 2001/36)

(54) **PROCEDE DE COMPENSATION D'UN CIRCUIT CAPACITIF PERTURBE ET APPLICATION AUX
ECRANS DE VISUALISATION MATRICIELS**

VERFAHREN ZUR KOMPENSATION EINES KAPAZITIV GESTÖRTEN SCHALTKREISES UND
ANWENDUNG BEI MATRIXBILDSCHIRMEN

METHOD FOR COMPENSATING A PERTURBED CAPACITIVE CIRCUIT AND APPLICATION TO
MATRIX DISPLAY DEVICE

(84) Etats contractants désignés:
DE FR GB IT NL

• **LEBRUN, Hugues,**
Thomson Multimedia
F-92648 Boulogne Cedex (FR)

(30) Priorité: **25.02.2000 FR 0002410**

(43) Date de publication de la demande:
20.11.2002 Bulletin 2002/47

(74) Mandataire: **Chaverneff, Vladimir**
Marks & Clerk France
Conseils en Propriété Industrielle
Immeuble " Visium "
22, avenue Aristide Briand
94117 Arcueil Cedex (FR)

(73) Titulaire: **THALES AVIONICS LCD S.A.**
75008 Paris (FR)

(72) Inventeurs:
• **BAYOT, Jean-Marc,**
Thomson Multimedia
F-92648 Boulogne Cedex (FR)

(56) Documents cités:
FR-A- 2 542 896 US-A- 5 841 410

EP 1 257 995 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la publication de la mention de la délivrance du brevet européen au Bulletin européen des brevets, toute personne peut faire opposition à ce brevet auprès de l'Office européen des brevets, conformément au règlement d'exécution. L'opposition n'est réputée formée qu'après le paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

[0001] La présente invention concerne un perfectionnement au procédé de compensation d'un circuit capacitif perturbé. Elle concerne plus particulièrement un procédé de compensation des perturbations capacitives dans un écran de visualisation matriciel.

[0002] La présente invention concerne aussi l'application de ce procédé aux écrans de visualisation matriciels, plus particulièrement aux écrans de visualisation du type matrice active. Elle concerne donc un dispositif de compensation de potentiel pour écran de visualisation commandé par un réseau d'électrodes disposé en lignes et en colonnes. Il s'agit plus particulièrement d'écrans à cristaux liquides à matrice active, mais d'autres écrans du même type peuvent aussi être utilisés tels que les écrans LCOS ou les écrans fonctionnant sur le même principe.

[0003] Pour faciliter la description, la présente invention sera décrite en se référant à un écran de visualisation du type écran à cristaux liquides ou LCD à matrice active. Mais elle peut aussi s'appliquer à tout système capacitif perturbé qui nécessite une compensation, celle-ci étant réalisée sans rajouter de ligne de mesure spécifique, mais en utilisant un plan conducteur tel que la contre-

électrode d'un écran LCD à matrice active, déjà présent par construction dans le système capacitif.

[0004] Dans le cas d'un écran de visualisation du type écran à cristaux liquides à matrice active, celui-ci est constitué, de manière connue, d'un ensemble de lignes parallèles et d'un ensemble de colonnes parallèles disposées perpendiculairement les unes aux autres auxquelles sont reliés par l'intermédiaire d'un moyen de commutation tel qu'un transistor TFT des éléments-images ou pixels. Ce type d'écran peut fonctionner de manière séquentielle, les lignes étant activées les unes après les autres tandis que les données sont affichées sur les colonnes ou vice-versa. Dans le cas d'un fonctionnement séquentiel ligne par ligne, le circuit de commande des lignes impose un premier potentiel de sélection sur la ligne choisie, les autres lignes étant rapportées à un potentiel de référence. Pendant une partie de la durée correspondant à la commande-lignes, les circuits de commande-colonnes imposent sur toutes les colonnes un potentiel fonction des données à afficher. De ce fait, tous les circuits de commande-colonnes changent simultanément d'état. Ces changements simultanés d'état produisent donc un couplage capacitif entre lignes et colonnes d'autant plus important que la différence entre l'impédance de commande et l'impédance de charge est grande au profit de cette dernière. Or, ce couplage appelé couplage colonne-ligne-colonne ou CLC entraîne des variations de contraste d'une colonne à l'autre de l'écran, si il n'est pas compensé.

[0005] Ainsi, différentes solutions ont été proposées pour compenser les couplages capacitifs existant entre les lignes et les colonnes d'un écran matriciel utilisant des dispositifs de commande-lignes ou colonnes, plus

particulièrement ceux présentant une impédance de sortie haute ou moyenne. Un circuit de compensation de ce type est décrit par exemple dans la demande de brevet français n° 94 05987 déposée le 17 mai 1994 au nom de THOMSON-LCD et publiée sous le n° 2 720 185. Dans ce cas, on utilise une électrode supplémentaire couplée capacitivement par des capacités à chacune des lignes de l'écran pour réaliser la compensation ainsi qu'une ligne supplémentaire couplée aussi capacitivement aux colonnes de l'écran qu'elle croise pour détecter le niveau de compensation à apporter. **Un circuit de compensation avec des électrodes de mesure et de compensation similaires est décrit dans la demande FR-A-2 542 896, pour une matrice passive.** Dans ce cas, des électrodes supplémentaires sont nécessaires pour réaliser la mesure du déséquilibre dû au couplage capacitif et la compensation de ce déséquilibre.

[0006] Pour remédier à cet inconvénient, on a proposé dans la demande de brevet français n° 97 06940 déposée le 5 juin 1997 et publiée sous le n° 2 764 424 au nom de THOMSON-LCD, de n'utiliser qu'un seul bus ou électrode supplémentaire pour réaliser à la fois la mesure du déséquilibre et la compensation de ce déséquilibre. Dans ce cas, l'on utilise un circuit de compensation des déséquilibres dus au couplage capacitif lignes/colonnes pendant les phases de commande, dont l'entrée et la sortie sont couplées audit bus supplémentaire. Comme représenté sur la figure 1, le circuit de compensation utilisé est constitué par un amplificateur opérationnel 2 dont une entrée, à savoir l'entrée négative 3, est reliée par l'intermédiaire d'une impédance, à savoir la résistance R1 dans le mode de réalisation représenté, à une tension de référence $V_{\text{réf}}$. Cette entrée 3 est aussi reliée par l'intermédiaire d'une seconde impédance, à savoir la résistance R2, à la sortie 5 de l'amplificateur opérationnel. De plus, la seconde entrée, à savoir l'entrée positive 4, est reliée au point B de connexion au bus supplémentaire de compensation et elle est aussi connectée à travers une première capacité C2 à la sortie 5 de l'amplificateur opérationnel. D'autre part, le point B est connecté au bus de compensation à travers la capacité de compensation C1 dont la valeur est égale à la somme des capacités reliant le ou les bus supplémentaires à chaque ligne du réseau matriciel. Pour détecter les pertes V_{pert} avec le montage ci-dessus, lorsque les lignes sont perturbées capacitivement par les colonnes, la sortie 5 de l'amplificateur opérationnel 2 est modifiée de manière à ramener la tension ligne à une valeur égale à la tension de référence permettant donc de compenser le déséquilibre avec le même bus.

[0007] Le circuit ci-dessus est un compensateur à impédance négative. Il convertit tout courant dans la capacité de compensation C1 en une variation de tension inverse dans cette même capacité. Ce type de circuit est très sensible aux courants de fuite dans les circuits de commande-lignes et aux courants issus des capacités du bus de compensation lors de l'application d'autres signaux de commande de l'écran. De ce fait, le circuit

décrit ci-dessus entre en oscillations lorsque la tension de compensation devient trop importante.

[0008] On connaît par ailleurs du document US 5 841 410 un circuit par lequel une correction de tension de contre-électrode est apportée pour contrôler la tension effective appliquée à des éléments image sélectionnés.

[0009] La présente invention a pour but de remédier aux inconvénients mentionnés ci-dessus en proposant un nouveau procédé de compensation d'un circuit capacitivement perturbé ainsi qu'un nouveau circuit pour la mise en oeuvre du procédé.

[0010] Ainsi, la présente invention a pour objet un procédé de compensation des perturbations capacitives dans un écran de visualisation comportant un réseau d'électrodes disposées matriciellement en lignes l_j (j variant de 1 à m) et en colonnes c_i (i variant de 1 à n), les électrodes étant reliées à des éléments-image ou pixels, une capacité de couplage étant associée à chaque croisement ligne colonne, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments-image et ayant par construction une capacité non nulle avec l'ensemble des colonnes, n circuit de commande-lignes et un circuit de commande-colonnes du type à moitié haute impédance et au moins un bus conducteur de compensation croisant l'ensemble des lignes, ledit procédé étant caractérisé par les étapes suivantes :

- mesure du courant circulant dans le plan conducteur lors de l'application d'une tension sur au moins une colonne,
- intégration du courant mesuré de manière à obtenir une tension de compensation à appliquer sur au moins une ligne par l'intermédiaire du bus de compensation couplé capacitivement aux lignes.

[0011] Selon un mode de réalisation préférentiel, la mesure du courant est réalisée par une première impédance en série avec le plan conducteur et l'intégration du courant est réalisée par un circuit intégrateur monté en parallèle sur la première impédance. De préférence, le circuit intégrateur est constitué par un amplificateur opérationnel et un circuit de contre-réaction constitué par une capacité montée entre la borne de sortie et une des bornes d'entrée de l'amplificateur opérationnel. Selon une variante, le circuit de contre-réaction peut être constitué par une capacité et une impédance parallèle, ce qui limite le gain de l'intégrateur aux hautes fréquences.

[0012] Selon une autre caractéristique, une seconde impédance est montée en série entre ladite borne d'entrée de l'amplificateur opérationnel et une borne de la première impédance, cette seconde impédance pouvant être variable. Une troisième impédance peut être connectée entre l'autre borne de la première impédance et la seconde borne d'entrée de l'amplificateur opérationnel. Cette troisième impédance peut aussi être variable.

[0013] La présente invention concerne aussi un écran de visualisation comportant un réseau d'électrodes disposé matriciellement en lignes l_j (j variant de 1 à m) et

en colonnes c_i (i variant de 1 à n), les électrodes étant reliées à des éléments-images ou pixels, une capacité de couplage étant associée à chaque croisement lignes / colonnes, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments-images et ayant par construction une capacité non nulle avec l'ensemble des colonnes, de circuits de commande-lignes et un circuit de commande colonnes du type à sortie haute impédance et au moins un bus conducteur de compensation croisant l'ensemble des lignes, le plan conducteur et le bus conducteur étant connectés à un circuit de compensation des perturbations dues au couplage capacitif lignes / colonnes mettant en oeuvre le procédé ci-dessus.

[0014] De préférence, l'écran de visualisation est un écran à cristaux liquides à matrice active, un écran de type LCOS ou tout écran de visualisation de type semblable. De plus, le plan conducteur à une tension de référence est constitué, par la contre-électrode de l'écran de visualisation.

[0015] D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description d'un mode de réalisation préférentiel, cette description étant faite avec référence aux dessins ci-annexés dans lesquels :

la figure 1 déjà décrite représente un circuit de compensation selon l'art antérieur,
la figure 2 représente schématiquement un écran de visualisation à cristaux liquides du type matrice active auquel peut s'appliquer la présente invention,
la figure 3 représente un circuit de compensation conforme à la présente invention,
la figure 4 représente une variante du circuit de compensation conforme à la présente invention, et
la figure 5 représente des mesures de tension aux bornes de la résistance de mesure et sur le bus de compensation effectuées sur un écran XGA.

[0016] On décrira avec référence à la figure 2, un écran de visualisation à réseau matriciel, plus particulièrement un écran à cristaux liquides muni d'un bus de compensation permettant la mise en oeuvre de la présente invention. Cet écran de visualisation est constitué par un réseau matriciel de lignes l_j (j variant de 1 à m) et de colonnes c_i (i variant de 1 à n) disposé perpendiculairement. Au croisement de chaque ligne et de chaque colonne est prévu un transistor de commande T , en général un transistor en couches minces ou TFT qui commande un pixel symbolisé par une capacité C . Dans le cas d'un écran à cristaux liquides, une des électrodes de la capacité C est constituée par l'électrode de pixel tandis que l'autre électrode est constituée par une contre-électrode CE commune à tous les pixels. De manière connue, les lignes sont connectées à des circuits de commande-lignes non représentés tandis que les colonnes sont connectées à des circuits de commande-colonnes non représentés. Comme expliqué dans l'introduction, lorsque

les sorties des circuits de commande-lignes ne sont pas à basse impédance, il existe des couplages capacitifs non-négligeables représentés par les capacités C_{ij} entre les lignes et les colonnes. Aussi, pour remédier à cet inconvénient et comme représenté sur la figure 2, on prévoit au moins un bus supplémentaire ou bus de compensation e . Ce bus de compensation e est réalisé parallèlement aux colonnes c_i et est couplé capacitivement par des capacités référencées C_{comp} à chacune des lignes l_j de l'écran.

[0017] Dans le circuit décrit ci-dessus, la contre-électrode qui constitue l'électrode de référence pour la capacité à cristal liquide peut être considérée comme une référence de tension pour l'écran de visualisation. Or, chaque colonne a une capacité non-nulle avec la contre-électrode et la colonne charge ou décharge cette capacité à chaque commutation. Conformément à la présente invention, la variation de tension des colonnes peut donc être déduite de la mesure du courant dans le plan de référence de tension, à savoir dans la contre-électrode. En effet, la commutation de tension au niveau des colonnes génère des appels de courant dans la contre-électrode et l'intégrale du courant mesuré dans la contre-électrode est proportionnelle à la variation de tension de la colonne lors de la commutation. Cette valeur peut donc être utilisée pour compenser les perturbations dues au couplage lignes/colonnes ou perturbations CLC.

[0018] On décrira maintenant, avec référence à la figure 3, un premier circuit permettant de réaliser la compensation conformément à la présente invention. Ce circuit comporte essentiellement un moyen de mesure du courant circulant sur la contre-électrode lors de l'application d'une tension sur les colonnes d'un écran LCD et un moyen permettant d'intégrer le courant mesuré de manière à obtenir une tension de compensation à appliquer sur les lignes par l'intermédiaire du bus de compensation. Le moyen de mesure du courant est constitué par une impédance, à savoir la résistance R_m montée en série avec la contre-électrode de l'écran à cristaux liquides à matrice active. Cette résistance R_m est connectée, au niveau de la borne A, au circuit de commande du signal de contre-électrode qui permet d'appliquer une tension de référence sur la contre-électrode. Le circuit d'intégration est constitué de manière connue par un amplificateur opérationnel IC1 dont la sortie est connectée par l'intermédiaire d'une capacité C_{int} sur une des entrées, à savoir l'entrée - de l'amplificateur IC1. D'autre part, une résistance R_{int} est montée en série avec l'entrée - de l'amplificateur opérationnel IC1. La résistance R_m de mesure du courant circulant dans la contre-électrode est montée entre la borne + de l'amplificateur IC1 et la borne de la résistance R_{int} qui n'est pas connectée à l'entrée - de l'amplificateur IC1. La résistance R_m est donc montée en série entre le circuit de commande du signal de contre-électrode et la contre-électrode de l'écran à cristaux liquides. Avec le circuit décrit ci-dessus, la différence de potentiel aux bornes de la résistance R_m est proportionnelle au courant qui passe dans la contre-

électrode. Ce courant est intégré par l'amplificateur opérationnel IC1 et la capacité C_{int} et donne en sortie une tension V_{comp} qui est proportionnelle à la tension de compensation. Cette tension V_{comp} est appliquée sur les lignes de l'écran par l'intermédiaire des capacités de compensation C_{comp} . De préférence, pour obtenir une tension de compensation adéquate, la résistance R_{int} est une résistance variable permettant de régler le gain de l'intégrateur. Selon une variante de réalisation, la contre-électrode peut être remplacée par un plan de masse. Dans ce cas, l'invention fonctionne de façon absolument identique lorsque le courant est mesuré sur ledit plan de masse qui sert alors de référence pour les capacités de stockage de tous les pixels si les colonnes ont une capacité non nulles avec le plan de masse.

[0019] Sur la figure 4, on a représenté une variante de réalisation du circuit. Dans ce cas, le circuit de contre-réaction monté entre la sortie et l'entrée - de l'amplificateur opérationnel est constitué par un filtre formé de la capacité C_{int} et d'une résistance R montée en parallèle. Cette structure limite le gain de l'intégrateur aux hautes fréquences. De plus, une résistance R' variable ou non est montée entre la borne + de l'amplificateur opérationnel et la borne A. Les autres éléments sont identiques.

[0020] Le circuit décrit ci-dessus n'oscille pas comme représenté par les courbes de la figure 5 dans laquelle la courbe 1 représente la mesure de tension aux bornes de la résistance R_m et la courbe 0 représente la tension sur le bus de compensation en fonction du temps. Les mesures ont été faites sur un écran XGA présentant un taux de démultiplexage de 5, sur lequel au début de chaque ligne, la tension colonne est préchargée à une tension de référence, ce qui explique le pic observé sur les courbes.

[0021] La présente invention s'applique non seulement à des écrans de visualisation du type à dispositifs de commande intégrés, comportant notamment des circuits de commande-lignes haute-impédance, mais elle peut aussi s'appliquer à des écrans de visualisation à circuits de commande externes. Dans ce cas, la mesure du courant est effectuée sur la tension de blocage des lignes en entrée des circuits de commande externes. La sortie de l'amplificateur opérationnel monté en intégrateur est reliée au bus de compensation "e" de la figure 2.

[0022] Il est évident pour l'homme de l'art que la présente invention peut s'appliquer à tous types d'écran de visualisation à matrice active, du type comportant un plan conducteur similaire à la contre-électrode d'un écran LCD. Il peut s'appliquer non seulement aux écrans à cristaux liquides à matrice active du type décrit ci-dessus mais aussi aux écrans LCOS, quelque soit la technologie utilisée pour la réalisation des transistors, à savoir le silicium amorphe, le silicium polycristallin basse-température, le silicium polycristallin haute-température ou le silicium cristallin.

Revendications

1. Procédé de compensation des perturbations capacitatives dans un écran de visualisation comportant un réseau d'électrodes disposées matriciellement en lignes l_j (j variant de 1 à m) et en colonnes c_i (i variant de 1 à n), les électrodes étant reliées à des éléments-image ou pixels, une capacité de couplage étant associée à chaque croisement ligne/colonne, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments-images et ayant par construction une capacité non nulle avec l'ensemble des colonnes, un circuit de commande-lignes et un circuit de commande-colonnes du type à sortie haute impédance et au moins un bus conducteur de compensation croisant l'ensemble des lignes, **caractérisé par** les étapes suivantes :
 - mesure du courant circulant dans le plan conducteur lors de l'application d'une tension sur au moins une colonne (CI),
 - intégration du courant mesuré de manière à obtenir une tension de compensation à appliquer sur au moins une ligne par l'intermédiaire du bus conducteur (e) de compensation couplé capacitivement aux lignes.
2. Procédé selon la revendication 1, **caractérisé en ce que** la mesure du courant est réalisée par une première impédance (R_m) en série avec le plan conducteur.
3. Procédé selon les revendications 1 et 2, **caractérisé en ce que** l'intégration du courant est réalisée par un circuit intégrateur (IC1, C_{int} , R) monté en parallèle sur la première impédance (R_m).
4. Procédé selon la revendication 3, **caractérisé en ce que** le circuit intégrateur est constitué par un amplificateur opérationnel (IC1) et une capacité (C_{int}) montée entre la borne de sortie et une des bornes d'entrée de l'amplificateur opérationnel.
5. Procédé selon la revendication 3, **caractérisé en ce que** le circuit intégrateur est constitué par un amplificateur opérationnel (IC1) et un filtre formé d'une capacité (C_{int}) et d'une résistance (R) en parallèle, monté entre la borne de sortie et une des bornes d'entrée de l'amplificateur opérationnel (IC1).
6. Procédé selon la revendication 4 ou 5, **caractérisé en ce qu'**une seconde impédance (R_{int}) est montée en série entre ladite borne d'entrée de l'amplificateur opérationnel et une borne de la première impédance.
7. Procédé selon les revendications 4 à 6, **caractérisé en ce qu'**une troisième impédance (R') est montée en série entre l'autre borne d'entrée de l'amplifica-

teur opérationnel et l'autre borne de la première impédance (R_m).

8. Ecran de visualisation comportant un réseau d'électrodes disposées matriciellement en lignes l_j (j variant de 1 à m) et en colonnes c_i (i variant de 1 à n), les électrodes étant reliées à des éléments image ou pixels, une capacité de couplage étant associée à chaque croisement ligne/colonne, un plan conducteur à une tension de référence formant des éléments capacitifs avec les éléments image et ayant par construction une capacité non nulle avec l'ensemble des colonnes, un circuit de commande-lignes et un circuit de commande-colonnes du type à sortie haute impédance et au moins un bus conducteur de compensation croisant l'ensemble des lignes, **caractérisé en ce que** le plan conducteur et le bus conducteur sont connectés à un circuit de compensation des perturbations dues aux couplages capacitifs ligne/colonne mettant en oeuvre le procédé selon l'une quelconque des revendications 1 à 7.
9. Ecran de visualisation selon la revendication 8, **caractérisé en ce qu'**il est constitué par un écran à cristaux liquides à matrice active ou un écran LCOS.
10. Ecran de visualisation selon les revendications 8 et 9, **caractérisé en ce que** le plan conducteur à une tension de référence est constitué par la contre-électrode.

Claims

1. Process for compensating for the capacitive disturbances in a display screen comprising an array of electrodes disposed matrix-wise in rows l_j (j varying from 1 to m) and columns c_i (i varying from 1 to n), the electrodes being linked to image-elements or pixels, a coupling capacitor being associated with each row/column crossover, a conductor plane with a reference voltage forming capacitive elements together with the image-elements and having by design a nonzero capacitance with the set of column, a row-control circuit and a column-control circuit of the high impedance output type and at least one compensation conductor bus crossing the set of rows, **characterized by** the following steps:
 - measurement of the current flowing in the conductor plane upon the application of a voltage to at least one column (c_1),
 - integration of the measured current so as to obtain a compensation voltage to be applied to at least one row by way of the compensation conductor bus (e) coupled capacitively to the rows.

2. Process according to Claim 1, **characterized in that** the measurement of the current is carried out by a first impedance (R_m) in series with the conductor plane.
3. Process according to Claims 1 and 2, **characterized in that** the integration of the current is carried out by an integrator circuit (IC1, C_{int} , R) arranged in parallel with the first impedance (R_m).
4. Process according to Claim 3, **characterized in that** the integrator circuit is constituted by an operational amplifier (IC1) and a capacitor (C_{int}) arranged between the output terminal and one of the input terminals of the operational amplifier.
5. Process according to Claim 3, **characterized in that** the integrator circuit is constituted by an operational amplifier (IC1) and a filter formed of a capacitor (C_{int}) and of a resistor (R) in parallel, and which is arranged between the output terminal and one of the input terminals of the operational amplifier (IC1).
6. Process according to Claim 4 or 5, **characterized in that** a second impedance (R_{int}) is arranged in series between said input terminal of the operational amplifier and a terminal of the first impedance.
7. Process according to Claims 4 to 6, **characterized in that** a third impedance (R') is arranged in series between the other input terminal of the operational amplifier and the other terminal of the first impedance (R_m).
8. Display screen comprising an array of electrodes disposed matrix-wise in rows l_j (j varying from 1 to m) and columns c_i (i varying from 1 to n), the electrodes being linked to emends or pixels, a coupling capacitor being associated with each row/column crossover, a conductor plane with a reference voltage forming capacitive elements together with the image-elements and having by design a nonzero capacitance with the set of columns, a row-control circuit and a column-control circuit of the high impedance output type and at least one compensation conductor bus crossing the set of rows, **characterized in that** the conductor plane and the conductor bus are connected to a circuit for compensating for the disturbances due to the row/column capacitive coupling implementing the process according to any one of Claims 1 to 7.
9. Display screen according to Claim 8, **characterized in that** it consists of an active matrix liquid crystal screen or LCOS screen.
10. Display screen according to Claims 8 and 9, **characterized in that** the conductor plane with a refer-

ence voltage is constituted by the counter electrode.

Patentansprüche

1. Verfahren zur Kompensation von kapazitiven Störungen in einem Anzeigebildschirm, welcher ein Netz von Elektrode aufweist, welche matrixartig in Zeilen l_j (j variabel von 1 bis m) und in Spalten c_i (i variabel von 1 bis n) angeordnet sind, wobei die Elektroden mit Bildelementen oder Pixeln verbunden sind, eine Kopplungskapazität, welche jeder Kreuzung Zeile/Spalte zugeordnet ist, einen Flächenleiter mit einer Referenzspannung, welcher kapazitive Elemente mit den Bildelementen bildet und dem Aufbau nach eine Kapazität ungleich null mit der Anordnung der Spalten aufweist, eine Schaltung zur Zeilenansteuerung und eine Schaltung zur Spaltenansteuerung von der Art mit Ausgang hoher Impedanz, und wenigstens einen Busleiter zur Kompensation, welcher die Anordnung der Zeilen kreuzt, **gekennzeichnet durch** die folgenden Schritte:

- Messen des Stroms, welcher in dem Flächenleiter bei Anlegen einer Spannung an wenigstens eine Spalte (c_1) fließt,
- Integrieren des gemessenen Stroms derart, dass eine Kompensationsspannung erhalten wird, zum Anlegen an wenigstens eine Zeile, mittels des Busleiters (e) zur Kompensation, welcher kapazitiv mit den Zeilen gekoppelt ist.

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** das Messen des Stroms durch eine erste Impedanz (R_m), in Serie mit dem Flächenleiter, ausgeführt wird.
3. Verfahren nach Anspruch 1 und 2, **dadurch gekennzeichnet, dass** das Integrieren des Stroms durch eine Integrierschaltung (IC1, C_{int} , R) ausgeführt wird, welche zu der ersten Impedanz (R_m) parallel geschaltet ist.
4. Verfahren nach Anspruch 3, **dadurch gekennzeichnet, dass** die Integrierschaltung aus einem Operationsverstärker (IC1) und einer Kapazität (C_{int}) besteht, welche zwischen dem Ausgangsanschluss und einem der Eingangsanschlüsse des Operationsverstärkers geschaltet ist.
5. Verfahren nach Anspruch 3, **dadurch gekennzeichnet, dass** die Integrierschaltung aus einem Operationsverstärker (IC1) und einem Filter besteht, welches durch eine Kapazität (C_{int}) und einen parallelen Widerstand (R) gebildet ist, welches zwischen dem Ausgangsanschluss und einem der Eingangsanschlüsse des Operationsverstärkers (IC1) geschaltet ist.

6. Verfahren nach Anspruch 4 oder 5, **dadurch gekennzeichnet, dass** eine zweite Impedanz (R_{int}) in Serie zwischen dem Eingangsanschluss des Operationsverstärkers und einem Anschluss der ersten Impedanz geschaltet ist. 5

7. Verfahren nach Anspruch 4 bis 6, **dadurch gekennzeichnet, dass** eine dritte Impedanz (R') in Serie zwischen dem anderen Eingangsanschluss des Operationsverstärkers und dem anderen Anschluss der ersten Impedanz (R_m) geschaltet ist. 10

8. Anzeigebildschirm, welcher ein Netz von Elektroden aufweist, welche matrixartig in Zeilen l_j (j variabel von 1 bis m) und in Spalten c_i (i variabel von 1 bis n) angeordnet sind, wobei die Elektroden mit Bildelementen oder Pixeln verbunden sind, eine Kopplungskapazität, welche jeder Kreuzung Zeile/Spalte zugeordnet ist, einen Flächenleiter mit einer Referenzspannung, welcher kapazitive Elemente mit den Bildelementen bildet und dem Aufbau nach eine Kapazität ungleich null mit der Anordnung der Spalten aufweist, eine Schaltung zur Zeilenansteuerung und eine Schaltung zur Spaltenansteuerung von der Art mit Ausgang hoher Impedanz, und wenigstens einen Busleiter zur Kompensation, welcher die Anordnung der Zeilen kreuzt, **dadurch gekennzeichnet, dass** der Flächenleiter und der Busleiter mit einer Schaltung zur Kompensation von Störungen auf Grund von kapazitiven Kopplungen Zeile/Spalte verbunden sind, welche das Verfahren nach einem der Ansprüche 1 bis 7 umsetzt. 15
20
25
30

9. Anzeigebildschirm nach Anspruch 8, **dadurch gekennzeichnet, dass** er in einem Aktiv-Matrix-Flüssigkristallbildschirm oder einem LCOS-Bildschirm besteht. 35

10. Anzeigebildschirm nach Anspruch 8 und 9, **dadurch gekennzeichnet, dass** der Flächenleiter mit einer Referenzspannung in der Gegenelektrode besteht. 40

45

50

55

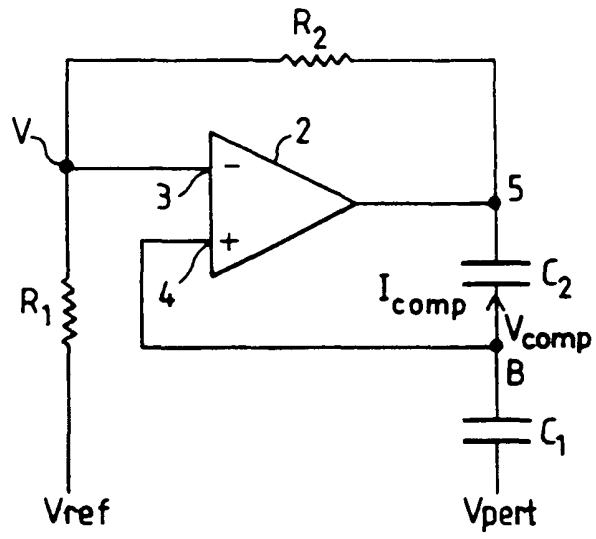


FIG.1

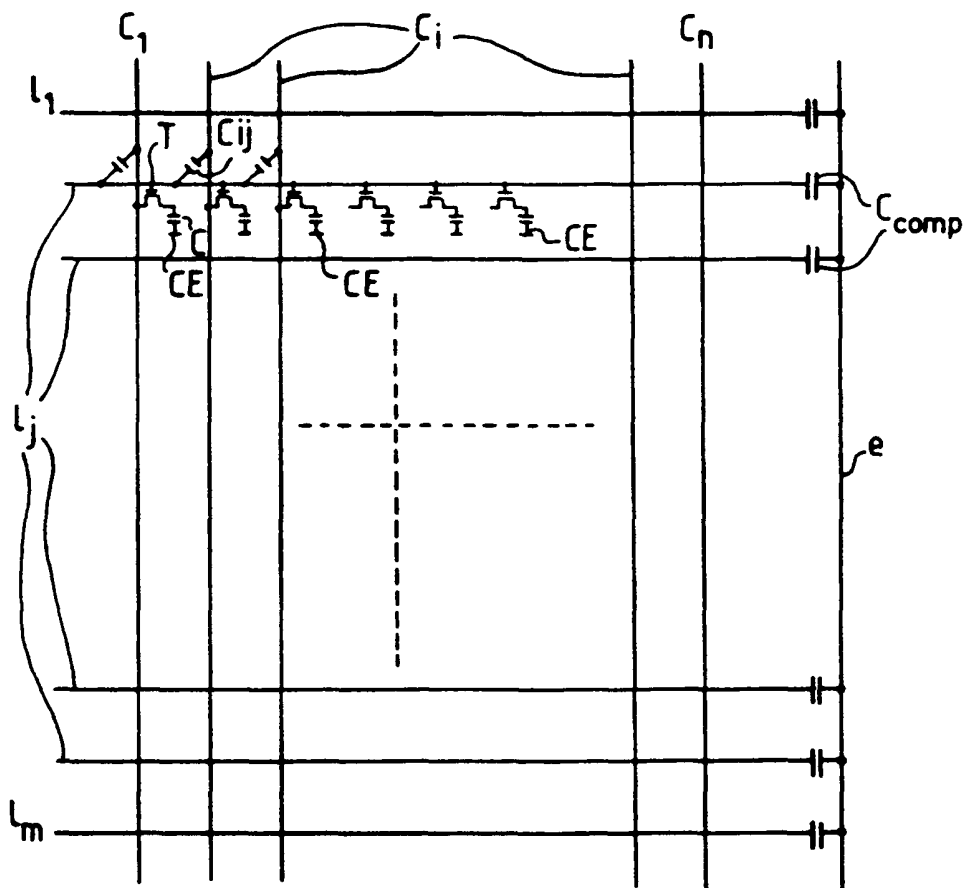


FIG.2

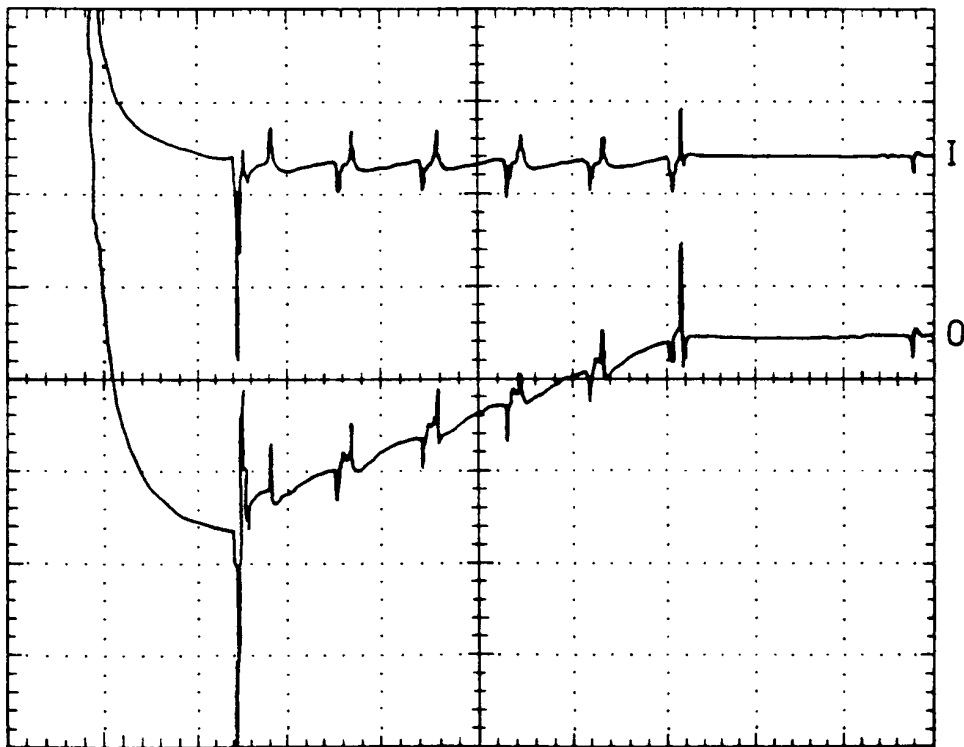
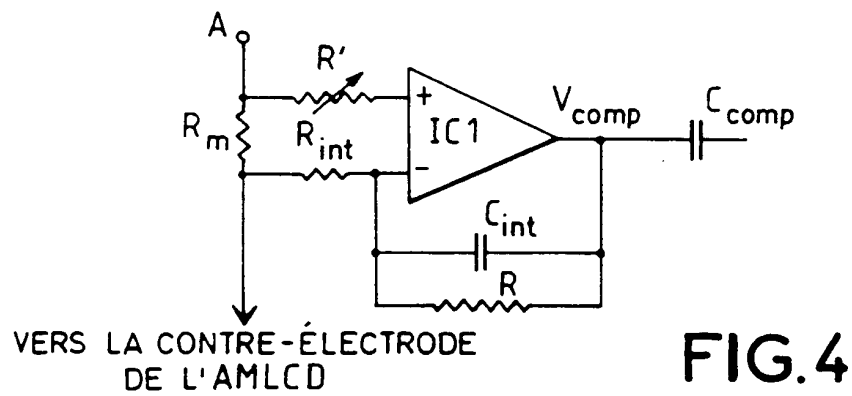
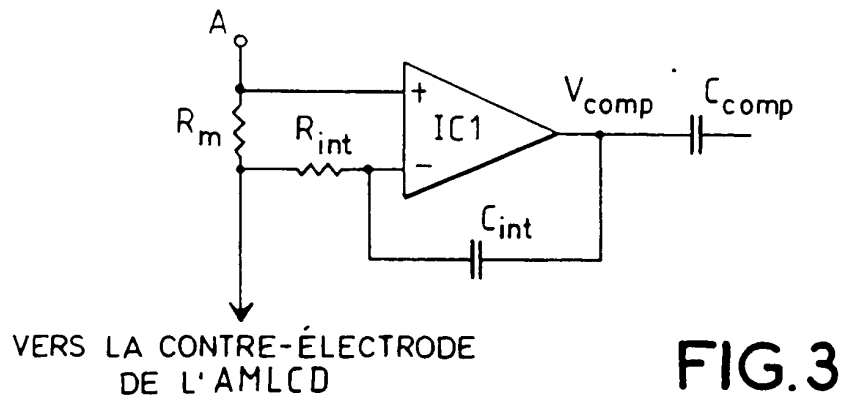


FIG.5

RÉFÉRENCES CITÉES DANS LA DESCRIPTION

Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.

Documents brevets cités dans la description

- FR 9405987 [0005]
- FR 2720185 [0005]
- FR 2542896 A [0005]
- FR 9706940 [0006]
- FR 2764424 [0006]
- US 5841410 A [0008]

专利名称(译)	补偿扰动电容电路的方法和矩阵显示装置的应用		
公开(公告)号	EP1257995B1	公开(公告)日	2010-04-21
申请号	EP2001909889	申请日	2001-02-23
[标]申请(专利权)人(译)	THALES AVIONICS LCD		
申请(专利权)人(译)	THALES AVIONICS LCD S.A.		
当前申请(专利权)人(译)	THALES AVIONICS LCD S.A.		
发明人	BAYOT, JEAN-MARC, THOMSON MULTIMEDIA LEBRUN, HUGUES, THOMSON MULTIMEDIA		
IPC分类号	G09G3/36 G09G3/32 G02F1/133 G09G3/20 G09G3/3208		
CPC分类号	G09G3/3648 G09G3/20 G09G3/32 G09G3/3208 G09G3/3655 G09G2300/043 G09G2300/08 G09G2320/0209		
代理机构(译)	CHAUVERNEFF , VLADIMIR		
优先权	2000002410 2000-02-25 FR		
其他公开文献	EP1257995A1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于补偿电路的方法，该方法包括具有特定电位的第一导体 (l_j)，至少第二导体 (c_i) 通过电容耦合在第一导体上产生扰动，第一总线 (CE) 处于电容的参考电压与第一导体耦合。该方法包括以下步骤：当在第二导体上施加电压时，测量在第一总线 (CE) 上流动的电流；积分测量的电流，以便获得施加在第一导体上的补偿电压。本发明适用于AM-LCD型液晶显示屏。

