

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
8 février 2007 (08.02.2007)

PCT

(10) Numéro de publication internationale
WO 2007/014953 A1

(51) Classification internationale des brevets :
G09G 3/36 (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2006/064913

(22) Date de dépôt international : 1 août 2006 (01.08.2006)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
05 08259 2 août 2005 (02.08.2005) FR

(71) Déposant (*pour tous les États désignés sauf US*) :
THALES [FR/FR]; 45, rue de Villiers, F-92200 Neuilly
Sur Seine (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (*pour US seulement*) : **LEBRUN,**
Hugues [FR/FR]; 100, Impasse Prévert, F-38500 Couble-
vie (FR). **KRETZ, Thierry** [FR/FR]; 165, Champ de la
Cour, F-38430 Saint Jean de Moirans (FR).

(74) Mandataires : **ESSELIN, Sophie** etc.; Marks & Clerk
France, Conseils en Propriété Industrielle, 31-33, avenue
Aristide Briand, F-94117 Arcueil Cedex (FR).

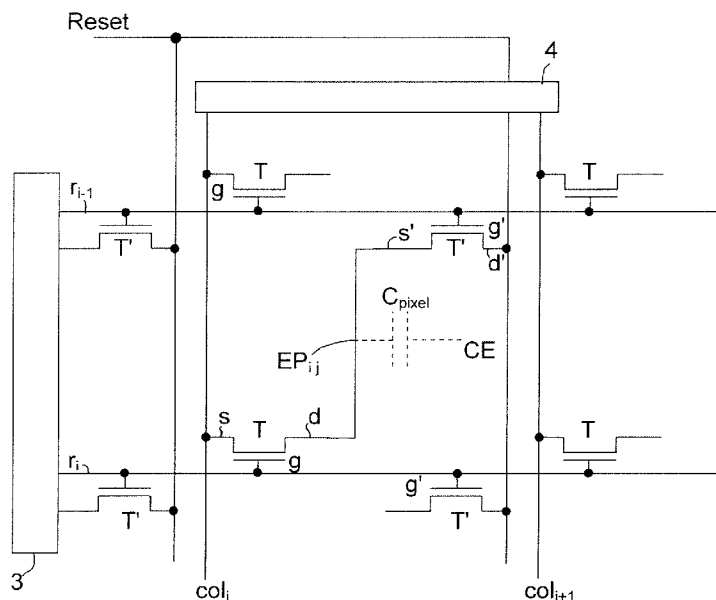
(81) États désignés (*sauf indication contraire, pour tout titre de
protection nationale disponible*) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU,
LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD,
SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre
de protection régionale disponible*) : ARIPO (BW, GH,
GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT,

[Suite sur la page suivante]

(54) Title: ACTIVE MATRIX FOR A LIQUID CRYSTAL DISPLAY DEVICE

(54) Titre : MATRICE ACTIVE POUR UN DISPOSITIF D'AFFICHAGE A CRISTAL LIQUIDE



(57) Abstract: An active matrix for a liquid crystal display device comprises pixel electrodes arranged according to a cross grating of rows and columns. Associated to each electrode pixel, an electronic control device is provided that has a first switching element (T) connected between the pixel electrode (EP_{ij}) and an associated column (col_j), a control electrode (g) of the first switching element (T) being connected to an associated line (r_i). The control device comprises an initialization circuit for said pixel electrode comprising a second switching element (T'), connected to the pixel electrode (EP_{ij}) and of which a control electrode (g') is connected to a preceding row (r_{i-1}) of the grating. The invention is for use in active matrix bistable nematic displays.

[Suite sur la page suivante]

WO 2007/014953 A1



RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : Une matrice active pour un dispositif d'affichage à cristal liquide, comprend des électrodes pixels arrangées selon un réseau croisé de lignes et colonnes. Associé à chaque électrode pixel, un dispositif électronique de commande est prévu comprenant un premier élément de commutation (T) connecté entre ladite électrode pixel ($EP_{i,j}$) et une colonne (col_j) associée, une électrode de commande (g) dudit premier élément de commutation (T) étant connectée à une ligne (r_i) associée. Le dispositif de commande comprend un circuit d'initialisation de ladite électrode pixel comprenant un deuxième élément de commutation (T'), connecté à ladite électrode pixel ($EP_{i,j}$), et dont une électrode de commande (g') est connectée à une ligne précédente (r_{i-1}) du réseau. Application aux afficheurs nématiques bistable à matrice active.

MATRICE ACTIVE POUR UN DISPOSITIF D'AFFICHAGE À CRISTAL LIQUIDE

La présente invention concerne une matrice active pour des dispositifs d'affichage à cristal liquide.

L'invention s'applique en particulier à des dispositifs d'affichage à cristal liquide nématique bistable, dénommés habituellement dispositifs 5 BiNem®. Dans la suite nous parlerons d'afficheur nématique bistable. Les afficheurs nématiques bistables sont utilisés dans diverses applications, et plus particulièrement dans les applications dites nomades. On peut citer entre autres exemples, les téléphones portables ou les ordinateurs de poche tels que les organisateurs, généralement désignés par l'acronyme anglais PDA 10 pour *Personal Digital Assistant*, ou encore les "lisseurs électroniques" traduction française consacrée pour le terme anglo-saxon *e-book*, plus couramment employé.

Ces afficheurs nématiques bistables ont en effet la propriété particulièrement intéressante de ne pas nécessiter de rafraîchissement 15 d'image, ce qui est très favorable pour toutes ces applications nomades, pour lesquelles on cherche à réduire au minimum la consommation. Ils offrent une grande qualité d'image indépendante du nombre de lignes.

Ces afficheurs nématiques bistables sont principalement à matrice dite passive : chaque pixel est commandé directement par un signal ligne et 20 un signal colonne. L'inconvénient des matrices passives est que le pixel d'une colonne "voit" tous les signaux appliqués à chacun des pixels de la colonne, pendant le temps d'affichage d'une image. Ceci rend problématique l'utilisation de cette technologie pour des grands écrans. En outre, la commutation est lente, ce qui rend cette technologie inutilisable pour des 25 applications vidéo.

Ainsi, ces afficheurs à matrice passive sont-ils plus particulièrement adaptés à des applications où l'image change peu ou lentement, et des petites tailles, typiquement pour des applications de type e-book.

Pour ces différentes raisons, on a cherché à utiliser des matrices 30 actives avec de tels afficheurs. On entend par matrice active une structure matricielle d'électrodes pixel, dans laquelle l'adressage passe par un dispositif de commutation associé à chaque électrode pixel. Lorsqu'un pixel n'est pas adressé, le dispositif de commutation associé isole l'électrode pixel

des signaux lignes et colonnes (aux problèmes de couplage par capacités parasites près).

Le dispositif de commutation peut-être une diode ou un transistor. Il s'agit de façon avantageuse d'un transistor standard de type TFT (*Thin Film Transistor*), qui utilise une couche mince de silicium amorphe (a-Si). En effet, ces transistors ont comme avantage par rapport au transistor en silicium polycristallin, d'avoir un courant de fuite nul ou très faible, ce qui est une caractéristique très importante pour maintenir l'information sur les pixels de type TN.

La matrice active comprenant les électrodes pixel, les dispositifs de commutation, les conducteurs lignes et colonnes, est réalisée sur un premier substrat.

L'afficheur comprend en plus de la matrice active, un deuxième substrat qui forme l'autre électrode pixel, commune à tous les pixels et encore appelée contre-électrode. Le deuxième substrat est disposé en sorte qu'une cavité est formée entre le dessus de la matrice active et le deuxième substrat. La cavité est remplie de cristal liquide avec une composition et une orientation des molécules fonction de la technologie envisagée. L'électrode pixel et la contre-électrode forment alors les deux armatures de la capacité pixel, et le matériau bistable qui permet de mémoriser l'information est entre les deux armatures.

Un afficheur à cristaux liquides du type nématique bistable et à matrice active est décrit dans la demande de brevet français ayant pour titre : "*Procédé et dispositif perfectionnés d'affichage à cristal liquide nématique bistable*", enregistrée sous le n° 02 14806 et déposée par la société Nemoptic. On obtient un afficheur (écran) du type AMLCD (*Active Matrix Liquid Crystal Display*).

Une structure de matrice active pour afficheur nématique bistable tel que décrit dans la demande précitée, est illustrée schématiquement sur la figure 1.

La structure M de la matrice active comprend de manière habituelle $m \times p$ couples (électrode pixel 1, transistor 2) arrangés en un réseau de m lignes $r_1, r_2, \dots, r_m$, et de p colonnes $col_1, col_2, \dots, col_p$.

Le transistor 2 associé à chaque électrode pixel 1 permet d'adresser individuellement un pixel correspondant de l'écran par un conducteur ligne et un conducteur colonne.

Dans la suite on entend par "ligne" ou "colonne" indifféremment le
5 conducteur, au sens électrique, ou la ligne ou la colonne au sens arrangement matriciel.

Le transistor 2 associé à chaque électrode 1 agit comme un élément de commutation. Quand il est commandé à l'état passant, il permet l'application d'un niveau de tension déterminé sur l'électrode pixel,
10 permettant l'affichage d'un niveau de gris correspondant sur le pixel de l'écran. Quand il est commandé à l'état non passant ou bloqué, il isole l'électrode pixel du reste de la matrice (aux couplages par capacités parasites près). Le transistor comprend deux électrodes de conduction, appelées drain d et source s, et une électrode de grille g, par laquelle on
15 commande l'état "on" ou "off" du transistor.

Plus précisément, le transistor est généralement connecté dans la structure matricielle de la façon suivante : une électrode de conduction, par exemple le drain d, est connectée à l'électrode pixel. La grille g du transistor est commandée par le signal de sélection de ligne appliqué sur la ligne
20 associée. L'autre électrode de conduction du transistor, dans l'exemple la source s, est connectée à la colonne associée.

Ainsi, les grilles de tous les transistors d'une même ligne sont toutes connectées à cette ligne, tandis que les sources de tous les transistors d'une même colonne sont toutes connectées à cette colonne. Quand un transistor
25 est mis "on", il commute la tension appliquée par la colonne associée à sa source s, sur le drain d : on charge ainsi l'électrode pixel 1 à un niveau de tension correspondant à une donnée vidéo (niveau de gris) à afficher.

Les électrodes pixels 1 sont chacune commandées, via leur transistor 2 associé, par des circuits d'adressage périphériques. Ces circuits
30 d'adressage comprennent typiquement un circuit 3 de commande ligne, appelé plus simplement driver ligne dans la suite, et un circuit 4 de commande colonne appelé plus simplement driver colonne dans la suite. Le circuit 3 de commande ligne applique des niveaux de tension successivement sur les lignes, dans le but de les sélectionner
35 séquentiellement sur un temps trame. Sur chaque temps ligne, le circuit 4 de

commande des colonnes applique des niveaux de tension appropriés sur les colonnes, dans le but d'afficher un niveau de gris donné sur chaque pixel de la ligne sélectionnée.

La commande des pixels d'un écran nématique bistable suppose
5 l'utilisation de tensions élevées si on veut que la commutation entre les deux états stables du pixel soit rapide. Ces deux états stables, correspondent à deux textures différentes, une texture uniforme et une texture tordue. Elles résultent d'une composition judicieuse du cristal liquide associée à des couches d'orientation des molécules différentes sur chaque face des
10 substrats (ou plaques) formant la cavité remplie de cristal liquide.

La texture uniforme se définit par un faible angle de twist, proche de 0° , dans l'épaisseur du pixel. La texture tordue se définit par un fort angle de twist proche de 180° dans l'épaisseur du pixel.

Ces deux textures sont caractérisées par l'existence de deux points
15 d'ancrage des molécules, un ancrage sur chacune des plaques formant la cavité contenant le cristal liquide, chacune étant revêtue à cet effet d'une couche d'orientation différente appropriée. Un point d'ancrage est très fort, et peu perturbé par l'application d'un champ électrique. L'autre point d'ancrage est faible. Cet ancrage faible peut être rompu quand un fort champ électrique
20 est appliqué. Ainsi la seule façon de passer d'un état stable à un autre, est d'apporter de l'énergie sous forme d'une impulsion électrique, qui a pour effet de casser le point d'ancrage faible. Ensuite, selon la forme de l'impulsion, les molécules s'organisent dans l'épaisseur du pixel dans l'un des deux états stables. On trouvera de plus amples détails sur cette technologie et ses
25 principes dans les publications suivantes de Ivan N. Dozov et al, "*Fast bistable nematic display from coupled surface anchoring breaking*", SPIE Proceedings Vol.3015, pp.61-69 (0-8194-2426-9, 214 pages Published 1997) et "*Ultra low power bright reflective displays using Binem® technology fabricated by standard manufacturing equipment*", SID Symposium Digest of
30 Technical Papers -- May 2002 -- Volume 33, Issue 1, pp. 30-33.

Ainsi, la forme du champ électrique appliqué aux bornes du pixel permet de choisir l'une ou l'autre des deux textures après une étape de cassure de l'ancrage à une valeur de champ électrique élevée, équivalente à une phase de "reset" de la texture. Cette phase de reset se caractérise par
35 un niveau de tension de cassure déterminé, et une durée d'application.

Dans la phase suivante d'écriture, on obtient l'une ou l'autre texture selon la forme de l'impulsion électrique appliquée. En effet, la commutation dans l'un ou l'autre état stable peut être obtenue par la forme du front descendant de l'impulsion électrique.

5 -la texture uniforme U peut être obtenue par une commutation à front descendant lent, par exemple par une forme à paliers ou par une rampe analogique de tension descendante depuis le niveau de tension de cassure, qui favorise un comportement de relaxation élastique. Ce processus de relaxation élastique entraîne les molécules à se mettre toutes parallèles sans
10 aucun angle de twist, conduisant à la texture uniforme U. Le pixel apparaît noir sur l'afficheur.

 -la texture tordue T peut être obtenue par une commutation à front descendant raide, depuis le niveau de tension de cassure, qui favorise un processus dynamique de modification de l'orientation des molécules, connu
15 sous le terme anglo-saxon de "*backflow*". Le fort flux hydrodynamique des molécules à cristaux liquides du pixel entraîne une cassure de l'ancrage faible des molécules et une organisation des molécules avec un angle de twist de l'ordre de 180° . Le pixel apparaît blanc sur l'afficheur.

 Selon l'état de l'art, on sait aussi afficher un niveau de gris,
20 correspondant à une texture mixte, par une commutation à front intermédiaire, qui conduit à une coexistence des deux textures dans l'épaisseur du pixel, dans une proportion variable, en fonction du niveau de gris à afficher.

 Un signal de commande d'affichage $S_D(P1, P2)$ d'un niveau de gris sur
25 un afficheur nématique bistable est illustré sur la figure 2. Un tel signal est notamment décrit dans la demande de brevet français précitée (FR 02 14806). C'est un signal à deux paliers, P1 et P2, appliqué sur les colonnes de la matrice pendant chaque temps ligne. Le premier palier P1 correspond à la phase de cassure de l'ancrage. Elle est caractérisée par une durée τ_1 et
30 un niveau de tension V_{P1} déterminé. Ce niveau de tension est en pratique choisi supérieur ou égal à une tension de cassure définie pour la technologie, en fonction du temps d'application τ_1 .

 Le deuxième palier P2 correspond à la phase d'affichage (ou d'écriture) de la nouvelle texture. Elle est caractérisée par une durée τ_2 et
35 un niveau de tension V_{P2} inférieur à la tension V_{P1} de cassure d'ancrage.

Ainsi, sur chaque colonne, la forme du signal Sc est fonction de la donnée à afficher.

La somme τ_1 plus τ_2 donne le temps ligne de l'afficheur, c'est à dire le temps nécessaire pour afficher les nouvelles données d'affichage sur les
5 pixels d'une ligne sélectionnée de la matrice.

La différence (ou hauteur) de marche entre le premier palier P1 et le deuxième palier P2 est fonction de la texture que l'on veut obtenir.

Le front descendant lent nécessaire pour obtenir la texture uniforme U est ainsi obtenu en choisissant un deuxième palier P2 plus bas, mais pas
10 trop distant du premier palier.

Le front descendant raide nécessaire pour obtenir la texture tordue T est obtenu en choisissant un deuxième palier P2 plus éloigné, donc plus bas que dans le cas précédent.

On note VP_1 , le niveau de tension du premier palier P1 et VP_2 , le
15 niveau de tension variable du second palier P2 de durée τ_2 , fonction de la texture à obtenir. VP_2 est égal à $V_U < VP_1$, pour commander une texture uniforme U (affichage du noir); VP_2 est égal à $V_T < V_U < VP_1$, pour commander une texture tordue T (affichage du blanc); et VP_2 est égal à une valeur intermédiaire VM_i comprise entre V_T et V_U ($V_T < VM_i < V_U < VP_1$) pour
20 commander une texture mixte $M(U,T)_i$, dans laquelle les deux textures U et T coexistent (affichage d'un niveau de gris).

La tension VP_2 peut ainsi prendre toute valeur comprise entre les valeurs V_U et V_T , qui sont des caractéristiques de la technologie. Dans l'exemple illustré, pour $VP_2 = VM_1$, apparaît une portion de texture tordue T,
25 dans la texture uniforme U : on a une texture mixte $M(U,T)_1$, correspondant à un niveau de gris déterminé. Pour $VP_2 = VM_2 < VM_1$, la portion de texture tordue T devient plus importante : on a une texture mixte $M(U,T)_2$, correspondant à un niveau de gris déterminé, plus clair que le précédent.

Ainsi, les niveaux de gris intermédiaires sont obtenus en variant le
30 niveau de tension VP_2 du deuxième palier entre les valeurs extrêmes V_U et V_T . Dans un exemple pratique, pour une technologie donnée de l'état de l'art, on dispose ainsi d'une plage de variation de l'ordre de 3 volts entre V_U et V_T ($V_U - V_T \approx 3$ volts). Plus le niveau de tension du palier P2 devient proche de V_T , plus l'effet "backflow" est important. La double flèche allant de la gauche

vers la droite sur la figure 2 illustre le sens croissant de cet effet en fonction de la tension du deuxième palier.

Dans un exemple pratique, le niveau de la tension de cassure d'ancrage VP1 est de l'ordre de 15 à 18 volts pour des temps lignes assez
5 longs.

Dans le cas d'une matrice active, ces tensions doivent être appliquées sur l'électrode pixel, via le transistor de commutation.

Le signal de commande d'affichage SD(P1,P2) que l'on vient de décrire en relation avec la figure 2 est appliqué sur les colonnes, tandis qu'un
10 signal de sélection de ligne est appliqué successivement sur chaque ligne de la matrice, pendant le temps ligne. Le signal de commande d'affichage a deux composantes signal distinctes, successives : un signal de reset et un signal vidéo. Le signal de reset correspond à la phase initiale, de cassure d'ancrage. Le signal vidéo correspond à une phase d'écriture, ou de
15 programmation d'une nouvelle texture. Ces deux signaux ont des niveaux de tension différents.

En pratique, l'adressage d'une ligne de la matrice en vue de l'affichage de nouvelles données se déroule comme suit : la ligne est sélectionnée par application d'un signal de sélection qui a la forme d'une
20 impulsion de tension, pendant le temps ligne. Cette impulsion est en fait appliquée sur la grille g de chacun des transistors de la ligne (Figure 1). Cette impulsion a un niveau de tension suffisant à mettre chacun des transistors 2 de la ligne à l'état "on".

Un signal de commande d'affichage est appliqué sur chacune des
25 colonnes de la matrice, et donc sur la source s des transistors.

La tension de grille appliquée sur les transistors de la ligne sélectionnée doit être au moins égale à la tension appliquée sur les colonnes augmentée de la tension de seuil Vth des transistors (ie la tension minimale appliquée entre grille et drain, ou grille et source, pour que le transistor soit
30 conducteur), pour obtenir que chaque transistor de la ligne sélectionnée commute quasiment sans pertes le signal d'affichage Sc sur l'électrode pixel associée.

Les matrices actives selon l'état de l'art ont été plus particulièrement développées pour les écrans à cristaux liquide du type TN, pour "*Twisted*
35 *Nematics*", ou du type IPS, pour "*In Play Switching*", avec des drivers lignes

et colonnes standards conçus pour supporter les niveaux de tension de commande. Ces drivers ligne ou colonne sont de préférence intégrés à la matrice active. Ils peuvent être réalisés sur un circuit externe. Ils reçoivent les alimentations analogiques nécessaires à assurer l'affichage des données vidéo qu'ils reçoivent. Le driver ligne assure le balayage des lignes, séquentiellement et le driver colonne assure pour chaque ligne, l'application sur les colonnes des niveaux de tension à appliquer sur l'électrode pixel pour assurer l'affichage d'une donnée correspondante (niveau de gris) sur chaque pixel de la ligne.

10 Dans le cas du standard TN, les drivers colonne haute tension sont prévus pour délivrer 13 volts, permettant d'obtenir environ 6 volts rms sur le cristal liquide (alternance positives et négatives). Pour une matrice active au standard IPS, la tension maximum atteint 16,5 volts. Les drivers lignes standards sont capables de délivrer en sortie des niveaux de tension de –
15 10 volts à 30 volts, par exemple.

Ainsi pour des temps lignes relativement longs, la gamme des tensions nécessaires pour commander des afficheurs nématiques bistables est compatible avec les drivers des matrices actives standard de l'état de l'art, TN ou IPS.

20

Dans l'invention, on s'intéresse à des afficheurs nématiques bistables à matrice active, pour des applications vidéo notamment. Pour ces applications vidéo, le temps ligne doit être plus court, nécessitant de réduire le temps de commutation des pixels. Il s'agit ainsi de rendre la phase de reset la plus courte possible. Or plus la phase de cassure d'ancrage est courte, plus la tension de cassure nécessaire doit être élevée. Ceci est notamment expliqué dans la publication précitée (voir §3.4 et figure 5 notamment) et dans une publication plus récente de Ivan Dozov et al
25 *"Recent improvements of bistable nematic displays switch by anchoring breaking"* SID Symposium Digest 32, 224 (2001). Pour avoir un temps de commutation compatible avec un temps ligne de 50 microsecondes, ou moins (pour des applications vidéo, les temps lignes doivent être de 40 microsecondes ou moins), la tension de cassure est alors supérieure à 20 volts avec les afficheurs nématiques bistables actuels.
30

Un problème qui se pose alors dans l'utilisation d'une matrice active standard, en combinaison avec des afficheurs nématiques bistables, est qu'il n'y a plus compatibilité de la gamme des tensions nécessaires pour commander ces afficheurs avec la technologie standard des drivers colonne
5 des matrices actives.

En effet, on a vu que dans l'état de l'art, le niveau de la tension de cassure est appliqué sur les colonnes de la matrice, par le driver colonne 4 (figure 1). On a aussi vu que les drivers ligne de l'état de l'art sont conçus pour appliquer des niveaux de tension de grille d'amplitude pouvant aller
10 jusqu'à 40 volts. Par contre, les drivers colonnes ne peuvent pas appliquer des tensions de plus de 16, 5 volts dans le meilleur cas (standard IPS) sur les drains (ou sources) des transistors de la matrice. Il n'est donc pas possible de commander des tensions supérieures à 13 volts (drivers TN) ou 16,5 volts (drivers IPS) sur les colonnes de la matrice. Ces niveaux sont
15 insuffisants à permettre la cassure d'ancrage sur un temps ligne suffisamment faible, compatible avec des applications vidéo.

Ainsi, même si les transistors TFT associés aux électrodes pixel sont capables de supporter et de commuter une tension supérieure à 20 volts, il n'est pas possible d'appliquer de telles tensions en utilisant les drivers
20 standards de l'état de l'art.

Si les tensions à appliquer sur les grilles des transistors, et la plage $[V_U, V_T]$ des niveaux de tension du signal vidéo à appliquer, soit entre 10 et 13 volts en pratique, correspondant respectivement à la texture tordue T et la texture uniforme U, entrent bien dans les spécifications standards des drivers
25 de ces matrices, il n'en va pas de même pour la composante d'initialisation (palier P1) du signal de commande d'affichage $SD(P1, P2)$ appliquée sur les colonnes : il n'est en effet pas possible d'appliquer une tension de cassure de 20 volts et plus au moyen de drivers colonne standards de l'état de l'art.

Or développer de nouveaux drivers spécifiques est toujours une
30 opération longue et coûteuse.

Un objet de l'invention est de résoudre ce problème technique.

Un objet de l'invention est d'offrir une structure d'afficheur nématique bistable à matrice active utilisable avec des drivers standards (en intégré ou en externe) pour appliquer des niveaux de tension élevés sur les électrodes
35 pixel.

Un objet de l'invention est de proposer une telle matrice active à moindre coût.

Un objet de l'invention est d'obtenir une matrice active pour un dispositif d'affichage nématique bistable, essentiellement par modification
5 des dessins des masques utilisés pour la fabrication d'une matrice active standard pour afficheurs TN ou IPS.

Une idée à la base de l'invention est de partir d'une matrice active standard, et d'en modifier la structure de manière à pouvoir utiliser des drivers standards, et d'appliquer les niveaux de tension de commande
10 nécessaires sur les électrodes pixel, sans dégrader ni la fiabilité de la matrice, ni celle des drivers.

Selon l'invention, on prévoit que le dispositif de commutation associé à chaque électrode pixel, comprend un autre élément de commutation, par exemple un autre transistor, dont la fonction est d'assurer la cassure du point
15 d'ancrage du pixel. Ainsi, on sépare dans le dispositif de commutation, la fonction reset et la fonction écriture d'une nouvelle texture. Cet autre élément de commutation peut être commandé par le driver ligne, qui supporte des hautes tensions de l'ordre de 40 volts, et connecté à un bus d'alimentation spécifique, pour commuter une tension de cassure de l'ordre de 20 volts ou
20 plus. Cette tension de cassure est appliquée par le bus d'alimentation spécifique et non plus par le driver colonne qui sert alors exclusivement à commander les niveaux de tension correspondant à la vidéo à afficher, comme pour les matrices standards TN ou IPS.

Le bus d'alimentation spécifique peut être réalisé par des conducteurs
25 que l'on ajoute dans la structure de la matrice, sur les niveaux de couches conductrices, ou par des couches conductrices fonctionnelles déjà prévues dans la matrice, mais dont on peut détourner la fonction, aux fins d'appliquer le niveau de tension de cassure. Il s'agit typiquement des couches fonctionnelles conductrices prévues dans les structures de matrice active
30 comme capacité de stockage. On peut détourner ces couches de leur fonction d'origine, car les pixels des afficheurs nématiques bistables ne nécessitent pas de capacité de stockage, pour maintenir le niveau de tension sur l'électrode pixel. En effet, une fois que la nouvelle texture est "écrite" dans le pixel, elle y reste indéfiniment, tant que l'on ne casse pas un point
35 d'ancrage. On peut aussi utiliser l'écran de lumière de type "light shield"

habituellement utilisé pour améliorer le taux d'ouverture OAR "*Open Aperture Ratio*". En effet, cet écran est généralement conducteur, pour améliorer la capacité de stockage. Ainsi, il est possible de détourner des couches fonctionnelles prévues dans les matrices actives TN ou IPS de l'état de l'art
5 pour réaliser un bus d'alimentation spécifique, pour la tension de cassure, et ce à moindre coût de développement.

L'invention concerne donc une matrice active pour un dispositif d'affichage à cristal liquide, comprenant des électrodes pixels arrangées selon un réseau croisé de lignes et colonnes, et associé à chaque électrode
10 pixel, un dispositif électronique de commande comprenant un premier élément de commutation connecté entre ladite électrode pixel et une colonne associée, une électrode de commande dudit premier élément de commutation étant connectée à une ligne associée, caractérisée en ce que ledit dispositif de commande comprend un circuit d'initialisation de ladite
15 électrode pixel comprenant un bus d'initialisation et un deuxième élément de commutation, connecté entre ladite électrode pixel et ledit bus d'initialisation, et dont une électrode de commande est connectée à une ligne précédente du réseau.

L'invention s'applique à des afficheurs à cristaux liquides comportant
20 une telle matrice active, et notamment à un afficheur de type nématique bistable.

D'autres avantages et caractéristiques de l'invention apparaîtront plus clairement à la lecture de la description qui suit, faite à titre indicatif et non
25 limitatif de l'invention et en référence aux dessins annexés, dans lesquels :

- la figure 1 déjà décrite, représente une structure de matrice active pour afficheur nématique bistable, suivant l'état de l'art;
- la figure 2 déjà décrite illustre la commande
30 d'affichage d'un pixel d'un afficheur nématique bistable;
- la figure 3a illustre un premier mode de réalisation d'une matrice active selon l'invention, avec une phase d'initialisation pour chaque ligne de la matrice, correspondant à la cassure de l'ancrage, réalisée sur le temps d'adressage de
35 la ligne précédente;

- la figure 3b illustre des formes de signaux électriques sur les différents conducteurs de la matrice de la figure 3a;

5 - les figures 3c et 3d représentent chacune une variante de réalisation d'une matrice active selon l'invention;

- la figure 4a illustre un autre mode de réalisation d'une matrice active selon l'invention ;

- la figure 4b représente des signaux électriques correspondant sur les lignes ou colonnes de la matrice;

10 - la figure 5 illustre une matrice active de l'état de l'art, comprenant un bus de capacité de stockage sous chaque rangée d'électrodes pixel, et qui peut être utilisée dans l'invention ;

15 - la figure 6a illustre un premier mode de réalisation d'un perfectionnement d'une matrice active selon l'invention;

- la figure 6b représente des signaux électriques correspondant sur les lignes et colonnes de la matrice;

- les figures 6c et 6d illustrent chacune une variante de réalisation du perfectionnement;

20 - la figure 7 illustre un autre mode de réalisation du perfectionnement d'une matrice active selon l'invention; et

- la figure 8 illustre une variante du mode de commande d'une structure de matrice suivant la figure 3a.

25 La figure 3a illustre un premier exemple d'une structure de matrice active à transistors standards selon l'invention, apte à permettre l'application de très hauts niveaux de tension sur les électrodes pixel, sans risque de claquage des transistors utilisés. Une telle structure de matrice utilisée dans un afficheur nématique bistable, permet alors l'utilisation de l'afficheur dans
30 des applications vidéo, avec des temps ligne inférieurs à 40 microsecondes, ce qui offre des perspectives intéressantes d'ouverture du marché de ces afficheurs.

Une électrode pixel $EP_{i,j}$ associée dans la matrice à la ligne r_i et à la colonne Col_j , comprend un dispositif de commande associé. Ce dispositif
35 comprend de façon habituelle un élément de commutation T connecté entre

la colonne Col_j et l'électrode pixel $EP_{i,j}$. L'électrode de commande g de cet élément de commutation T est connectée à la ligne r_i . L'élément de commutation est typiquement un transistor, dont une électrode de conduction, la source s par exemple, est connectée à la colonne, et dont
5 l'autre électrode de conduction, le drain d par exemple, est connectée à l'électrode pixel.

Selon l'invention, le dispositif de commande de chaque électrode pixel comprend en outre un circuit d'initialisation de l'électrode pixel sur le temps ligne précédent.

10 Dans le mode de réalisation représenté, ce circuit d'initialisation est un élément de commutation de type transistor, T' .

Ce transistor d'initialisation T' est connecté entre un conducteur relié à un bus d'alimentation spécifique $Reset$, et l'électrode pixel. Par exemple la source s' du transistor T' est connectée à l'électrode pixel $EP_{i,j}$ et le drain d'
15 du transistor T' est connecté au bus $Reset$. La grille g' de ce transistor d'initialisation est connectée à une ligne précédente, r_{i-1} dans l'exemple.

Si on considère un afficheur à cristal liquide utilisant une telle matrice, un pixel correspondant est formé entre l'électrode pixel $EP_{i,j}$ et une contre-électrode CE .

20 Comme illustré sur la figure 3b, la sélection d'une ligne, par exemple la ligne r_i , se traduit par l'application par le driver ligne 3 d'un niveau de tension $V_{g_{on}}$ appliqué sur cette ligne. Les transistors, dont la grille est connectée à cette ligne, sont alors à l'état passant "on", équivalent à un court-circuit. La désélection de cette ligne se traduit par un niveau de tension
25 $V_{g_{off}}$ appliqué sur cette ligne. Les transistors d'une ligne désélectionnée, sont alors à l'état bloqué "off", équivalent à un circuit ouvert.

On comprend ainsi que les transistors T' associés aux électrodes pixels $EP_{i,j}$ de la ligne r_i , et dont les grilles sont connectées à la ligne précédente r_{i-1} , sont mis à l'état "on" sur le temps ligne précédent tl_{i-1} , c'est à
30 dire quand la ligne r_{i-1} est sélectionnée. Ils sont à l'état "off" sinon. En particulier, ils sont à l'état "off" sur le temps ligne tl_i . Les transistors T sont eux à l'état "on" sur le temps ligne tl_i , et "off" sur les autres temps ligne.

Le bus $Reset$ est porté à un niveau V_{reset} continu de tension supérieur ou égal à la tension de cassure d'ancrage des molécules de cristal
35 liquide. Lorsque le transistor T' passe à l'état "on", il transfère le niveau de

tension V_{reset} sur l'électrode pixel $EP_{i,j}$ sur le temps ligne tl_{i-1} , à hauteur de $V_{g_{on}} - V_{th}$ qui doit être supérieure à la tension de cassure.

Lorsque la ligne r_i est ensuite sélectionnée, sur le temps ligne tl_i , le transistor T' passe à l'état "off" (ligne r_{i-1} désélectionnée) et le transistor T à l'état "on". L'électrode pixel $EP_{i,j}$ se charge par le transistor T au niveau de tension V_{D_i} appliqué dans le même temps tl_i sur la colonne associée Col_j .

On entend par temps ligne, le temps d'adressage d'une ligne, pendant lequel le circuit de commande ligne (driver ligne) applique un signal de sélection sur cette ligne, qui a pour effet de rendre passant tous les éléments de commutation T de cette ligne. Toutes les autres lignes sont désélectionnées pendant ce temps ligne.

Ainsi, comme représenté sur la figure 3b, le driver ligne applique sur le temps ligne tl_i de la ligne r_i , un niveau de tension $V_{g_{on}}$ qui rend passants tous les transistors T de cette ligne. Sur les autres lignes, le driver ligne applique un niveau de tension $V_{g_{off}}$, en sorte que tous les transistors soient non passants ou "off". $V_{g_{off}}$ est en pratique inférieur à la tension de seuil du transistor T . On peut avoir $V_{g_{off}} = 0$ volt. Le transistor T commute alors la tension V_{D_i} appliquée sur sa source, par la colonne Col_j associée. Cette commutation se fait sans pertes car V_{D_i} est au maximum égal au niveau de tension pour une texture uniforme, soit 13 volts dans l'état de l'art, alors que la tension de grille $V_{g_{on}}$ est bien supérieure, de l'ordre de 20 volts et plus.

L'électrode pixel $EP_{i,j}$ connectée à un transistor T de la ligne r_i sélectionnée se charge donc sensiblement au niveau de tension V_{D_i} qui est appliqué sur la colonne Col_j correspondante sur le temps ligne tl_i . Ce niveau de tension correspond typiquement à la donnée à afficher.

On retrouve sur l'électrode pixel $EP_{i,j}$ une forme de signal à deux paliers s'étalant sur les temps lignes tl_{i-1} et tl_i . Le premier palier correspond à une phase τ_c de cassure d'ancrage, et le second palier à une phase d'écriture τ_v de la nouvelle donnée vidéo.

Une telle matrice selon l'invention commandée comme décrit en relation avec la figure 3b, et utilisée dans un afficheur nématique bistable permet donc la commande appropriée des pixels pour afficher les différents niveaux de gris, avec une commutation suffisamment rapide permettant d'envisager des applications vidéo, car la phase de cassure τ_c est réalisée

sur un temps ligne précédent, et que les niveaux de tension appliqués sont compatibles avec la technologie standard TN ou IPS.

En effet, on a vu en relation avec la description d'un afficheur nématique bistable que la tension d'initialisation V_{reset} était de l'ordre de 20 volts ou supérieure à 20 volts, pour des temps ligne compatibles avec des applications vidéo. Dans l'invention telle qu'illustrée sur la figure 3a, cette tension est appliquée par un bus spécifique, directement sur le drain du transistor T' de la matrice, alors que la grille g' commandée par le driver ligne reçoit une tension $V_{g_{on}}$ supérieure à la tension V_{reset} d'au moins la tension de seuil V_{th} du transistor T' . La tension de seuil $V_{g_{on}}$ reste inférieure à 30 volts : elle est donc compatible avec la gamme de tension de commande de grille des drivers lignes standards.

Les niveaux de tension vidéo appliqués par le driver colonne sur les sources ou drains des transistors T , varient eux entre 13 volts, pour commander une texture uniforme U , et 10 volts, pour commander une texture tordue T . Ces niveaux de tension sont compris dans la gamme de tensions de commande fournies par les drivers colonne standard.

Une matrice active telle qu'illustrée sur la figure 3a utilisée avec des drivers ligne et colonne standards, intégrés à la matrice ou non, dans un afficheur nématique bistable, est ainsi apte à permettre la cassure d'ancrage et l'affichage de la nouvelle donnée vidéo pour chacun des pixels d'une ligne r_i , sur deux temps ligne séparés : la cassure d'ancrage sur le temps ligne précédent, tl_{i-1} et l'affichage de la nouvelle donnée vidéo sur le temps ligne tl_i .

Le dispositif de commande de chaque électrode pixel comprenant un transistor T et un circuit d'initialisation T' selon l'invention permet ainsi d'obtenir simplement une forme de signal à deux paliers sur l'électrode pixel, comme illustré sur la figure 3b pour les électrodes pixels $EP_{i,j}$ et $EP_{i+1,j}$.

Ce signal est compatible avec la commande des pixels d'un afficheur nématique bistable. Ceci est obtenu en utilisant une matrice active standard, avec des drivers ligne et colonne standards, pour afficheurs TN ou IPS, en ajoutant simplement un transistor dans la matrice. Ceci est obtenu simplement en modifiant les dessins des masques, sans avoir à modifier les étapes du procédé de fabrication standard.

Pour un afficheur nématique bistable, l'ajout d'un transistor par pixel n'est pas préjudiciable en terme d'OAR, car les dispositifs ultra portatifs qui utilisent de tels afficheurs fonctionnent généralement en mode réflectif.

Par ailleurs, les transistors T et T' sont chacun utilisés dans des
5 gammes habituelles de tension.

Ainsi, la séparation des fonctions de cassure d'ancrage, et d'affichage vidéo par des moyens de commutation différents, activés sur des temps lignes différents, permet d'appliquer des niveaux de tension compatibles avec la technologie, et avec des applications vidéo.

10 Dans l'exemple représenté sur la figure 3a, le bus Reset d'alimentation spécifique, qui amène la tension d'initialisation Vreset, sur les drains ou sources des transistors d'initialisation de la matrice, comprend une pluralité de conducteurs disposés parallèlement aux colonnes. En pratique ces conducteurs sont réalisés sur le même niveau que les colonnes de la
15 matrice, ou sur un niveau séparé.

On peut de manière similaire prévoir que les conducteurs du bus d'alimentation Reset sont disposés parallèlement aux lignes de la matrice. C'est la variante représentée sur la figure 3c. On notera à cet égard qu'il existe dans l'état de l'art des matrices qui comprennent pour chaque pixel,
20 une colonne, une ligne d'adressage et une ligne de capacité de stockage. Il est alors facile d'utiliser ces matrices de l'état de l'art en modifiant la fonction de ces lignes de stockage, en une fonction d'amenée d'une tension d'initialisation Vreset sur les drains (ou sources) des transistors d'initialisation T', en prévoyant des connexions adaptées entre ces lignes et ces drains (ou
25 sources).

Dans une autre variante de réalisation d'une matrice selon l'invention, comme illustré sur la figure 3d, le bus d'alimentation Reset est formé par une couche fonctionnelle conductrice F d'une matrice standard, tel que le plan de masse enterré ("*Ground plane*") habituellement utilisé pour former une
30 capacité de stockage avec chaque électrode pixel, dans les matrices TN standards notamment. Une telle couche fonctionnelle est formée sur un niveau séparé des électrodes pixel par au moins une couche d'isolant, pour former une capacité de stockage en parallèle sur la capacité pixel Cpixel.

En effet, comme on l'a déjà expliqué, une telle capacité de stockage
35 n'a pas d'utilité dans les afficheurs nématiques bistables, puisque les

molécules, une fois orientées selon le mode texture uniforme ou tordue, restent dans cet état indéfiniment tant que l'ancrage faible n'est pas cassé.

Cette couche fonctionnelle peut encore être une couche de type "*Light Shield*", c'est à dire un écran qui est utilisé de façon courante dans les matrices standard TN notamment, pour masquer les fuites de lumière dues aux lignes de champ induites par la structure. C'est généralement une couche conductrice et opaque, en titane en forme de grille, et qui peut être soit disposée sous la matrice active (c'est à dire sous les transistors) ou entre le niveau des lignes/colonnes (formant les drains/sources des transistors) et les électrodes pixel. Cette couche conductrice est habituellement formée sur un niveau séparé des électrodes pixel par au moins une couche d'isolant et sert ainsi dans ces structures de capacité de stockage pour chaque électrode pixel. Pour les mêmes raisons que précédemment, on peut donc sans inconvénient utiliser cette couche, comme bus d'amenée de la tension d'initialisation V_{reset} sur le drain (ou la source) de chaque transistor d'initialisation T' .

Un autre mode de réalisation d'un circuit d'initialisation selon l'invention est représenté sur la figure 4a. Le circuit d'initialisation du dispositif de commande d'une électrode pixel d'une ligne r_i comprend alors une diode D connectée entre l'électrode pixel $EP_{i,j}$ et la ligne précédente r_{i-1} .

La diode D peut être obtenue typiquement par un transistor dont le drain d' (ou la source) et la grille g' sont connectés ensemble, à la ligne précédente r_{i-1} . L'autre électrode de conduction du transistor, la source s' dans l'exemple, est reliée à l'électrode pixel $EP_{i,j}$.

La figure 4b montre la forme du signal qui peut être obtenue sur l'électrode pixel $EP_{i,j}$, selon les signaux appliqués sur les lignes et colonnes de la matrice pendant les différents temps lignes tl_{i-1} , tl_i , tl_{i+1} , ... Elle est sensiblement identique à celle illustrée sur la figure 3b.

La figure 5 illustre un exemple de matrice active décrite dans la demande de brevet français ayant pour titre " Structure de matrice active pour écran de visualisation et écran comportant une telle matrice" et enregistrée sous le numéro 02 15484. Une telle matrice décrit des bus parallèles aux lignes, et disposés sous chaque rangée d'électrodes pixels, et utilisés comme capacité de stockage. Une telle matrice peut encore être utilisée pour réaliser une matrice selon l'invention.

Une telle matrice est illustrée sur la figure 5. Elle comprend des bus de capacité de stockage prévus sous chaque rangée d'électrode pixel. Chaque électrode pixel EP_{ij} couvre une grande partie de la surface encadrée par deux lignes et deux colonnes successives. Sur la figure, la rangée R_i d'électrodes pixel est encadrée par la ligne de sélection associée, r_i , et par la

5 d'électrodes pixel est encadrée par la ligne de sélection associée, r_i , et par la ligne de sélection r_{i-1} de la rangée immédiatement précédente.

Pour chaque rangée R_i d'électrode pixel, un bus de capacité de stockage associé B_i est prévu sous la rangée, sensiblement de même largeur. Ce bus B_i est disposé parallèlement, entre les deux lignes de

10 sélection r_i et r_{i-1} . Il est connecté à la ligne de sélection r_{i-1} de la rangée précédente. Dans l'exemple représenté, il est connecté à cette ligne, à l'extérieur de la zone active de la matrice, ZA, par ses deux extrémités.

Ce bus B_i forme une capacité de stockage C_{st} avec chaque électrode pixel EP_{ij} de la rangée R_i .

15 Dans l'invention, on utilise avantageusement cette capacité de stockage formée par le bus B_i , qui est grande, et qui est connectée à la ligne de sélection précédente r_{i-1} , pour charger les électrodes pixel EP_{ij} de la ligne r_i , à la tension d'initialisation recherchée, typiquement à la tension d'initialisation V_{reset} . Ceci est obtenu en dimensionnant la capacité de

20 stockage (surface en regard entre le plan de la capacité de stockage et l'électrode pixel, diélectrique utilisé et épaisseur du diélectrique) en sorte que l'offset de couplage soit supérieur à la tension d'initialisation recherchée.

Ainsi l'élément de commutation T' connecté à l'électrode pixel EP_{ij} de la figure 3a est ici remplacé de façon équivalente par le bus B_i . En effet ce

25 bus forme une capacité de stockage avec cette électrode EP_{ij} , une borne de cette capacité étant connectée à l'électrode pixel, l'autre borne de la capacité étant formée par le bus conducteur lui même et connecté à la ligne précédente r_{i-1} . La commutation sur la ligne r_{i-1} de la tension $V_{g_{off}}$ à la tension $V_{g_{on}}$ entraîne la commutation sur l'autre borne de la capacité de stockage

30 d'une tension égale à l'offset de couplage, de l'ordre de la tension V_{reset} .

Ainsi, si on reprend la figure 3b, sur le temps ligne précédent tl_{i-1} , la ligne précédente r_{i-1} est à un niveau $V_{g_{on}}$ choisi supérieur à la tension d'initialisation V_{reset} . Par couplage via le bus B_i qui est connecté à la rangée précédente r_{i-1} , toutes les électrodes pixel de la rangée r_i sont amenées à la

35 tension d'initialisation V_{reset} . Le circuit d'initialisation associé à chaque

électrode pixel, comprend ainsi le bus formant capacité de stockage avec ladite électrode.

Ainsi, plus généralement, selon un mode de réalisation de l'invention, la matrice comprend pour chaque ligne r_i , un bus conducteur B_i enterré sous la rangée d'électrodes pixel de ladite ligne, et connecté à la ligne précédente r_{i-1} . Ce bus forme une capacité de stockage avec chacune des électrodes pixel de ladite ligne de rang i . Cette capacité de stockage est dimensionnée pour dépasser un offset de couplage supérieur à la tension d'initialisation V_{reset} .

Le circuit d'initialisation associé à chaque électrode pixel, comprend alors le bus formant capacité de stockage avec ladite électrode.

L'invention qui vient d'être décrite permet d'appliquer sur chaque électrode pixel une forme de signal électrique à deux paliers : un palier d'initialisation, permettant la cassure, un palier d'écriture de la nouvelle donnée vidéo. L'électrode pixel reste au niveau du deuxième palier jusqu'au temps ligne suivant de la nouvelle trame vidéo.

Un perfectionnement de l'invention comprend un circuit de mise à la masse des électrodes pixel de chaque ligne en fin de temps ligne.

On a alors une forme de signal sur l'électrode pixel à trois paliers : le palier correspondant à la cassure d'ancrage, le palier correspondant à l'affichage de la nouvelle donnée vidéo (niveau de gris) et le palier de retour à la masse. Selon le brevet de la société Nemoptic précité, un tel mode de commande des électrodes pixel offre de meilleures performances.

Un premier mode de réalisation d'une matrice selon l'invention comprenant un tel circuit de mise à la masse est représenté sur la figure 6a.

Dans ce mode de réalisation, le circuit de mise à la masse est un autre élément de commutation, typiquement un transistor T'' , connecté entre l'électrode pixel $EP_{i,j}$ et un plan de masse "ground plane" GP de la matrice, et activé sur le temps ligne suivant tl_{i+1} . A cet effet, la grille g'' de ce transistor de mise à la masse T'' est connectée à la ligne suivante r_{i+1} .

Comme illustré sur la figure 6b, le niveau de tension de l'électrode pixel $EP_{i,j}$ est tiré sur le temps ligne tl_{i+1} , depuis le niveau vidéo VD_i chargé sur le temps ligne tl_i , vers la masse électrique (0 volt).

On a un fonctionnement en trois temps lignes, correspondant aux trois paliers de tension du signal commandé sur l'électrode pixel $EP_{i,j}$ de la ligne r_i :

-Le temps ligne tl_{i-1} , correspond à un cycle d'initialisation τ_c de ces électrodes pixels (qui permet la cassure d'ancrage).

-Le temps ligne tl_i , correspond à un cycle d'affichage τ_v de la nouvelle vidéo sur ces électrodes pixels.

-Le temps ligne tl_{i+1} , correspond à un cycle de mise à la masse τ_m de ces électrodes pixels.

De ligne en ligne, se succèdent ainsi les trois cycles τ_c, τ_v, τ_m , sur trois temps lignes successifs : le temps ligne de la ligne précédente, le temps ligne de la ligne courante, le temps ligne de la ligne suivante.

Ces temps lignes sont dans l'exemple immédiatement successifs, choix qui facilite la conception, mais il est tout à fait possible que ces temps lignes soient séparés de plusieurs temps lignes.

Sur la figure 6a, on a un dispositif de commande à trois transistors : le transistor T pour charger la vidéo, le transistor T' d'initialisation et le transistor T'' de mise à la masse. Dans l'exemple, le transistor de mise à la masse est connecté à un plan de masse enterré GP. Ceci suppose que le transistor d'initialisation T' soit connecté à un bus ou un plan conducteur différent, qui est lui porté à la tension Vreset. Sur la figure 6a, la tension Vreset est ainsi amenée par un bus Reset d'alimentation, comprenant des conducteurs parallèles aux colonnes (ce qui correspond au mode de réalisation de la figure 3a). Sur la figure 6c, la tension Vreset est amenée par un plan conducteur de type écran ("*Light Shield*") LS (ce qui correspond au mode de réalisation expliqué en relation avec la figure 3d).

Plus généralement, et comme illustré sur la figure 6d, le transistor T'' de mise à la masse est connecté à une couche fonctionnelle conductrice F de la matrice, qui est portée à la masse.

Le circuit de mise à la masse peut encore être réalisé par la capacité parasite ligne/pixel C_{pixel}/r_i , illustrée sur la figure 4a. Pour assurer la décharge de l'électrode pixel, la valeur de la capacité est adaptée pour assurer au moins le passage sous la tension de seuil de torsion du pixel à la désélection de la ligne.

Selon une autre réalisation, la mise à la masse peut être obtenue par le jeu naturel des courants de fuite du premier élément de commutation (T) et/ou du deuxième élément de commutation du dispositif de commande de chaque électrode pixel, quand ces transistors sont polycristallin, monocristallin, polymorphe ou organique.

La figure 7 illustre un autre mode de réalisation d'un circuit de mise à la masse dans une matrice selon l'invention, selon lequel on utilise un courant de fuite des espaceurs e habituellement utilisés dans la cavité comprenant les cristaux liquides d'un afficheur. Selon l'invention, on dispose un ou des espaceurs, sur chaque électrode. Ces espaceurs sont en contact avec l'électrode pixel et la contre-électrode CE. On a alors un courant de fuite dans chaque espaceur qui va tirer l'électrode pixel vers le potentiel de contre-électrode (typiquement la masse). Ces espaceurs sont dans un matériau choisi avec une conductivité déterminée suffisamment élevée pour ne pas perturber la charge du pixel mais suffisamment faible pour obtenir la décharge au bout de quelques temps ligne.

La figure 8 illustre encore un autre mode de réalisation du circuit de mise à la masse dans une matrice selon l'invention, avec une matrice selon l'une quelconque des réalisations illustrées aux figures 3a, 3b, 3c, 3d, 4a, ou 5, ou une variante qui en découle, en combinaison avec une commande appropriée des alimentations sur le driver colonne 4 en fin de chaque temps ligne, c'est à dire juste avant la fin du temps ligne, car il faut ici que la ligne soit encore sélectionnée.

La mise à la masse des électrodes pixels d'une ligne est ainsi obtenue en commandant sur les colonnes, un retour à zéro en fin de chaque temps ligne. Ainsi, sur chaque temps ligne, par exemple sur le temps ligne tl_i , on a sur chaque colonne, par exemple sur la colonne col_i , d'abord le niveau de tension vidéo à afficher VD_i , puis le niveau 0. Ceci est bien visible sur la figure 8. Ceci est obtenu en prévoyant au niveau du circuit de commande des colonnes (driver colonne), ou via un circuit indépendant commandé de façon appropriée, une mise à la masse des tensions analogiques juste avant la fin de chaque temps ligne (il faut que la ligne soit encore sélectionnée).

En pratique, dans l'invention qui vient d'être décrite, les transistors de la matrice T et T' (ou D), ou T, T' et T'' selon les variantes de réalisation, peuvent être des transistors TFT, dont le canal est réalisé en silicium

amorphe, et qui ont comme avantage de ne pas être le siège de courants de fuite. Ceci est un paramètre important pour les afficheurs TN ou IPS.

Pour des afficheurs nématiques bistables, où l'on n'est pas gêné par des courants de fuites, puisque le pixel garde l'information indéfiniment une fois la texture "écrite", on peut avantageusement utiliser des transistors de type polycristallin, microcristallin, polymorphe, voire organique. Dans ce cas, on a vu que la mise à la masse peut encore être obtenue simplement par le jeu des courants de fuite des transistors T et/ou T' qui vont décharger l'électrode pixel.

10

Les différents modes de réalisation vus pour le circuit d'initialisation et le circuit de mise à la masse se combinent entre eux. Les figures montrent certaines de ces combinaisons à titre d'exemples illustrant l'invention. L'invention ne se limite pas à ces seules combinaisons illustrées mais couvre toutes les variantes qui en découlent pour l'homme de l'art par application de ces connaissances normales.

Un afficheur nématique bistable comprenant une matrice active selon l'invention avec des drivers ligne ou colonne, intégrés ou non, standards, peut ainsi être piloté avec des temps lignes inférieurs à 40 microsecondes, ce qui le rend utilisable pour de nombreuses applications, avec tous les avantages qu'offrent la technologie nématique bistable, et ce à moindre coût.

Dans un afficheur à cristal liquide, l'électrode pixel et la contre-électrode forment les deux armatures de la capacité pixel, et le matériau bistable qui permet de mémoriser l'information est entre les deux armatures.

L'invention qui vient d'être décrite s'applique par équivalence à des dispositifs mémoire matriciels, à au moins deux états stables, tels que des mémoires de type ROM, RAM, CCD...., dans lesquels le matériau bistable est compris entre les deux armatures de la capacité de stockage de l'information. Dans ce contexte, l'électrode pixel est à comprendre comme une armature de cette capacité.

30

REVENDEICATIONS

1. Matrice active pour un dispositif d'affichage à cristal liquide, comprenant des électrodes pixels arrangées selon un réseau croisé de lignes et colonnes, et associé à chaque électrode pixel, un dispositif électronique de commande comprenant un premier élément de commutation (T) connecté entre ladite électrode pixel ($EP_{i,j}$) et une colonne (col_j) associée, une électrode de commande (g) dudit premier élément de commutation (T) étant connectée à une ligne (r_i) associée, caractérisée en ce que ledit dispositif de commande comprend un circuit d'initialisation de ladite électrode pixel comprenant un bus d'initialisation et un deuxième élément de commutation (T'), connecté entre ladite électrode pixel ($EP_{i,j}$) et ledit bus d'initialisation, et dont une électrode de commande (g') est connectée à une ligne précédente (r_{i-1}) du réseau.

5

10
2. Matrice active selon la revendication 1, dans laquelle lesdits premier et deuxième éléments de commutation du dispositif électronique de commande sont des transistors.

15
3. Matrice active selon la revendication 1 ou 2, caractérisée en ce que ledit bus d'initialisation est un bus d'alimentation spécifique (Reset).

20
4. Matrice active selon la revendication 3, caractérisée en ce que ledit bus d'alimentation comprend une pluralité de conducteurs disposés parallèlement aux colonnes ou disposés parallèlement aux lignes.

25
5. Matrice active selon la revendication 3, caractérisée en ce que ledit bus d'alimentation est une couche fonctionnelle conductrice (F) transparente ou opaque de la matrice, formée sur un niveau séparé des électrodes pixel par au moins une couche d'isolant.

30

6. Matrice active selon la revendication 1, du type comprenant pour chaque ligne (r_i) de rang i de la matrice, un bus conducteur (B_i) enterré sous la rangée (R_i) d'électrodes pixel de ladite ligne, et connecté à une ligne précédente (r_{i-1}), ledit bus formant une capacité de stockage avec chacune des électrodes pixel de ladite ligne de rang i , caractérisée en ce que ledit bus conducteur (B_i) forme le bus d'initialisation et ledit deuxième élément de commutation (T') du circuit d'initialisation associé à chaque électrode pixel ($EP_{i,j}$), comprend le bus conducteur (B_i) formant capacité de stockage avec ladite électrode, une borne de ladite capacité étant connectée à la dite électrode pixel, l'autre borne de la capacité étant formée par ledit bus conducteur, et connecté à ladite ligne précédente.
7. Matrice active selon la revendication 1, caractérisée en ce que ledit deuxième élément de commutation est une diode (D).
8. Matrice active selon la revendication 7, caractérisée en ce que ladite diode est formée par un transistor, dont une électrode de conduction, drain (d') ou source (s'), est connectée à la grille (g'), l'autre électrode de conduction étant connectée à l'électrode pixel ($EP_{i,j}$).
9. Matrice active selon l'une quelconque des revendications précédentes, comprenant en outre un circuit de mise à la masse de chaque électrode pixel ($EP_{i,j}$).
10. Matrice active selon la revendication 9 du type comprenant une couche fonctionnelle conductrice (F), caractérisée en ce que ledit circuit de mise à la masse comprend un élément de commutation (T'') connecté entre ladite électrode pixel ($EP_{i,j}$) et ladite couche fonctionnelle, et dont une électrode de commande (g'') est connectée à une ligne suivante (r_{i+1}) dans la matrice, ladite couche fonctionnelle étant portée à la masse.

- 5 11. Matrice active selon la revendication 9, caractérisée en ce que ledit circuit de mise à la masse est formé par une capacité parasite de couplage (C_{pixel}/r_i) entre chaque électrode pixel ($EP_{i,j}$) et la ligne associée (r_i), apte à assurer une décharge de ladite électrode pixel quand ladite ligne est désélectionnée.
- 10 12. Matrice active selon la revendication 9, caractérisée en ce que le premier élément de commutation (T) et/ou le deuxième élément de commutation (T') du dispositif de commande de chaque électrode pixel est un transistor polycristallin, monocristallin, polymorphe ou organique.
- 15 13. Afficheur à cristal liquide comprenant une matrice active selon la revendication 9, caractérisé en ce que ledit circuit de mise à la masse comprend des espaceurs (e) dans la cavité contenant les cristaux liquides, lesdits espaceurs (e) étant placés sur chaque électrode pixel, entre chaque électrode pixel et une contre-électrode CE, et ayant un courant de fuite apte à décharger l'électrode pixel sur quelques temps lignes.
- 20 14. Afficheur à cristal liquide comprenant une matrice active selon l'une quelconque des revendications 1 à 8, caractérisé en ce qu'il comprend un driver ligne (3) et un driver colonne (4) aptes à commander ledit circuit de commande associé à chaque électrode pixel ($EP_{i,j}$), ledit premier élément de commutation (T) étant activé par le driver ligne sur un temps d'adressage (tl_i) de ladite ligne (r_i), pour appliquer un niveau de tension (V_{Di}) correspondant à un niveau de gris à afficher sur la dite électrode pixel ($EP_{i,j}$), ledit niveau de tension étant appliqué sur la colonne associée sur ledit temps d'adressage (tl_i) par le driver colonne (4), ledit deuxième élément de commutation (T') étant activé par le driver ligne sur un temps d'adressage (tl_{i-1}) d'une ligne précédente (r_{i-1}), pour appliquer un niveau de tension d'initialisation (V_{reset}).
- 25 30

15. Afficheur à cristal liquide comprenant une matrice active selon l'une
quelconque 1 à 8, en combinaison avec la revendication 9,
caractérisé en ce qu'il comprend un driver ligne (3) et un driver
colonne (4) aptes à commander ledit circuit de commande associé à
chaque électrode pixel ($EP_{i,j}$), ledit premier élément de commutation
étant activé par le driver ligne sur un temps d'adressage (tl_i) de ladite
ligne (r_i), pour appliquer un niveau de tension (VD_i) correspondant à
un niveau de gris à afficher sur la dite électrode pixel ($EP_{i,j}$), ledit
niveau de tension étant appliqué sur la colonne associée sur ledit
temps d'adressage (tl_i) par le driver colonne (4), ledit deuxième
élément de commutation étant activé par le driver ligne sur un temps
d'adressage (tl_{i-1}) d'une ligne précédente (r_{i-1}), pour appliquer un
niveau de tension d'initialisation (V_{reset}), et en ce que le driver
colonne (4) tire toutes les colonnes à la masse en fin de chaque
temps d'adressage d'une ligne, ladite ligne étant encore
sélectionnée.
16. Afficheur selon la revendication 14, comprenant une matrice active
selon l'une quelconque des revendications 9 à 12.
17. Afficheur selon l'une quelconque des revendications 13 à 16, de type
nématique bistable.

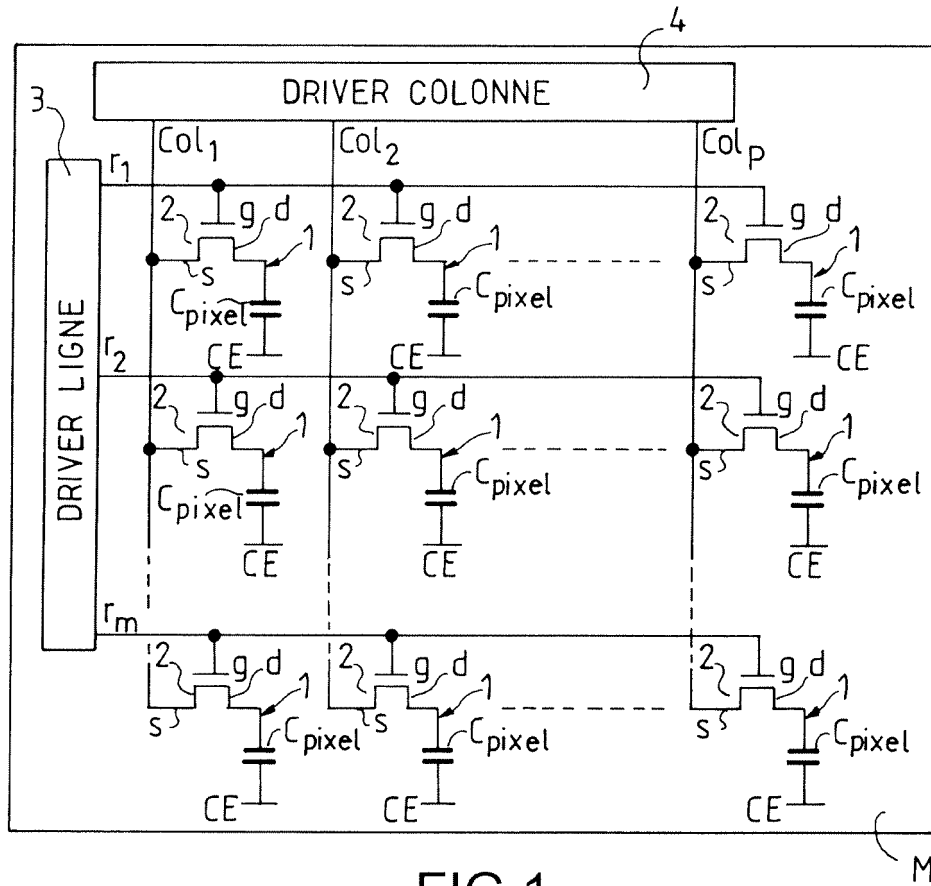


FIG.1

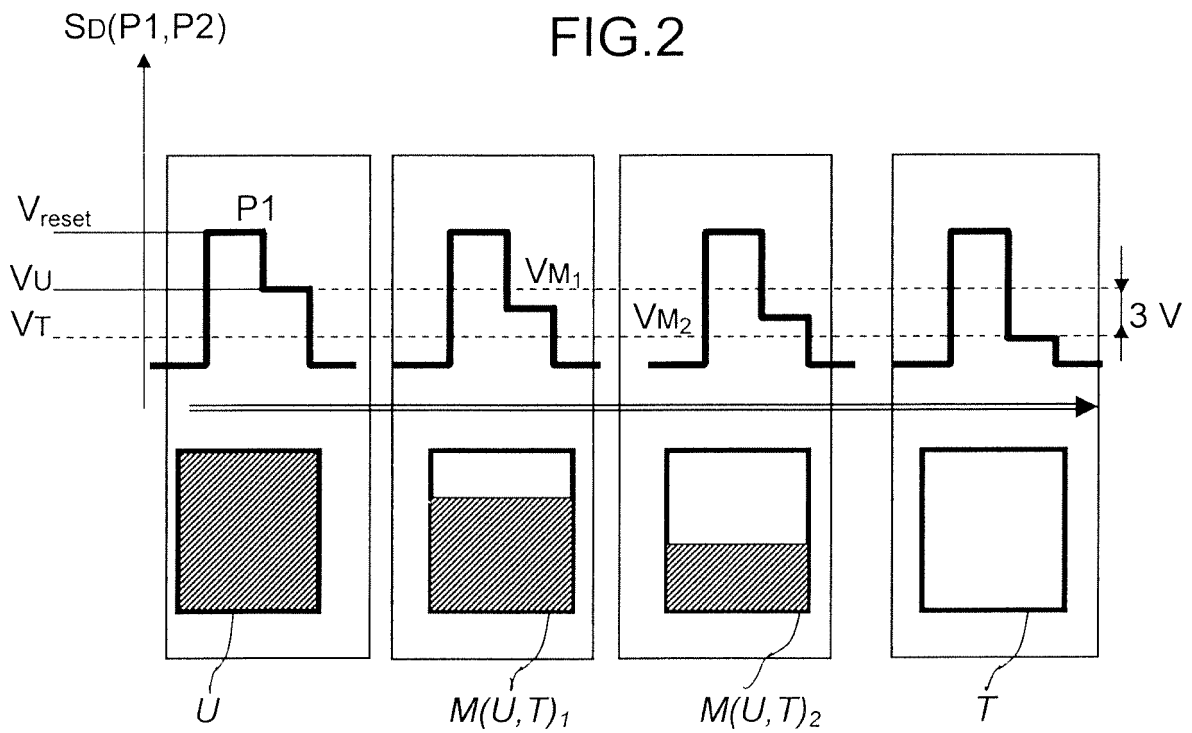


FIG.2

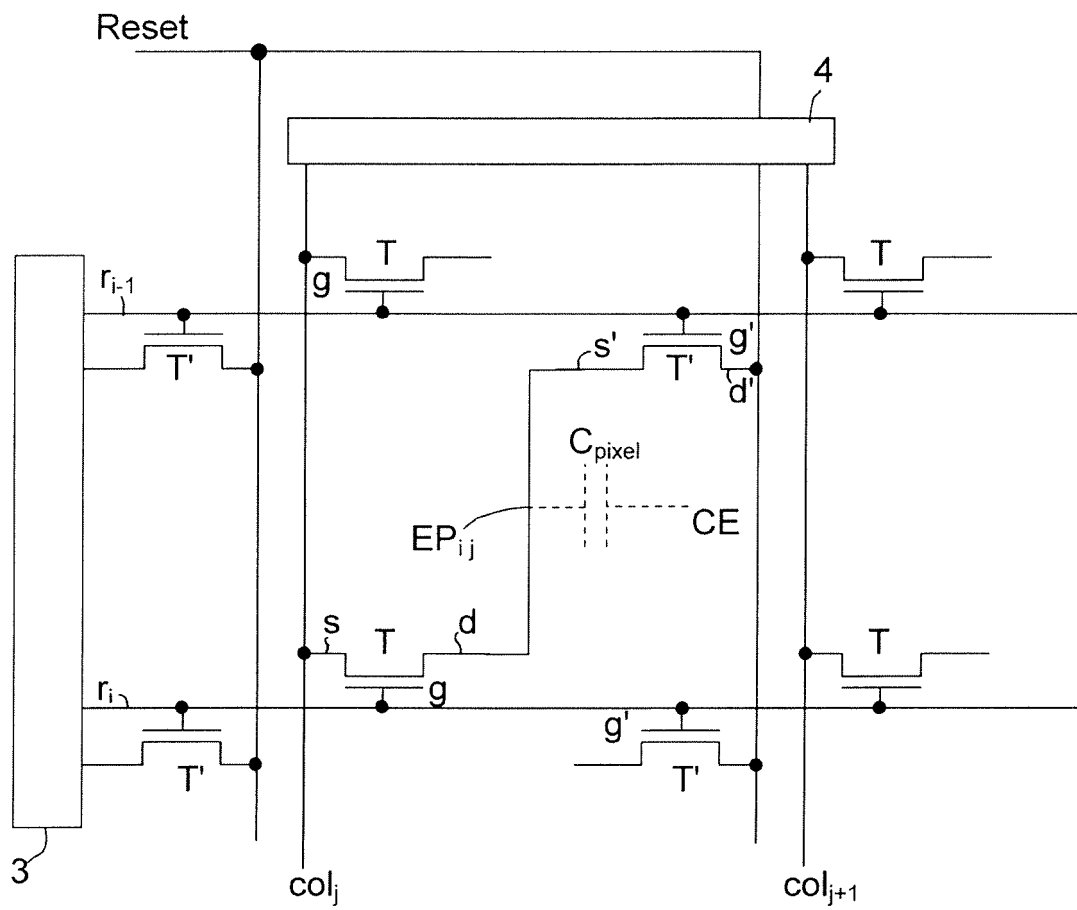


FIG.3a

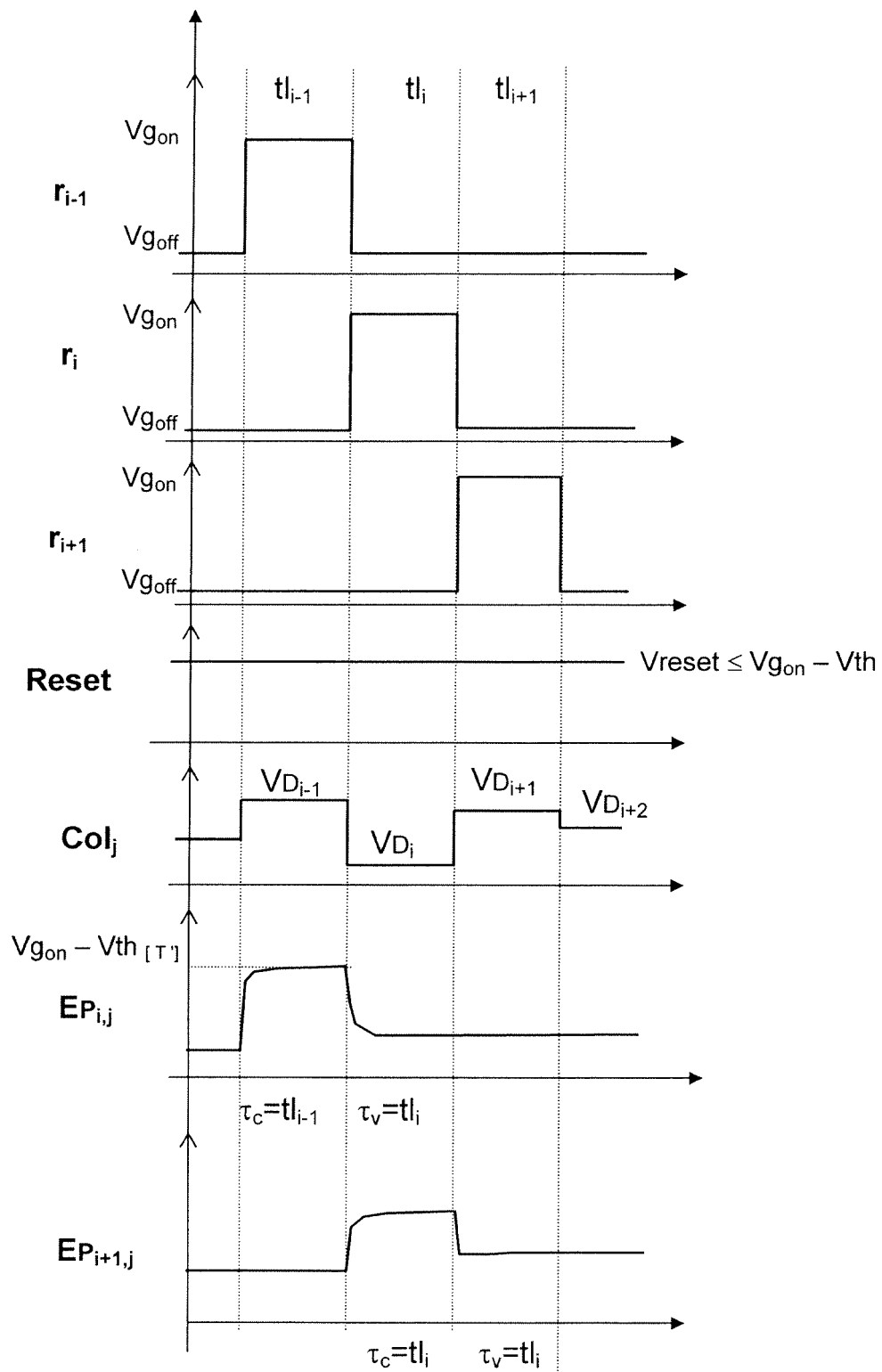


FIG.3b

FIG.3c

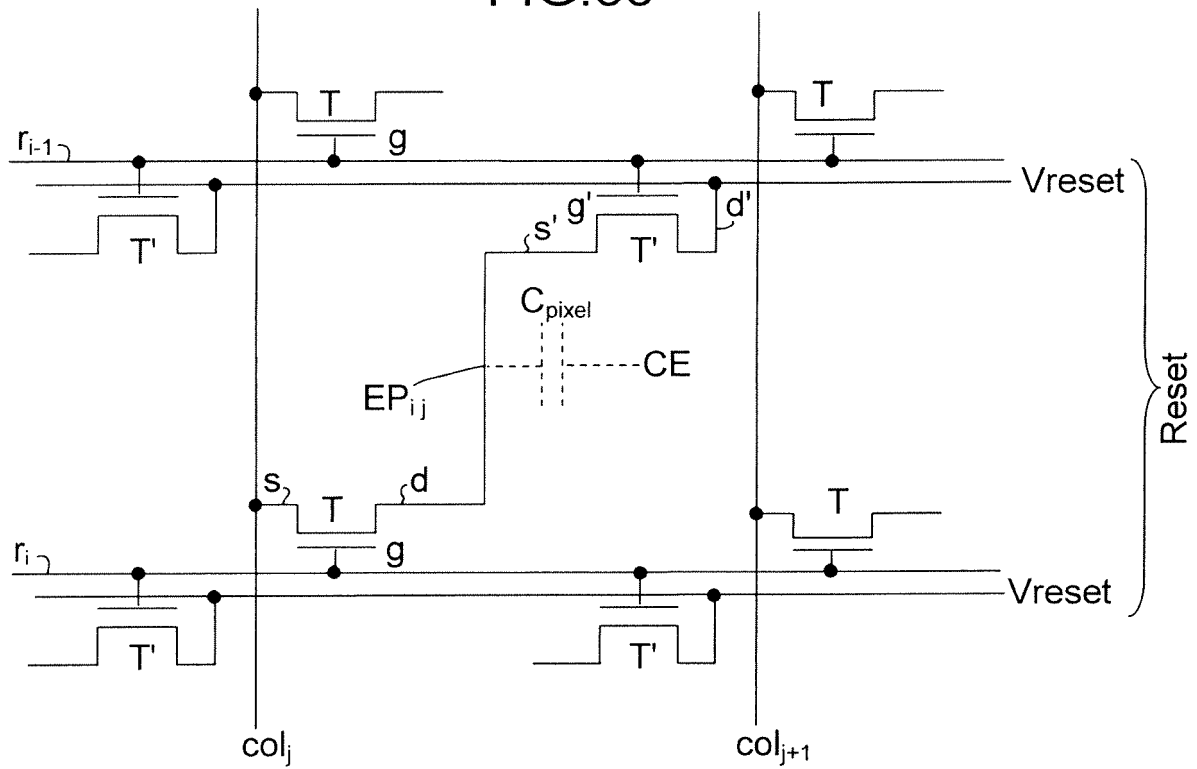
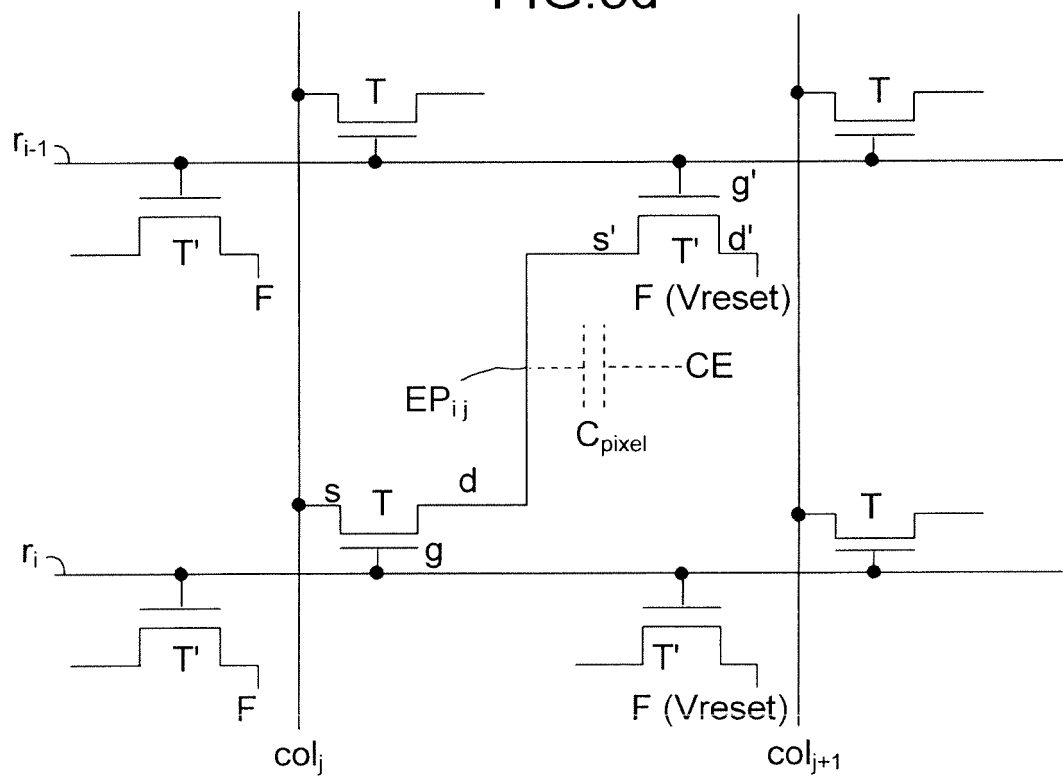


FIG.3d



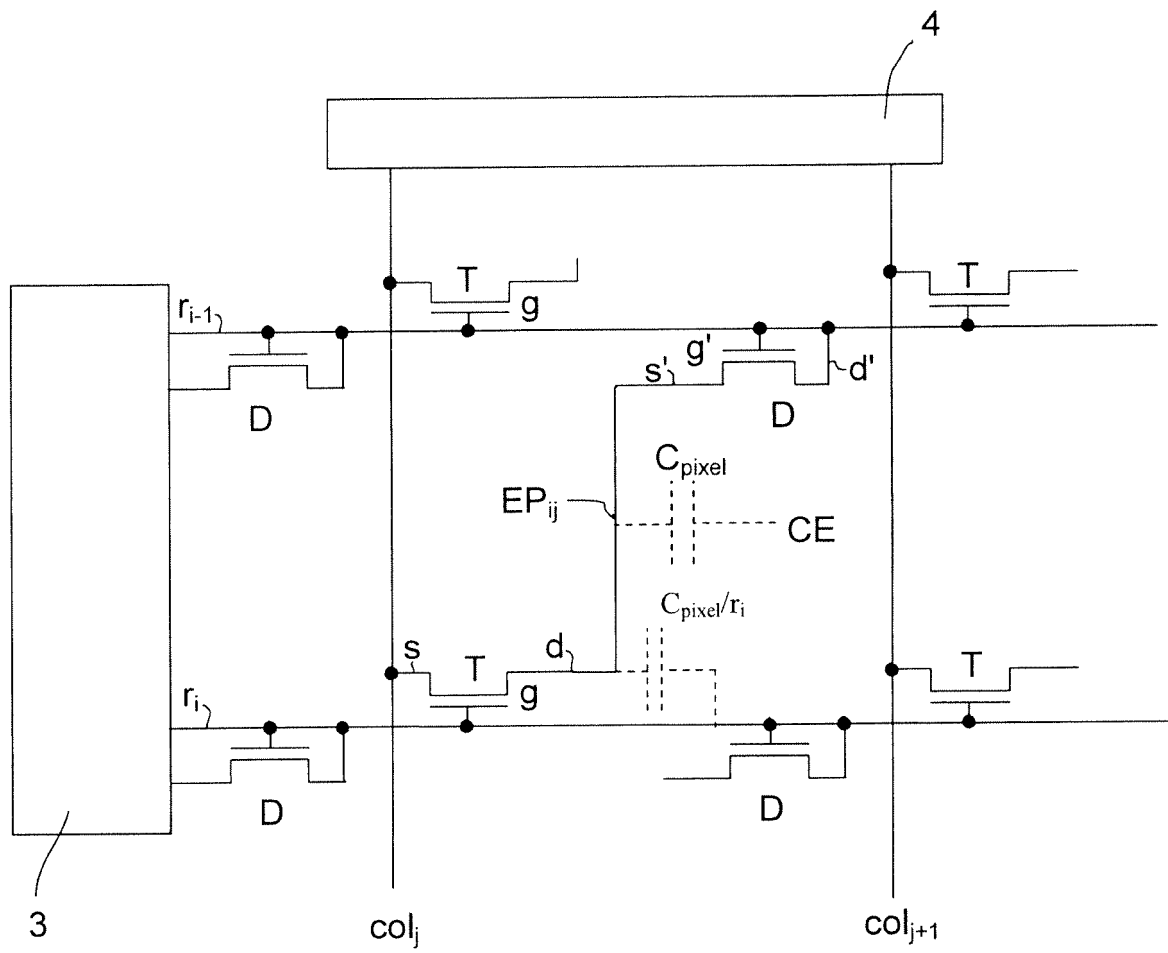


FIG.4a

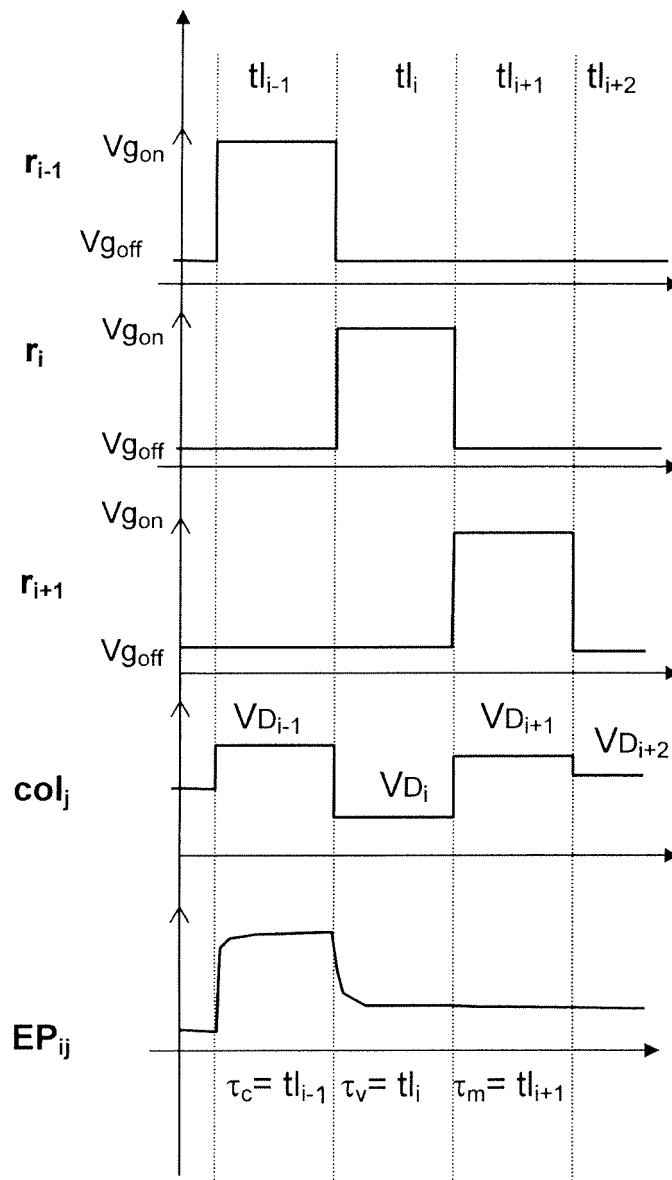


FIG.4b

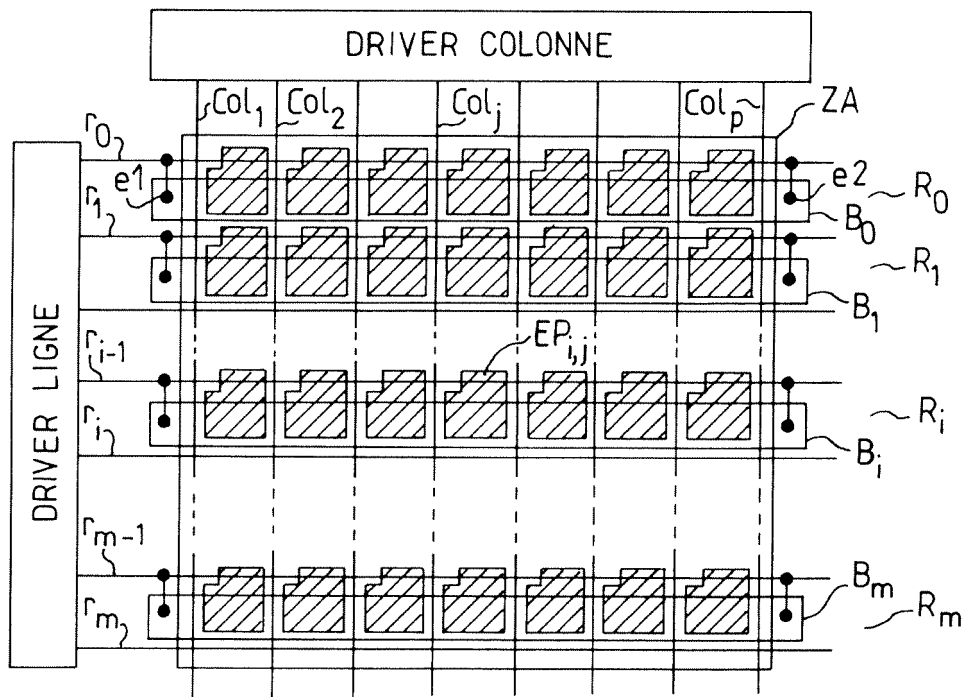


FIG.5

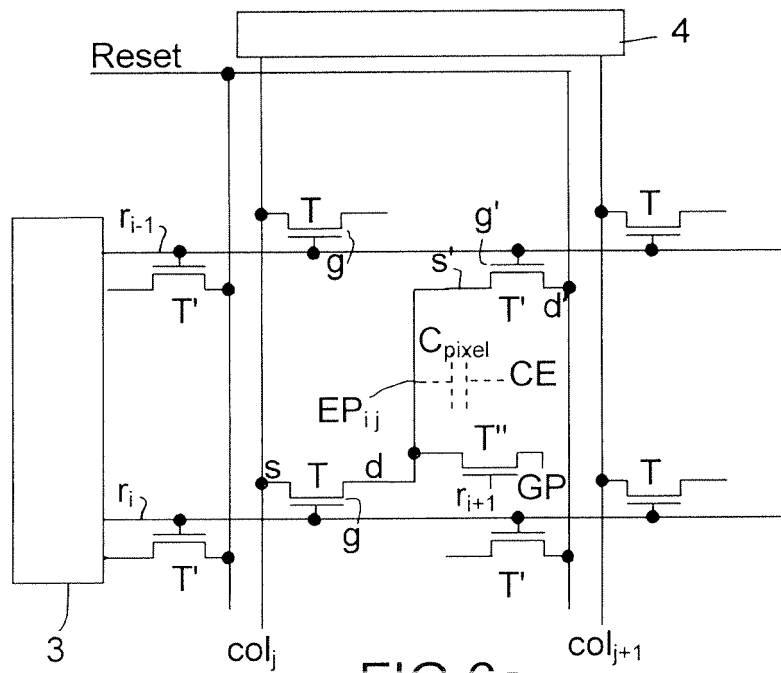


FIG.6a

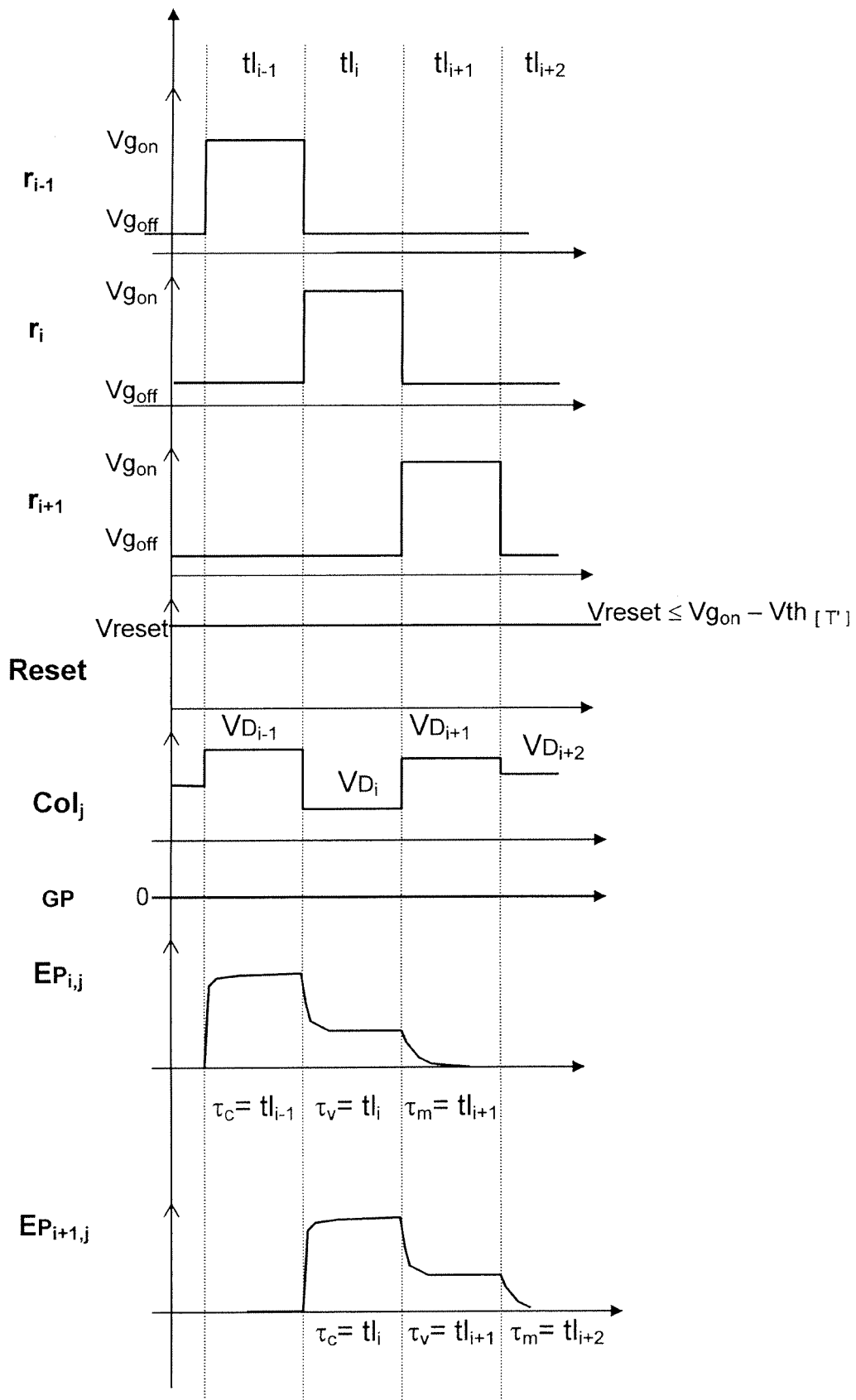


FIG.6b

FIG.6c

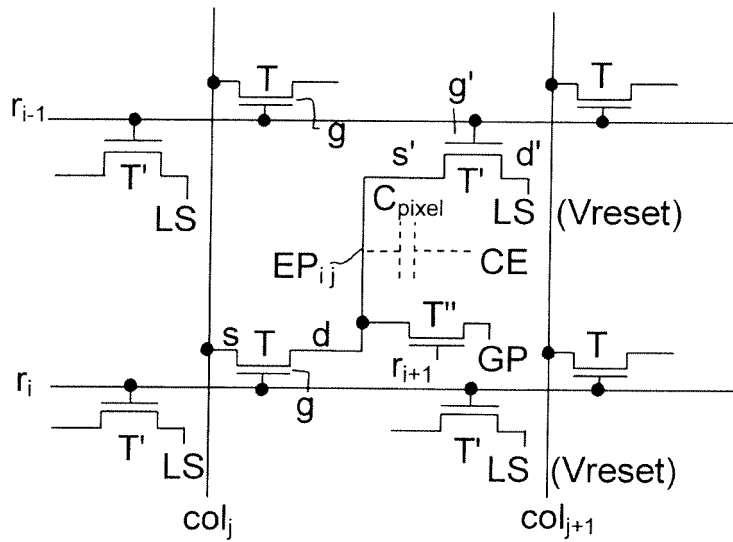
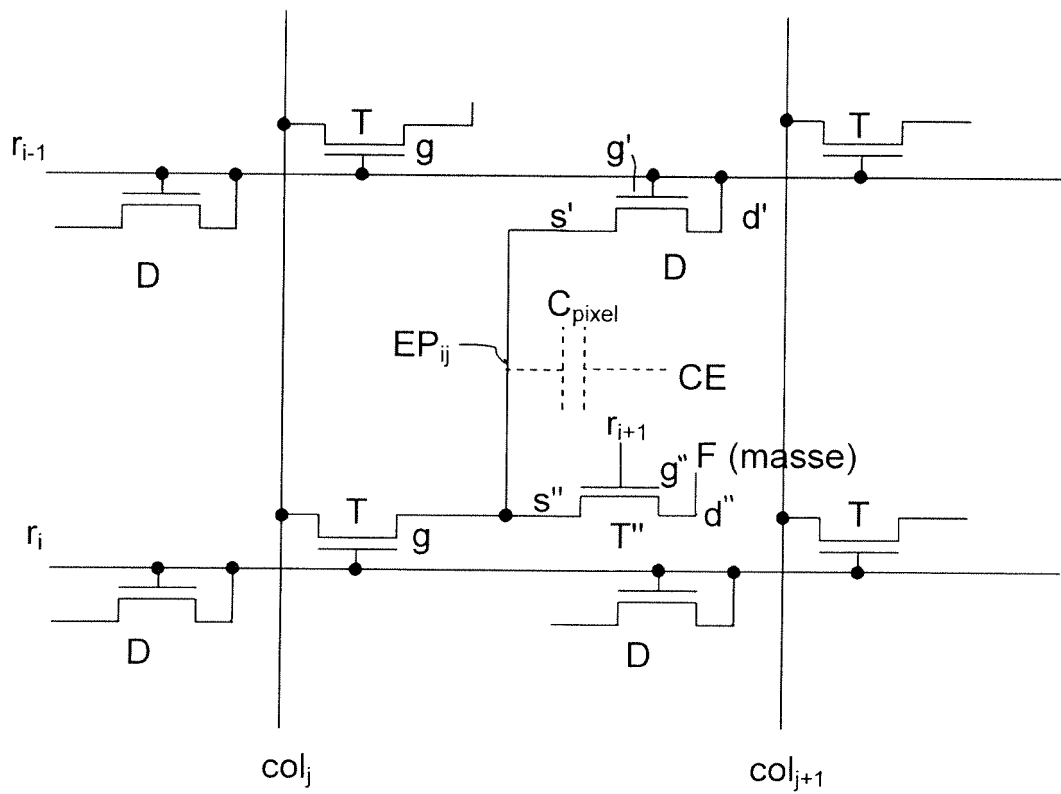


FIG.6d



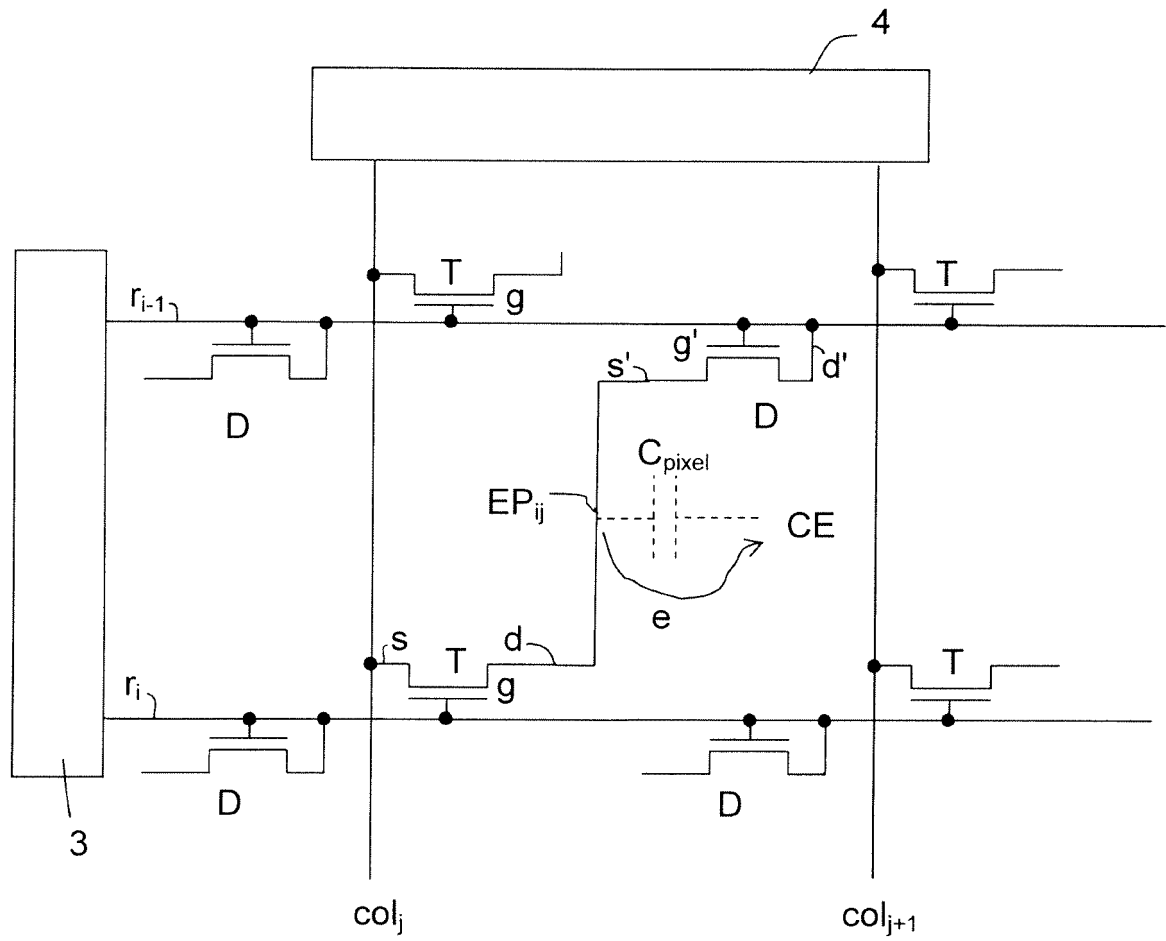


FIG.7

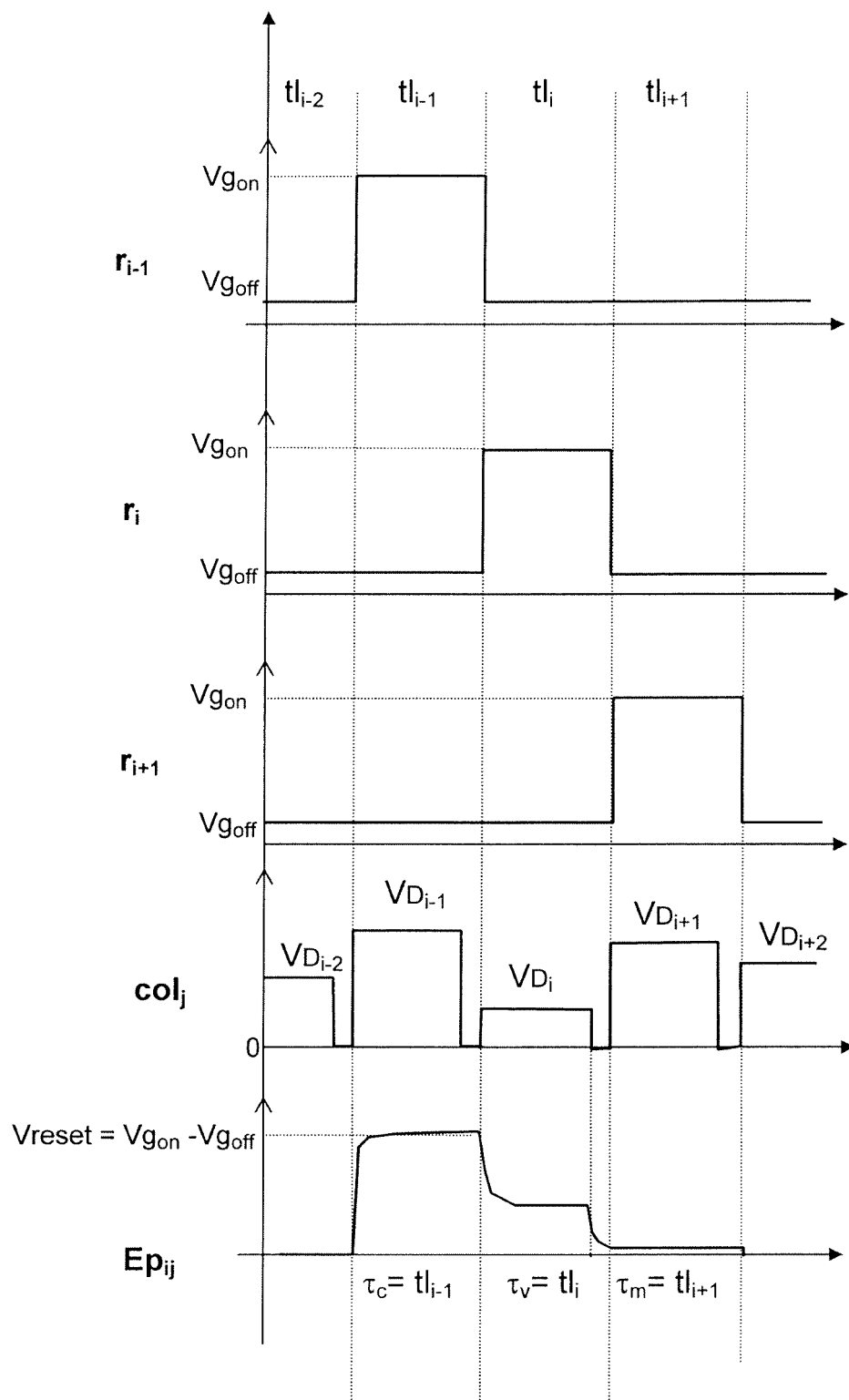


FIG.8

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/064913

A. CLASSIFICATION OF SUBJECT MATTER
INV. G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 920 300 A (YAMAZAKI ET AL) 6 July 1999 (1999-07-06) abstract; figures 5c,6 column 4, lines 18-29; figures 5c,6 column 4, line 65 - column 5, line 20 -----	1-8
Y	US 2001/003448 A1 (NOSE TAKASHI ET AL) 14 June 2001 (2001-06-14) abstract paragraphs [0019] - [0021]; figures 24-26 -----	1-8
A	WO 2004/051356 A (THALES; KRETZ, THIERRY; LEBRUN, HUGUES) 17 June 2004 (2004-06-17) abstract; figures 1,2 page 8, line 1 - page 9, line 5; claim 1 -----	1

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

26 September 2006

Date of mailing of the international search report

19/10/2006

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wolff, Lilian

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2006/064913

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5920300	A	06-07-1999	JP	3511409 B2	29-03-2004
			JP	8123373 A	17-05-1996
US 2001003448	A1	14-06-2001	JP	2001166280 A	22-06-2001
			TW	589476 B	01-06-2004
WO 2004051356	A	17-06-2004	EP	1567911 A1	31-08-2005
			FR	2848011 A1	04-06-2004
			US	2006146209 A1	06-07-2006

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2006/064913

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. G09G3/36

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
G09G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 5 920 300 A (YAMAZAKI ET AL) 6 juillet 1999 (1999-07-06) abrégé; figures 5c,6 colonne 4, ligne 18-29; figures 5c,6 colonne 4, ligne 65 - colonne 5, ligne 20 -----	1-8
Y	US 2001/003448 A1 (NOSE TAKASHI ET AL) 14 juin 2001 (2001-06-14) abrégé alinéas [0019] - [0021]; figures 24-26 -----	1-8
A	WO 2004/051356 A (THALES; KRETZ, THIERRY; LEBRUN, HUGUES) 17 juin 2004 (2004-06-17) abrégé; figures 1,2 page 8, ligne 1 - page 9, ligne 5; revendication 1 -----	1

☐

Voir la suite du cadre C pour la fin de la liste des documents

☒

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

26 septembre 2006

Date d'expédition du présent rapport de recherche internationale

19/10/2006

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Wolff, Lilian

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2006/064913

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5920300	A	06-07-1999	JP 3511409 B2	29-03-2004
			JP 8123373 A	17-05-1996
US 2001003448	A1	14-06-2001	JP 2001166280 A	22-06-2001
			TW 589476 B	01-06-2004
WO 2004051356	A	17-06-2004	EP 1567911 A1	31-08-2005
			FR 2848011 A1	04-06-2004
			US 2006146209 A1	06-07-2006

专利名称(译)	用于液晶显示装置的有源矩阵		
公开(公告)号	EP1911015A1	公开(公告)日	2008-04-16
申请号	EP2006778108	申请日	2006-08-01
[标]申请(专利权)人(译)	汤姆森 - 无线电报总公司		
申请(专利权)人(译)	THALES		
当前申请(专利权)人(译)	THALES		
[标]发明人	LEBRUN HUGUES KRETZ THIERRY		
发明人	LEBRUN, HUGUES KRETZ, THIERRY		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3655 G09G3/2011 G09G3/3659 G09G2300/0408 G09G2300/043 G09G2300/0842 G09G2300/0876 G09G2310/061 G09G2310/062 G09G2310/065 G09G2320/0252		
代理机构(译)	ESSELIN , SOPHIE		
优先权	2005008259 2005-08-02 FR		
外部链接	Espacenet		

摘要(译)

用于液晶显示装置的有源矩阵包括根据行和列的交叉光栅布置的像素电极。与每个电极像素相关联，提供电子控制装置，其具有连接在像素电极 (E_p <SUB>i, j</SUB>) 和相关列 (col <SUB>j</SUB>) 之间) 的第一开关元件 (T) 。 / col <SUB>j</SUB>) 的第一开关元件 (T) 的控制电极 (g) 连接到相关线 (r <SUB>i</SUB>) 。控制装置包括用于所述像素电极的初始化电路，所述初始化电路包括连接到像素电极 (EP <SUB>i, j</SUB>) 的第二开关元件 ($T\#39;$) ，并且其中控制电极 ($g\#39;$) 是连接到光栅的前一行 (r <SUB>i-1</SUB>) 。本发明用于有源矩阵双稳态向列型显示器。