

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. August 2003 (28.08.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/071514 A1

(51) Internationale Patentklassifikation⁷: **G09G 3/36**

(21) Internationales Aktenzeichen: PCT/EP03/01523

(22) Internationales Anmeldedatum:
15. Februar 2003 (15.02.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 08 073.9 25. Februar 2002 (25.02.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **DIEHL AKO STIFTUNG & CO. KG** [DE/DE];
Pfannerstrasse 75, 88239 Wangen (DE).

(72) Erfinder; und

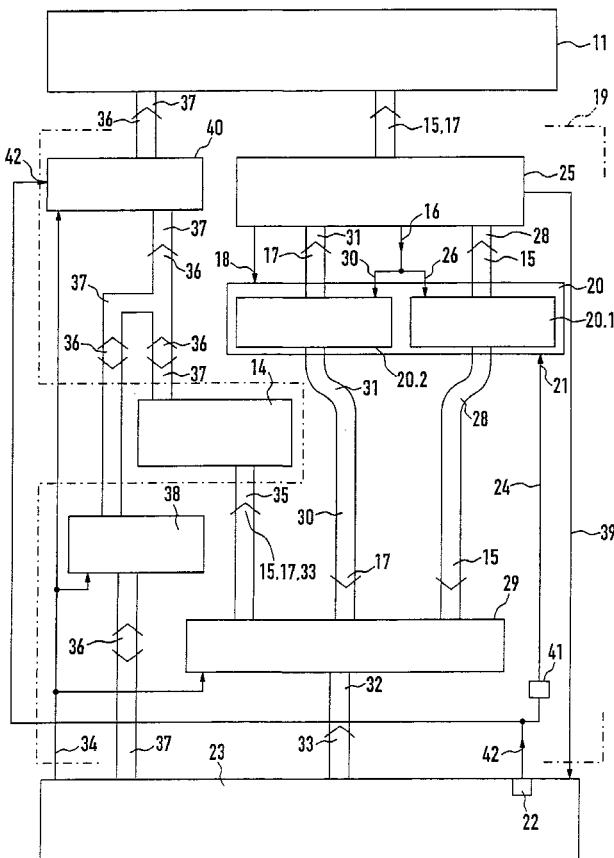
(75) Erfinder/Anmelder (nur für US): **SIMON, Helmut**
[DE/DE]; Weidenanger 10, 88260 Argenbühl (DE).
MORENT, Roland [DE/DE]; Faustin-Mennel-Strasse 3,
88239 Wangen (DE).

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,

[Fortsetzung auf der nächsten Seite]

(54) Title: DRIVER CIRCUIT FOR AN LCD DISPLAY

(54) Bezeichnung: TREIBERSCHALTUNG FÜR EINE LCD-ANZEIGE



(57) Abstract: The invention relates to a driver circuit for LCD displays. In order to be able to equip big household appliances with LCD displays (11) for user guidance despite the strong downward trend of prices, the expensive universal driver circuits (LCD controller ICs) that have functionalities that are often not utilized are replaced by simple logical gate circuits, synchronized by the host processor (23) for the image data exchange (36) between V-RAM (14) and display (11), for the cyclic counting through of the picture elements (i.e. columns (12)) per image line (13) and of the lines (13) per image. Since one address in the V-RAM (14) corresponds to every count position per image and thus one matrix position in the image of the display (11), said memory (14) is not continuously occupied with image data (36) but only in a corresponding section, which, however is not inconvenient as large image data memories (14) are available at very low prices as compared to the expensive LCD controller IC.

(57) Zusammenfassung: Um trotz des vom Markt ausgehenden enormen Preisdruckes auch Haushaltsgrossgeräte mit LCD-Anzeigen (11) zur Benutzerführung ausstatten zu können, werden die teuren Universal-Treiberschaltkreise (LCD-Controller-ICs) mit ihren vielfach ungenutzten Funktionalitäten erfindungsgemäss ersetzt durch einfache, vom Host-Prozessor (23) für den Bilddatenaustausch (36) zwischen V-RAM (14) und Anzeige (11) synchronisierte logische Gatterschaltungen zum zyklisch aufeinanderfolgenden Durchzählen der Bildpunkte (d.h. Spalten 12) pro Bildzeile (13) und der Zeilen (13) pro Bild. Da nun jeder Zählstellung pro Bild eine Adresse im V-RAM (14) und damit eine Matrixposition im Bild der Anzeige (11) entspricht, wird dieser Speicher (14) nicht kontinuierlich,

sondern nur in einem

[Fortsetzung auf der nächsten Seite]

WO 03/071514 A1



GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

PT, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Treiberschaltung für eine LCD-Anzeige

Die Erfindung betrifft eine Treiberschaltung gemäß dem Oberbegriff des Anspruchs 1, wie sie, zum Ansteuern von großen LCD-Anzeigen mit z.B. 76.800 Bildpunkten pro Bild, handelsüblich ist. Typische Vertreter solcher Treiberschaltungen sind auf die Ansteuerung von LCD-Anzeigen opti-

5 mierte Prozessoren, wie sie im „Technical Manual S1D13305 Series“ der Seiko Epson Corporation, p 2001, als LCD-Controller-ICs beschrieben sind.

In der Konfiguration eines solchen als LCD-Treiberschaltung dienenden Prozessors ist üblicherweise vorgesehen, daß er von einem Host-Prozessor Bilddaten und Befehle empfangen sowie Signale zur zeitlichen Abstimmung abgeben kann, wofür er mit einem eigenen Taktgenerator ausgestattet ist. Solche Prozessoren sind im übrigen darauf optimiert, mit großen Speichern zu korrespondieren. Die werden in dieser Anwendung

10 als Video-RAM (im folgenden V-RAM) bezeichnet, weil binäre Bilddaten für die Anzeige in den Speicher geladen und von dort wieder abgerufen werden. Jedem Speicherplatz ist, je nach seiner Bittiefe, die binäre Information wenigstens eines Bildpunktes zugeordnet; der entsprechende Speicherinhalt bestimmt also, welcher Bildpunkt momentan hell oder dunkel geschaltet ist. In einem speziellen Funktionsteil solch eines

15 LCD-Prozessors werden Steuersignale erzeugt und zeitrichtig mit den aus dem Speicher abgerufenen Bilddaten an die LCD-Anzeige ausgegeben.

Die so in eine autarke Prozessorstruktur eingebundenen, standardmäßig verfügbaren Treiberschaltungen haben den Vorteil einfacher Anwendung,

25 aber den Nachteil, daß sie sehr teuer sind. Denn da sie für universellen Einsatz konzipiert sind, gewährleisten sie sehr umfangreiche Funktionali-

täten, die bei speziellen Anwendungen nur zu einem geringen Teil ausgenutzt werden. Der Anwender muß somit Kosten für Funktionen aufbringen, die er gar nicht nutzen will. Das ist insbesondere in Anwendungsbereichen kritisch, die – wie auf dem Gebiete der Haushalts-Großgeräte – gegen
5 einen vom Markt diktierten Niedrigpreis entwickelt werden und deshalb jedenfalls in der Grundversion mit minimalen Displayfunktionen auskommen müssen.

Der vorliegenden Erfindung liegt deshalb die technische Problemstellung zugrunde, eine Treiberschaltung für eine LCD-Anzeige anzugeben, die auf
10 vergleichsweise weniger komplexe Anwendungen optimiert ist, vorzugsweise auf solche wie sie in einer Waschmaschine oder dergleichen Haushalts-Großgerät vorkommen, um eine Anzeige als Bedienungshilfe mit geringstmöglichem schaltungstechnischem Mehraufwand und deshalb
15 preisgünstigst ansteuern zu können.

Diese Aufgabe ist durch die Kombination der im Hauptanspruch angegebenen wichtigsten Merkmale gelöst. Dabei wird davon Gebrauch gemacht, daß die großen als V-RAMs einsetzbaren Speicherbausteine im Gegen-
20 satz zu den universellen LCD-Prozessoren sehr preisgünstig erhältlich sind. Es wird im Rahmen der erfindungsgemäßen Lösung nun aber darauf verzichtet, alle in einem solchen Speicherbaustein verfügbaren Speicherzellen zu nutzen, also mit Bilddaten zu belegen. Vielmehr werden dafür nun nur noch solche Speicherzellen herangezogen, die sich mit einer be-
25 sonders einfach gestalteten, zyklisch zu durchlaufenden binären Zähl-schaltung adressieren lassen. Dadurch reduziert sich der schaltungstechnische Aufwand für die optimierte LCD-Treiberschaltung auf eine relativ einfache Verschaltung von aus dem Host-Prozessor getakteten logischen Gattern, die deshalb sehr preisgünstig in Standard-PALs realisierbar ist:
30 Ohne Verzicht auf notwendige Funktionalitäten senkt die erfindungsgemäße Lösung so die Kosten auf die Größenordnung von einem Drittel des Preises herkömmlicher, prozessorientierter LCD-Treiberschaltungen und

eröffnet dadurch die Möglichkeit, trotz des vom Markt diktierten niedrigen Preispunktes auch einfach ausgestattete Haushaltsgroßgeräte zur Bedienungserleichterung mit Bildanzeigen auszurüsten.

5 Bezüglich Einzelheiten, Alternativen und zweckmäßiger Weiterbildungen zur erfindungsgemäßen Lösung und deren Vorteilen wird auf die weiteren Ansprüche und auf die nachstehende Zeichnungsbeschreibung Bezug genommen. In der Zeichnung zeigt :

- 10 Fig. 1 im auf das Funktionswesentliche abstrahierten Blockschaltbild die Einbindung einer erfindungsgemäßen LCD-Treiberschaltung in die Ansteuerung einer Mosaikanzeige,
- Fig. 2 im detaillierteren Blockschaltbild - aber ohne Berücksichtigung des Taktens der logischen Schaltungen aus dem Host-
- 15 Prozessor und ohne Berücksichtigung des periodischen Polaritätswechsel in der punktweisen LCD-Hellsteuerung zum Vermeiden von elektrolytischen Zersetzungserscheinungen - die erfindungsgemäße Treiberschaltung nach Fig. 1 und
- Fig. 3 eine gegenüber Fig. 2 weiter vereinfachte Treiberschaltung.

20

Ein Mosaik-Bild auf einer LCD-Anzeige 11 wird gemäß Fig.1 und Fig. 2 ausgehend von der Nullstellung wie folgt aufgebaut: Zunächst wird die nullte Zeile 12 (die ist oberste oder die unterste Zeile 12 in der Anzeige 11) angesteuert. Jede der Zeilen 12 besteht aus typischerweise 320 nebeneinander gelegenen Bildpunkten, entsprechend 320 Spalten 13 im Bild der Anzeige 11. Die visuell darzustellenden Informationen des jeweiligen Bildpunktes (unten auch als Bilddaten 36 bezeichnet) sind durch die aktuellen binären Werte („hell“ der „dunkel“) der jeweils zugeordneten Zelle im Bildspeicher, dem V-RAM 14 vorgegeben. Da für jeden Bildpunkt, also für

25

30 jeden Schnittpunkt von Zeilen 12 und Spalten 13 in der Anzeige 11, nur die Information von einem Bit („hell“ oder „dunkel“) erforderlich ist, jede Speicherzelle aber mehrere Bit tief ist, werden unter jeder Speicherzel-

len-Adresse entsprechend viele in der Anzeige 11 auf einer Zeile 12 nebeneinander gelegene Bildpunkte angesteuert. Insoweit also z.B. unter jeder der aufeinanderfolgenden Spaltenadressen 15 üblicherweise eine 4-Bit-Information parallel ausgelesen wird, ist eine Zeile 12 schon mit 320/4=80 aufeinanderfolgenden Spaltenadressen 15 gefüllt, und es kann dann auf die erste der 80 Spaltenadressen in der nächstbenachbarten der Zeilen 12 weitergeschaltet werden.

Die Zeilenweitschaltung mit gleichzeitigem Rücksprung auf den ersten Bildpunkt unter der ersten Spaltenadresse 15 in der nächstfolgenden Zeile 12 wird für dieses Auslegungsbeispiel demnach mit dem Aufzählen auf die 80. Spaltenadresse 15 bewirkt, d.h. das Erreichen der binären Zählstellung 80 als Spaltenadresse 15 dient außer dem Rücksetzen eines Spalten-Adreßzählers 20.1 auch als Zeilen-Umschaltsignal 16. Nach Durchzählen von abermals 80 Spaltenadressen 15 ist auch die nächste Zeile 12 mit Bildpunkt-Daten belegt und das nun erscheinende Umschaltsignal 16 schaltet auf die Nummer der nächstfolgenden Zeilenadresse 17 weiter, also auf die nächstbenachbarte Zeile 12; und so fort, bis auch die letzte (die 239.) der Zeilen 12 gefüllt ist.

Mit dem Ende dieser letzten Zeile 12 des Bildes in der Anzeige 11 schaltet ein Bildimpuls 18 zum Aufbau des nächstfolgenden Bildes den Adreßzähler 20 auf die erste Spaltenadresse 15 in der ersten Zeile 12 des nächsten von der Anzeige 11 darzubietenden Bildes zurück - wenn der Inhalt des V-RAM 14 unterdessen nicht geändert wurde, ist das wieder dasselbe Bild. Auf diese Weise kann z. B. die LCD-Anzeige 11 des Typs 32F62 der Fa. Technographics Corporation mit 240 Zeilen 12 und 320 Spalten 13 (also mit $320 \times 240 = 76.800$ Bildpunkten pro Bild) betrieben werden.

In diesem Sinne ist es die Aufgabe einer LCD-Treiberschaltung 19 mit ihrem Adress-Zähler 20, die von einem Host-Prozessor 23 in den V-RAM 14 eingespeicherten Bilddaten 36 zyklisch auszulesen und hinsichtlich Spal-

ten- und Zeilenadressen 15, 17 bildpunkttrichtig der LCD-Anzeige 11 zuzuführen. Um das mit möglichst wenig Schaltungsaufwand zu realisieren, sind gemäß der vorliegenden Erfindung die jeweiligen Binärwerte der einzelnen Bildpunkte (d.h. der Bilddaten 36) im V-RAM 14 nur noch unter solchen Speicheradressen 15, 17 abgelegt, die in einfachster Zählabfolge und deshalb einfach zyklisch angesprochen werden können. Dazu laufen in einem binärkodierten Zähler 20 zwei Zählschaltungen – ein Spaltenzähler 20.1 für die Bildpunkte einer Zeile 12 und ein ihm nachgeschalteter Zeilenzähler 20.2 für die Zeilen 12 im Bild der Anzeige 11 – jeweils kontinuierlich um, angesteuert über eine Taktleitung 24 von Zählimpulsen 21, die aus der Taktschaltung 22 des Host-Prozessors 23 abgeleitet werden, um die Treiberschaltung 19 dafür nicht mit eigenem Oszillator ausstatten zu müssen. Aufgrund der Binärkodierung kann der Zähler 20 einfach als Reihenschaltung von bistabilen Kippstufen (Flipflops) realisiert sein, wodurch er infolge binärer Teilung der Wiederholfrequenz der Zählimpulse 21 z.B. mit acht solchen Kippstufen bis $2^8 = 256$ zählen könnte.

Von einer Dekodierlogik 25 wird der Zählerstand 15 der Kaskade des Spaltenzählers 20.1 im Zähler 20 laufend überwacht, und mit Erfassen aller Bildpunkte (d.h. Spalten 13) einer Zeile 12 wird der Spaltenzähler 20.1 vom Umschaltsignal 16 über eine Resetleitung 26 auf Null zurückgesetzt. Die Flipflops des Spaltenzählers 20.1 liefern so über einen Spalten-Bus 28 zu sechs Leitungen mit den Spaltennummern nacheinander in binärer Zählfolge die unteren Adressen 15 sowohl an die Anzeige 11 wie auch - im Ausführungsbeispiel nach Fig.1 über einen vom Host-Prozessor 23 gesteuerten Adressenumschalter 29 - an das V-RAM 14.

Auf den Spaltenzähler 20.1 folgt im Adreßzähler 20 die weitere Kaskade von binären Teilerstufen als dem Spaltenzähler 20.1 nachgeschalteter Zeilenzähler 20.2. Der besteht z.B. aus einer Serienschaltung von acht Flipflops und liefert in binärer Zählfolge aufeinanderfolgende Zeilennummern als die Zeilenadressen 17. Dafür wird die Zählstellung des Zeilen-

zählers 20.2 mit jedem Umschaltssignal 16 am Ende der Zählkapazität des Spaltenzählers 20.1, sobald also eine Zeile 12 mit Bildpunkt-Daten 36 gefüllt ist, über eine Taktleitung 30 um den Wert Eins erhöht. Der Zeilenzähler 20.2 zählt im vorliegenden Beispiel so von Zeile 0 bis zur Zeile 239 und wird dann über die Dekodierlogik 25 vom Bildimpuls 18 mit dem gesamten Adreßzähler 20 wieder auf Null zurückgesetzt. So liefert der Zeilenzähler 20.2 mit der Folge der Zeilennummern über einen Zeilen-Bus 31 zu acht Leitungen die oberen Adressen 17 an die Anzeige 11 und an das V-RAM 14.

Mit den Adress-Nummern 15 vom Spaltenzähler 20.1 und den Adress-Nummern 17 vom Zeilenzähler 20.2 ist deshalb jeder zu einer Folge von vier Bildpunkten der LCD-Anzeige 11 gehörende Speicherplatz von vier Bit Tiefe im V-RAM 14 gezielt ansprechbar.

Der Adressumschalter 29 bekommt außerdem über einen Bus 32 noch Adressen 33 von vierzehn Bit Breite vom Host-Prozessor 23. Diese drei Gruppen von Adressen 15, 17, 33 kann der Adressumschalter 29, beeinflusst vom Host-Prozessor 23 mittels einer Steuerleitung 34, über einen Bus 35 wahlweise auf das V-RAM 14 schalten.

Es können also die Speicheradressen des V-RAM 14 außer von den Spalten- und Zeilenzählern 20.1, 20.2 wahlweise auch vom Host-Prozessor 23 aus adressiert werden. Letzteres erfolgt vom Host-Prozessor 23 aus über den Bus 32 und den Adressumschalter 29 sowie den Bus 35, wenn das V-RAM 14 vom Host-Prozessor 21 aus mit Bilddaten 36 beschrieben werden soll, oder wenn Bilddaten 36 in ihn eingelesen werden sollen. Die laufen über einen Bild-Bus 37 mit Datentreiber 38. Der ist ein bidirektionaler Bus-Treiber mit Tristate-Ausgängen. Er kann also Daten 36 in beiden Richtungen treiben; er kann aber auch ganz weggeschaltet werden, um eine Übertragung der Bilddaten 36 vom V-RAM 14 über einen weiteren Zweig des Bild-Bus 37 zur Anzeige 11 nicht zu stören.

Eine Freigabe des Bilddaten-Verkehrs 36 zwischen Host-Prozessor 23 und V-RAM 14 oder zwischen V-RAM 14 und Anzeige 11 ist zeitlich geregelt. Beispielsweise hat der Host-Prozessor 23 immer dann Zugriff auf das V-RAM 14, wenn das letzte (niedrigwertigste) Bit der Spaltennummer 15 gerade Null (Low) ist; ist es dagegen +U (High), hat die Steuerlogik in der LCD Anzeige 11 über den Bild-Bus 37 Zugriff auf das V-RAM 14. In Fig.2 ist berücksichtigt, ist es dafür zweckmäßig ist, den Host-Prozessor 23 über eine Leitung 39 aus der Dekodierlogik 25 zu synchronisieren.

Wie vorstehend unter Bezugnahme auf Fig. 2 beschriebenen, wird für die übergeordnete Steuerungsfunktion zum mosaikartig punkweisen Bildaufbau die ohnehin gegebene Funktionalität des Host-Prozessors 23 genutzt, um die Treiberschaltung 19 funktional möglichst einfach auslegen zu können. Man kann gemäß einer Weiterbildung der Erfindung über intelligente Software die Treiberschaltung 19 sogar noch weiter vereinfachen. Eine mögliche derartige Ausgestaltung ist in Fig. 3 dargestellt. Sie beruht darauf, daß die Adreßbusse 28, 31 vom Spaltenzähler 20.1 und vom Zeilenzähler 20.2 das V-RAM 14 mit den Adressen 15, 17 immer in gleicher Reihenfolge ansteuern. Dessen Adressierung muß deshalb gar nicht mehr eigens über den Host-Prozessor 23 verlaufen, die Adreß-Busse 28, 31 vom Spalten- und vom Zeilenzähler 20.1, 20.2 können direkt auf das V-RAM 14 führen. Der Aufwand von typisch vier Bausteinen für einen Adressumschalter (29 in Fig. 2) entfällt dadurch. Der Host-Prozessor 23 muß die Bilddaten 336 nur zum richtigen Zeitpunkt über den Datentreiber 38 an das V-RAM 14 schicken. Dafür ist eine Synchronisation des Host-Prozessor 23 von der Adreß-Dekodierlogik 25 über die Leitung 39 besonders sinnvoll.

In Fig.2 und Fig.3 der Zeichnung ist für die Ablieferung der aus dem V-RAM 14 ausgelesenen Bilddaten 36 an die Steuerelektronik in der Anzeige 11 noch ein Datenumschalter 40 mit Tristate-Verhalten vorgesehen.

Der ist aber nur erforderlich, wenn das V-RAM 14, moderner Speicher-
technologie entsprechend, pro Speicheradresse 15/17 mit acht Bit Tiefe
(also einem Byte statt wie bisher beschrieben mit vier Bit Tiefe) ausgele-
sen wird, während die Ansteuerung einer LCD-Anzeige 11 üblicherweise
5 immer noch pro Spaltenadresse 15 zu vier Bildpunkten parallel, also mit
den sogenannten Nibbel-Worten von nur vier Bit Tiefe pro Speicheradres-
se 15/17 erfolgt. Zum Aufspalten der acht Bit tiefen Spaltenadresse 15 in
zwei auf der Zeile 12 aufeinanderfolgende Gruppen von je vier Bildpunk-
ten ist der Umschalter 40 vorgesehen. Um dessen Umschalten vor Wei-
10 terzählen zur nächsten Spaltennummer 15 durchzuführen, werden aus der
Taktschaltung 22 des Host-Prozessor 23 originär Umschaltimpulse 42
vom Doppelten der Frequenz der Zählimpulse 21 abgeleitet. Diese dop-
pelte Zählfrequenz wird in einem dem Spaltenzähler 20.1 vorgeschalteten
binären Untersetzer 41 auf den Zähltakt der Impulse 21 halbiert. Der Un-
15 tersetzer 41 kann deshalb als erste Teilerstufe des Zählers 20 vor seiner
Kaskade des Spaltenzählers 20.1 realisiert sein. Jedenfalls erscheint, je-
weils vor dessen Umschalten zur nächsten Spaltenadresse 15 auf dem
Bus 28, am Datenumschalter 40 ein Umschaltimpuls 42, der nach den er-
sten vier Bit auch noch die zweiten vier Bit für die acht unter einer Spal-
20 tenadresse 15 anzusteuern den Bildpunkte in der aktuellen Zeile 12 aus
dem V-RAM 14 ausliest. Der Spaltenzähler 20.1 braucht in dieser Konfigu-
ration zum Füllen einer Zeile 12 also nur noch bis $320 / 8 = 40$ zu zählen.
Der mit Erscheinen des nächsten Zählimpulses 21 anstehende Um-
schaltimpuls 42 schaltet dann den Datenumschalter 40 auf die ersten vier
25 Bit der nächsten acht Bit tiefen Spaltenadresse 15 zurück.

Unabhängig von der Speichertiefe des benutzten V-RAM 14 ist also fest-
zustellen, daß auch einfacher ausgestattete Haushaltsgroßgeräte, trotz
des vom Markt ausgehenden enormen Preisdruckes, mit LCD-Anzeigen
30 11 etwa zur Benutzerführung ausgestattet werden können, werden die
teuren Universal-Treiberschaltkreise (LCD-Controller-ICs) mit ihren viel-
fach ungenutzten Funktionalitäten erfindungsgemäß ersetzt werden durch

einfache, vom Host-Prozessor 21 für die Übermittlung der Bilddaten 36 zwischen V-RAM 14 und Anzeige 11 synchronisierte logische Gatterschaltungen zum zyklisch aufeinanderfolgenden Durchzählen der Bildpunkte (d.h. Spalten 13) pro Bildzeile 12 und der Zeilen 12 pro Bilddarstellung der Anzeige 11. Da nun jeder Zählstellung 15/27 pro Bild nicht nur eine Matrixposition im Bild der Anzeige 11, sondern auch eine Adresse im V-RAM 14 entspricht, wird dieser Speicher 14 nicht ausgenutzt, da er nicht kontinuierlich, sondern nur in einem entsprechenden Ausschnitt mit Bilddaten 22 belegt wird; was aber nicht stört, weil große Bilddatenspeicher 14 im Vergleich zu einem teuren LCD-Controller-IC sehr preisgünstig verfügbar sind.

Ansprüche:

1. Treiberschaltung (19) für die mosaikartige Bilddarstellung auf einer
5 LCD-Anzeige (11) mittels eines über einen Host-Prozessor (23) mit
Bilddaten (36) zu ladenden V-RAM (14),
dadurch gekennzeichnet,

daß vom Host-Prozessor (23) getaktete Spalten- und Zeilenzähler
(20.1, 20.2) nach Ansteuerung aller Bildmatrixpunkte einer Zeile (12)
10 im V-RAM (14) um jeweils eine Zeile (12) sowie nach Durchzählen aller
Zeilen (12) auf die erste der Spaltenadressen (15) am Anfang der er-
sten Zeile (12) der nächsten Bilddarstellung weiterschalten.

2. Treiberschaltung nach Anspruch 1,

15 dadurch gekennzeichnet,

daß in einem binären Adress-Zähler (20) aufeinanderfolgende Teiler
als die Spalten- und Zeilenzähler (20.1, 20.2) betrieben werden, die
über Reset-Rückkopplungen aus einer Dekodierlogik (25) jeweils auf
ein Zählvolumen von der Anzahl der Spalten (13) pro Zeile (12), divi-
20 diert durch die Bittiefe unter den Speicheradressen im V-RAM (14),
bzw. auf die Anzahl der Zeilen (13) für den Bildaufbau der Anzeige (11)
begrenzt sind, um jeweils mit Erreichen der letzten Spaltenadresse
(15) pro Zeile (12) bzw. der letzten Zeilenadresse (17) pro Bild über die
Dekodierlogik (25) auf Null zurückgesetzt zu werden.

25

3. Treiberschaltung Anspruch 2,

dadurch gekennzeichnet,

daß die logischen Zählerstände (Adressen 15, 17) der binären Teiler-
stufen (Zähler 20.1, 20.2) über die Dekodierlogik (25) und Busse (28,
30 31) den V-RAM (14) und parallel dazu die Anzeige (11) adressieren.

4. Treiberschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß Bilddaten (36) vom Host-Prozessor (23) aus über einen bidirek-
tionalen Bus-Datentreiber (38) mit Tristateausgängen an das V-RAM
5 (14) übermittelbar sind.

5. Treiberschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß pro Speicheradresse (15/17) Bilddaten (36) von acht Bit Tiefe aus
10 dem V-RAM (14) über einen Datenumschalter (40) an die LCD-
Anzeige (11) geführt sind, der während des Anstehens einer Spei-
cheradresse (15/17) den gerade aus dem V-RAM (14) ausgelesenen
Bilddatensatz (36) von einem Byte in eine Folge zweier Nibbel-Wörter
zu je vier Bit zerlegt und nacheinander an die Anzeige (1) übermittelt.

15 6. Treiberschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß jeder Bildpunkt in der Matrix der Anzeige (11) unabhängig von der
Größe des V-RAM (14) unter Berücksichtigung der Speichertiefe ent-
sprechend der Anzahl nebeneinander auf einer Bildzeile (12) anzu-
steuernder Bildpunkte zu einer Bildadresse (15/17) nur diese eine
20 Speicheradresse (15/17) aufweist und alle zahlenmäßig aufeinander-
folgenden Adressen (15/17) von einem Adreßzähler (20) in gleicher
Reihenfolge zyklisch aufgerufen werden.

25 7. Treiberschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß von der dem Adreßzähler (20) nachgeschalteten Dekodierlogik
(25) für das Umschalten der Spalten- und Zeilenzähler (20.1, 20.2) ei-
30 ne Synchronisierleitung (39) zum Host-Prozessor (23) gespeist ist.

8. Treiberschaltung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß das V-RAM (14) direkt von den Spalten- und Zeilenzählern (20.1,
20.2) adressiert wird und die richtige Zuordnung der Bilddaten (36) zu
den Matrix-Bildpunkten der Anzeige (11) softwaremäßig vom synchro-
nisierten Host-Prozessor (23) erfolgt.

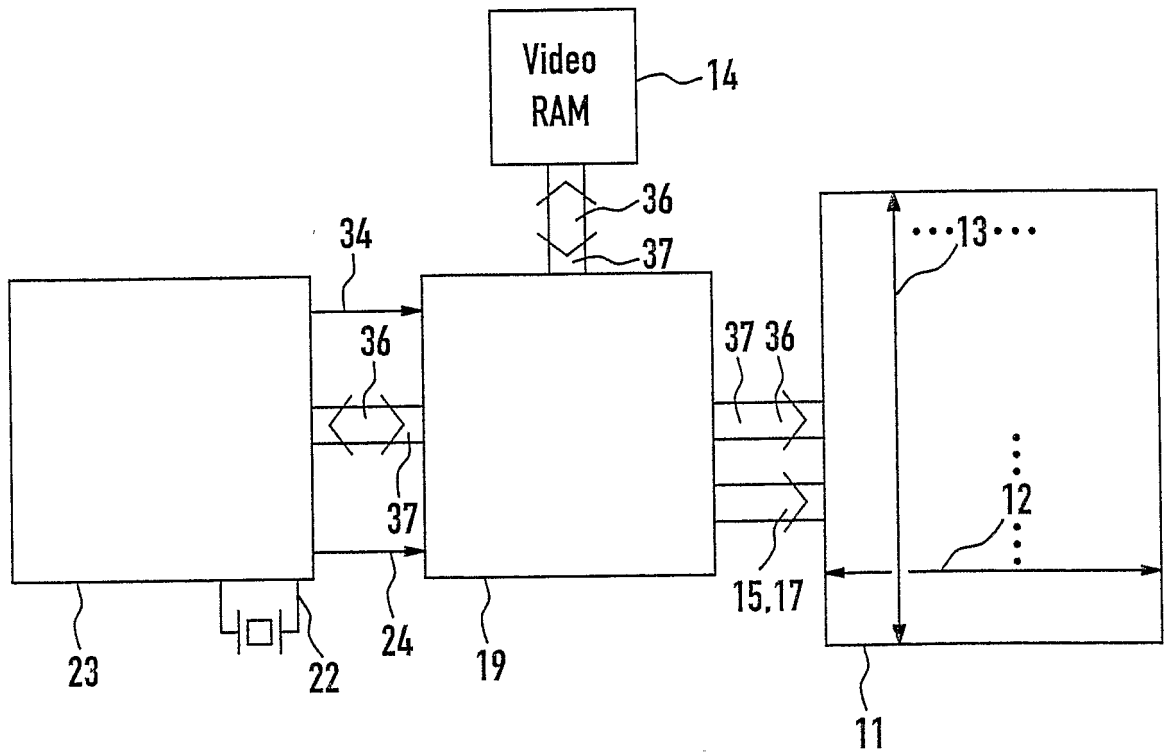


FIG. 1

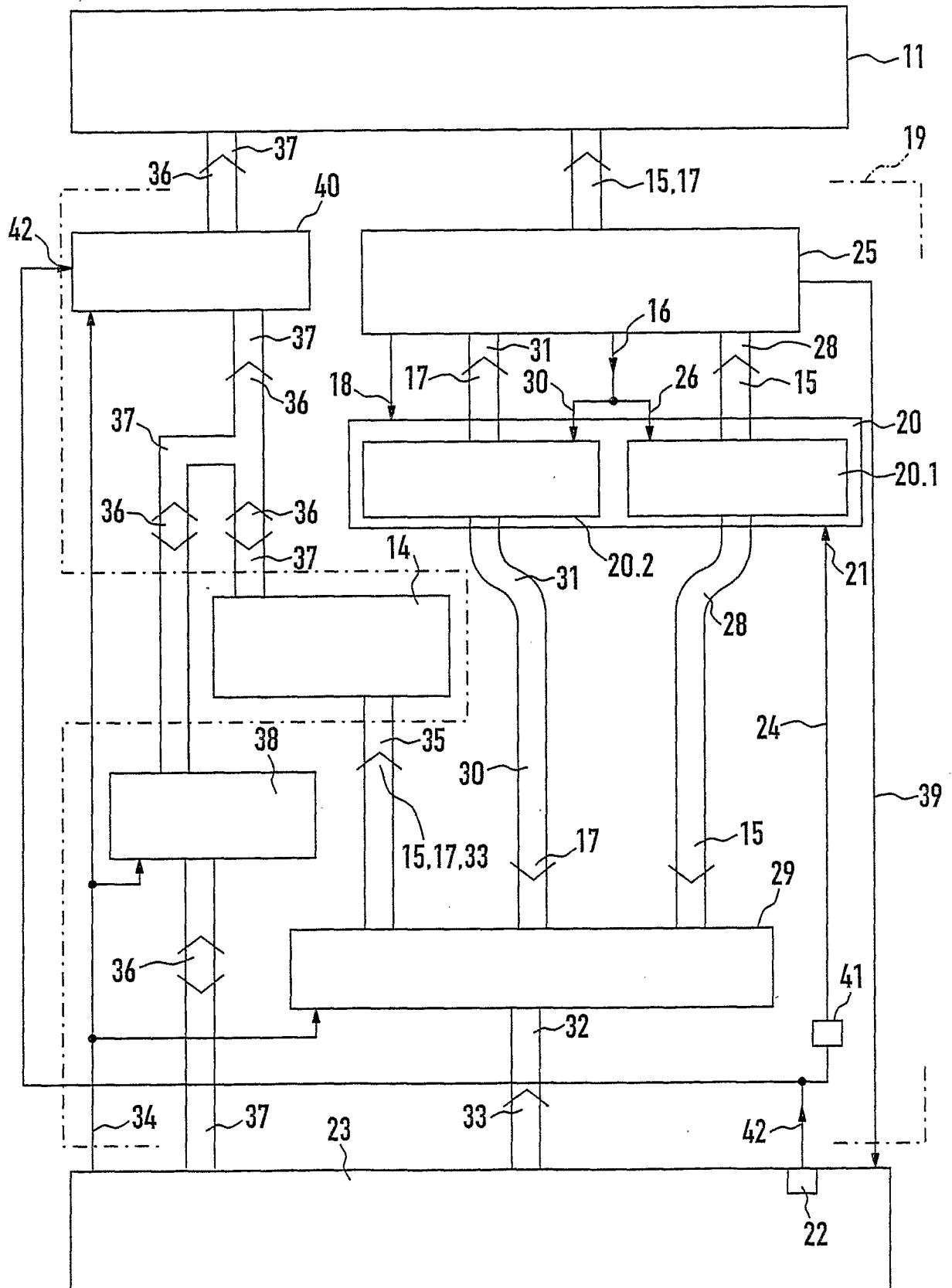


FIG. 2

3 / 3

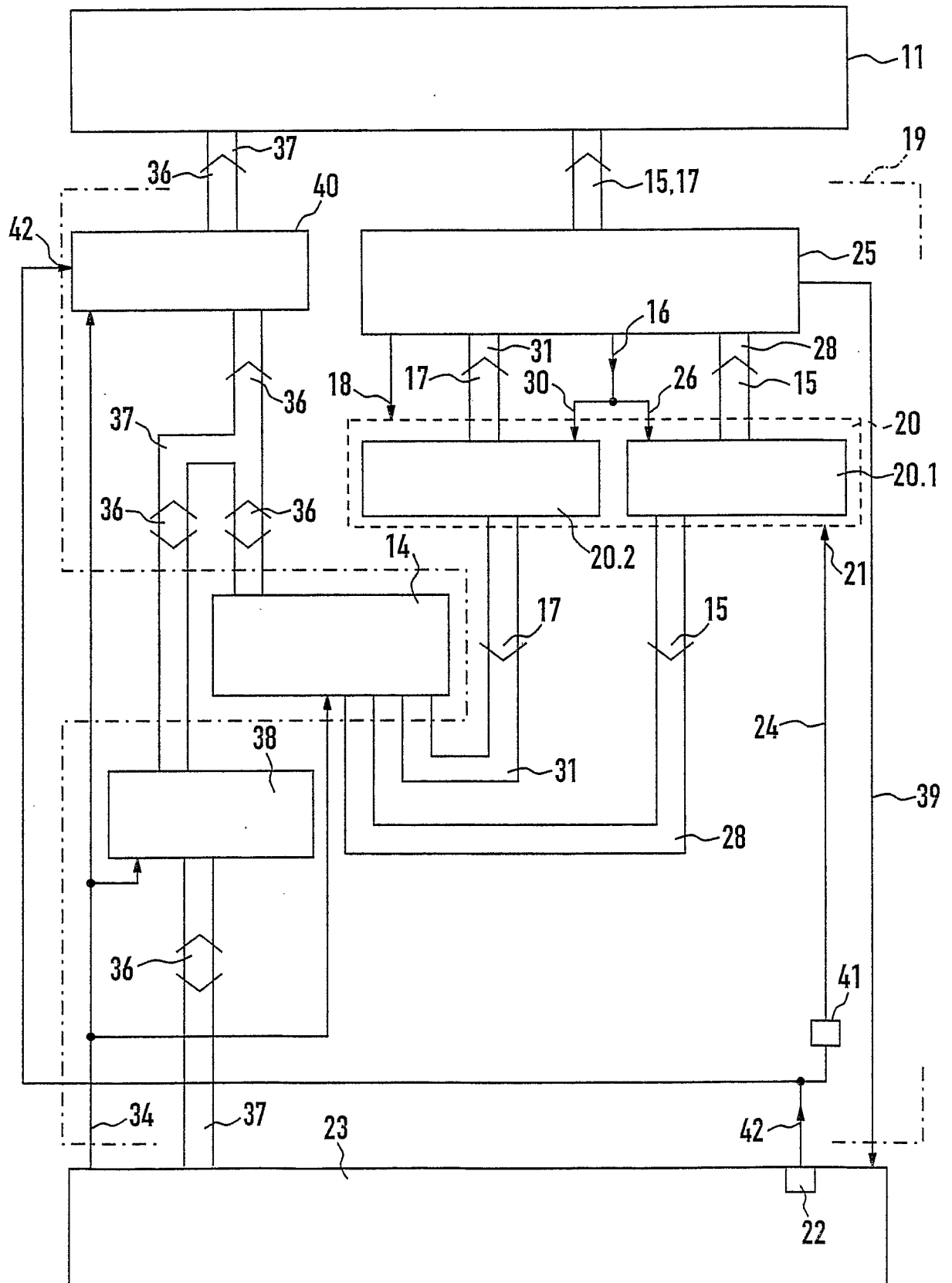


FIG. 3

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/01523

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 320 575 B1 (TERASHIMA YOSHIHIRO ET AL) 20 November 2001 (2001-11-20)	1
Y	column 1, line 12 - line 50 column 2, line 56 -column 3, line 65 column 4, line 50 -column 5, line 24 figures 1,4,5 ---	2
Y	EP 0 631 270 A (CASIO COMPUTER CO LTD) 28 December 1994 (1994-12-28)	2
A	column 6, line 26 -column 8, line 26 figures 3-5 ---	1
A	EP 0 291 252 A (SEIKO EPSON CORP) 17 November 1988 (1988-11-17) column 6, line 55 -column 7, line 25 figure 1 ---	1
	--- -/--	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

26 May 2003

Date of mailing of the international search report

05/06/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Farricella, L

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 03/01523

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 816 816 A (USUI MINORU) 28 March 1989 (1989-03-28) -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/01523

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 6320575	B1	20-11-2001	JP	3315632 B2		19-08-2002
			JP	11143448 A		28-05-1999
EP 0631270	A	28-12-1994	JP	3343988 B2		11-11-2002
			JP	6324643 A		25-11-1994
			JP	6324644 A		25-11-1994
			CN	1099887 A ,B		08-03-1995
			DE	69416896 D1		15-04-1999
			DE	69416896 T2		08-07-1999
			EP	0631270 A2		28-12-1994
			HK	1013491 A1		23-06-2000
			KR	151220 B1		15-12-1998
			US	5663745 A		02-09-1997
			US	5852428 A		22-12-1998
			US	5703616 A		30-12-1997
EP 0291252	A	17-11-1988	JP	63280581 A		17-11-1988
			JP	2580596 B2		12-02-1997
			JP	63290084 A		28-11-1988
			JP	1024298 A		26-01-1989
			JP	1090680 A		07-04-1989
			JP	2054990 C		23-05-1996
			JP	7077445 B		16-08-1995
			EP	0291252 A2		17-11-1988
			US	4908710 A		13-03-1990
US 4816816	A	28-03-1989	JP	61289389 A		19-12-1986
			JP	62145291 A		29-06-1987
			DE	3674259 D1		25-10-1990
			EP	0206178 A1		30-12-1986

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/01523

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G09G3/36

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G09G

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 320 575 B1 (TERASHIMA YOSHIHIRO ET AL) 20. November 2001 (2001-11-20)	1
Y	Spalte 1, Zeile 12 - Zeile 50 Spalte 2, Zeile 56 - Spalte 3, Zeile 65 Spalte 4, Zeile 50 - Spalte 5, Zeile 24 Abbildungen 1,4,5 ---	2
Y	EP 0 631 270 A (CASIO COMPUTER CO LTD) 28. Dezember 1994 (1994-12-28)	2
A	Spalte 6, Zeile 26 - Spalte 8, Zeile 26 Abbildungen 3-5 ---	1
A	EP 0 291 252 A (SEIKO EPSON CORP) 17. November 1988 (1988-11-17) Spalte 6, Zeile 55 - Spalte 7, Zeile 25 Abbildung 1 ---	1
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Mai 2003

Absenddatum des internationalen Recherchenberichts

05/06/2003

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Farricella, L

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/01523

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 4 816 816 A (USUI MINORU) 28. März 1989 (1989-03-28) -----	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 03/01523

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung	
US 6320575	B1	20-11-2001	JP 3315632 B2	19-08-2002
		JP 11143448 A		28-05-1999
EP 0631270	A	28-12-1994	JP 3343988 B2	11-11-2002
		JP 6324643 A		25-11-1994
		JP 6324644 A		25-11-1994
		CN 1099887 A ,B		08-03-1995
		DE 69416896 D1		15-04-1999
		DE 69416896 T2		08-07-1999
		EP 0631270 A2		28-12-1994
		HK 1013491 A1		23-06-2000
		KR 151220 B1		15-12-1998
		US 5663745 A		02-09-1997
		US 5852428 A		22-12-1998
		US 5703616 A		30-12-1997
EP 0291252	A	17-11-1988	JP 63280581 A	17-11-1988
		JP 2580596 B2		12-02-1997
		JP 63290084 A		28-11-1988
		JP 1024298 A		26-01-1989
		JP 1090680 A		07-04-1989
		JP 2054990 C		23-05-1996
		JP 7077445 B		16-08-1995
		EP 0291252 A2		17-11-1988
		US 4908710 A		13-03-1990
US 4816816	A	28-03-1989	JP 61289389 A	19-12-1986
		JP 62145291 A		29-06-1987
		DE 3674259 D1		25-10-1990
		EP 0206178 A1		30-12-1986

专利名称(译)	用于LCD显示器的驱动电路		
公开(公告)号	EP1481388A1	公开(公告)日	2004-12-01
申请号	EP2003709708	申请日	2003-02-15
[标]申请(专利权)人(译)	迪尔阿扣基金两合公司		
申请(专利权)人(译)	代傲AKO STIFTUNG & CO.KG		
当前申请(专利权)人(译)	代傲AKO STIFTUNG & CO.KG		
[标]发明人	SIMON HELMUT MORENT ROLAND		
发明人	SIMON, HELMUT MORENT, ROLAND		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3611		
优先权	10208073 2002-02-25 DE		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于LCD显示器的驱动电路。为了能够为大型家用电器配备LCD显示器 (11) 以供用户指导，尽管价格有很大的下降趋势，具有通常不使用的功能的昂贵的通用驱动电路 (LCD控制器IC) 被简单的逻辑取代门电路，由主处理器 (23) 同步，用于V-RAM (14) 和显示器 (11) 之间的图像数据交换 (36)，用于每个图像的图像元素 (即列 (12)) 的循环计数线 (13) 和每个图像的线 (13)。由于V-RAM (14) 中的一个地址对应于每个图像的每个计数位置并因此对应于显示器 (11) 的图像中的一个矩阵位置，因此所述存储器 (14) 不连续地被图像数据 (36) 占据，而是仅然而，在相应的部分中，与昂贵的LCD控制器IC相比，由于大型图像数据存储器 (14) 可以以非常低的价格获得，因此这并不是不方便的。