



(11) **EP 2 439 583 A1**

(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:  
**11.04.2012 Bulletin 2012/15**

(51) Int Cl.:  
**G02F 1/1362** (2006.01) **H01L 23/64** (2006.01)  
**H01L 23/522** (2006.01) **H01G 4/30** (2006.01)  
**H01L 21/02** (2006.01)

(21) Numéro de dépôt: **11183971.8**

(22) Date de dépôt: **05.10.2011**

(84) Etats contractants désignés:  
**AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR**  
Etats d'extension désignés:  
**BA ME**

(72) Inventeur: **Segura Puchades, Josep**  
**38600 FONTAINE (FR)**

(74) Mandataire: **Guérin, Michel et al**  
**Marks & Clerk France**  
**Conseils en Propriété Industrielle**  
**Immeuble Visium**  
**22, Avenue Aristide Briand**  
**94117 Arcueil Cedex (FR)**

(30) Priorité: **08.10.2010 FR 1003996**

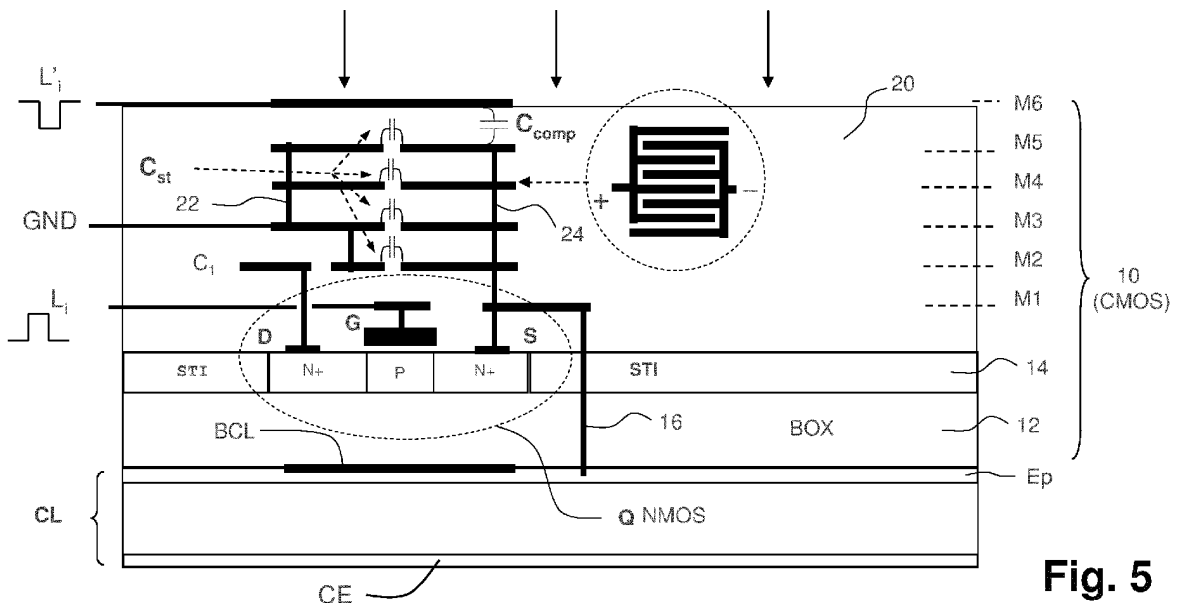
(71) Demandeur: **Commissariat à l'Énergie Atomique et aux Énergies Alternatives**  
**75015 Paris (FR)**

(54) **Afficheur a cristal liquide de type transmissif en technologie CMOS avec capacité de stockage auxiliaire**

(57) L'invention concerne l'affichage d'images par un afficheur à cristaux liquides à matrice active. Elle s'applique plus particulièrement aux écrans de petites dimensions, réalisés par exemple sur substrats de silicium (technologie LCOS de l'anglais "Liquid Crystal on Silicon").

Une capacité de stockage auxiliaire ( $C_{st}$ ) est formée au-dessus du transistor de commande du pixel, c'est-à-

dire que le transistor de commande est formé entre le cristal liquide et la capacité de stockage. La capacité est formée par la mise en parallèle de plusieurs capacités partielles formées chacune par une structure interdigitée dans un niveau respectif de métallisation (M1 à M5). Les métallisations (aluminium et/ou cuivre) sont opaques et la capacité protège donc le transistor de la lumière, d'autant mieux qu'il y a plus de niveaux de métallisation pour constituer les structures interdigitées.



**Fig. 5**

**EP 2 439 583 A1**

## Description

**[0001]** L'invention concerne l'affichage d'images par un afficheur à cristaux liquides à matrice active. Elle s'applique plus particulièrement aux écrans de petites dimensions, réalisés par exemple sur substrats de silicium monocristallin (technologie LCOS de l'anglais "Liquid Crystal on Silicon") et qui sont de type transmissifs.

**[0002]** Un afficheur à matrice active comprend une matrice de lignes et colonnes de pixels, chaque pixel comportant un cristal liquide entre une électrode de pixel et une contre-électrode commune à tous les pixels. La tension appliquée entre l'électrode de pixel et l'électrode commune produit un champ électrique qui oriente les molécules du cristal liquide en fonction du module du champ. Cette orientation agit sur la polarisation de la lumière qui traverse le cristal de manière à définir, en combinaison avec l'usage de polariseurs, un niveau de transmission de lumière qui dépend du champ électrique appliqué. Un transistor de commande (l'élément actif du pixel) relie l'électrode de pixel de tous les pixels d'une même colonne à un conducteur de colonne respectif. Le conducteur de colonne reçoit à un moment donné une tension analogique définissant un niveau de gris à appliquer au pixel ; si le transistor est conducteur, cette tension est appliquée à l'électrode de pixel ; sinon, le pixel se comporte comme une capacité isolée et conserve le niveau de tension reçu précédemment. Les transistors de commande d'une même ligne de pixels sont commandés par un conducteur de ligne respectif ; ainsi, pendant l'écriture d'une trame d'image, on adresse successivement les différentes lignes de la matrice pour écrire à un instant donné dans les pixels de la ligne adressée l'information appliquée à cet instant par les conducteurs de colonne.

**[0003]** La figure 1 représente la structure générale d'une telle matrice, où CL désigne une cellule à cristal liquide et Q désigne le transistor associé à cette cellule, l'ensemble de la cellule et du transistor formant le pixel. La contre-électrode commune est désignée par CE, l'électrode du pixel est désignée par Ep. Les conducteurs de commande en ligne sont désignés par  $L_1$  à  $L_n$  pour une matrice de n lignes. Les conducteurs de colonne sont  $C_1$  à  $C_m$  pour une matrice de m colonnes. Un décodeur de ligne DEC adresse successivement les différentes lignes. Un circuit de conversion numérique-analogique DAC applique aux conducteurs de colonne pendant l'adressage d'une ligne un ensemble de tensions analogiques représentant l'image à afficher par cette ligne. Le circuit de conversion établit ces tensions analogiques à partir d'un signal numérique. Un circuit de séquençage SEQ assure le fonctionnement synchronisé du décodeur de ligne et du circuit de conversion DAC.

**[0004]** D'autres éléments de circuits peuvent être présents, tels qu'un circuit d'inversion périodique de polarité de la contre-électrode. Ils ne sont pas représentés.

**[0005]** Le cristal liquide entre deux électrodes se comporte comme une capacité. C'est ce comportement ca-

pacitif qui permet de maintenir à ses bornes la tension qui lui a été appliquée pendant l'écriture de la ligne correspondante. Mais cette capacité a une faible valeur et on souhaite en général la compléter par une capacité de stockage auxiliaire. En effet, le courant de fuite du transistor de commande entraîne la perte de charge stockées dans la capacité du pixel, ce qui implique une variation de la tension entre les électrodes du cristal liquide. Par ailleurs, la capacité du cristal liquide varie également au fur et à mesure que le cristal liquide prend l'orientation moléculaire qui lui est conférée en fonction de la tension appliquée.

**[0006]** Cette capacité de stockage auxiliaire est connectée en principe en parallèle avec les électrodes du cristal liquide puisqu'elle a pour vocation de renforcer la valeur de la capacité propre du cristal liquide.

**[0007]** Cependant, comme les capacités en jeu sont relativement faibles, on a constaté que la capacité grille-source du transistor de commande Q n'était pas négligeable et induisait une modification indésirable de la tension aux bornes du cristal liquide au moment de l'interruption de l'application de la tension d'écriture. En effet, la tension d'écriture est appliquée par une impulsion de commande sur la grille des transistors Q d'une ligne déterminée ; cette impulsion reporte sur la source du transistor la valeur de tension d'écriture désirée, de sorte que la capacité du cristal liquide et la capacité de stockage auxiliaire se chargent avec cette valeur ; mais lorsque l'impulsion sur la grille se termine, ces deux capacités se déchargent partiellement dans la capacité grille-source du transistor, en proportion de la valeur de cette capacité ; la tension qui persiste alors sur le cristal liquide n'est plus exactement celle qu'on voulait.

**[0008]** Pour remédier à ce phénomène, on peut envisager les solutions suivantes :

- connecter la capacité de stockage auxiliaire non pas entre l'électrode Ep du cristal liquide et la contre-électrode CE, mais entre l'électrode Ep et le conducteur de commande de la ligne suivante ; la figure 2 représente le schéma électrique correspondant, où l'on voit pour chaque pixel un transistor Q, la capacité  $C_{cl}$  du cristal liquide de ce pixel, la capacité de stockage auxiliaire  $C_s$ , celle-ci étant reliée entre l'électrode du pixel (elle-même reliée à la source du transistor Q correspondant) et le conducteur de commande de la ligne suivante  $L_{i+1}$  ; la perte de tension aux bornes du cristal liquide au moment de la fin de l'impulsion (front descendant) de mise en conduction du transistor de commande est compensée par une augmentation de tension correspondante au moment du début (front montant) de l'impulsion de mise en conduction des transistors de la ligne suivante ; cette compensation est efficace si la valeur de la capacité de stockage auxiliaire est égale à la valeur de la capacité grille-source du transistor de commande ;
- connecter la capacité de stockage auxiliaire, ou une

capacité de compensation supplémentaire, à un conducteur de ligne auxiliaire, commun à tous les pixels de la ligne, fournissant une impulsion de compensation, d'amplitude ajustable, synchronisée avec l'impulsion de commande d'écriture et de sens contraire de celle-ci ; ainsi, lorsque le front descendant de l'impulsion de commande d'écriture tend à provoquer une diminution de tension sur l'électrode de pixel, le front montant de l'impulsion de compensation tend à provoquer une augmentation de cette tension, en proportion de l'amplitude de l'impulsion de compensation ; en ajustant le niveau d'amplitude de l'impulsion de compensation on peut compenser l'influence de la fin de l'impulsion de commande d'écriture ; la figure 3 fait apparaître que chaque pixel est alors commandé par deux conducteurs de ligne, respectivement  $L_i$  et  $L'_i$  pour la ligne de rang  $i$  ; le deuxième conducteur de ligne  $L'_i$  est relié à la deuxième borne de la capacité de stockage  $C_s$ , la première borne étant reliée à l'électrode de pixel du cristal liquide et à la source du transistor Q ; tous les pixels de la ligne sont connectés de cette manière au conducteur  $L'_i$  ; alternativement on peut prévoir qu'il y a à la fois une capacité de stockage auxiliaire  $C_{st}$  simplement en parallèle avec le cristal liquide et une capacité de compensation  $C_{comp}$  ; la capacité de compensation est alors reliée entre l'électrode de pixel et le conducteur de ligne  $L'_i$ . Ces deux solutions sont représentées sur la figure 3.

**[0009]** Dans tous les cas, on a donc besoin de prévoir au moins une capacité (capacité de stockage auxiliaire et/ou capacité de compensation) dans le pixel.

**[0010]** Dans les technologies d'afficheurs à matrice active sur panneaux de verre, dans lesquelles les transistors sont en silicium amorphe, on réalise le plus souvent le pixel avec une configuration telle que celle qui est représentée à la figure 4. Le pixel est rectangulaire ou carré et occupe une surface entre deux conducteurs de ligne successifs  $L_i$  et  $L_{i+1}$  et deux conducteurs de colonne successifs  $C_j$  et  $C_{j+1}$ . L'électrode de pixel  $E_p$ , transparente, occupe la majeure partie de ce rectangle, et un coin du rectangle est occupé par le transistor Q en silicium amorphe dont la grille est reliée au conducteur de ligne  $L_i$ , la source est reliée à l'électrode  $E_p$ , et le drain est relié au conducteur de colonne  $C_j$ .

**[0011]** La capacité de stockage auxiliaire  $C_s$  est dans ce cas tout simplement constituée par une extension latérale de l'électrode de pixel  $E_p$  et par le conducteur de ligne suivant  $L_{i+1}$  qui passe au-dessus de cette extension et qui en est séparé par une couche isolante. C'est la configuration de la figure 2 adaptée à la technologie du silicium amorphe. L'électrode de pixel est en oxyde d'indium étain (ITO) qui a la propriété d'être transparent.

**[0012]** Ce type de structure de pixel est utilisable dans des afficheurs de type transmissif à matrice de transistors en silicium amorphe.

**[0013]** Les afficheurs de petite dimension réalisés en

technologie LCOS, c'est-à-dire sur substrat de silicium monocristallin, sont en général de type réfléchitif, de sorte que l'électrode  $E_p$  du pixel n'est pas transparente mais réfléchissante. Cette électrode n'est pas disposée latéralement à côté du transistor de commande Q comme pour les afficheurs en silicium amorphe tel que celui de la figure 4, mais elle recouvre complètement le transistor ; le transistor est naturellement protégé de la lumière par l'électrode du pixel.

**[0014]** Si on veut faire un afficheur en technologie LCOS qui soit de type transmissif, l'électrode du pixel ne peut plus être en métal réfléchissant car elle empêcherait le passage de la lumière : dans un afficheur transmissif la lumière issue d'une source de lumière traverse une seule fois le cristal liquide et les couches de circuits électroniques servant à commander les pixels, avant d'être observée ou projetée sur un écran, alors que dans un afficheur réfléchitif, elle traverse une première fois le cristal liquide, elle se réfléchit sur une électrode réfléchissante, et elle retraverse le cristal liquide.

**[0015]** Dans un afficheur transmissif, il faut donc que l'électrode de pixel soit transparente (en ITO). Mais alors le transistor est exposé à la lumière, ce qui engendre des risques de fuites importantes et variables en fonction de l'éclairement du pixel. Ces fuites empêchent un maintien capacitif correct de la tension appliquée au pixel lors de l'écriture, alors que cette tension devrait subsister pendant tout le temps d'une trame suivant l'instant d'écriture.

**[0016]** Par ailleurs, dans un afficheur en technologie LCOS sur un substrat de silicium monocristallin, les dimensions des pixels sont très petites ce qui rend difficile la mise en place de capacités de valeur suffisante dans chaque pixel.

**[0017]** C'est pourquoi on propose selon l'invention un afficheur à cristal liquide de type transmissif comprenant une matrice de lignes et colonnes de pixels, chaque pixel comprenant un cristal liquide entre une électrode de pixel transparente et une contre-électrode transparente commune à tous les pixels, un transistor de commande et une capacité de stockage auxiliaire, la grille du transistor étant reliée à un premier conducteur de ligne commun à tous les pixels d'une même ligne pour recevoir de ce conducteur une impulsion de commande d'écriture, le drain du transistor étant relié à un conducteur de colonne commun à tous les pixels d'une même colonne pour en recevoir une tension analogique représentant un niveau de gris à afficher, et la source du transistor étant reliée à l'électrode du pixel et à une borne de la capacité de stockage auxiliaire, caractérisé en ce que le transistor est situé entre le cristal liquide et la capacité de stockage auxiliaire, la capacité étant réalisée par un empilement d'au moins deux structures en métal opaque à armatures interdigitées mises en parallèle, chaque structure étant réalisée dans un niveau de métallisation respectif, et les structures à armatures interdigitées comprenant des doigts parallèles dans chaque structure, les doigts d'une structure étant perpendiculaires aux doigts de l'autre structure.

**[0018]** La capacité est alors située du côté amont (dans le sens de l'éclairement) de l'empilement constitué par le cristal liquide, le transistor de commande et la capacité de stockage auxiliaire. En utilisation, la source de lumière de l'afficheur éclaire donc la capacité mais ne peut pas ou presque pas éclairer le transistor. Celui-ci est masqué par la capacité. Le reste du pixel n'est pas masqué par la capacité et la lumière peut atteindre le cristal liquide (à travers l'électrode transparente) là où la capacité n'y fait pas obstacle.

**[0019]** Le transistor et la capacité de stockage auxiliaire occupent une petite partie (inférieure à 50% et la plus faible possible) de la surface du pixel. L'encombrement latéral de la capacité doit en effet être minimisé pour que l'ouverture du pixel, c'est-à-dire le rapport entre la surface de pixel qui laisse passer la lumière et la surface totale du pixel reste aussi élevée que possible.

**[0020]** Pour obtenir une capacité de stockage auxiliaire aussi élevée que possible dans un encombrement latéral aussi faible que possible, la capacité est réalisée par un empilement d'au moins deux structures à armatures interdigitées, chaque structure étant réalisée dans un niveau de métallisation opaque respectif. Les métallisations sont de préférence en aluminium et/ou en cuivre. Les structures interdigitées sont séparées par des couches isolantes et sont reliées entre elles par des vias conducteurs.

**[0021]** Par exemple, dans un afficheur à six niveaux de métallisation, on peut prévoir que quatre niveaux superposés servent à réaliser quatre structures à armatures interdigitées ayant chacun deux armatures ; les armatures correspondantes des différents niveaux sont toutes reliées entre elles par des vias. Les directions des doigts de deux structures interdigitées de deux niveaux différents sont alternées (perpendiculaires entre elles) pour mieux masquer la lumière.

**[0022]** Dans une réalisation, la capacité comporte une armature qui occupe une surface continue opaque recouvrant la totalité du transistor.

**[0023]** Une capacité de compensation peut par ailleurs être réalisée dans le même empilement de couches métalliques que la capacité de stockage auxiliaire. Cette capacité est reliée électriquement entre l'électrode de pixel et une ligne conductrice permettant d'appliquer une tension de compensation. Cette capacité contribue à la protection du transistor contre la lumière et elle peut avoir une armature continue opaque recouvrant la totalité du transistor.

**[0024]** Le transistor et la capacité de stockage auxiliaire sont de préférence réalisés sur la couche superficielle monocristalline d'un substrat de silicium sur isolant (SOI).

**[0025]** D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente la structure d'un afficheur ma-

triciel à cristaux liquides ;

- la figure 2 représente un schéma électrique équivalent avec une capacité de stockage auxiliaire dans chaque pixel, raccordée à la ligne suivante ;
- 5 - la figure 3 représente un autre schéma avec une capacité de stockage auxiliaire, raccordée à un conducteur de ligne auxiliaire, avec éventuellement une capacité de compensation raccordée à un conducteur de commande ;
- 10 - la figure 4 représente un exemple de structure classique de pixel d'un afficheur à matrice active en silicium amorphe ;
- la figure 5 représente le schéma en coupe d'une structure de pixel selon l'invention en technologie LCOS de type transmissif ;
- 15 - la figure 6 représente schématiquement deux structures capacitatives interdigitées ayant des doigts orientés selon des directions croisées, utilisables dans l'invention ;
- 20 - la figure 7 représente un schéma en coupe d'une autre structure de pixel, utilisant trois niveaux de métallisation ;
- la figure 8 représente en vue de dessus un exemple de motif de gravure de la métallisation pour chacun des trois niveaux de la figure 7.
- 25

**[0026]** L'afficheur à cristal liquide de type transmissif comprend une matrice de lignes et colonnes de pixels organisée par exemple comme sur l'un des schémas décrits aux figures 1 à 3 ; seul un pixel est représenté sur la coupe de la figure 5 ; chaque pixel comprend une cellule de cristal liquide CL entre une électrode de pixel Ep et une contre-électrode CE commune à tous les pixels ; le transistor de commande Q est réalisé dans une structure 10 de technologie CMOS, à base de silicium monocristallin, accolée à la cellule de cristal liquide. L'électrode commune CE et l'électrode de pixel Ep sont transparentes (en ITO), mais un bouclier opaque BCL (en aluminium par exemple) est localement interposé entre l'électrode de pixel et le transistor, pour protéger le transistor contre la lumière qui pourrait arriver par la cellule de cristal liquide par des phénomènes de réflexion.

**[0027]** Différentes technologies de fabrication existent pour la structure CMOS 10. Dans la technologie représentée à titre d'exemple, la structure 10 est formée à partir d'un substrat de silicium dit SOI (Silicon on Insulator, pour "silicium sur isolant") ; ce substrat comprend une superposition d'une couche isolante 12 d'oxyde de silicium adjacente à l'électrode de pixel Ep, et d'une couche de silicium monocristallin 14 dans laquelle est formé le transistor de commande. Le transistor représenté est un transistor NMOS comprenant une source et un drain dopés de type N+, séparés par un canal de type P recouvert par une grille isolée G, en silicium polycristallin ; le transistor pourrait alternativement être un transistor PMOS. Le transistor est séparé des transistors des pixels adjacents par de l'oxyde de silicium en tranchées isolantes superficielle (STI pour "shallow trench insulation").

**[0028]** Le transistor est recouvert par une alternance de couches isolantes et métalliques permettant de former les interconnexions nécessaires pour établir le schéma électrique de la matrice de pixels, et permettant de former la capacité de stockage auxiliaire  $C_{st}$  et éventuellement la capacité de compensation  $C_{comp}$ . Les couches métalliques sont reliées les unes aux autres et reliées au transistor par des vias conducteurs à travers les couches isolantes. Un via conducteur 16 formé dans la couche isolante 12 permet par ailleurs d'établir une connexion entre la source du transistor et l'électrode de pixel  $E_p$ .

**[0029]** Les couches métalliques sont de préférence en aluminium et/ou en cuivre. Elles sont opaques à la lumière, et plus particulièrement opaques à la lumière d'une source lumineuse (non représentée) de l'afficheur, placée au-dessus de l'empilement représenté.

**[0030]** Le transistor occupe une faible partie de la surface du pixel (de la même manière qu'on voyait un transistor occupant une faible partie de la surface du pixel dans la technologie en silicium amorphe de la figure 4), et c'est cette partie du pixel qui est principalement représentée sur la figure 5.

**[0031]** Dans l'exemple représenté sur la figure 5, il y a six niveaux de métallisation superposés, désignés respectivement par les références M1 à M6. Le nombre de niveaux pourrait être différent. L'attribution des fonctions des différents niveaux peut varier et on en donnera simplement un exemple, mais dans tous les cas ils servent à réaliser la capacité de stockage  $C_{st}$  et éventuellement la capacité de compensation  $C_{comp}$ ; ils forment par ailleurs toutes les interconnexions internes au pixel et les interconnexions (lignes de commande, lignes de masse, conducteurs de colonnes, etc. nécessaire au fonctionnement de la matrice. Les niveaux métalliques sont représentés symboliquement par des traits horizontaux épais, et les vias sont représentés symboliquement par des traits verticaux épais; les couches isolantes (en oxyde de silicium) qui séparent les niveaux sont déposées successivement entre les niveaux métalliques successivement déposés mais elles sont représentées comme une seule couche isolante 20 dans laquelle sont noyés les niveaux métalliques.

**[0032]** Dans l'exemple de la figure 5 :

- le niveau M1 sert à deux fonctions : réaliser le conducteur de ligne  $L_i$ , relié par un via à la grille du transistor, et en même temps réaliser une connexion entre la source du transistor et l'électrode de pixel en utilisant le via 16 ;
- le niveau M2 sert à réaliser le conducteur de colonne  $C_1$  auquel est relié le pixel, relié par un via au drain du transistor, et en même temps à réaliser une partie de la capacité de stockage auxiliaire  $C_{st}$  ;
- le niveau M3 sert à réaliser une connexion vers une masse commune à toute la matrice, et en même temps à réaliser une autre partie de la capacité de stockage auxiliaire  $C_{st}$  ;
- les niveaux M4 et M5 servent à réaliser encore une

- partie de la capacité de stockage auxiliaire  $C_{st}$  ;
- et enfin, le niveau M6 sert à réaliser dans cet exemple une armature de la capacité de compensation  $C_{comp}$  si la capacité de compensation est différente de la capacité de stockage, ou alors encore une partie de la capacité de stockage auxiliaire  $C_{st}$  s'il n'y a pas de capacité de compensation ; le niveau M6 sert aussi à constituer le conducteur de ligne de compensation  $L'_i$  si le schéma est celui de la figure 3 ; l'armature de capacité réalisée dans le dernier niveau M6 de l'empilement est de préférence une surface métallique (opaque) continue recouvrant l'ensemble des portions métalliques qui servent à réaliser la capacité de stockage  $C_{st}$ .

**[0033]** La répartition des conducteurs dans les différents niveaux métalliques peut être différente de celle qui a été indiquée ci-dessus : le niveau M1 plutôt que le niveau M3 peut servir par exemple à réaliser des lignes de connexion reliées à la masse ; le niveau M3 peut servir à réaliser la connexion  $L'_i$  pour la capacité de compensation et la capacité de compensation elle-même s'il y en a une ; etc.

**[0034]** La capacité de stockage auxiliaire  $C_{st}$  recouvre entièrement le transistor et empêche en grande partie la lumière de pénétrer jusqu'à lui ; le barrage contre la lumière est d'autant meilleur qu'il y a un plus grand nombre de niveaux métalliques au-dessus du transistor. Le bouclier opaque BCL protège également le transistor de la lumière susceptible d'arriver par-dessous.

**[0035]** Pour maximiser la valeur de la capacité de stockage tout en limitant son encombrement latéral, on prévoit de préférence qu'elle est réalisée à partir d'une structure à armatures interdigitées, et on prévoit de préférence qu'elle est réalisée à partir de la surposition de plusieurs structures à armatures interdigitées connectées électriquement en parallèle.

**[0036]** Chacun des niveaux M2 à M5, dans le cas représenté à titre d'exemple, comporte une capacité partielle à armatures interdigitées, c'est-à-dire que les deux armatures de la capacité partielle sont formées dans un même niveau métallique. Chaque armature comprend une série de conducteurs (ou doigts de la structure) reliés électriquement entre eux, géographiquement proches des conducteurs d'une autre série de conducteurs appartenant à l'autre armature. La couche isolante 20 dans laquelle sont noyés les niveaux métalliques constitue le diélectrique entre les doigts appartenant à deux armatures. Le dessin entouré d'un cercle tireté est une vue de principe en plan de l'allure générale d'une telle capacité partielle dans le niveau M4 ; les autres niveaux sont réalisés de manière similaire. Le dessin représente des doigts parallèles pour les deux armatures, mais en pratique le dessin précis des armatures dépend de la place disponible dans chaque niveau compte-tenu des interconnexions à réaliser, et notamment compte-tenu des contraintes liées aux vias de contact à réaliser entre les niveaux de métallisation.

**[0037]** Des vias conducteurs tels que 22 et 24 connectent les armatures correspondantes entre les différents niveaux, de sorte que la superposition des niveaux forme des capacités partielles en parallèle.

**[0038]** Les doigts des armatures interdigitées sont orientés de préférence de manière croisée d'un niveau à l'autre, pour mieux empêcher la lumière de passer. La figure 6 montre cette orientation croisée, dans une configuration simpliste où les doigts sont tous parallèles et rectilignes. Dans la réalité, les doigts des armatures des capacités peuvent avoir des formes plus tordues.

**[0039]** On ajoutera que si les peignes correspondant à deux niveaux non adjacents (tels que M3 et M5 par exemple) ont des doigts parallèles, on peut encore essayer de placer les doigts de l'un regard des intervalles entre doigts de l'autre, encore dans le but de limiter la pénétration de lumière.

**[0040]** On comprendra que la capacité formée par des structures interdigitées peut être plus élevée que la capacité entre deux couches métalliques successives séparées par une couche isolante. En effet, la capacité résulte de la mise en regard sur toute leur longueur des doigts des structures. Les doigts sont allongés, ils peuvent être nombreux, et leur largeur et leur espacement peuvent être de quelques micromètres.

**[0041]** Enfin, les vias conducteurs entre les différents niveaux de métallisation contribuent à la protection du transistor contre la lumière : ils tendent à piéger la lumière qui se propage latéralement, on aura donc avantage à prévoir plusieurs vias plutôt qu'un seul pour connecter deux éléments conducteurs qui doivent être reliés électriquement.

**[0042]** Dans l'exemple de la figure 5, la capacité de compensation comprend une armature continue opaque, mais on comprendra qu'on peut prévoir alternativement que c'est la capacité de stockage  $C_{st}$  (ou les deux capacités) qui possède une armature continue opaque.

**[0043]** La figure 7 représente un autre exemple de structure de pixel. Dans cet exemple on n'utilise que trois niveaux de métallisation M1, M2 et M3 ; on peut avoir intérêt en effet, pour des raisons de coût de fabrication, à minimiser le nombre de niveaux de métallisation ; l'efficacité de la protection contre la lumière diminue cependant ; en pratique il y aura au moins trois niveaux de métallisation et l'exemple de la figure 7 comprend :

- le niveau M1 sert à réaliser une connexion entre la source du transistor et l'électrode de pixel en utilisant le via 16 ; il sert aussi à réaliser le conducteur de colonne  $C_1$  auquel est relié le pixel, relié par un via au drain du transistor ; il sert à réaliser un conducteur de masse GND ; et enfin, il peut servir à former une capacité interdigitée qui constitue une partie de la capacité de stockage  $C_{st}$  ;
- le niveau M2 sert à réaliser le conducteur de ligne  $L_i$  et une autre partie (interdigitée) de la capacité de stockage  $C_{st}$ , connectée en parallèle avec la partie de capacité formée dans le niveau M1 ;

- et enfin, le niveau M3 sert à réaliser dans cet exemple une armature de la capacité de compensation  $C_{comp}$  si la capacité de compensation est différente de la capacité de stockage, ou alors encore une partie de la capacité de stockage auxiliaire  $C_{st}$  s'il n'y a pas de capacité de compensation ; le niveau M3 sert aussi à constituer le conducteur de ligne de compensation  $L_i$  si le schéma est celui de la figure 3 ; l'armature de capacité réalisée dans le dernier niveau M3 de l'empilement est de préférence une surface métallique (opaque) continue recouvrant l'ensemble des portions métalliques qui servent à réaliser la capacité de stockage  $C_{st}$  ; l'autre armature de la capacité  $C_{comp}$  est constituée par une des armatures de la capacité de stockage interdigitée du niveau M2.

**[0044]** La figure 8 représente une configuration possible des trois niveaux métalliques M1, M2, M3 pour former les éléments indiqués ci-dessus. On y voit les vias de connexion entre les niveaux, représentés par des zones hachurées plus denses, ainsi que les vias de connexion avec la source, la grille et le drain du transistor.

**[0045]** La capacité de stockage auxiliaire  $C_{st}$  recouvre le transistor et empêche en grande partie la lumière de pénétrer jusqu'à lui ; le barrage contre la lumière est d'autant meilleur qu'il y a un plus grand nombre de niveaux métalliques au-dessus du transistor.

**[0046]** Dans la configuration de la figure 8, c'est la capacité de compensation  $C_{comp}$  qui possède une armature continue opaque recouvrant la totalité du transistor pour mieux le protéger de la lumière. L'ensemble de la capacité de stockage et de la capacité de compensation offrent donc une très bonne protection du transistor contre un éclairage par la source de lumière de l'afficheur transmissif.

## Revendications

1. Afficheur à cristal liquide de type transmissif comprenant une matrice de lignes et colonnes de pixels, chaque pixel comprenant un cristal liquide CL entre une électrode de pixel (EP) transparente et une contre-électrode (CE) transparente commune à tous les pixels, un transistor de commande (Q) et une capacité de stockage auxiliaire ( $C_s$ ), la grille du transistor étant reliée à un premier conducteur de ligne ( $L_i$ ) commun à tous les pixels d'une même ligne pour recevoir de ce conducteur une impulsion de commande d'écriture, le drain du transistor étant relié à un conducteur de colonne ( $C_1$ ) commun à tous les pixels d'une même colonne pour en recevoir une tension analogique représentant un niveau de gris à afficher, et la source du transistor étant reliée à l'électrode du pixel et à une borne de la capacité de stockage auxiliaire, **caractérisé en ce que** le transistor est situé entre le cristal liquide et la capacité de stoc-

kage auxiliaire, la capacité étant réalisée par un empilement d'au moins deux structures en métal opaque à armatures interdigitées mises en parallèle, chaque structure étant réalisée dans un niveau de métallisation respectif (M2 à M5), et les structures à armatures interdigitées comprenant des doigts parallèles dans chaque structure, les doigts d'une structure étant perpendiculaires aux doigts de l'autre structure.

5

10

2. Afficheur selon la revendication 1, **caractérisé en ce que** le transistor et la capacité de stockage auxiliaire occupent une surface inférieure à 50% de la surface du pixel. 15
3. Afficheur selon la revendication 2, **caractérisé en ce que** la capacité est réalisée dans un empilement d'au moins trois niveaux de métallisation séparés par des couches isolantes, avec des vias conducteurs (22, 24) pour relier entre eux les différents niveaux en fonction des interconnexions à établir. 20
4. Afficheur selon l'une des revendications 1 à 3, **caractérisé en ce que** la capacité comporte une armature constituant une surface continue opaque recouvrant la totalité du transistor. 25
5. Afficheur selon l'une des revendications 1 à 5, **caractérisé en ce qu'il** comporte une capacité de compensation  $C_{comp}$  reliée à un conducteur de ligne auxiliaire ( $L'_i$ ) reliant tous les pixels de la même ligne, la capacité de compensation étant située au-dessus du transistor. 30
6. Afficheur selon la revendication 5, **caractérisé en ce que** la capacité de compensation comporte une armature avec une surface continue opaque recouvrant la totalité du transistor. 35
7. Afficheur selon l'une des revendications 1 à 6, **caractérisé en ce qu'il** est réalisé en technologie LCOS, le transistor et la capacité de stockage auxiliaire étant réalisés sur la couche superficielle monocristalline d'un substrat de silicium monocristallin sur isolant (SOI). 40

45

50

55

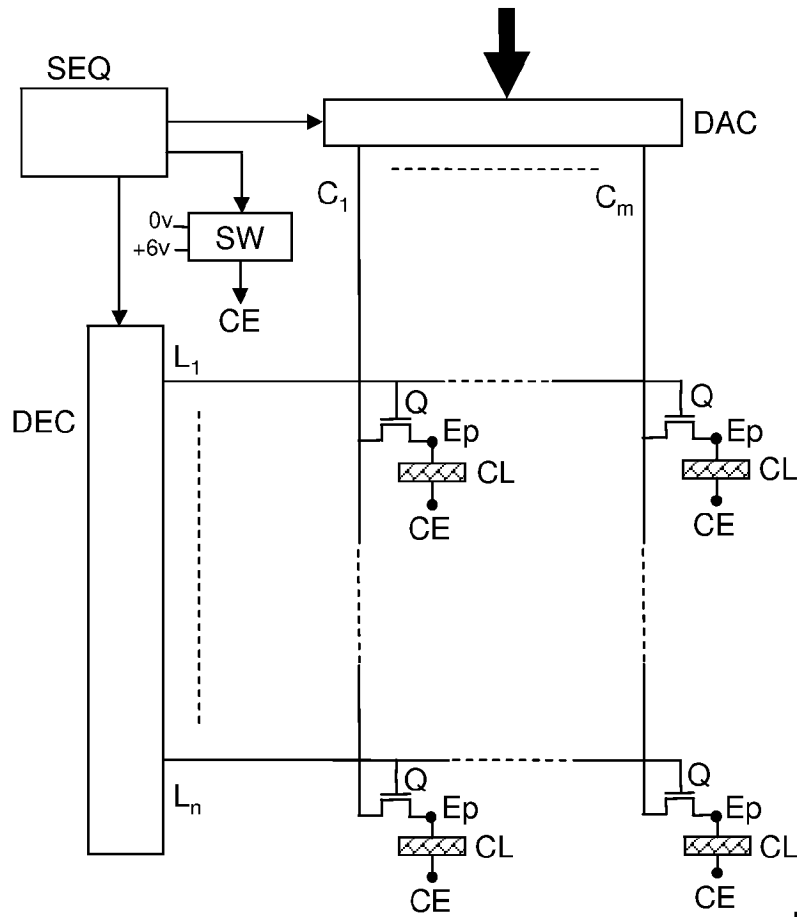


Fig. 1

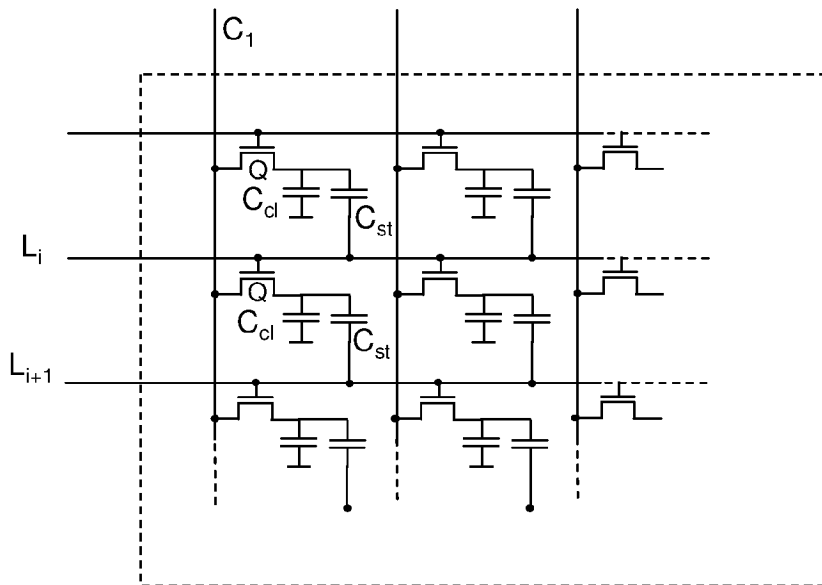


Fig. 2

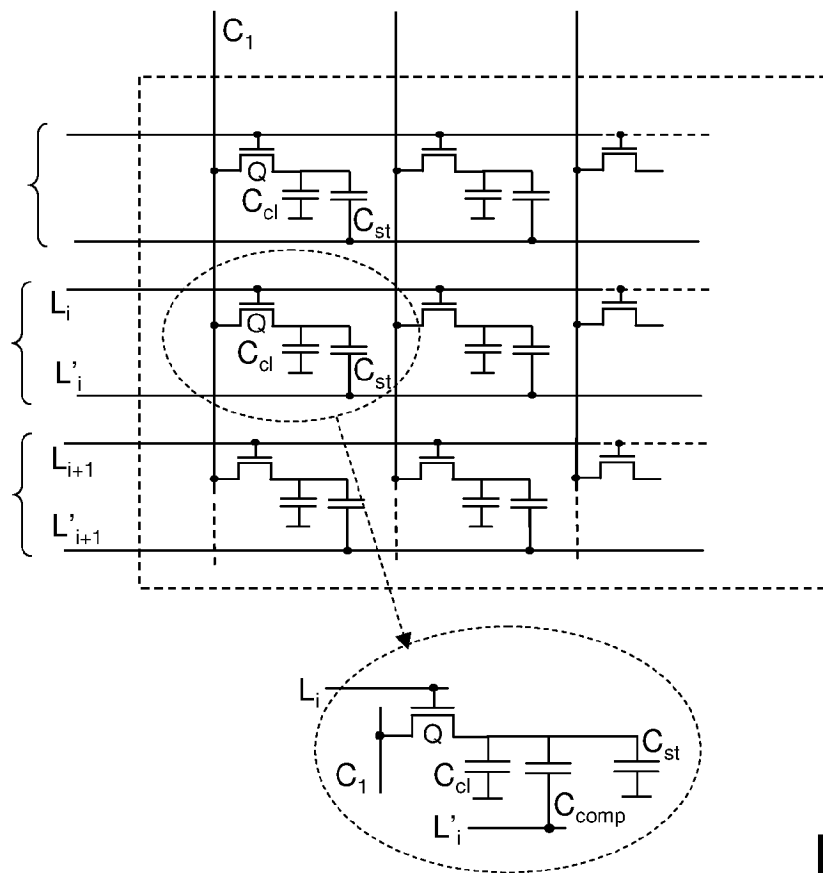


Fig. 3

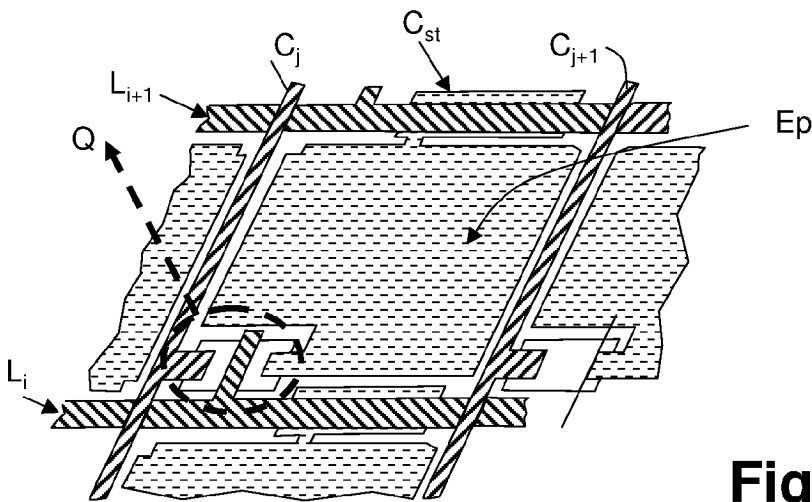


Fig. 4

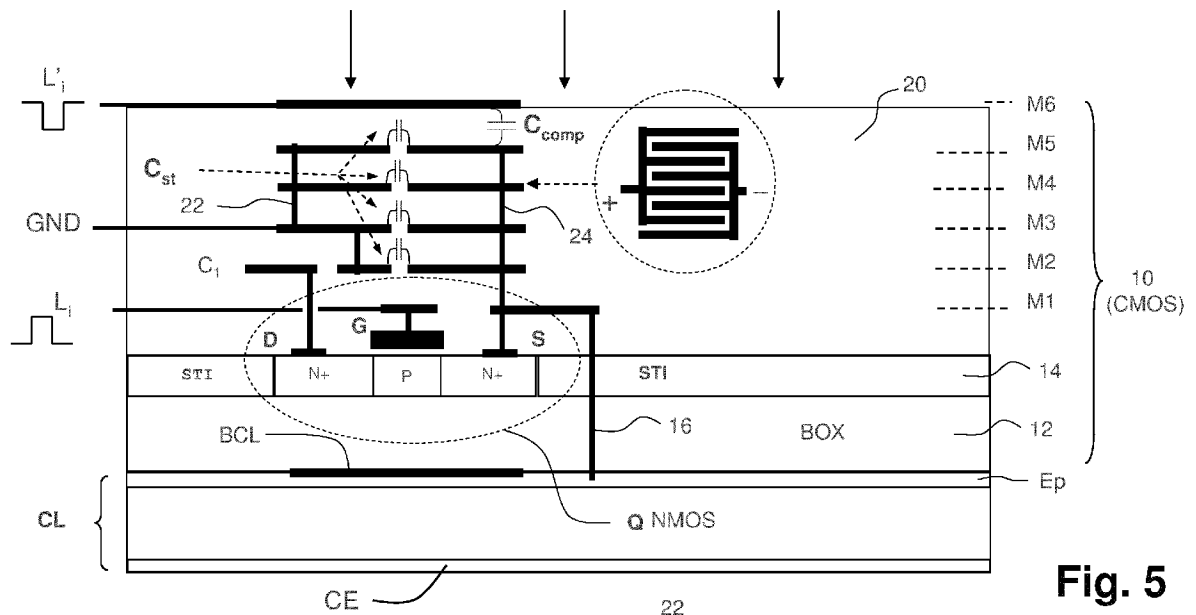


Fig. 5

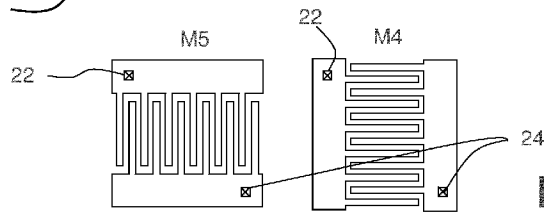


Fig. 6

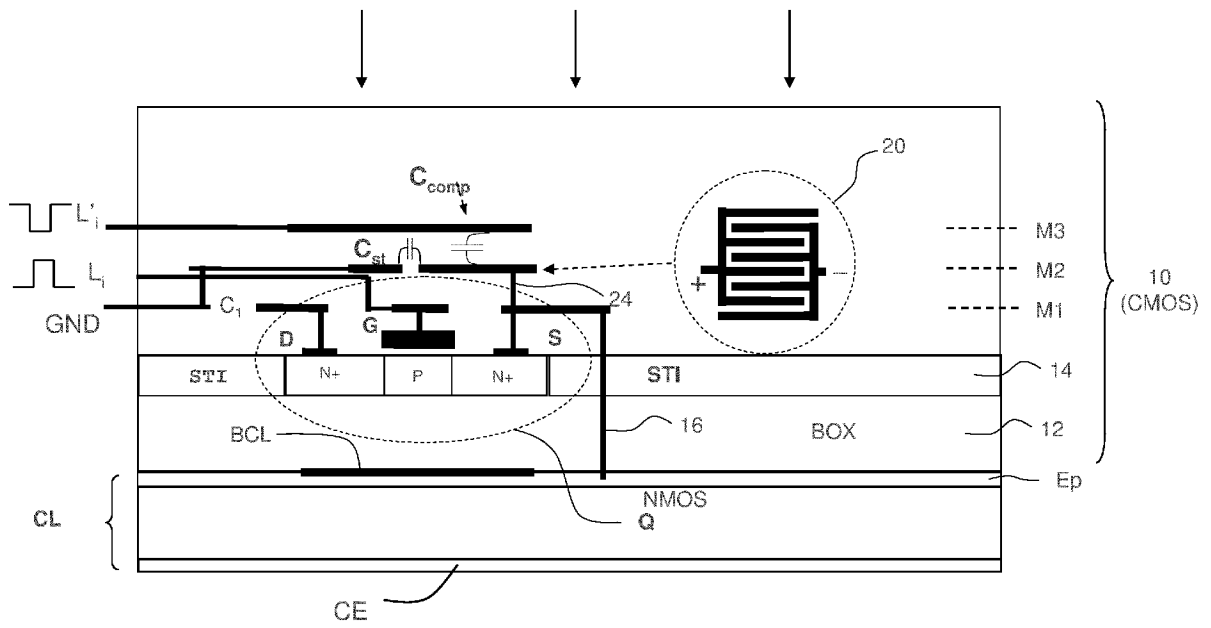


Fig. 7

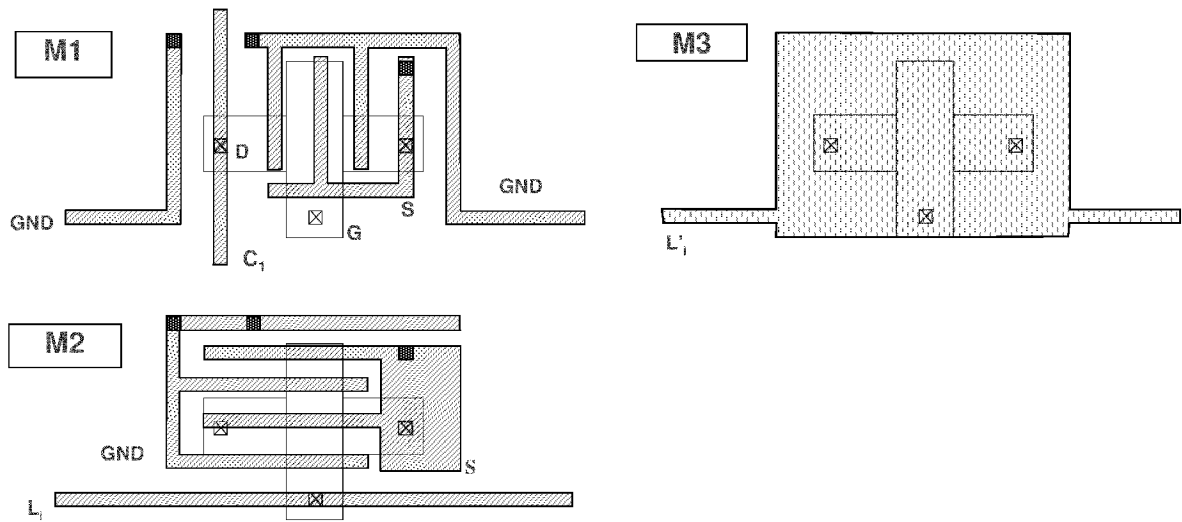


Fig. 8



RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande  
EP 11 18 3971

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (IPC)
A	US 2004/257489 A1 (GOTOH MASAHIRO [JP] ET AL) 23 décembre 2004 (2004-12-23) * le document en entier * -----	1-7	INV. G02F1/1362 H01L23/64 H01L23/522 H01G4/30 H01L21/02
A	JP 2009 135149 A (PANASONIC CORP) 18 juin 2009 (2009-06-18) * le document en entier * -----	1,3	
A	JP 2003 297930 A (GURINIKUSU KK) 17 octobre 2003 (2003-10-17) * abrégé * * figures 1, 4-9, 16-17 * -----	1,3	
A	US 2006/024905 A1 (HE CANZHONG [US] ET AL) 2 février 2006 (2006-02-02) * le document en entier * -----	1,3	
A	US 2007/181918 A1 (WADA OSAMU [JP] ET AL) 9 août 2007 (2007-08-09) * le document en entier * -----	1,3	
A	US 2004/119899 A1 (MIYAZAKI TOSHIHIDE [JP] ET AL) 24 juin 2004 (2004-06-24) * le document en entier * -----	1-7	
A	WO 01/07961 A1 (E INK CORP [US]) 1 février 2001 (2001-02-01) * figures 2,3 * -----	5	DOMAINES TECHNIQUES RECHERCHES (IPC) G02F H01L H01G
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche Munich		Date d'achèvement de la recherche 12 janvier 2012	Examineur Lutz, Christoph
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant	

EPO FORM 1503 03.02 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE  
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 11 18 3971

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

12-01-2012

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004257489 A1	23-12-2004	JP 2004151546 A KR 20040038729 A TW 1243949 B US 2004257489 A1	27-05-2004 08-05-2004 21-11-2005 23-12-2004
JP 2009135149 A	18-06-2009	AUCUN	
JP 2003297930 A	17-10-2003	AUCUN	
US 2006024905 A1	02-02-2006	AUCUN	
US 2007181918 A1	09-08-2007	JP 2007208101 A US 2007181918 A1	16-08-2007 09-08-2007
US 2004119899 A1	24-06-2004	CN 1503322 A JP 3835403 B2 JP 2004177589 A KR 20040047627 A TW 1277026 B US 2004119899 A1	09-06-2004 18-10-2006 24-06-2004 05-06-2004 21-03-2007 24-06-2004
WO 0107961 A1	01-02-2001	AU 6365900 A EP 1196814 A1 JP 4744757 B2 JP 2003535355 A JP 2011100152 A WO 0107961 A1	13-02-2001 17-04-2002 10-08-2011 25-11-2003 19-05-2011 01-02-2001

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

专利名称(译)	采用CMOS技术的辅助存储容量的透射式液晶显示器		
公开(公告)号	<a href="#">EP2439583A1</a>	公开(公告)日	2012-04-11
申请号	EP2011183971	申请日	2011-10-05
[标]申请(专利权)人(译)	原子能委员会		
申请(专利权)人(译)	粮食A L'的原子能ET AUX能源替代方案		
当前申请(专利权)人(译)	粮食A L'的原子能ET AUX能源替代方案		
[标]发明人	SEGURA PUCHADES JOSEP		
发明人	SEGURA PUCHADES, JOSEP		
IPC分类号	G02F1/1362 H01L23/64 H01L23/522 H01G4/30 H01L21/02		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/13606 G02F2201/40 H01G4/306 H01L23/5223 H01L28/86 H01L2924/0002		
优先权	2010003996 2010-10-08 FR		
其他公开文献	EP2439583B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

LCD具有驱动晶体管(Q)，其源极连接到像素电极(Ep)和辅助存储电容器(Cst)的端子。晶体管位于液晶(CL)和电容器之间。电容器由两个不透明金属结构的叠层实现，其中交叉框架平行排列。每个结构都以金属化水平(M2-M5)实现。该结构包括平行布置的指状物，其中一个结构的指状物垂直于另一个结构的指状物。晶体管和辅助存储电容器形成在由单晶硅-绝缘体制成的单晶衬底的表面层上。

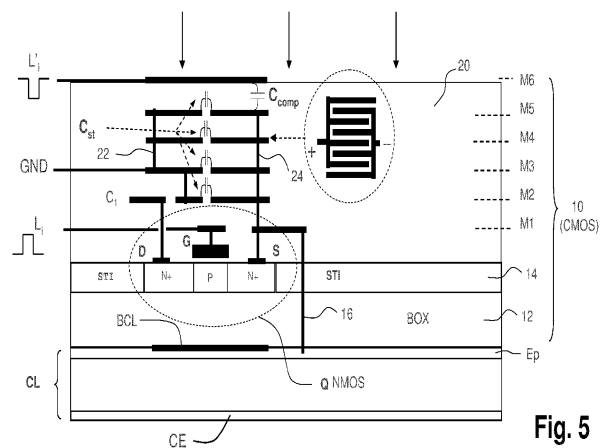


Fig. 5