

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6650907号
(P6650907)

(45) 発行日 令和2年2月19日 (2020.2.19)

(24) 登録日 令和2年1月23日 (2020.1.23)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611A

G09G 3/20 611B

G09G 3/20 611G

G09G 3/20 624D

請求項の数 17 外国語出願 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2017-102849 (P2017-102849)
 (22) 出願日 平成29年5月24日 (2017.5.24)
 (62) 分割の表示 特願2015-552882 (P2015-552882)
 の分割
 原出願日 平成26年1月14日 (2014.1.14)
 (65) 公開番号 特開2017-198998 (P2017-198998A)
 (43) 公開日 平成29年11月2日 (2017.11.2)
 審査請求日 平成29年6月19日 (2017.6.19)
 (31) 優先権主張番号 61/752,390
 (32) 優先日 平成25年1月14日 (2013.1.14)
 (33) 優先権主張国・地域又は機関
 米国 (US)

前置審査

(73) 特許権者 503260918
 アップル インコーポレイテッド
 Apple Inc.
 アメリカ合衆国 95014 カリフォル
 ニア州 クパチーノ アップル パーク
 ウェイ ワン
 One Apple Park Way,
 Cupertino, Californ
 ia 95014, U. S. A.
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100112508
 弁理士 高柳 司郎

最終頁に続く

(54) 【発明の名称】 可変リフレッシュレートを使用する低電力ディスプレイ装置

(57) 【特許請求の範囲】

【請求項 1】

ディスプレイコントローラにより、前記ディスプレイコントローラと接続されたホストシステムのプロセッサから画像データを受信し、

前記ディスプレイコントローラにより前記画像データに基づいてディスプレイパネルのリフレッシュレートを決定し、

前記ディスプレイコントローラに接続されたバッファ回路により、現在のリフレッシュレートが前記決定されたリフレッシュレートへ変化するのに応じて補正動作を実行することを備え、前記補正動作は視覚的な表示アーチファクトを減少させ、前記補正動作は、

前記バッファ回路により、第1のターゲット電圧値を選択し、

前記バッファ回路内のカウンタ回路により、前記ディスプレイコントローラから入力パルスを受信し、

前記第1のターゲット電圧値に向かって段階的に変化する第1の段階的な電圧値を生成し、ここで、前記第1の段階的な電圧値の時間に対するスロープは前記入力パルスの周波数に基づき、

前記バッファ回路により、ディスプレイドライバの現在の電圧を、i) レジスタの設定がジャンプモードを示す場合には前記第1のターゲット電圧値に設定し、ii) 前記レジスタの前記設定がスロープモードを示す場合には前記第1の段階的な電圧値に設定することを含み、前記レジスタは複数の予めロードされたレジスタの1つである、方法。

【請求項 2】

10

20

前記ディスプレイドライバは、前記ディスプレイパネルの複数の画素要素に接続され、前記現在の電圧が共通電圧として前記複数の画素要素に適用される、請求項 1 に記載の方法。

【請求項 3】

前記バッファ回路により、前記現在の電圧の前記第 1 のターゲット電圧値または前記第 1 の段階的な電圧値への前記設定の後に生じる第 1 の時点で、前記第 1 のターゲット電圧値とは異なる第 2 のターゲット電圧値を選択し、

前記バッファ回路により、前記第 2 のターゲット電圧値に向かって段階的に変化する第 2 の段階的な電圧値を生成し、

前記バッファ回路により前記レジスタの前記設定が前記ジャンプモードを示す場合は前記第 2 のターゲット電圧値に、前記レジスタの前記設定が前記スローモードを示す場合は前記第 2 の段階的な電圧値に、前記ディスプレイドライバの前記現在の電圧を設定する、ことをさらに備える請求項 1 に記載の方法。

10

【請求項 4】

前記第 2 の段階的な電圧値は、前記第 1 の時点で前記第 2 のターゲット電圧値と等しい、請求項 3 に記載の方法。

【請求項 5】

前記第 2 の段階的な電圧値は、前記第 1 の時点で前記第 2 のターゲット電圧値と等しくない、請求項 3 に記載の方法。

【請求項 6】

20

i) 前記設定をすることはマルチプレクサにより実行され、i i) 前記マルチプレクサの入力は前記カウンタ回路の出力に接続され、i i i) 前記マルチプレクサの出力は、前記バッファ回路の出力と接続される、請求項 1 に記載の方法。

【請求項 7】

システムであって、
メモリに接続されたプロセッサと、
前記プロセッサと接続されたディスプレイコントローラと、
バッファ回路と、
ディスプレイドライバを含むディスプレイパネルと、を備え、
前記ディスプレイコントローラは、

30

i) 前記プロセッサから画像データを受信し、

i i) 前記画像データに基づいて、前記ディスプレイパネルのリフレッシュレートを決定することを含む動作を実行し、

前記バッファ回路は、現在のリフレッシュレートが前記決定されたリフレッシュレートへ変化するのに応じて補正動作を実行し、前記補正動作は視覚的な表示アーチファクトを減少させ、前記補正動作は、

i) 前記バッファ回路により、第 1 のターゲット電圧値を選択し、

i i) 前記バッファ回路内のカウンタ回路により、前記ディスプレイコントローラから入力パルスを受信し、

i i i) 前記第 1 のターゲット電圧値に向かって段階的に変化する第 1 の段階的な電圧値を生成し、ここで、前記第 1 の段階的な電圧値の時間に対するスロープは前記入力パルスの周波数に基づき、

40

i v) 前記バッファ回路により、ディスプレイドライバの現在の電圧を、1) レジスタの設定がジャンプモードを示す場合には前記第 1 のターゲット電圧値に、2) 前記レジスタの前記設定がスローモードを示す場合には前記第 1 の段階的な電圧値に設定する、ことを含み、前記レジスタは複数の予めロードされたレジスタの 1 つである、システム。

【請求項 8】

前記ディスプレイドライバは、前記ディスプレイパネルの複数の画素要素に接続され、前記現在の電圧が共通電圧として前記複数の画素要素に適用される、請求項 7 に記載のシステム。

50

【請求項 9】

前記バッファ回路により、前記第 1 のターゲット電圧値または前記第 1 の段階的な電圧値への前記現在の電圧の前記設定の後に生じる第 1 の時点で、前記第 1 のターゲット電圧値とは異なる第 2 のターゲット電圧値を選択し、

前記バッファ回路により、前記第 2 のターゲット電圧値に向かって段階的に変化する第 2 の段階的な電圧値を生成し、

前記バッファ回路により、前記レジスタの前記設定が前記ジャンプモードを示す場合は前記第 2 のターゲット電圧値に、前記レジスタの前記設定が前記スロープモードを示す場合は前記第 2 の段階的な電圧値に、前記ディスプレイドライバの前記現在の電圧を設定する、ことをさらに備える請求項 7 に記載のシステム。

10

【請求項 10】

前記第 2 の段階的な電圧値は、前記第 1 の時点で前記第 2 のターゲット電圧値と等しい、請求項 9 に記載のシステム。

【請求項 11】

前記第 2 の段階的な電圧値は、前記第 1 の時点で前記第 2 のターゲット電圧値と等しくない、請求項 9 に記載のシステム。

【請求項 12】

i) 前記設定をすることはマルチプレクサにより実行され、i i) 前記マルチプレクサの入力は前記カウンタ回路の出力に接続され、i i i) 前記マルチプレクサの出力は、前記バッファ回路の出力と接続される、請求項 7 に記載のシステム。

20

【請求項 13】

バッファ回路であって、

レジスタのバンクと、

ディスプレイコントローラから入力パルスを受信するカウンタ回路と、

出力と、を備え、

前記バッファ回路は、現在のリフレッシュレートが予め決定されたりリフレッシュレートに変わることのコントローラからの報告に応じて補正動作を実行し、前記補正動作は、視覚的な表示のアーチファクトを減少させ、前記補正動作は、

i) レジスタの前記バンクから第 1 のターゲット電圧値を選択し、

i i) 前記第 1 のターゲット電圧値に向かって段階的に変化する第 1 の段階的な電圧値を生成し、ここで、前記第 1 の段階的な電圧値の時間に対するスロープは前記入力パルスの周波数に基づき、

30

i i i) ディスプレイドライバの現在の電圧を、1) レジスタの設定がジャンプモードを示す場合は前記第 1 のターゲット電圧値に、2) 前記レジスタの前記設定がスロープモードを示す場合は前記第 1 の段階的な電圧値に設定すること、を含み、前記レジスタは前記レジスタのバンクの複数の予めロードされたレジスタのうちの 1 つである、バッファ回路。

【請求項 14】

前記ディスプレイドライバはディスプレイパネルの複数の画素要素に接続され、前記現在の電圧が共通電圧として前記複数の画素要素に適用される、請求項 13 に記載のバッファ回路。

40

【請求項 15】

前記バッファ回路はさらに

前記現在の電圧の前記第 1 のターゲット電圧値または前記第 1 の段階的な電圧値への前記設定の後に生じる第 1 の時点で、前記第 1 のターゲット電圧値とは異なる第 2 のターゲット電圧値を選択し、

前記カウンタ回路を用いて、前記第 2 のターゲット電圧値に向かって段階的に変化する第 2 の段階的な電圧値を生成し、

前記バッファ回路により、前記レジスタの前記設定が前記ジャンプモードを示す場合は前記第 2 のターゲット電圧値に、前記レジスタの前記設定がスロープモードを示す場合は

50

前記第 2 の段階的な電圧値に、前記ディスプレイドライバの前記現在の電圧を設定する、ことを備える動作を実行する、請求項 13 に記載のバッファ回路。

【請求項 16】

前記第 2 の段階的な電圧値は、前記第 1 の時点で前記第 2 のターゲット電圧値と等しい、請求項 15 に記載のバッファ回路。

【請求項 17】

前記第 2 の段階的な電圧値は、前記第 1 の時点で前記第 2 のターゲット電圧値と等しくない、請求項 15 に記載のバッファ回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

説明される実施形態は、全般的に、様々な画像提示プロセスを監視して、実行可能な場合は常に、装置の画像リフレッシュレートを動的に低減することによって、装置ディスプレイの電力消費を低減するための、装置及び方法に関する。

【背景技術】

【0002】

多くの現代のパーソナルコンピューティング装置は、スイッチング薄膜トランジスタ (TFT) 及びピクセル蓄積コンデンサの複合マトリクス (例えば、アクティブマトリクス)、垂直偏光フィルタ及び水平偏光フィルタ、カラーフィルタ、液晶層、発光ダイオード (LED) バックライトシステムなどを採用することが可能な、高解像度のカラー液晶ディスプレイ (LCD) を使用して構成される。ディスプレイ技術の当業者には理解されるように、アクティブマトリクスアドレス型 TFT ディスプレイは、典型的には、その同等のパッシブマトリクスアドレス型 TFT ディスプレイ (例えば、同様のサイズのパッシブマトリクスディスプレイ) と比較して、より明るく表示され、より鮮明な画像を提示し、改善された応答時間を呈する。

20

【0003】

これらのアクティブマトリクス LCD ディスプレイの内部では、対応するピクセルアドレス (単数又は複数) (例えば、単一の行ラインにアドレス指定されたピクセル) に関連付けられた TFT (単数又は複数) のスイッチを選択的にオンにすることによって、特定の列ラインに荷電して、単一の表示ピクセル、又は異なる行ラインに沿った複数の表示ピクセルを照明することができる。TFT のスイッチがオンにされると、対応するピクセル蓄積コンデンサは、その列ラインに沿って荷電され、そのピクセルの液晶を、LED バックライトシステムからの光が液晶層を通過して、そのピクセルを照明することが可能になるほど、十分にツイストさせることができる。照明されるピクセルの色は、そのピクセルに適用されたカラーフィルタによって規定される。この方式で、LCD ディスプレイ内部の特定の列ラインに、電流を、またそれゆえ電力を供給することによって、個々のピクセルを照明することができる。LCD ディスプレイ内部の列ラインのそれぞれへの電流の流れ、及び / 又は対応する行ライン内のゲート TFT への (例えば、TFT をオン / オフする) 電流の流れを動的に管理するために、ディスプレイドライバ又はコントローラを採用することができる。

30

40

【0004】

残念ながら、LCD ディスプレイの 1 つの主要な電力排出は、ディスプレイに提示される画像が、装置の製造業者によって割り当てることが可能な稼働リフレッシュレート (LRR) に従って、定期的に取り替えられる際に生じる。装置ディスプレイのデフォルト LRR は、グラフィック処理ユニット (GPU) によって静的に構成されたタイミングコントローラエンティティ、又はホストシステムの別の指定システムオンチップ (SOC) 構成要素によって駆動されることにより、どのような画像提示プロセスが装置で実行されているか、又はどのような画像コンテンツが装置で提示されているか (又は、提示されることになるか) にかかわらず、そのディスプレイで一定の LRR が維持されることを確実にすることができる。多種多様なタイプのパーソナルコンピューティング装置では、装

50

置のLCDディスプレイに関するLRRは、50又は60ヘルツ(Hz)で標準化されている。しかしながら、近年の高精細度(HD)3次元(3D)ディスプレイシステムの登場に伴い、LRRは、120Hz及び240Hzに向上している。この傾向は継続するものと予想されるため、将来のディスプレイ技術は、300Hz以上のLRRを有する可能性がある。

【0005】

装置ディスプレイのLRRは、その電力消費に比例するものであり、特定のディスプレイのタイプに関するLRRが高くなるほど、そのディスプレイが消費する電力は大きくなる。それゆえ、装置ディスプレイの電力消費は、消費者用電子ディスプレイの分野に従事する科学者及び技術者にとって、関心が高まりつつある領域である。限定された枯渇性のバッテリー寿命を有する、多くのポータブル電子装置(例えば、ラップトップコンピュータ、タブレットコンピュータ、モバイル電話、電子ブック装置、音楽プレーヤなど)は、50又は60Hz以上のLRRを必要としない、ルーチン的な表示手順を実行することができる。これらのシナリオでは、そのような保守的LRRを必要としない、種々の装置状態及び/又は表示動作を動的に検知して、次いで、対応する装置のディスプレイリフレッシュレートを適宜に低下させることにより、電力消費を最小限に抑え、装置の可動性を拡張することが可能であれば、有利であろう。

【0006】

例として、一部の状況では、装置ディスプレイは、既知の期間にわたって変化することのない単一の画像フレームを提示するように、制御される場合がある。この確立された時間インターバルの間、装置ディスプレイは、ディスプレイ画面の画像リフレッシュ動作を必要としない、いわゆるスクリーン・オン・アイドルモードにあることが可能である。しかしながら、有害な「画面の焼き付き」を防ぎ、ディスプレイ構成要素の劣化を制限する目的のためには、このスクリーン・オン・アイドルモードの間に、その静止したディスプレイ画面の画像をリフレッシュすることが、依然として必要とされる場合がある。それゆえ、上述のシナリオを含めた多くの状況で、装置ディスプレイのリフレッシュレートを低減して、その装置のデフォルトLRRよりも低くすることが可能であれば、有益であろう。したがって、ユーザの視覚体験を劣化させることなく、装置のディスプレイリフレッシュレートを動的に低減して、電力消費を最小限に抑えることが可能な、解決策に対する必要性が存在する。この点に関して、低減されたリフレッシュレートでディスプレイを動作させることから生じ得る、低減された輝度レベル及び他の視覚的アーチファクトを補正可能であることが、望ましいであろう。

【発明の概要】

【0007】

本開示は、ディスプレイシステム内部での様々なグラフィック提示動作判定に応じて、装置ディスプレイリフレッシュレートを動的に調節することにより、枯渇性の装置リソースを節約するための、装置及び方法を説明する。本開示の一部の態様によれば、消費者用電子装置(例えば、ラップトップコンピュータ、タブレットコンピュータ、モバイル電話、又は音楽プレーヤ装置)の液晶ディスプレイ(LCD)で、可変リフレッシュレートを動的に採用することができる。

【0008】

様々な態様では、消費者用電子装置は、1つ以上のプロセッサを有するホストシステム部分と、タイミングコントローラ、バッファ回路、ディスプレイドライバ、及びディスプレイパネルを有する、ディスプレイシステム部分とを含み得る。様々な構成では、このディスプレイシステムは、ホストシステムのグラフィック処理ユニット(GPU)又は中央処理ユニット(CPU)から、画像データ及び画像制御データの双方を受信し、その受信した画像制御データを評価して、ディスプレイパネルで採用するための低減リフレッシュレート(RRR)を判定し、次いで、実行可能な場合は常に、電力を節約して装置の可動性を拡張する目的のために、稼働リフレッシュレート(LRR)からRRRへ(例えば、画像データを提示しつつ)LCDを遷移させることができる。

【 0 0 0 9 】

一部の態様によれば、ＬＣＤディスプレイシステムのバッファ回路は、複数のレジスタ値を記憶する基準電圧バンク選択構成要素と、複数の演算増幅器と、受信画像データをバッファするための複数の画像バッファとを含み得る。

【 0 0 1 0 】

一態様では、このバッファ回路は、基準電圧入力選択を受信し、その基準電圧入力選択を複数のレジスタ値と比較し、その比較に基づいて、目標基準電圧値を選択し、その目標基準電圧値をＬＣＤに送信して、ＬＣＤが低減リフレッシュレートで動作している場合に、ＬＣＤの光度を変化させるように構成することができる。

【 0 0 1 1 】

本開示の更に別の態様では、バッファ回路では、ディスプレイタイミングコントローラから、バッファ回路に結合された専用ハードウェアピンで、基準電圧入力選択を受信することができる。

【 0 0 1 2 】

他の態様では、ＬＣＤの列ドライバは、ソースＧＰＵからの入力信号を受信するためのフロントエンド回路、及び薄膜トランジスタ（ＴＦＴ）パネルなどのＬＣＤディスプレイパネルに基準電圧を出力するためのバックエンド回路の双方を含み得る。更には、この列ドライバは、ディスプレイコントローラから少なくとも１つの入力信号を受信し、その少なくとも１つの入力信号から１つ以上の設定を判定し、その少なくとも１つの入力信号の１つ以上の設定に基づいて、列ドライバの少なくとも一部分を遮断するように、構成することができる。

【 0 0 1 3 】

本開示の一態様によれば、それらの１つ以上の設定のうちの第１の設定は、列ドライバの専用ハードウェアピンでの入力信号として受信することができる。

【 0 0 1 4 】

本開示の別の態様では、この第１の設定は、列ドライバの全ての回路を遮断するように構成された、非プロトコル設定とすることができる。

【 0 0 1 5 】

一シナリオでは、１つ以上の設定のうちの第２の設定は、列ドライバのデジタル回路部分を遮断することが不可能な、プロトコル設定とすることができる。

【 0 0 1 6 】

本開示の別の態様によれば、ＬＣＤのタイミングコントローラは、リフレッシュレートのタイミングを調整するためのクロック回路と、ＬＣＤのバッファ回路を駆動するためのバッファ駆動回路と、ＬＣＤのディスプレイパネルのディスプレイドライバを制御するためのディスプレイパネル駆動回路とを含み得る。

【 0 0 1 7 】

一部の態様では、タイミングコントローラは、ホストシステムのＧＰＵから画像制御データを受信し、その受信した画像制御データを評価して、ディスプレイパネルに関するＲＲＲを判定し、次いで、そのＲＲＲに関連付けられるディスプレイ制御シグナリング情報を、ＬＣＤの１つ以上の構成要素に送信することにより、そのＲＲＲへの遷移に影響を及ぼすように、構成することができる。

【 0 0 1 8 】

本開示の別の態様では、ＲＲＲへの遷移は、５０ヘルツ以上の稼働リフレッシュレート（ＬＲＲ）から４０ヘルツ以下のＲＲＲへの遷移である。

【 図面の簡単な説明 】

【 0 0 1 9 】

説明される実施形態、及びその利点は、添付図面と併せて以下の説明を参照することで、最も良好に理解することができる。これらの図面は、必ずしも一定の縮尺で描かれておらず、本開示の時点で当業者によって実施することが可能な、それらに対する予測可能な形態及び詳細の変更を、決して限定若しくは排除するものではない。

10

20

30

40

50

【 0 0 2 0 】

【図 1】本開示の様々な実施形態に係る、システムインタフェースによって結合されたホストシステム及びディスプレイシステムを示す、ブロック図を示す。

【図 2】本開示の一部の実施形態に係る、列ドライバ (C D) を駆動して可変リフレッシュレートを採用するように構成されたタイミングコントローラ (T C O N) を示す、ディスプレイシステム図を示す。

【図 3】本開示の一部の実施による、低減リフレッシュレート (R R R) を採用する未補正の装置ディスプレイの提示、及び同じ R R R を採用する補正された装置ディスプレイの提示の双方を示す、図を示す。

【図 4】本開示の様々な実施形態に係る、ディスプレイシステムのバッファ集積回路 (I C) のブロック図を示す。

10

【図 5】本開示の一部の実施形態に係る、T C O N からの入力を受信するための専用のハードウェアピンを使用して、目標出力電圧を選択することが可能な、バッファ I C のバンク選択構成要素のブロック図を示す。

【図 6】本開示の様々な実施形態に係る、種々のリフレッシュレート間での円滑な遷移を遂行するために、スロープ制御論理を採用する、バッファ I C のブロック図を示す。

【図 7】本開示の一部の実施による、レジスタ設定が V C o m ジャンプ型モードを生じさせる場合の、V C o m スロープ制御出力を示す、グラフを示す。

【図 8】本開示の様々な実施形態に係る、レジスタ設定が V C o m スロープ型モードを生じさせる場合の、V C o m スロープ制御出力を示す、グラフを示す。

20

【図 9】本開示の様々な実施形態に係る、出力バイアス制御を採用するバッファ I C のブロック図を示す。

【図 10】本開示の様々な実施による、液晶ディスプレイ (L C D) での R R R の適用を補正するための手順を示す、流れ図を示す。

【図 11】本開示の様々な実施による、L C D での R R R の適用を補正するための別の手順を示す、流れ図を示す。

【図 12】本開示の様々な実施による、ディスプレイシステムの C D のブロック図を示す。

【図 13】本開示の様々な実施による、ディスプレイシステムの C D の別のブロック図を示す。

30

【図 14】本開示の様々な実施による、L C D のディスプレイドライバで電力を節約するための手順を示す、流れ図を示す。

【図 15】本開示の一部の実施形態に係る、L C D のディスプレイドライバで電力を節約するための別の手順を示す、流れ図を示す。

【図 16】本開示の様々な実施形態に係る、可変リフレッシュレートでディスプレイパネルを駆動するように構成された、ディスプレイシステムの T C O N のブロック図を示す。

【図 17】本開示の一部の実施による、L C D ディスプレイパネルで R R R を確立するための手順を示す、流れ図を示す。

【図 18】本開示の一部の実施形態に係る、L C D ディスプレイパネルで R R R を確立するための別の手順を示す、流れ図を示す。

40

【図 19】本開示の様々な実施による、種々の可変リフレッシュレートを採用するように構成された L C D ディスプレイの動作を示す、例示的なリフレッシュレートのタイミング図を示す。

【図 20】本開示の様々な実施形態に係る、第 1 のリフレッシュレートと第 2 のリフレッシュレートとの間の遷移の間の垂直帰線消去時間を示す、別のリフレッシュレートのタイミング図を示す。

【図 21】本開示の一部の実施形態に係る、可変リフレッシュレート遷移手順の間の、最適基準電圧出力プロットを示す。

【図 22】本開示の一部の実施による、L C D を R R R で動作させる間の、電力節約のための改善されたプロトコルを示す、プロットを示す。

50

【発明を実施するための形態】

【0021】

装置ディスプレイで可変リフレッシュレートを実施することにより、消費者用電子装置の電力消費を低減するための代表的実施例を、本セクション内で説明する。一部の構成では、ディスプレイの輝度及び画像提示の様々な補正技術を装置で採用することにより、デフォルトの稼働リフレッシュレート（LRR）で装置を動作させることとは対照的な、低減リフレッシュレート（RRR）で装置ディスプレイを動作させることに関連付けられる1つ以上の弊害（例えば、望ましくない可視アーチファクトの提示）を排除するか、又は実質的に低減することができる。本開示は、上記の目的を達成するため、並びに、本明細書で更に説明される様々な他の利点を実現するために、装置のディスプレイリフレッシュレートを動的に低減するための、幾つかの実施例を説明する。

10

【0022】

提供される実施例は、本開示の累積的主題にコンテキストを追加し、それらの主題の理解を支援することを意図するものである。本明細書での「一実施形態」、「実施形態」、「一部の実施形態」、又は「様々な実施形態」、「一実施」、「実施」、「一部の実施」、又は「様々な実施」などへの言及は、例示的实施に関連して説明される、具体的な特徴（単数又は複数）、構造（単数又は複数）、又は特性（単数又は複数）を、本開示の少なくとも1つの実施形態に含めることが可能であるということを示すものである。本開示内での、上記の語句のうちのいずれかの記載は、必ずしも単一又は関連の実施形態若しくは実施に言及するものではない。更には、本明細書で説明され、図に示される表示プロセスは、ハードウェア（例えば、グラフィック処理回路、専用の表示論理ユニットなど）、ソフトウェア（例えば、パーソナルコンピューティング装置で実行することが可能なプログラムコード）、又はそれらの任意の組み合わせを含む、処理論理によって実行することができる。

20

【0023】

様々なディスプレイ提示プロセスが、1つ以上の順次動作の観点から以下で説明されるが、本明細書で説明される順次動作のいずれの部分も、本開示の趣旨及び範囲から逸脱することなく、異なる順序で、又は並行して実行することができる点を理解されたい。例えば、多くの現代のグラフィックプロセッサは、ディスプレイシステムに関する画像データスループットを改善するために、数多くの画像形成動作を並行して実行するように構成される。更には、本明細書で説明される特定の詳細のうちの一部の有無にかかわらず、本開示で論じられる実施形態を実践することができる点が、明らかとなるはずである。この点に関して、本明細書で説明され、対応する図に示される主題に対して、様々な修正及び/又は変更を加えることにより、同様の利点及び結果を達成することができる。それゆえ、本開示の様々な実施形態及び実施例は、過度に限定的であるか又は全てを包含するものとして解釈されるべきではない。

30

【0024】

図1は、本開示の様々な実施形態に係る、システムインタフェース106によって結合された、ホストシステム102及びディスプレイシステム104を示す、ブロック図100を示す。一部の実施では、ホストシステム102及びディスプレイシステム104は、単一の装置の内部、及び/又は同じ装置筐体の内部に統合することができる。この構成では、その統合型装置は、ラップトップコンピュータ、タブレットコンピュータ、セルラー電話、音楽プレーヤ装置、電子ブック装置、携帯ゲーム装置、又は任意の他のタイプのメディア再生装置、車載娯楽/ナビゲーションシステム、医療若しくは科学装置などに相当し得る。そのような統合型装置の内部では、システムインタフェース106は、システムバス又は任意の別の有線接続に相当し得るものであり、この有線接続は、ホストシステム102とディスプレイシステム104との間で画像データ及び画像提示制御データを通信するための、一般的な有線インタフェース通信プロトコルを採用することができる。

40

【0025】

他の実施形態では、ホストシステム102及びディスプレイシステム104は、システ

50

ムインタフェース106を介して結合することが可能な、別個の装置又は分離可能な装置として、分散させることができる。このシナリオでは、システムインタフェース106は、有線若しくは無線ローカルエリアネットワーク(LAN)の一部として、又はあるいは有線若しくは無線パーソナルエリアネットワークの一部として、任意の一般的なタイプの有線通信インタフェース、あるいは任意の一般的なタイプの短距離無線通信インタフェースからなるものとするができる。例として、この分散型の装置構成では、ディスプレイシステム104は、ホストシステム102とディスプレイシステム104との間の画像データ及び制御データの通信を促進するために、システムインタフェース106を介してホストシステム102(例えば、DVD又はBlue-Ray(登録商標)プレーヤ装置、ラップトップコンピュータ、タブレットコンピュータなど)に結合することが可能な、コンピュータモニタ又は任意の他のタイプのフラットパネルディスプレイ装置(例えば、液晶ディスプレイ(LCD)テレビ)などの、独立型の電子視覚表示装置に相当し得る。

【0026】

一部の構成によれば、ホストシステム102は、外部装置とデータを通信するための入出力(I/O)構成要素108と、システムオンチップ(SoC)集積回路(IC)内部に統合することが可能な、中央処理ユニット(CPU)及び任意数のグラフィック処理ユニット(GPU)若しくは視覚処理ユニット(VPU)などの1つ以上のプロセッサ110と、一般的なタイプの揮発性メモリ及び不揮発性メモリの任意の組み合わせからなることが可能な、記憶又はメモリ構成要素112とを含み得るが、これらに限定されない。更には、一部の実施では、ディスプレイシステム106(例えば、LCDディスプレイ)は、タイミングコントローラ(TCON)114、バッファIC構成要素116(例えば、画像フレームバッファからなるもの)、列ドライバ(CD)118、及び薄膜トランジスタ(TFT)ディスプレイパネル120を含み得るが、これらに限定されない。ホストシステム102及びディスプレイシステム104は、高レベル図の範囲内に示されており、それゆえ、ホストシステム102又はディスプレイシステム104は、本開示の趣旨及び範囲から逸脱することなく、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。

【0027】

本明細書で更に詳細に説明されるように、一部の実施形態では、ホストシステム102の1つ以上のプロセッサ110(例えば、CPU及び/又はGPU)を採用して、画像データ及び/又は制御データ(例えば、リフレッシュレート情報及び/又は画像補正情報)を、ディスプレイシステム104のTCON114及び/又はバッファIC構成要素116と通信することにより、ディスプレイシステム104を、1つ以上のRRRを採用するように構成することができる。一部の実施では、プロセッサ110は、現在又は将来の画像形成動作の間、特定の画像コンテンツを表示するために既存の稼働リフレッシュレート(LRR)が必要とされないという判定が(例えば、ホストシステム102のプロセッサ110、及び/又はディスプレイシステム104の構成要素によって)下された場合に、TCON114をRRRで構成することができる。

【0028】

例として、一部の実施形態では、TFTパネル120で表示されている画像コンテンツ、又はTFTパネル120で表示されることになる画像コンテンツ(例えば、バッファIC構成要素116のバッファ画像データ)が、既存のLRR(例えば、60Hzのデフォルト画像リフレッシュレート)に従ってリフレッシュすることを必要としない、静止画像コンテンツに相当することを動的に判定するように、ホストシステム102のプロセッサ110のうちのいずれかを構成することができる。このシナリオでは、(その判定に応じて)TCON114によって、RRR(例えば、30Hzの低減された画像リフレッシュレート)が採用されることにより、CD118に、より低いディスプレイリフレッシュレートで、TFTパネル120に表示される静止画像コンテンツをリフレッシュさせることができ、それにより、そのRRRがディスプレイシステム104によって採用されている

時間インターバルの間、ディスプレイシステム 104 での電力消費が実質的に低減される。

【0029】

あるいは、別の実施形態では、バッファ IC 構成要素 116 が、そのローカルフレームバッファのうちの 1 つからの特定の画面の画像をリフレッシュしている間に、(ホストシステム 102 の制御から独立して) リフレッシュレートを動的に低下させるように、バッファ IC 構成要素 116 を構成することができる。このことは、バッファ IC が、リフレッシュする必要がない画像バッファコンテンツ又は画像フレームを特定する場合に (例えば、TFT パネル 120 がスクリーン - オン - アイドルモードにある場合に) 生じ得る。他の実施形態では、TFT パネル 120 (CD 118 を含む) は、受信画像フレーム (例

10

【0030】

一部の実施形態によれば、ディスプレイシステム 106 のバッファ IC 構成要素 116 は、ホストシステム 102 のプロセッサ 110 のうちのいずれかから画像データを受信し、その受信画像データからの 1 つ以上の画像フレームをバッファし、次いで、TCO 114 及び / 又は CD 118 のエンティティと連携して、TFT パネル 120 でのバッファ画像フレーム (単数又は複数) の提示を駆動するように、構成することができる。更には、一部の構成では、バッファ IC 構成要素 116 は、2 つの別個のディスプレイリフレッシュレート間を遷移する間に、又は TFT パネル 120 で RRR を採用している間に生じる恐れがある、様々な画像提示の欠陥若しくはアーチファクトの発生を排除又は最小限に抑えるための、様々な画像補正機構を採用するように構成することができる。様々な対応する画像補正機構が、本明細書で更に詳細に説明される。

20

【0031】

図 2 は、本開示の様々な実施形態に係る、CD 206 を (例えば、CD 206 での 1 つ以上の専用入力ピンを介して) 駆動して可変リフレッシュレートを採用するように構成された TCO 204 を示す、ディスプレイシステム図 200 を示す。本明細書で更に説明されるように、TCO 204 からのタイミング制御シグナリングは、CD 206 に通信されることにより、デフォルト LRR が、様々な画像フレームコンテンツを提示するために過度に保守的なリフレッシュレート値であると判定される場合などに、CD 206 に、TFT パネル 120 のピクセル回路 208 を任意数の異なる RRR で動作させることができる。一部の実施では、CD 206 は、電圧供給レール 202 から TFT パネル 120 の 1 つ以上の列ラインに様々な方式で電荷を供給するように、ピクセル回路 208 の個々の列をそれぞれ制御することが可能な、任意数の列ドライバ (例えば、CD 1 ~ CD N) で

30

40

【0032】

一部の実施形態によれば、ピクセル回路 208 は、TFT 及びピクセル蓄積コンデンサを有する、個別のピクセル回路 210 a のアクティブマトリクスで構成することができる。ピクセル照明の基本原則を例示的に示すために、単一のピクセル回路 210 b の分解図が示される。例えば、CD 206 が、CD 1 に関連付けられた列ラインに電荷を送ると、

50

ピクセル回路 210 a、b は、トランジスタゲートを開く（例えば、トランジスタをオンにする）ことによってアクティブ化され、ピクセル蓄積コンデンサを充電して、ピクセルを照明することができる。一部の実施形態によれば、ピクセルの輝度は、ピクセル蓄積コンデンサの両側に印加される電圧（例えば、 V_{Gamma} 及び V_{Com} ）によって規定することができる。ピクセル蓄積コンデンサの電圧の差（例えば、 $V_{Gamma} - V_{Com}$ に等しい、 ΔV として表される）が最大化されると、そのピクセルは、より高い輝度を有して、より明るく表示され、反対に、ピクセル蓄積コンデンサの電圧の差が最小化されると、そのピクセルは、より低い輝度を有して、より少ない明るさで表示される。

【0033】

人間の目は、一般に画像アーチファクトと称される、小さい画像の不一致に非常に敏感である。現代の LCD 装置ディスプレイでは、装置の採用するディスプレイリフレッシュレートは、そのディスプレイ画面の光度又は輝度に正比例する。したがって、画像提示補正の非存在下では、装置のディスプレイリフレッシュレートの変化は、ディスプレイの輝度の知覚可能な変化をもたらすことになる。図 3 は、低減リフレッシュレート（RRR）を採用する未補正の装置ディスプレイの提示 302、及び同じ RRR を採用する補正された装置ディスプレイの提示 304 の双方を示す、図 300 を示す。任意の光度補正 306 が適用される前は、RRR を採用する装置ディスプレイの提示 302 の画面輝度は、その既存の V_{Com} 基準電圧レベル 308 及び V_{Gamma} 基準電圧レベル 310 で、比較的低い光度を有し得る。しかしながら、本開示の一部の実施形態によれば、様々な光度補正技術 306 が（例えば、バッファ IC 116 を介して）適用されると、同じ RRR を採用する装置ディスプレイの提示 304 の画面輝度は、修正 / 補正された V_{Com} 基準電圧レベル 312 及び V_{Gamma} 基準電圧レベル 314 に比例して、より高い光度を達成することができる。

【0034】

一部の構成によれば、バッファ IC 116 を既存のガンマバンク切り替え手段と組み合わせることで採用することにより、RRR が TFT パネル 120 で適用されている場合などに、フレーム単位のリフレッシュレートの変化を補正することができる。更には、バッファ IC 116 はまた、本明細書で更に説明されるように、画像提示プロセスの間にリフレッシュレートを変化させることによって引き起こされる視覚的アーチファクトを、排除又は低減するように構成することもできる。一部の実施によれば、TFT パネル 120 のソースドライバ回路（例えば、CD 118）に輝度基準レベル（例えば、 V_{Gamma} ）を提供するように、バッファ IC 116 のプログラム可能ガンマバッファ（PGB）回路を構成することができる。更には、TFT パネル 120 の全てのピクセルに共通電圧基準を提供するように、バッファ IC 116 の V_{Com} 回路を構成することができる。バッファ IC 116 の PGB 回路及び V_{Com} 回路の双方は、ディスプレイ画面の輝度に（例えば、 ΔV に比例して）影響を及ぼし得る。

【0035】

図 4 は、本開示の様々な実施形態に係る、ディスプレイシステムのバッファ IC 402 のブロック図 400 を示す。バッファ IC 402 は、 V_{Com} バンク選択構成要素 404 及び任意数の V_{Com} 演算増幅器 408 を含む、 V_{Com} 回路 404、並びに、ガンマバンク選択構成要素 412 及び任意数のフレームバッファ 414 を有する、PGB 回路 410 を備え得るが、これらに限定されない。様々な実施形態によれば、 V_{Com} 回路 404 は、任意数の別個の V_{Com} 出力を生成するように構成することができ、その一方、PGB 回路は、様々なガンマ出力を生成するように構成することができる。これらの V_{Com} 出力及びガンマ出力は、TC ON 114 からバッファ IC 402 で受信された様々な入力から、生成 / 導出することができる。バッファ IC 402 は、高レベル図として示されており、それゆえ、バッファ IC 402 は、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。

【0036】

一部の実施では、ディスプレイシステム104のバッファIC402は、低減リフレッシュレート及び増大リフレッシュレートの実施の双方に関して、不連続な動作モードをサポートするように構成することができる。例えば、TCON114が、TFTパネル120で増大リフレッシュレートを採用することにより、知覚されるディスプレイ画面の輝度を増大させるシナリオでは、バッファIC402は、画面の輝度を適宜に減少させることによって（例えば、 ΔV を低減することによって）、望ましくない光度の増大を補正するように構成することができる。これらのシナリオでは、バッファIC402は、可変リフレッシュレートの遷移を目的とする、オンザフライのリフレッシュレート修正をサポートするように構成することができる。一部の実施形態では、VCom回路404のVCom出力、並びにPGB回路410のガンマ出力を動的に調節するために、TCON114から発生する専用のハードウェア信号を、バッファIC402によって採用することができ、これらの調節は、フレーム単位で実行することができる。

10

【0037】

図5は、本開示の一部の実施形態に係る、TCON502からの入力を受信するための専用のハードウェアピン（VCOM_SEL）を使用して、目標VCom出力（VCOM_TARGET）を選択することが可能な、バッファ集積回路（IC）402のバンク選択構成要素504のブロック図を示す。バッファIC402のバンク選択構成要素504は、高レベル図として示されており、それゆえ、バンク選択構成要素504は、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成

20

【0038】

例として、バッファIC402は、1つ以上の専用ピンからの入力で、そのVComバンク選択構成要素504の様々なVCom出力設定を選択することにより、目標出力値を予めロードすることが可能なレジスタ又はバンクを選択するように、構成することができる。一部の実施形態では、出力信号VCOM_TARGETに関するソースとして、複数のVComバンクのうちの1つを選択するために、TCON502から、専用VCOM_SELピンで、VCOM_SEL信号を受信することができる。一実施では、指定数「N」のVCOM_SEL信号が、 $2 \times N$ 個の可能なVComバンクのうちの1つを選択するために必要とされる場合がある。

30

【0039】

図6は、本発明の様々な実施形態に係る、スロープ制御論理608を採用するように構成された、バッファIC606のブロック図600を示す。バッファIC606は、高レベル図として示されており、それゆえ、バッファIC606は、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。一部の構成では、バッファIC606は、1つ以上の専用ICハードウェア入力ピン（単数又は複数）を使用して、そのVComバンク選択構成要素604を採用することにより、様々なVComスロープ制御動作を実行するように、構成することができる。

40

【0040】

一実施では、バッファIC606の出力ピン上で観察される、所定のVCom値の変化率は、ハードウェアピン及びレジスタの設定によって制御することができる。このレジスタ設定（VCOM_SLOPE）により、その変化がジャンプによって急激に適用されるか、又はスロープによって段階的に適用されるかを決定することができる。変化が急激である場合（例えば、ジャンプ型である間は）、出力ピン、VCOM_OUTに、VCOM_TARGET値を直接渡すことができる。図7は、本開示の一部の実施による、レジスタ設定が、「ジャンプ型モード」の間にVCom出力702を生じさせる場合の、VComスロープ制御出力（VCOM_OUT）を示す、グラフ700を示す。図8は、本開示の様々な実施形態に係る、レジスタ設定（VCOM_SLOPE）が、VCom「スロー

50

「スロープモード」を生じさせる場合の、VCOMスロープ制御出力804を示す、グラフを示す。

【0041】

VCOM出力804は、スロープ型モードにあり、VCOM_TARGET値は、カウンタ回路の終値として、スロープ型論理に渡すことができる。予めロードされたカウンタ値は、電源投入時に初期化するか、又はVCOM_TARGETでリセットすることができる。カウンタクロック信号802は、TCON602から受信されるVCOM_CNT_EN入力の内部同期バージョンとすることができる。カウンタのアップ方向又はダウン方向は、カウンタ値が、VCOM_TARGETと同じ方向で進行することができるように、振幅比較器で設定することができる。様々な構成では、VCOM_TARGET値がカウンタによって達成されると、更なる更新は適用されないこととなる。この方式で、VCOM_OUT値は、以前の値から、VCOM_SELによって選択される値へと、段階的に調節することができる。一部の実施形態では、スロープ型論理608によって適用されるスロープ率は、VCOM_CNT_EN入力パルスの周波数によって決定することができる。

10

【0042】

図9は、本開示の一部の実施形態に係る、出力バイアス制御を採用するバッファIC904のブロック図900を示す。バッファIC904は、高レベル図として示されており、それゆえ、このバッファICは、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。一部の実施では、バッファIC904を採用するディスプレイシステムが、可変リフレッシュレートに従って動作している間（例えば、RRR動作の間）に、バッファIC904は、1つ以上の専用のハードウェアピンを使用して、出力バイアスを選択的に制御することができる。RRRの間、より低いリフレッシュサイクルの周波数により、画面の画像の更新間の時間は増大する。このアイドル時間の間に、ディスプレイシステムは、有利には、電力を節約するために低電力モードに入ることができ、したがって、TFTパネルに対するバッファIC904の駆動を低減することができる。

20

【0043】

一実施形態では、バイアス制御を実行することが可能なバッファIC904は、1つ以上の専用ハードウェアピンによって制御することが可能な、動的駆動強度（PGB_HIGH_DRIVE、PGB_LOW_DRIVE、VCOM_HIGH_DRIVE、及びVCOM_LOW_DRIVE）の実施をサポートするように構成することができる。一部の構成では、予めロードされたレジスタは、PGB及びVCOMに関する駆動強度値を含み得る。VCOM生成構成要素906及びガンマ生成構成要素908と併せて、バッファに適用すべき出力バイアスを選択するために、関連ピン（P_DRIVE_SEL又はV_DRIVE_SEL）を採用することができる。様々な低電力アイドル期間の間、エネルギーを節約するために出力バイアスを低減することができ、そのような省電力は、リフレッシュレートの減少に比例して増大し得る。

30

【0044】

図10は、本開示の様々な実施による、液晶ディスプレイ（LCD）でのRRRの適用を補正するための手順1000の流れ図を示す。図10に示されるプロセス1000は、図1に示すディスプレイシステム104のバッファIC116構成要素によって実行することができる点を理解されたい。図1のバッファIC116は、図4～図6のバッファICエンティティ/構成要素内で、より詳細に示される。最初に、動作ブロック1002で、バッファIC402のVCOMバンク選択構成要素504は、タイミングコントローラ502から電圧入力選択（VCOM_SEL）を受信することができる。次いで動作ブロック1004で、バッファIC402は、その基準電圧入力選択（VCOM_SEL）を、バッファIC402のレジスタバンク選択構成要素（例えば、VCOMバンク選択構成要素504）で予めロードされた複数のレジスタ値（VCOM_1～VCOM_N）と比

40

50

較することができる。

【0045】

その後、バッファIC402は、この比較に基づいて、目標基準電圧値を選択するために、そのVComバンク選択構成要素504を採用することにより、（例えば、RRRを補正するために）LCDディスプレイでの光度の変化に影響を及ぼすことができる。この方式で、バッファIC402は、LCDでの画像提示の不具合を、有効に補正することができる。一部の実施形態によれば、画像提示の不具合は、LCDで可変リフレッシュレートを採用することによって引き起こされる、LCDの光度レベルの変更に関連付けることができる。一部の構成では、ディスプレイタイミングコントローラ502から、バッファIC402の専用ハードウェアピンで、基準電圧入力選択を受信することができ、その基準電圧入力選択は、画像提示の不具合の特定に応じて、受信することができる。

10

【0046】

一実施によれば、画像提示の不具合は、バッファIC402で、又はLCDを駆動するように構成されたGPU110で特定することができる。更には、画像処理の不具合の特定は、LCDによって採用されているRRRの検知に相当し得る。目標基準電圧値は、LCDがRRRで動作している場合、LCDの光度を増大させるように選択することができ、又は、LCDが増大リフレッシュレートで動作している場合、LCDの光度を減少させるように選択することができる。

【0047】

図11は、本開示の一部の実施形態に係る、液晶ディスプレイ（LCD）での画像提示の不具合を補正するための、別の手順1100の流れ図を示す。図11に示されるプロセス1100は、図1に示すディスプレイシステム104のバッファIC116構成要素によって実行することができる点を理解されたい。図1のバッファIC116は、図4～図6のバッファICエンティティ/構成要素内で、より詳細に示される。最初に、動作ブロック1102で、バッファIC606のVComバンク選択構成要素604は、複数のレジスタ値（VCom_1～VCom_N）から、目標基準電圧値（VCOM_TARGET）を選択するように構成することができる。次いで、動作ブロック1104で、バッファIC606のカウンタクロック信号を、ディスプレイタイミングコントローラ602からの入力（VCOM_CNT_EN）信号と同期させることができる。

20

【0048】

その後、動作ブロック1106で、目標基準電圧値（VCOM_TARGET）及び同期カウンタクロック信号に基づいて、スロープ設定を（例えば、バッファIC606のスロープ論理構成要素608で）選択することができる。次いで、動作ブロック1108で、選択されたスロープ設定が、バッファICで適用されることにより、現在の基準電圧出力から目標基準電圧出力への段階的な遷移に、影響を及ぼすことができる。様々な実施形態によれば、目標基準電圧出力は、目標基準電圧値に等しいか、又は実質的に等しい（例えば、特定の許容誤差の範囲内の）電圧値に相当し得る。現在の基準電圧出力から目標基準電圧出力への段階的な遷移は、その遷移（例えば、RRRへの遷移）によって引き起こされる知覚可能な画像提示アーチファクトが存在しない、LCDでの視覚的提示をもたらすことができる。

30

40

【0049】

更には、現在の基準電圧出力から目標基準電圧出力への段階的な遷移は、LCDによって採用される第1のリフレッシュレートと第2のリフレッシュレートとの間の遷移に対応し得るものであり、この第1のリフレッシュレートは、第2のリフレッシュレート（例えば、RRR）よりも大きいため、第2のリフレッシュレートは、採用される場合、LCDに電力を節約させるように構成される。更には、一部の構成によれば、バッファIC606によるスロープ設定の適用は、目標基準電圧出力に、同期カウンタクロック信号の方向を追跡させることができるため、その目標基準電圧出力は、カウンタクロック信号を追従する。

【0050】

50

本開示の一部の実施によれば、ディスプレイシステム104のバッファIC116又はCD118は、1つ以上の構成要素アナログ/デジタルコンバータ(ADC)及び/又は1つ以上のデジタル/アナログコンバータ(DAC)を含み得るものであり、これらは、対応するIC内部でのそれらのコンバータの適用に応じて、最適な性能のために必要な、目標の動作範囲を有する。ADCコンバータ及びDACコンバータは、微分非線形(DNL)パラメータ又は積分非線形(INL)パラメータを含めた、様々な標準動作パラメータを使用して、変換プロセスを実行するように構成することができる。しかしながら、多くの実世界シナリオでは、DNLパラメータ又はINLパラメータは、IC内部での最適な使用に関して、過度に極端かつ/又は高価な、コンバータ性能の過小評価の動作査定若しくは過大評価の動作査定のいずれかを提供する。

10

【0051】

したがって、ADC及び/又はDACの変換動作に、目標とする範囲推定を提供する、領域非線形(RNL)パラメータを採用することが有利であろう。一部の実施形態では、このRNLパラメータは、DNLパラメータ以上、かつINLパラメータ以下とすることができる。それゆえ、様々な実施では、RNLパラメータに関連付けられるコードの範囲は、より良好な信号変換処理性能をADC又はDACに提供する許容誤差の範囲内に、より狭く焦点を絞ることができる。しかしながら、RNL範囲パラメータは、広く、焦点の定まらないコードの範囲とは対照的に、演算コードの目標とする範囲が有用となるであろう、多くの他の信号処理動作に従って、同様に採用することができる点を理解されたい。

【0052】

20

図12は、本開示の様々な実施による、ディスプレイシステム104の列ドライバ(CD)1204のブロック図1200を示す。CD1204は、高レベル図として示されており、それゆえ、CD1204は、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。一部の実施形態では、CD1204は、TFTPanel1214で可変リフレッシュレート(例えば、RRR)を採用するための手順などと併せて、TFTPanel1214の選択部分を動的に遮断するために、TCOn1202から1つ以上のコマンド信号を発行することが可能な、専用の制御ピン(CD_VBLANK)からなるものとすることができる点を理解されたい。

30

【0053】

この点に関して、CD1204の専用の制御ピン(CD_VBLANK)で受信されるシグナリングは、電力を節約することを目的として、CD1204のフロントエンド回路(例えば、RX回路)の一部分又は諸部分を、選択的に遮断するように構成することができる。この専用の制御機構を採用することによって、CD1204の内部ガンマプロセスは、例えば、ガンマ増幅器(単数又は複数)1208、ガンマ抵抗ストリング1210、DAC1212などを含むがこれらに限定されない、CD1204のガンマ処理構成要素で処理するための、より少ないガンマトレースを経験し得る。このことは、より単純なガンマ出力、及びより低電力のレール抵抗をもたらし得る。

【0054】

40

図13は、本開示の様々な実施による、ディスプレイシステム104のCD1304の別のブロック図1300を示す。CD1304は、高レベル図として示されており、それゆえ、CD1304は、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。様々な実施形態によれば、CD1304は、標準プロトコル入力、及び/又はCD1304の専用ハードウェアピン(CD_VBLANK)で受信される入力の双方を使用して、TFTPanel120を駆動している間の電力を節約するように、構成することができる。一部の構成では、これらの電力節約方法のそれぞれでは、それらの選択可能な入力(例えば、プロトコル入力及び専用ピン入力)は、TCOn1302から発生させることができる。プロトコル方

50

法を使用する場合、TCON1302からのプロトコル入力、CD1304のフロントエンド回路1306（例えば、専用のデジタル回路に相当し得るもの）のRX及びプロトコル復号回路を経て、出力BIAS_CTRL信号及びVB_PD信号に進むことができ、これらの信号は、CD1304回路の種々の部分（しかしながら、全ての部分ではない）を、選択的に遮断することができる。

【0055】

あるいは、専用ハードウェアピン（CD_VBlank）方法を使用する場合、TCON1302からのプロトコル入力、前述のプロトコル方法の動作に関して必須であり得るデジタルフロントエンド回路1306を含めた、CD1304の回路のいずれか又は全てを（例えば、全電力遮断をもたらす）、選択的に遮断することができる。この専用ハードウェアピン（CD_VBlank）方法は、CD1304の遮断、又はその諸部分の遮断をもたらし得るが、依然として、その専用ピンでのTCON1302の入力により、ガンマバッファ1308の出力電圧、及びその関連する負荷インピーダンスを規定することが可能となる点を理解されたい。この方式で、専用ハードウェアピン方法は、プロトコル方法よりも制御可能な機能性を有する。更には、様々な構成では、プロトコル方法と専用ハードウェアピン方法との組み合わせを採用することにより、特定のIC実装に関する所望の出力を生じさせることができる。

【0056】

例として、以下の表1は、CD1304回路の種々の回路ブロック構成要素（例えば、ガンマバイアスブロック、主バッファバイアスブロック、デジタルRXブロック、及びCD出力ブロック）に関する、様々な遮断レベルを示す。これらの出力は、低動作状態、高動作状態、又は無（「X」）動作状態にある間の、種々の専用ピン入力（CD_VBlank）値及び/又はプロトコル入力結果（VB_PD及びBIAS_CTRL）値によって規定することができる。特に、（単独で動作する）CD_VBlankのみが、全てのCD回路ブロックの完全な（例えば、以下の表1の最後の行に見られるような）遮断を達成することができる。

【0057】

【表1】

表1						
CD_VBlank	プロトコルビット		ガンマバイアス	主バッファバイアス	デジタルRX	CD出力
	VB_PD	BIAS_CTRL				
低	低	XXX	通常	通常	通常	通常
低	高	LLL	通常	低バイアス	100%	最終ライン
		LLH	低バイアス	低バイアス	100%	最終ライン
		LHL	低バイアス	0%	100%	フローティング
		LHH	0%	0%	100%	フローティング
		HLL	100%	低バイアス	低バイアス	最終ライン
		HLH	低バイアス	低バイアス	低バイアス	最終ライン
		HHL	低バイアス	0%	低バイアス	フローティング
		HHH	0%	0%	低バイアス	フローティング
高	X	LLL	通常	低バイアス	低バイアス	最終ライン
		LLH	低バイアス	低バイアス	低バイアス	最終ライン
		LHL	低バイアス	0%	低バイアス	フローティング
		LHH	0%	0%	低バイアス	フローティング
		HLL	通常	低バイアス	0%	最終ライン
		HLH	低バイアス	低バイアス	0%	最終ライン
		HHL	低バイアス	0%	0%	フローティング
		HHH	0%	0%	0%	フローティング

【0058】

図14は、本開示の様々な実施による、LCDのディスプレイドライバ（例えば、CD1304）で電力を節約するための手順1400を示す、流れ図を示す。図14に示され

るプロセス1400は、図1に示すディスプレイシステム104のCD118構成要素によって実行することができる点を理解されたい。図1のCD118は、図12及び図13のディスプレイドライバのエンティティ/構成要素内で、より詳細に示される。最初に、動作ブロック1402で、CD1304のフロントエンド回路1306は、TCON1302から第1の入力信号(CD_VBLANK)を受信することができる。次に、動作ブロック1404で、CD1304は、第1の入力信号の設定を判定することができる。次いで、判定ブロック1406で、CD1304は、別の第2の入力信号(プロトコル信号)がTCON1302から受信されているか否かを判定することができる。

【0059】

第2の入力信号がCD1304で受信されているシナリオでは、CD1304は、動作ブロック1408で、その第2の入力信号(プロトコル信号)の設定を判定することができる。その後、このプロセスは、動作ブロック1410に進む。あるいは、第2の入力信号(プロトコル信号)が受信されなかったシナリオでは、このプロセスは、動作ブロック1410に進む。次いで、動作ブロック1410で、第1の入力信号(CD_VBLANK)又は第2の入力信号(プロトコル信号)、あるいは双方の設定に基づいて、LCDの1つ以上の回路(例えば、CD1304のアナログ回路及び/又はデジタル回路)を遮断するように、CD1304のフロントエンド回路1306で判定が下される。その後、動作ブロック1412で、判定された第1の入力信号(CD_VBLANK)の設定に少なくとも部分的に基づいて、CD1304の出力電圧を設定することができる。

【0060】

様々な実施によれば、CD1304のデジタル回路部分(例えば、フロントエンド回路のデジタル回路)は、第2の入力信号(プロトコル信号)の設定を判定することが必要とされる場合がある。一部のシナリオでは、第2の入力信号の設定は、CD1304のデジタル回路部分を遮断することができない、プロトコル設定とすることができる。別のシナリオでは、CD1304は、第1の入力信号(CD_VBLANK)の設定に基づいて、CD1304のデジタル回路部分(例えば、フロントエンド回路のデジタル回路)を、選択的に遮断するように構成することができる。様々な実施では、CD1304は、LCDのディスプレイパネル(例えば、TFTパネル1214)を駆動するように構成することができ、第1の入力信号(CD_VBLANK)は、CD1304の専用ハードウェアピンで受信することができる。

【0061】

一部の構成では、第1の入力信号(CD_VBLANK)の設定は、CD1304の出力(V_OUT)でのインピーダンス値を設定するように、更に構成することができ、LCDのディスプレイパネル(例えば、TFTパネル1214)は、CD1304の出力での負荷としての役割を果たし得る。更には、第1の入力信号(CD_VBLANK)の設定は、ディスプレイドライバの出力電圧を制御して、LCDがRRRで動作している場合などに、LCDのディスプレイパネルの光度レベルを増大させるか、又は、LCDが増大リフレッシュレートで動作している場合などに、LCDのディスプレイパネルの光度レベルを減少させるように構成することができる。

【0062】

図15は、本開示の一部の実施形態に係る、LCDのディスプレイドライバ(例えば、CD1304)で電力を節約するための別の手順1500を示す、流れ図を示す。図15に示されるプロセス1500は、図1に示すディスプレイシステム104のCD118構成要素によって実行することができる点を理解されたい。図1のCD118は、図12及び図13のディスプレイドライバのエンティティ/構成要素内で、より詳細に示される。最初に、動作ブロック1402で、CD1304のフロントエンド回路1306は、ディスプレイコントローラ(例えば、TCON1302)から、ディスプレイドライバ(例えば、CD1304)で、少なくとも1つの入力(CD_VBLANK及び/又はプロトコル信号)を受信するように構成することができる。次に、動作ブロック1504で、CD1304は、その少なくとも1つの入力(CD_VBLANK及び/又はプロトコル信号)

）から、１つ以上の設定を判定することができる。

【００６３】

その後、動作ブロック１５０６で、ディスプレイドライバでの論理によって、それらの１つ以上の設定に基づいて、ディスプレイドライバの少なくとも一部分を、電力停止及び／又は遮断することができる。次いで、動作ブロック１５０８で、ディスプレイドライバの基準電圧出力（ V_OUT ）を設定することによって、ディスプレイパネル（例えば、 TFT パネル１２１４）の光度レベルを、ディスプレイドライバによって確立することができる。一部の実施形態では、それらの１つ以上の設定のうちの第１の設定は、ディスプレイドライバの専用ハードウェアピンでの入力信号（ CD_VBLANK ）として受信することができる。一部のシナリオでは、この第１の設定（ CD_VBLANK ）は、ディスプレイドライバの全ての回路を遮断するように構成された、非プロトコル設定とすることができる。

10

【００６４】

様々なシナリオでは、１つ以上の設定のうちの第２の設定は、ディスプレイドライバのデジタル回路部分（例えば、フロントエンド回路のデジタル回路）を遮断することが不可能な、プロトコル設定（プロトコル信号）とすることができる。更には、第１の設定（ CD_VBLANK ）は、ディスプレイパネルが、ディスプレイドライバの出力での負荷である場合に、ディスプレイドライバの出力（ V_OUT ）での、特定のインピーダンスを設定するように構成することができる。一部の実施では、第１の設定（ CD_VBLANK ）は、基準電圧出力（ V_OUT ）の電圧値を制御して、 LCD が低減リフレッシュレートで動作している場合、ディスプレイパネル（例えば、 TFT パネル１２１４）の光度レベルを増大させるか、又は、 LCD が増大リフレッシュレートで動作している場合、ディスプレイパネル（例えば、 TFT パネル１２１４）の光度レベルを減少させるように構成することができる。

20

【００６５】

図１６は、本開示の様々な実施形態に係る、可変リフレッシュレートでディスプレイパネル１６０６を駆動するように構成された、ディスプレイシステムの $TCON1602$ のブロック図１６００を示す。 $TCON1602$ は、高レベル図として示されており、それゆえ、 $TCON1602$ は、本明細書で更に説明されるディスプレイリフレッシュレート及びディスプレイ画像補正プロセスのいずれかを実施するために必要な、追加的回路構成要素を任意選択的に含むように、構成することができる点を理解されたい。 $TCON1605$ は、バッファ $IC1604$ 、及び $CD1608$ を含む TFT パネル１６０６に、様々な（前述のような）シグナリングを通信することが可能な、クロック回路１６１４、バッファ IC 駆動回路１６１０、及び TFT パネル駆動回路１６１２を含み得る。この $TCON$ のシグナリングとしては、 $VCOM_SEL$ 、 $VCOM_CNT_EN$ 、 $GAMMA_SEL$ 、 CD_VBLANK 、及びプロトコル（例えば、 $eRVD$ プロトコル）通信を挙げることができる。

30

【００６６】

CD_VBLANK 及びプロトコルシグナリングは、ホストシステム１０２のシステムオンチップ（ SoC ）集積回路（ IC ）内部に統合することが可能な、 CPU 又は任意数の GPU/VPU １１０から、 $TCON1602$ によって受信される、画像データ及び制御データに従って、 $TCON1602$ によって送信することができる点を理解されたい。一部の実施形態によれば、 $TCON1602$ によって採用される可変リフレッシュレートは、ソース（例えば、 CPU 、 GPU （単数又は複数）、又はバッファ $IC1604$ ）が、 TFT パネル１６０６のインタフェースリンクを介して通信される CD_VBLANK を変化させることによって、 TFT パネル１６０６のリフレッシュレートを（ $CD1608$ を介して）有効に制御することを可能にし得る。一部の実施形態によれば、この機構に関するサポートは、単一の（例えば、 $60Hz$ から $30Hz$ への） RRR に限定される場合があり、又は、複数の RRR を含む場合もあるが、これは、 LRR フレームを送信するべきか、又は RRR フレームを送信するべきかを、ソースがフレーム単位で決定するこ

40

50

とができることを意味する。画像フレームのアクティブピクセル部分は、L R R（例えば、60Hzの）フレームとR R R（例えば、30Hzの）フレームとの間で、同じ状態にとどまることができ、そのため、リフレッシュレートの変化は、垂直帰線消去（V B l a n k）を介した指定の変化から、排他的に発生し得る。

【0067】

可変リフレッシュレートのサポートは、幾つかの専用の機構が、T C O N 1 6 0 2で（例えば、バッファIC駆動回路1610内部で、又はT F Tパネル駆動回路1612内部で）採用されることを必要とし得る。その様々な実施によれば、T C O N 1 6 0 2、バッファIC1604、C D 1 6 0 8、及びT F Tパネル1606、あるいはそれらの構成要素を、R R Rを採用することなどに応じて、延長されたV B l a n k期間中、様々な低電力状態に置くことによって、著しい省電力を達成することができる。一部の実施形態では、L R RからR R Rへの遷移、又はその逆の遷移の間に、T F Tパネル1606に、可視アーチファクトが現れる可能性もあり、これは、L R RフレームとR R Rフレームとの静的な輝度の差から生じ得るものである。これらの画像アーチファクトは、様々なリフレッシュレート間で切り替わる場合に、知覚可能となり得る。これらの望ましくない視覚的アーチファクトを排除又は低減するための、補正を提供するように、T C O N 1 6 0 2によって、幾つかの（本明細書で更に説明される）補正機構をサポートすることができる。

【0068】

ディスプレイ技術の当業者によって理解されるように、画像フレームのリフレッシュレートは、個別のフレームの観点から規定することができる。例として、画像フレームは、先行フレームの最後のアクティブピクセルの直後に開始することができ、その画像フレームは、現在のフレームの最後のアクティブピクセルが照明されるまで、継続することができる。この時間期間の長さが、現在のフレームに関するリフレッシュレートを決定するものである。R R Rは、1つ以上の画像フレームに関して、垂直フロントポーチ（V F P）又は垂直バックポーチ（V B P）、あるいはそれらの任意の組み合わせを引き延ばすことによって、達成することができる。

【0069】

本開示の様々な実施形態によれば、T F Tパネル1606によって消費される動的電力は、ディスプレイシステムの（例えば、T C O N 1 6 0 2のT F Tパネル駆動回路1612によって実施されるような）適用R R Rに比例して、低減することができる。更には、T C O N 1 6 0 2のクロック回路1614で、同じクロック周波数を維持しつつ、垂直帰線消去期間を動的に延長することにより、R R Rを達成することができる。一部の実施では、延長された帰線消去時間中に、T F Tパネル1606での様々な電力レールを動的に遮断することができるが、これは、この時間期間中は、様々なディスプレイピクセルをアクティブに駆動することができないためである。更には、一部のシナリオでは、対応するデジタル回路は、（例えば、装置の電力リソースを節約する更なる目的のために）垂直帰線消去遮断期間中などの、その回路がクロックゲートされる状況で、選択的に遮断することができる。

【0070】

図17は、本開示の一部の実施による、L C Dディスプレイパネル1606でR R Rを確立するための手順1700を示す、流れ図を示す。図17に示されるプロセス1700は、図1に示すディスプレイシステム104のT C O N 1 1 4構成要素によって実行することができる点を理解されたい。図1のT C O N 1 1 4は、図16のT C O N 1 6 0 2のエンティティ/構成要素内で、より詳細に示される。最初に、動作ブロック1702で、T C O N 1 6 0 2は、ホストシステムのG P Uから、画像制御データを受信することができる。次いで、動作ブロック1704で、T C O N 1 6 0 2は、受信した画像制御情報を評価して、L C Dのディスプレイパネル1606に関する、対応するR R Rの割り当てを判定することができる。

【0071】

その後、動作ブロック1706で、T C O N 1 6 0 2は、そのR R Rに関連付けられる

ディスプレイ制御シグナリング情報（例えば、VCOM__SEL、VCOM__CNT__EN、GAMMA__SEL、CD__VBLANK、及びプロトコルシグナリング）を、LCDの他の回路構成要素（例えば、バッファIC1604及びCD1608）に送信することができる。その後、このディスプレイ制御シグナリング情報の受信に応じて、（TCON1602と共に）LCDの他の回路構成要素（例えば、バッファIC1604及びCD1608）は、現在採用されている稼働リフレッシュレート（LRR）から目標RRRへの遷移を遂行することができる。様々な実施によれば、ディスプレイ制御シグナリング情報は、ディスプレイパネルをRRRで動作させることによって引き起こされる画像提示の不具合を補正するための、1つ以上の画像補正手順に影響を及ぼすように、更に構成することができる。

10

【0072】

一部の実施形態では、この画像提示の不具合は、RRRへの遷移によって引き起こされる、ディスプレイパネルの光度の減少、又は1つ以上の望ましくない画像アーチファクトに関連付けることができ、このRRRへの遷移は、50ヘルツ以上のLRRから40ヘルツ以下のRRRへの遷移に相当し得る。一部の構成では、TCON1602は、ホストシステムでのアクティビティを検知すること（例えば、タッチ入力、ホストシステムのタッチスクリーンディスプレイで検知されること）に応じて、ディスプレイパネルをRRRからLRRに戻して遷移させることによって、そのディスプレイパネルでのRRRからの即時の退出に影響を及ぼし、アクティブな画像提示プロセスをサポートするように、更に構成することができる。

20

【0073】

一部の実施では、TCON1602は、ホストシステムのGPUによって指定されるような1つ以上のRRRで、（例えば、CD1608と共に）ディスプレイパネル1606を駆動するように構成された、クロック回路1614を含み得る。様々なレベルの提示手順（例えば、ビデオの提示、インターネット駆動アプリケーションの提示、静的なローカルアプリケーションの提示など）をもたらす特定の装置アクティビティに応じて、TCON1602は、特定の装置のLCDディスプレイパネルに関して、高解像度のリフレッシュレート遷移（例えば、5～10Hz以下の小さいリフレッシュレート状態遷移）又は低解像度のリフレッシュレート遷移（例えば、20～30Hz以上の大きいリフレッシュレート状態遷移）を必要とする、制御データを受信することができる。これらの解像度依存性の遷移は、装置の可動性、現在のバッテリー寿命状態、画像提示プロセスの履歴又は予測などを含めた、任意数の変数に応じて決定することができる。

30

【0074】

様々な構成では、TCON1602はまた、LCDのバッファ回路1604を駆動するためのディスプレイバッファ駆動回路1610、及びディスプレイパネル1606のディスプレイドライバ1608を制御するためのディスプレイパネル駆動回路1612で構成することもできる。LCDのディスプレイパネル1606は、薄膜トランジスタ（TFT）パネル1606とすることができ、ホストシステムのGPU（単数又は複数）は、並行グラフィック処理を使用して、LCDのバッファ回路1604に画像データを動的にレンダリングすることが可能な、複数のGPUを含むように構成することができる。

40

【0075】

図18は、本開示の一部の実施形態に係る、LCDディスプレイパネル1606でRRRを確立するための別の手順1800を示す、流れ図を示す。図18に示されるプロセス1800は、図1に示すディスプレイシステム104のTCON114構成要素によって実行することができる点を理解されたい。図1のTCON114は、図16のTCON1602のエンティティ/構成要素内で、より詳細に示される。最初に、動作ブロック1802で、TCON1602は、GPUから画像制御情報を受信することによって、液晶ディスプレイ（LCD）でのリフレッシュレートを制御するように構成することができる。その後、動作ブロック1804で、TCON1602は、その受信した画像制御情報を使用して、LCDのディスプレイパネル1606に関するRRRを判定することができる。

50

【 0 0 7 6 】

次いで、動作ブロック 1 8 0 6 で、その R R R でのディスプレイパネルの動作によって引き起こされる、1 つ以上の画像提示の不具合を判定することができる。次に、動作ブロック 1 8 0 8 で、T C O N 1 6 0 2 は、その R R R に関連付けられるディスプレイ制御シグナリング情報を、L C D のバッファ回路（例えば、バッファ I C 1 6 0 4 ）及びディスプレイドライバ（例えば、C D 1 6 0 8 ）に送信することができる。その後、動作ブロック 1 8 1 0 で、L C D は、既存の L R R から R R R で動作するように遷移することができると共に、バッファ I C 1 6 0 4 及び / 又は C D 1 6 0 8 は、L C D を R R R で動作させることに関連付けられる画像提示の不具合を（同時に）補正する。この方式で、L C D のパネルディスプレイ 1 6 0 6 は、電力節約モードの R R R で動作することができ、そうす 10
ることに関連付けられる、いずれの負の画像提示効果も、その L C D のユーザによって知覚される視覚的画像提示の一貫性を維持することが可能な、様々な画像補正機構を採用することによって、矯正することができる。

【 0 0 7 7 】

一部の構成では、T C O N 1 6 0 2 は、R R R に関連付けられるディスプレイ制御シグナリング情報を、L C D の 1 つ以上の構成要素に選択的に送信することにより、R R R への遷移に影響を及ぼし、ディスプレイパネル 1 6 0 6 の表示光度若しくは輝度の望ましくない増大又は望ましくない減少に関連付けられる、画像提示の不具合を補正し、並びに、新たなリフレッシュレートへの遷移によって引き起こされる、望ましくない画像アーチファクト又は画像欠陥を補正することができる。この方式で、2 つのリフレッシュレート間 20
（例えば、L R R と R R R との間、R R R と L R R との間、又は 2 つの異なる R R R 間）で遷移する。一部の実施形態では、R R R への遷移は、5 0 ヘルツ以上の L R R から 4 0 ヘルツ以下の R R R への遷移に相当し得るものであり、ディスプレイ提示の間のいずれの時点でも、T C O N 1 6 0 2 は、そのディスプレイパネルでの R R R からの即時の退出に（例えば、ディスプレイパネルを、R R R から L R R に戻して遷移させることによって）影響を及ぼすように、更に構成することができる。

【 0 0 7 8 】

図 1 9 は、本開示の様々な実施による、種々の可変リフレッシュレートを採用するように構成された L C D の動作を示す、例示的なリフレッシュレートのタイミング図 1 9 0 0 を示す。一部の構成では、デフォルトの装置ディスプレイリフレッシュレートは、6 0 H z に設定することができ（1 9 0 2 ）、この 6 0 H z でのリフレッシュレートサイクルは、L C D ディスプレイパネル（例えば、T F T パネル 1 6 0 6 ）を標準リフレッシュレートで動作させることから生じる、遮断インターバルを有し得ない。この点に関して、実際 30
には、6 0 H z のリフレッシュレートサイクルのインターバルでは、周期的な遮断インターバルが存在するが、しかしながら、このリフレッシュレートは、ベースライン L R R であると解釈されるものであり、これは、ディスプレイパネルを、そのベースライン L R R よりも低い R R R で動作させることに起因する、省電力の利点を例示的に示す目的のためであることを理解されたい。

【 0 0 7 9 】

様々な実施形態では、装置ディスプレイに関する R R R は、4 0 H z に設定することができ（1 9 0 4 ）、この 4 0 H z でのリフレッシュレートサイクルは、L C D ディスプレイパネル（例えば、T F T パネル 1 6 0 6 ）を（L R R を基準とする）第 1 の R R R で動作させることから生じる、増大された遮断省電力インターバルを有する。4 0 H z の R R R で L C D を動作させることに関連付けられる、この省電力の利益は、2 0 H z のリフレッシュレートの減少に正比例し得るものである。同様に、他の構成では、装置ディスプレイに関する R R R は、3 0 H z に設定することができ（1 9 0 6 ）、この 3 0 H z でのリフレッシュレートサイクルは、L C D ディスプレイパネルを、第 2 の更に低い R R R で動作させることから生じる、増大された遮断省電力インターバルを有する。3 0 H z の R R R で L C D を動作させることに関連付けられる、この省電力の利益もまた、L R R の半分である、3 0 H z のリフレッシュレートの減少に正比例し得るものである。これらの実施 40
50

例のそれぞれでは、30Hz及び40Hzでのリフレッシュレート時間は、60Hz（例えば、通常の駆動の間）のLRRと同じものにすることができるが、垂直帰線消去時間は、異なるリフレッシュレート間での遷移の間に増大し得る。

【0080】

図20は、本開示の一部の実施形態に係る、2つの異なるリフレッシュレート間（例えば、40Hzのリフレッシュレートと60Hzのリフレッシュレートとの間）での遷移の間の、垂直帰線消去インターバル2002a~fを示す、別のリフレッシュレートのタイミング図2000を示す。40Hzの第1のリフレッシュレートと、60Hzの増大した第2のリフレッシュレートとの間での、このスロープ型の（円滑な）遷移の間、アクティブなビデオ画像フレーム2004、2006、2008、2010、及び2012は、垂直帰線消去インターバルの間に、周波数を段階的に上昇させることができる。

10

【0081】

この遷移は、2~3秒の（400の画像フレームに相当する）時間期間中に、帰線消去時間中の電力レールの遮断により、適宜にパネル駆動電力を低減することができるように、LCDのバッファIC606のスロープ型論理608に従って実施することができる。この構成では、次のリフレッシュレートが開始する前に、LCDの個々の電力供給レールを、選択的にオンに戻すことができる。この方式で、LCDのディスプレイパネルでの視覚的アーチファクトの提示を回避することができる。リフレッシュレート遷移のための総切り替え時間は、そのリフレッシュレート遷移に関する適用要件及びタイミング要件に応じて変動し得る点を理解されたい。

20

【0082】

図21は、本開示の一部の実施形態に係る、可変リフレッシュレート遷移手順2100の間の、最適基準電圧出力プロットを示す。TCON602からバッファIC606で受信されたリフレッシュレート選択（VCOM__SEL）に応じて、ディスプレイパネルの様々なピクセルの光度に直接影響を及ぼし得る基準電圧出力（VCOM__OUT）を、目標基準電圧出力（VCOM__TARGET）に従って、バッファIC606で（例えば、VCOMバンク選択構成要素604を介して）選択することができる。この目標基準電圧（VCOM__TARGET）は、TCON602から発生する特定のリフレッシュレート選択（VCOM__SEL）に部分的に基づいて、最適基準電圧値となるように選択すべきである。

30

【0083】

様々な構成では、最適VCOM出力値（最適VCOM電圧曲線2104で示される）は、リフレッシュレート依存性となることができ、それゆえ、動的に割り当てられるべきである。したがって、リフレッシュレートが、LCDで（例えば、対応するGPU制御データに従って）変化する（例えば、増大又は減少する場合、VCOM出力電圧は、特に低リフレッシュレートの実施の間（例えば、LCDでRRRが採用されている場合）に、知覚可能な輝度変化を最小限に抑えるように選択することができる。様々な実施形態では、CD1204回路をLCDで採用して、経時的にVCOM電圧を動的に調節することができる。

【0084】

最適化VCOM基準電圧2104が、40~60Hzのリフレッシュレート範囲を有する種々のディスプレイパネルリフレッシュレートと、どのように相関するかを示すために、特定のリフレッシュレート切り替えインターバル2106の間の、変化するリフレッシュレート曲線2102を示す。図21には示されないが、ガンマ基準電圧（VGamma）もまた、結果的に生じる（例えば、RRRを適用する場合の）いずれかの輝度変動を更に補正するために、可変リフレッシュレート駆動シナリオの間に変化させることができる点を理解されたい。

40

【0085】

一部の実施では、RRRは、同じクロック周波数値を維持しつつ、垂直帰線消去期間を延長することによって達成することができる。更には、様々な静的及び動的な画像提示シ

50

ナリオでは、垂直帰線消去時間中に不必要な回路ブロックを動的に遮断することによって、延長された垂直帰線消去インターバルの間に、電力消費を著しく低減することができる。一部の構成では、アナログ電力レールの遮断は、デジタル電力レールの遮断と比較して、最も著しい省電力の影響力を有し得るが、これは、アナログ電力が、典型的には、LCDの総電力消費の大部分を占めるためである。更には、ピクセル充電時間は、対応するピクセルクロック周波数を同じレベル（単数又は複数）に維持することができるため、本開示の範囲内で説明される適用で、必ずしも変化するものではないことを理解されたい。

【0086】

図22は、本開示の一部の実施による、LRR 2200及びRRR 2204でLCDを動作させる間の、LCDの駆動回路での電力を節約するためのプロトコルを示す、プロット2200を示す。60Hzの標準LRR 2202では、このプロトコルは、LCDのディスプレイパネル内部の、最大数の対応する電力供給レール（単数又は複数）を維持するリフレッシュサイクルに従って、切り替えることができるこのシナリオでは、LCD内部の（例えば、CDでの）対応する駆動回路（単数又は複数）はアクティブであり、全電力で動作することができる。しかしながら、30HzのRRR 2204では、このプロトコルは、LCDのディスプレイパネル内部の、より少ない数の対応するアクティブな電力供給レール（単数又は複数）を維持する、低減されたリフレッシュサイクルに従って、切り替えることができる。このシナリオでは、LCD内部の対応する駆動回路（単数又は複数）は、CD回路の少なくとも一部分を非アクティブ化及び/又は電力停止することが可能な、指定された「CDオフ」期間2206の間、非アクティブにすることができる。

【0087】

一部の実施によれば、内部電力供給レールは、CDの様々な増幅器及びDAC回路に関する最小限のバイアス電流を使用することによって、この指定された「CDオフ」期間2206の間、電力を節約することができる。この「CDオフ」状態からの退出後、CDでの最小限のバイアス電流から、CDでの全動作電流に遷移するための時間を最小限に抑えることにより、迅速に「CDオン」状態に遷移して戻ることができる。更には、様々な構成では、それらのCD構成要素を、順次にアクティブ化/非アクティブ化することにより、特定の電圧供給レールにわたって経験される電流変動を低減することができる。

【0088】

一部の実施形態によれば、ソース（例えば、GPU）は、TCN1602にアクティブピクセルデータを送信することができ、次いで、標準的な先進型リンク電力管理（ALPM）の遮断を進める。例として、標準LRRフレームに関しては、対応するインタフェースリンクを、予め指定された時間インターバルにわたって遮断することができ、その後、再びそのリンクを（例えば、次のアクティブピクセルデータの送信を再開するための適切なレベルで）起動することができる。1つのフレームのアクティブの終了（EOA）ポイントと、次のフレームに関するアクティブの開始（SOA）ポイントとの間の総時間は、必要とされる（例えば、対応する画像タイミングレベルによって規定されるような（例えば、60Hzでの））垂直帰線消去時間に等しいものとすることができる。

【0089】

一部のシナリオでは、ソース（例えば、GPU）が、RRR画像フレーム（単数又は複数）を送信することを決定する場合、その手順は、前述の手順と同じものとすることができる。例として、ソースは、60Hzの画像フレームに従って、アクティブピクセルの最後を送信し、次いで、データ処理リンクを遮断することができる。しかしながら、一部のシナリオでは、リンクを再開する前の時間インターバルは、1つのフレームのEOAと次のフレームのSOAとの間の総時間が、RRRフレームに関して必要とされる垂直帰線消去時間と等しくなり得るように、増大させることができる。

【0090】

一部の実施によれば、LCDは、処理中のRRR画像フレームからの即時の退出の手順を採用することができる。例えば、一部の構成では、ソースGPUがRRR画像フレーム

10

20

30

40

50

の処理を開始しており、ユーザ入力（例えば、モバイル電話又はタブレットコンピュータのタッチスクリーンディスプレイでの入力）が実施される場合、進行中のRRR画像フレーム垂直帰線消去を即座に終了して、RRRとLRRとの間のレイテンシを最小限に抑えることが、（例えば、ユーザの視覚体験を改善するために）望ましい場合がある。一部のシナリオでは、この迅速な遷移は、LRRと退出中のRRRとの間のいずれかの中間的なリフレッシュレートに従って、補足的画像フレームをユーザに提示することを含み得る。一部の実施では、GPUソースは、これらの即応性退出フレームを、新たなフレームごとに送信することにより、LRRとRRRとの間のいずれかを範囲とするリフレッシュレートを有する、フレームのシーケンスを有効に作り出すことができる。

【0091】

10

一部の実施形態によれば、LCDでの可変リフレッシュレートの実施は、現在の画像フレームに適用されている現在のリフレッシュレートの知識をTCN1602が有することを必要とする、様々な補正機構を含む、リフレッシュレート検知機構を含み得る。一部のシナリオでは、GPUソースは、バッファIC1604に送信されているフレームデータの、現在のリフレッシュレートを広告することが必要とされない場合がある。この構成では、リフレッシュレートは、TCN1602自体によって判定することができるため、GPUは、LRRフレーム又はRRRフレームを随時に送信することができ、TCN1602自体が、それ自体による現在のフレームのリフレッシュレートの判定に基づいて、適切なアクションを判定するように構成することができる。

【0092】

20

様々な実施形態では、TCN1602は、現在のリンクの遮断の間に、垂直帰線消去に関する有効ラインのカウントを維持することによって、この目的を達成することができる。この点に関して、この時間インターバルの間は、リンク又はデータ処理クロックソースが存在し得ないため、TCN1602は、それ自体の内部クロック回路1614、及び予めプログラムされたラインタイミング構成を使用して、この時間期間中に採用される垂直帰線消去ラインの数を、正確にカウントすることができる。ソースGPUとTCN1602とが、この時間中は非同期であり得るという事実は、TCN1602での垂直帰線消去ラインのカウントが、相対的なクロックドリフト、仮想クロックプログラミングの差異などの要因により、ホストシステム内の（例えば、ホストのCPU又はGPUでの）カウントとは若干異なる場合があることを意味し得る。

30

【0093】

このシナリオを補正するために、専用のレジスタを提供して、ピクセルパイプラインクロックでの垂直帰線消去時間のプログラミングを可能にすることにより、ホストシステムのソースからの値を、より厳密に一致させることができる。更には、一部の構成では、即時の退出をサポートする必要性のために、上りフレームは、例えば、LRR垂直帰線消去とRRR垂直帰線消去との間に、任意数の垂直帰線消去ラインを有し得る。プログラム可能な閾値を使用して、特定のフレームがLRRフレーム又はRRRフレームのいずれであるかを判定することができ、その情報は、要求に応じて、LCD内部の下流側の論理に転送することができる。一部の実施形態では、垂直帰線消去ラインの絶対カウントを、任意の下流側LCD論理に提供することができ、この下流側LCD論理は、その絶対カウントデータをすることによって、知的な補正の判定を下すことができる。様々な構成では、このVRRレート検知の実施は、様々なRRRトリガ設定に部分的に基づいて評価することができる。一部のシナリオでは、LRR、RRR、及び/又は垂直帰線消去カウントは、後続のトリガイベントまで維持する（一定に保つ）ことができる。

40

【0094】

説明される実施形態の様々な態様、実施形態、実装、又は特徴は、個別に、若しくは任意の組み合わせで使用することができる。更には、説明される実施形態の一部の態様は、ソフトウェア、ハードウェア、又はハードウェアとソフトウェアとの組み合わせによって実施することができる。説明される実施形態はまた、非一時的コンピュータ可読媒体上に記憶されるコンピュータプログラムコードとしても具現化することができる。このコンピ

50

ユーザ可読媒体は、コンピュータ又はコンピュータシステムによって後に読み出すことが可能なデータを記憶することができる、任意のデータ記憶装置に関連付けることができる。コンピュータ可読媒体の例としては、読み出し専用メモリ、ランダムアクセスメモリ、CD-ROM、ソリッドステートディスク（SSD、又はフラッシュ）、HDD、DVD、磁気テープ、及び光学的データ記憶装置が挙げられる。コンピュータ可読媒体はまた、コンピュータプログラムコードを分散方式で実行できるように、ネットワーク結合されたコンピュータシステム上に分散させることもできる。

【0095】

上述の説明は、説明の目的上、説明される実施形態の完全な理解を提供するために、具体的な専門用語を使用するものとした。しかしながら、それらの具体的詳細の一部は、説明される実施形態を實踐するために必須のものではないことが、当業者には明らかとなるであろう。それゆえ、上述の具体的な実施形態の説明は、例示及び説明の目的のために、本明細書で提示される。これらの説明は、網羅的、包括的であることも、又は、説明される実施形態を、開示される厳密な形態若しくは詳細に限定することも意図するものではない。上記の教示を鑑みて、本開示の趣旨及び範囲から逸脱することなく、多くの修正形態及び変形形態が可能であることが、当業者には明らかとなるであろう。

10

【図 1】

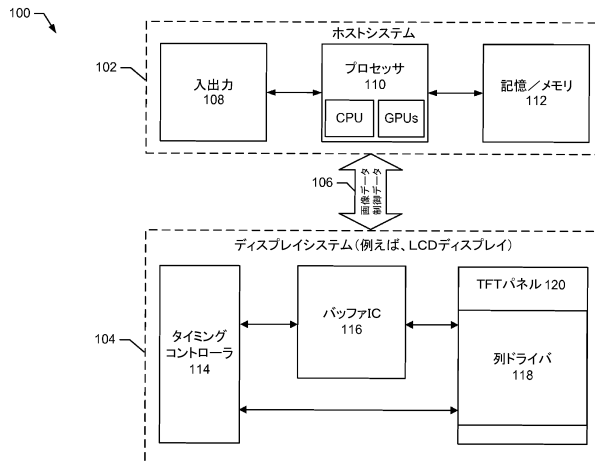


FIG. 1

【図 2】

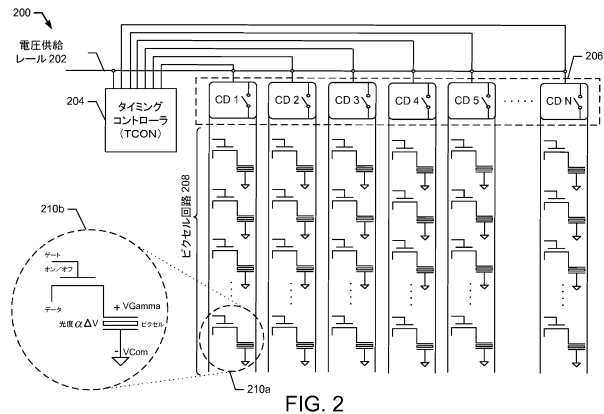


FIG. 2

【図 3】

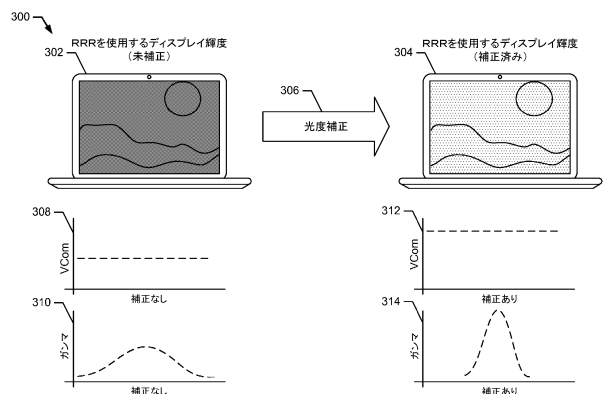


FIG. 3

【図 4】

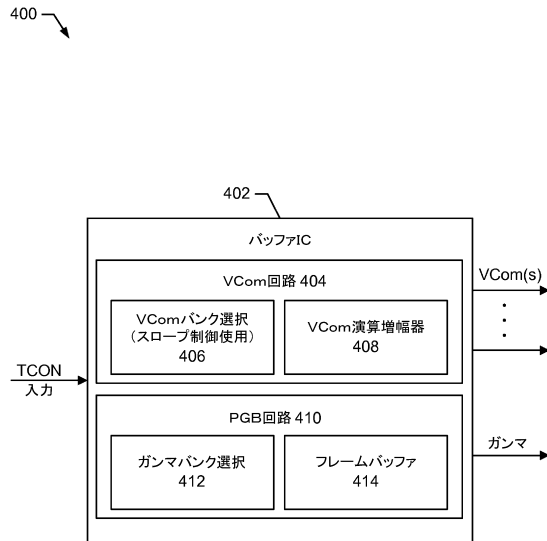


FIG. 4

【図 5】

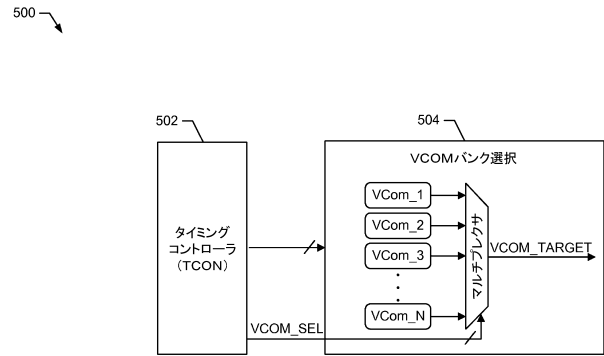


FIG. 5

【図 6】

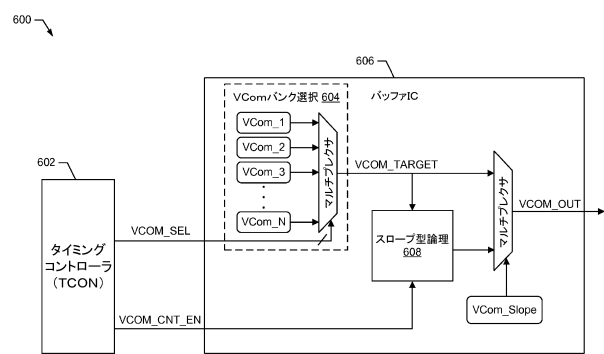


FIG. 6

【図 7】

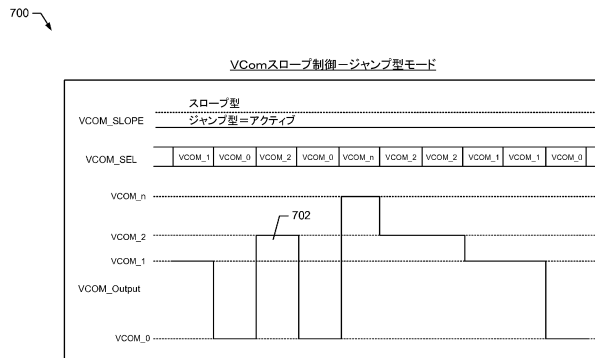


FIG. 7

【図 9】

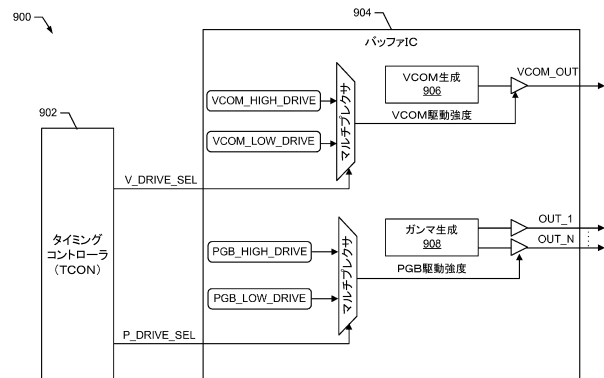


FIG. 9

【図 8】

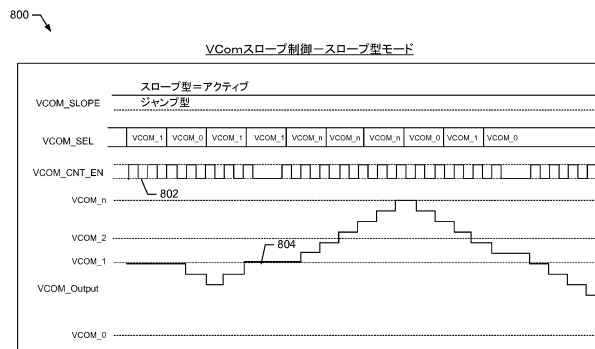


FIG. 8

【図 10】

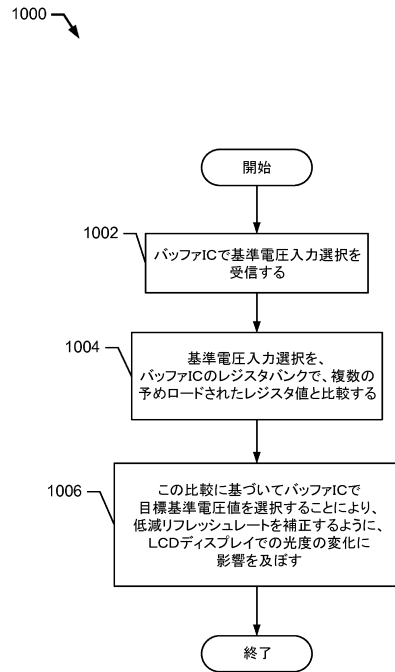


FIG. 10

【図 11】

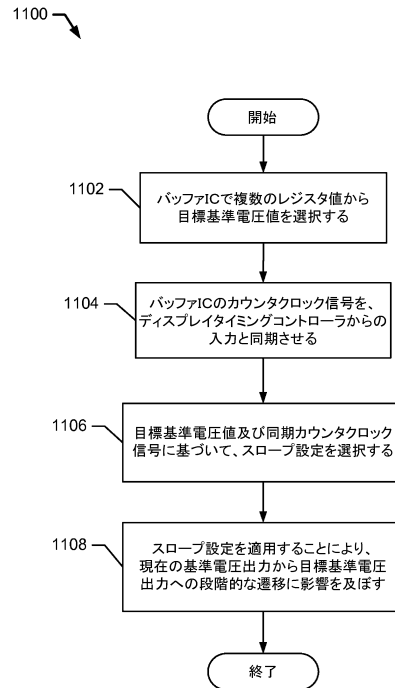


FIG. 11

【図 12】

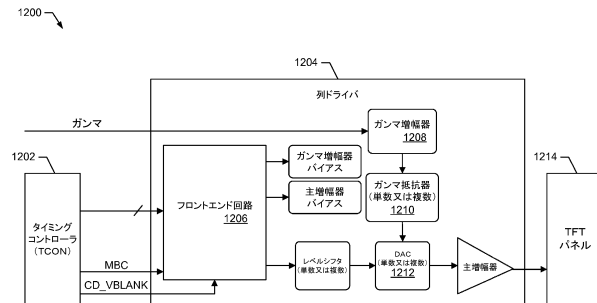


FIG. 12

【図 13】

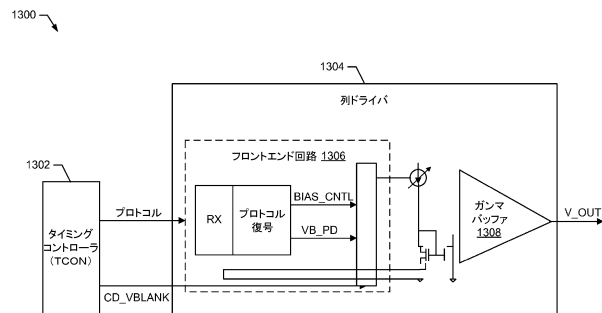


FIG. 13

【図 14】

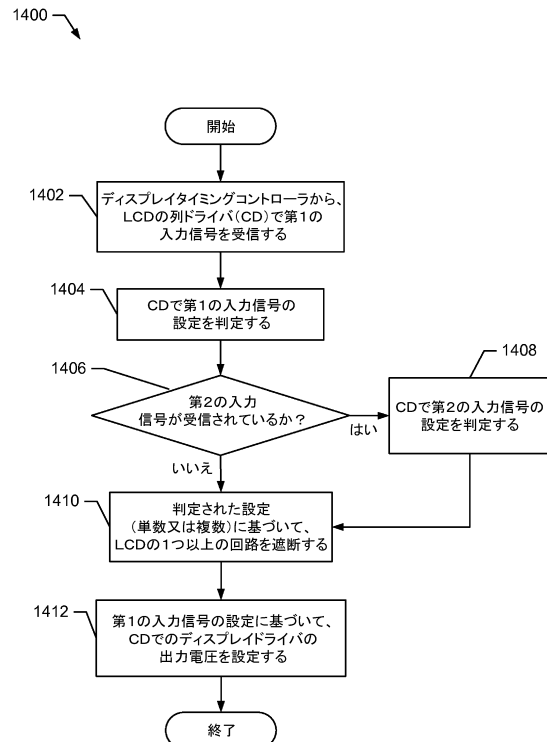


FIG. 14

【図 15】

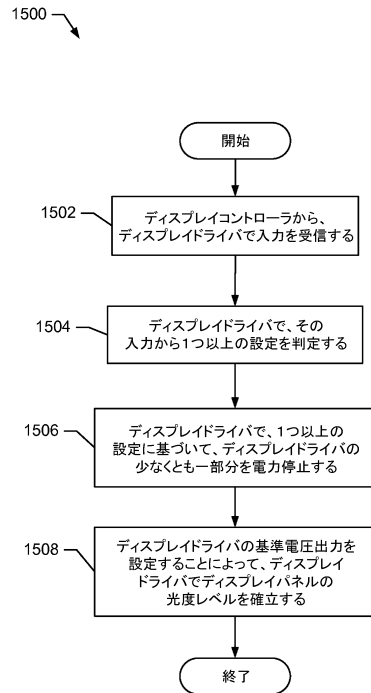


FIG. 15

【図 16】

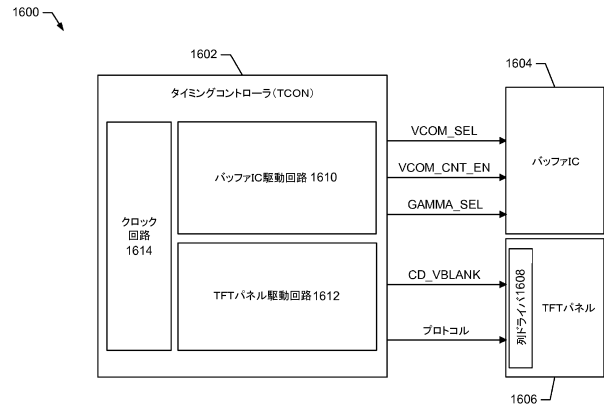


FIG. 16

【図 17】

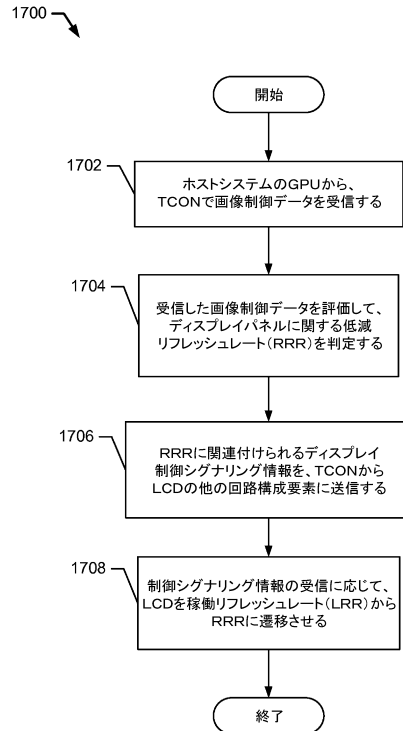


FIG. 17

【図 18】

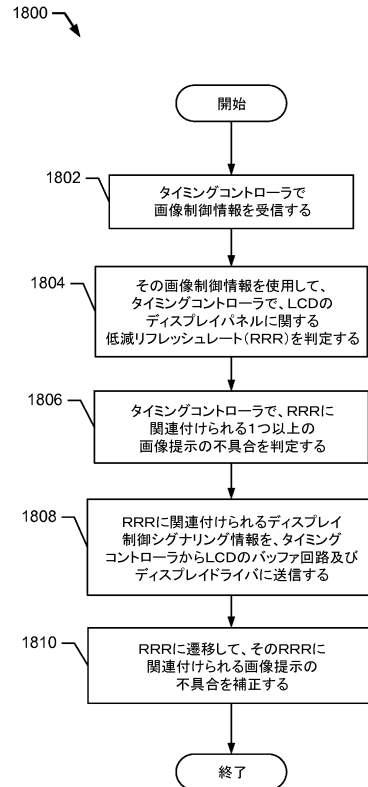


FIG. 18

【図 19】

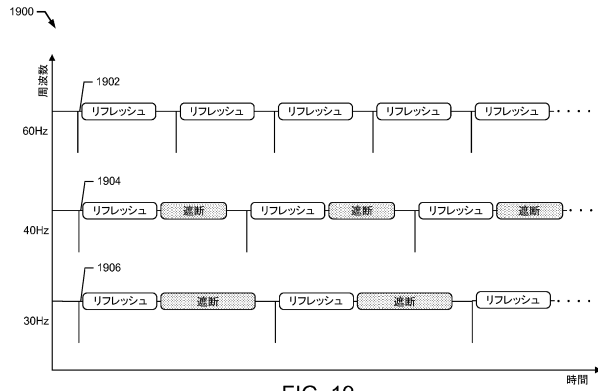


FIG. 19

【図 21】

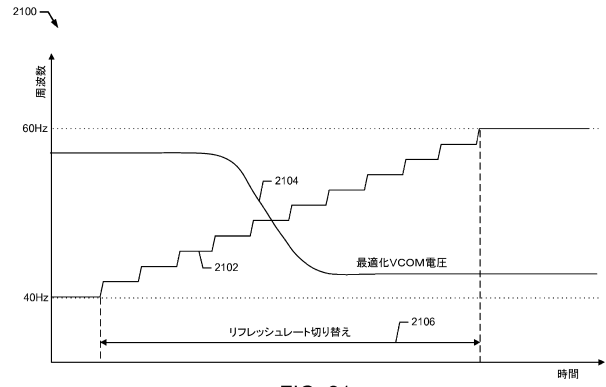


FIG. 21

【図 20】

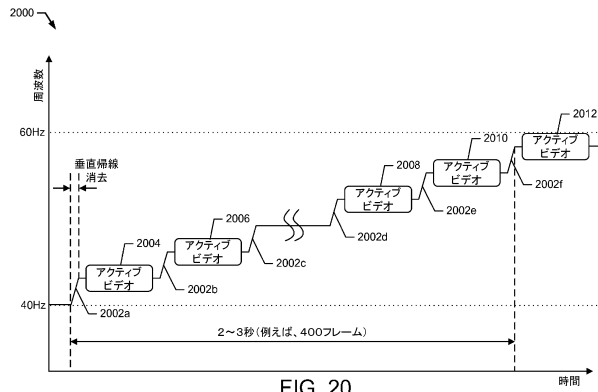


FIG. 20

【図 22】

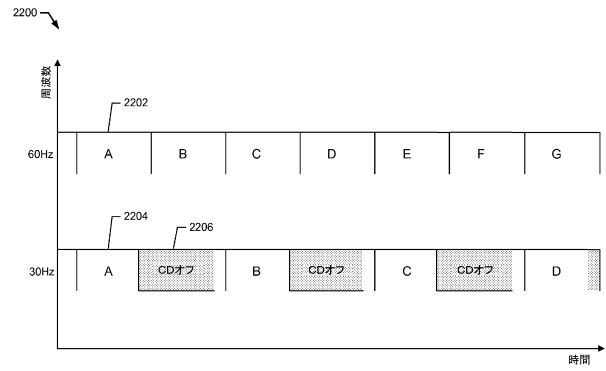


FIG. 22

フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 0 5

(74)代理人 100116894

弁理士 木村 秀二

(74)代理人 100130409

弁理士 下山 治

(74)代理人 100134175

弁理士 永川 行光

(72)発明者 ナンビ, ブラサンナ

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 ゴメス, ジェイソン エヌ.

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 ジェン, フェンファ

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 サッチェット, パオロ

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 ピンツ, サンドロ エイチ.

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 キム, テイスン

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 タン, クリストファー ビー.

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 アルブレヒト, マルク

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

(72)発明者 ルム, デイビッド ダブリュー

アメリカ合衆国 カリフォルニア州 9 5 0 1 4, クパチーノ, インフィニット ループ 1

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 5 - 0 0 3 6 9 2 (J P , A)

特開 2 0 0 2 - 1 1 6 7 3 9 (J P , A)

特開平 0 5 - 1 9 6 9 1 4 (J P , A)

特表 2 0 0 5 - 5 3 4 0 4 7 (J P , A)

特開平 0 8 - 1 8 4 8 0 9 (J P , A)

特開 2 0 0 5 - 3 1 6 3 3 2 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	使用可变刷新率的低功耗显示设备		
公开(公告)号	JP6650907B2	公开(公告)日	2020-02-19
申请号	JP2017102849	申请日	2017-05-24
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	ナンビプラサンナ ゴメスジェイソンエヌ ジェンフェンファ サッチェットパオロ ピンツサンドロエイチ キムテイスン タンクリストファーピー アルブレヒトマルク ルムデイビッドダブリュー		
发明人	ナンビ, プラサンナ ゴメス, ジェイソン エヌ. ジェン, フェンファ サッチェット, パオロ ピンツ, サンドロ エイチ. キム, テイスン タン, クリストファー ピー. アルブレヒト, マルク ルム, デイビッド ダブリュー		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3618 G09G3/3655 G09G3/3696 G09G2330/02 G09G2330/021 G09G2340/0435 G09G2360/18 G09G2370/08 G06T1/20 G06T2210/52 G09G3/36 G09G3/3648 G09G2310/08 G09G2320/0626		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.B G09G3/20.611.G G09G3/20.624.D G02F1/133.505 G09G3/20.612.U G09G3/20.621.K G09G3/20.624.E G09G3/20.631.Z G09G3/20.641.P		
F-TERM分类号	2H193/ZA04 2H193/ZB07 2H193/ZE03 2H193/ZF09 2H193/ZF13 2H193/ZF16 2H193/ZF31 2H193/ /ZH54 2H193/ZR06 2H193/ZR10 5C006/AA02 5C006/AC21 5C006/AC25 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF67 5C006/AF68 5C006/AF71 5C006/ /AF73 5C006/AF75 5C006/AF83 5C006/BB16 5C006/BC11 5C006/BC16 5C006/BF02 5C006/BF14 5C006/BF15 5C006/BF22 5C006/BF24 5C006/BF41 5C006/BF45 5C006/EA01 5C006/EC02 5C006/ /EC09 5C006/EC12 5C006/FA04 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC04 5C080/DD26 5C080/EE28 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ07 5C080/KK07 5C080/KK20 5C080/ /KK50		
代理人(译)	大冢康弘 下山 治 永川 行光		
优先权	61/752390 2013-01-14 US		
	JP2017198998A		

摘要(译)

本公开描述了用于在诸如膝上型计算机，平板计算机，移动电话或音乐播放器设备之类的消费电子设备的LCD显示器上动态地采用可变刷新率的过程。在一些配置中，消费电子设备可以包括具有一个或多个处理器的主机系统部分和具有定时控制器，缓冲电路，显示驱动器和显示面板的显示系统部分。显示系统可以从主机系统的GPU接收图像数据和图像控制数据，评估接收到的图像控制数据以确定在显示面板上使用的降低的刷新率（RRR），然后在可行的情况下过渡到RRR，以节省电量。在某些情况下，向RRR的过渡可以是50赫兹或更高的LRR到40赫兹或更低的RRR的过渡。

(19) 日本国特許庁(JP)	(12) 特 許 公 報 (B2)	(11) 特許番号
		特許第6650907号 (P6650907)
(45) 発行日 令和2年2月19日 (2020. 2. 19)		(24) 登録日 令和2年1月23日 (2020. 1. 23)
(51) Int. Cl.	F I	
G09G 3/36 (2006. 01)	G09G 3/36	
G09G 3/20 (2006. 01)	G09G 3/20	611A
G02F 1/133 (2006. 01)	G09G 3/20	611B
	G09G 3/20	611G
	G09G 3/20	624D
請求項の数 17 外国語出願 (全 30 頁) 最終頁に続く		
(21) 出願番号 特願2017-102849 (P2017-102849)	(73) 特許権者 503260918	
(22) 出願日 平成29年5月24日 (2017. 5. 24)	アップル インコーポレイテッド	
(26) 分割の表示 特願2015-552882 (P2015-552882) の分割	Apple Inc.	
原出願日 平成26年1月14日 (2014. 1. 14)	アメリカ合衆国 95014 カリフォルニア州 カチーナ アップル パーク ウェイワン	
(65) 公開番号 特開2017-198998 (P2017-198998A)	One Apple Park Way, Cupertino, California 95014, U. S. A.	
(43) 公開日 平成29年11月2日 (2017. 11. 2)		
審査請求日 平成29年6月9日 (2017. 6. 19)		
(31) 優先権主張番号 61/752, 390	(74) 代理人 100076428	
(32) 優先日 平成25年1月14日 (2013. 1. 14)	弁理士 大塚 康徳	
(33) 優先権主張国・地域又は機関 米国 (US)	(74) 代理人 100115071	
	弁理士 大塚 康弘	
	(74) 代理人 100112508	
	弁理士 高柳 司郎	
前置審査		最終頁に続く
(54) 【発明の名称】可変リフレッシュレートを使用する低電力ディスプレイ装置		