

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6642951号
(P6642951)

(45) 発行日 令和2年2月12日 (2020.2.12)

(24) 登録日 令和2年1月8日 (2020.1.8)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338
HO1L 29/786 (2006.01)	HO1L 29/78 618B
	HO1L 29/78 618C

請求項の数 2 (全 25 頁)

(21) 出願番号	特願2018-158221 (P2018-158221)	(73) 特許権者	000153878
(22) 出願日	平成30年8月27日 (2018.8.27)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-97929 (P2017-97929)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	荒澤 亮
原出願日	平成22年10月5日 (2010.10.5)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2018-197878 (P2018-197878A)		半導体エネルギー研究所内
(43) 公開日	平成30年12月13日 (2018.12.13)	(72) 発明者	穴戸 英明
審査請求日	平成30年9月21日 (2018.9.21)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-235287 (P2009-235287)		半導体エネルギー研究所内
(32) 優先日	平成21年10月9日 (2009.10.9)		
(33) 優先権主張国・地域又は機関	日本国 (JP)	審査官	佐藤 洋允

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

ゲートとしての機能を有する第1の配線と、
 前記第1の配線上のゲート絶縁膜と、
 前記ゲート絶縁膜上の第1の酸化物半導体層及び第2の酸化物半導体層と、
 前記第1の酸化物半導体層上の第2の配線及び第3の配線と、
 前記第2の酸化物半導体層上の第4の配線及び第5の配線と、
 前記第2の配線上、前記第3の配線上、前記第4の配線上、及び前記第5の配線上の酸化物絶縁層と、
 前記酸化物絶縁層上の第1の画素電極及び第2の画素電極と、を有し、
 前記第1の酸化物半導体層と前記第2の酸化物半導体層とは、結晶を有し、
 前記第2の配線は、第1のソース電極又は第1のドレイン電極の一方としての機能を有し、
 前記第2の配線は、前記第1の画素電極と電気的に接続され、
 前記第3の配線は、前記第1のソース電極又は前記第1のドレイン電極の他方としての機能を有し、
 前記第2の配線は、前記第1の酸化物半導体層と接し、且つ前記第1の配線と重なる端部を有し、
 前記第3の配線は、前記第1の酸化物半導体層と接し、且つ前記第1の配線と重なる端部を有し、

10

20

前記第 4 の配線は、第 2 のソース電極又は第 2 のドレイン電極の一方としての機能を有し、

前記第 4 の配線は、前記第 2 の画素電極と電氣的に接続され、

前記第 5 の配線は、前記第 2 のソース電極又は前記第 2 のドレイン電極の他方としての機能を有し、

前記第 1 の画素電極と前記第 2 の画素電極とは、前記第 3 の配線と前記第 5 の配線の間に配置され、

前記第 1 の酸化物半導体層は、隣接する画素行の第 3 の画素電極と重なる領域を有する
表示装置。

【請求項 2】

10

ゲートとしての機能を有する第 1 の配線と、

前記第 1 の配線上のゲート絶縁膜と、

前記ゲート絶縁膜上の第 1 の酸化物半導体層及び第 2 の酸化物半導体層と、

前記第 1 の酸化物半導体層上の第 2 の配線及び第 3 の配線と、

前記第 2 の酸化物半導体層上の第 4 の配線及び第 5 の配線と、

前記第 2 の配線上、前記第 3 の配線上、前記第 4 の配線上、及び前記第 5 の配線上の酸化物絶縁層と、

前記酸化物絶縁層上の第 1 の画素電極及び第 2 の画素電極と、を有し、

前記第 1 の酸化物半導体層と前記第 2 の酸化物半導体層とは、結晶を有し、

前記第 2 の配線は、第 1 のソース電極又は第 1 のドレイン電極の一方としての機能を有し、

20

前記第 2 の配線は、前記第 1 の画素電極と電氣的に接続され、

前記第 3 の配線は、前記第 1 のソース電極又は前記第 1 のドレイン電極の他方としての機能を有し、

前記第 4 の配線は、第 2 のソース電極又は第 2 のドレイン電極の一方としての機能を有し、

前記第 4 の配線は、前記第 2 の画素電極と電氣的に接続され、

前記第 5 の配線は、前記第 2 のソース電極又は前記第 2 のドレイン電極の他方としての機能を有し、

前記第 1 の画素電極と前記第 2 の画素電極とは、前記第 3 の配線と前記第 5 の配線の間に配置され、

30

前記第 1 の酸化物半導体層は、隣接する画素行の第 3 の画素電極と重なる領域を有する
表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。また当該液晶表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

40

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、液晶表示装置のスイッチング素子などに用いる技術が特許文献 1 で開示されている。

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-99887号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体をチャネル領域に用いた薄膜トランジスタは、アモルファスシリコンをチャネル領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られている。このような酸化物半導体を用いて形成した薄膜トランジスタを具備する画素は、液晶表示装置等の表示装置への応用が期待される。また、3Dディスプレイ、4k2kディスプレイ等、さらなる付加価値のついた液晶表示装置では、画素一つあたりの面積が小さくなることが予想される一方で、開口率の向上した画素を有する液晶表示装置が望まれる。

10

【0006】

そこで、本発明は、酸化物半導体を用いた薄膜トランジスタを具備する画素において、開口率の向上を図ることのできる液晶表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、薄膜トランジスタ、及び画素電極を有する複数の画素を有し、画素は、走査線として機能する第1の配線に電気的に接続されており、薄膜トランジスタは、第1の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第1の配線が設けられた領域をはみ出て設けられており、画素電極と、酸化物半導体層とが重畳して設けられる液晶表示装置である。

20

【0008】

本発明の一態様は、薄膜トランジスタ、及び画素電極を有する複数の画素を有し、画素は、走査線として機能する第1の配線と、信号線として機能する第2の配線に電気的に接続されており、薄膜トランジスタは、第1の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第1の配線が設けられた領域をはみ出て設けられており、第2の配線は、第1の配線上のゲート絶縁膜上を延在して酸化物半導体層上に接しており、画素電極と、酸化物半導体層とが重畳して設けられる液晶表示装置である。

30

【0009】

本発明の一態様は、薄膜トランジスタ、及び画素電極を有する複数の画素を有し、画素は、走査線として機能する第1の配線と、信号線として機能する第2の配線に電気的に接続されており、薄膜トランジスタは、第1の配線上にゲート絶縁膜を介して設けられた酸化物半導体層を有し、酸化物半導体層は、第1の配線が設けられた領域をはみ出て設けられており、第2の配線は、第1の配線上のゲート絶縁膜及びゲート絶縁膜上の層間絶縁膜上を延在して酸化物半導体層上に接しており、画素電極と、酸化物半導体層とが重畳して設けられる液晶表示装置である。

【発明の効果】

【0010】

酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。従って、高精細な表示部を有する液晶表示装置とすることができる。

40

【図面の簡単な説明】

【0011】

【図1】液晶表示装置について説明する上面図及び断面図。

【図2】液晶表示装置について説明する断面図。

【図3】液晶表示装置について説明する上面図。

【図4】液晶表示装置について説明する上面図及び断面図。

【図5】液晶表示装置について説明する上面図。

【図6】液晶表示装置について説明する上面図及び断面図。

50

【図 7】液晶表示装置について説明する回路図。

【図 8】液晶表示装置について説明する回路図。

【図 9】液晶表示装置について説明する回路図及びタイミングチャート図。

【図 10】液晶表示装置について説明する回路図。

【図 11】液晶表示装置について説明する回路図。

【図 12】電子機器について説明する図。

【図 13】電子機器について説明する図。

【図 14】液晶表示装置について説明する上面図及び断面図。

【発明を実施するための形態】

【0012】

10

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0013】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0014】

20

なお、本明細書にて用いる第 1、第 2、第 3、等の用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。

【0015】

(実施の形態 1)

本実施の形態では、一例として、薄膜トランジスタ(以下、TFTともいう)及び当該 TFT に接続された画素電極として機能する電極(単に画素電極ともいう)について示し、液晶表示装置の説明をする。なお画素とは、表示装置の各画素に設けられた各素子、例えば薄膜トランジスタ、画素電極として機能する電極、及び配線等の電気的な信号により表示を制御するための素子で構成される素子群、のことをいう。なお画素は、カラーフィルタ等を含むものであっても良く、一画素によって、明るさを制御できる色要素一つ分としてもよい。よって、一例として、RGB の色要素からなるカラー表示装置の場合には、画像の最小単位は、R の画素と G の画素と B の画素との三画素から構成されるものとなり、複数の画素によって画像を得ることができるものとなる。

30

【0016】

なお、A と B とが接続されている、と記載する場合は、A と B とが電氣的に接続されている場合と、A と B とが直接接続されている場合とを含むものとする。ここで、A、B は、電氣的作用を有する対象物であるとする。具体的には、トランジスタをはじめとするスイッチング素子を介して A と B とが接続され、該スイッチング素子の導通によって、A と B とが概略同電位となる場合や、抵抗素子を介して A と B とが接続され、該抵抗素子の両端に発生する電位差が、A と B とを含む回路の動作に影響しない程度となっている場合など、回路動作を考えた場合、A と B との間の部分を同じノードとして捉えて差し支えない状態である場合を表す。

40

【0017】

まず、画素の上面図について図 1 (A) に示す。なお図 1 (A) に示す TFT の構造は、ボトムゲート型構造であり、ゲートとなる配線から見てチャネル領域となる酸化物半導体層の反対側に、TFT のソース電極及びドレイン電極となる配線層を有する、いわゆる逆スタガ型の構成について示している。

【0018】

図 1 (A) に示す画素 100 は、走査線として機能する第 1 の配線 101、信号線として

50

機能する第2の配線102A、酸化物半導体層103、容量線104、画素電極105を有する。また図1(A)に示す画素100は、酸化物半導体層103と画素電極105とを電氣的に接続するための第3の配線102Bを有し、薄膜トランジスタ106が構成される。

【0019】

第1の配線101は薄膜トランジスタ106のゲートとして機能する配線でもある。第2の配線102Aは、薄膜トランジスタ106のソース電極またはドレイン電極の一方及び保持容量の一方の電極として機能する配線でもある。第3の配線102Bは、薄膜トランジスタ106のソース電極またはドレイン電極の他方として機能する配線でもある。容量線104は、保持容量の他方の電極として機能する配線である。なお第1の配線101と、容量線104とが同層に設けられ、第2の配線102Aと、第3の配線102Bとが同層に設けられる。また第3の配線102Bと容量線104とは、一部重畳して設けられており、液晶素子の保持容量を形成している。

10

【0020】

なお、薄膜トランジスタ106が有する酸化物半導体層103は、第1の配線101上にゲート絶縁膜(図示せず)を介して設けられている。酸化物半導体層103は第1の配線101が設けられた領域をはみ出で設けられている。

【0021】

なおAがBよりはみ出しているとは、積層されたA、Bの素子に着目して上面図をみた場合に、当該素子の端部が一致せず、AがBの端部より外側に延在していることをいう。

20

【0022】

また図1(B)には、図1(A)における一点鎖線A1-A2間の断面構造について示している。図1(B)に示す断面構造で、基板111上には、下地膜112を介して、ゲートである第1の配線101、容量線104が設けられている。第1の配線101及び容量線104を覆うように、ゲート絶縁膜113が設けられている。ゲート絶縁膜113上には、酸化物半導体層103が設けられている。酸化物半導体層103上には、第2の配線102A、第3の配線102Bが設けられている。また、酸化物半導体層103、第2の配線102A、及び第3の配線102Bの上には、パッシベーション膜として機能する酸化物絶縁層114が設けられている。酸化物絶縁層114には開口部が形成されており、開口部において画素電極105と第3の配線102Bとの接続がなされる。また、第3の配線102Bと容量線104とは、ゲート絶縁膜113を誘電体として容量素子を形成している。

30

【0023】

なお、図1(A)、(B)に示す画素は、図7に示すように、基板700上に複数の画素701としてマトリクス状に配置されるものである。図7では、基板700上には、画素部702、走査線駆動回路703、及び信号線駆動回路704を有する構成について示している。画素701は、走査線駆動回路703に接続された第1の配線101によって供給される走査信号により、各行ごとに選択状態か、非選択状態かが決定される。また走査信号によって選択されている画素701は、信号線駆動回路704に接続された第2の配線102Aによって、ビデオ電圧(画像信号、ビデオ信号、ビデオデータともいう)が供給される。

40

【0024】

図7では、走査線駆動回路703、信号線駆動回路704が基板700上に設けられる構成について示したが、走査線駆動回路703または信号線駆動回路704のいずれかが基板700上に設けられる構成としてもよい。また画素部702のみを基板700上に設ける構成としても良い。

【0025】

図7で画素部702には、複数の画素701がマトリクス状に配置(ストライプ配置)する例について示している。なお、画素701は必ずしもマトリクス状に配置されている必要はなく、例えば、画素701をデルタ配置、またはベイヤー配置としてもよい。また画

50

素部 702 における表示方式はプログレッシブ方式、インターレース方式のいずれかを用いることができる。なお、カラー表示する際に画素で制御する色要素としては、RGB (R は赤、G は緑、B は青) の三色に限定されず、それ以上でもよく、例えば、RGBW (W は白)、又は RGB に、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。

【0026】

図 7 において、第 1 の配線 101 及び第 2 の配線 102 A は画素の行方向及び列方向の数に応じて示している。なお、第 1 の配線 101 及び第 2 の配線 102 A は、画素を構成するサブ画素 (副画素、サブピクセルともいう) の数、または画素内のトランジスタの数に応じて、本数を増やす構成としてもよい。また画素間で第 1 の配線 101 及び第 2 の配線 102 A を共有して画素 701 を駆動する構成としても良い。

10

【0027】

なお、図 1 (A) では TFT の形状を、第 2 の配線 102 A が矩形状であるものとして示しているが、第 3 の配線 102 B を囲む形状 (具体的には、U 字型または C 字型) とし、キャリアが移動する領域の面積を増加させ、流れる電流量を増やす構成としてもよい。

【0028】

なお、薄膜トランジスタ 106 となる領域以外の第 1 の配線 101 の幅は、部分的に細くなるよう小さくとってもよい。第 1 の配線の幅を小さくすることにより、画素の開口率の向上を図ることができる。

【0029】

なお開口率とは、単位面積に対し、光が透過する領域の面積を表したものである。従って、光を透過しない部材が占める領域が広くなると、開口率が低下し、光を透過する部材が占める領域が広くなると開口率が向上することとなる。液晶表示装置では、画素電極に重畳する配線、容量線の占める面積、及び薄膜トランジスタのサイズを小さくすることで開口率が向上することとなる。

20

【0030】

なお、薄膜トランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。あるいは、それぞれを第 1 電極、第 2 電極と表記する場合がある。あるいは、第 1 領域、第 2 領域と表記する場合がある。

30

【0031】

次に図 1 (A)、(B) に示した上面図及び断面図をもとに、画素の作製方法について図 2 を用いて説明する。

【0032】

まず、透光性を有する基板 111 にはガラス基板を用いることができる。なお基板 111 上に基板 111 からの不純物の拡散の防止、または基板 111 上に設ける各素子との密着性を向上するための下地膜 112 を設ける構成を示している。なお下地膜 112 は、必ずしも設ける必要はない。

40

【0033】

次いで、導電層を基板 111 全面に成膜した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要部分を除去して第 1 の配線 101、容量線 104 を形成する。このとき少なくとも第 1 の配線 101 及び容量線 104 の端部がテーパ形状となるようにエッチングする。この段階での断面図を図 2 (A) に示す。

【0034】

第 1 の配線 101 及び容量線 104 は、アルミニウム (Al) や銅 (Cu) などの低抵抗

50

導電性材料で形成することが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

【0035】

なお、インクジェットや印刷法を用いて TFT を構成する配線等を形成することができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。フォトリソ法を用いなくても製造することができるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。またインクジェットや印刷法を用いてレジストマスク等を形成することもできる。インクジェットや印刷法を用いてレジストを必要な部分にのみ形成し、露光及び現像によりレジストマスクとすることで、全面にレジストを形成するよりも、低コスト化が図れる。

【0036】

また、多階調マスクにより複数 (代表的には二種類) の厚さの領域を有するレジストマスクを形成し、配線等の形成を行っても良い。

【0037】

次いで、第1の配線 101 及び容量線 104 上に絶縁膜 (以下、ゲート絶縁膜 113 という) を全面に成膜する。ゲート絶縁膜 113 はスパッタ法などを用いる。

【0038】

例えば、ゲート絶縁膜 113 としてスパッタ法により酸化シリコン膜を用いて形成する。勿論、ゲート絶縁膜 113 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0039】

なお、酸化物半導体を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜 113 の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気 に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。

【0040】

次に、ゲート絶縁膜 113 上に、酸化物半導体を、ゲート絶縁膜 113 表面のプラズマ処理後、大気に曝すことなく成膜する。酸化物半導体をトランジスタの半導体層として用いることにより、アモルファスシリコン等のシリコン系半導体材料と比較して電界効果移動度を高めることが出来る。なお酸化物半導体としては、例えば、酸化亜鉛 (ZnO)、酸化スズ (SnO_2) なども用いることができる。また、 ZnO に In や Ga などを添加することもできる。

【0041】

酸化物半導体として $InMO_3(ZnO)_x$ ($x > 0$) で表記される薄膜を用いることができる。なお、M は、ガリウム (Ga)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn) 及びコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えば M として、Ga の場合があることその他、Ga と Ni 又は Ga と Fe など、Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、M として含まれる金属元素の他に、不純物元素として Fe、Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。例えば、酸化物半導体層として In-Ga-Zn-O 系膜を用いることができる。

【0042】

酸化物半導体 ($InMO_3(ZnO)_x$ ($x > 0$) 膜) として In-Ga-Zn-O 系膜

10

20

30

40

50

のかわりに、Mを他の金属元素とする $\text{InMO}_3(\text{ZnO})_x(x>0)$ 膜を用いてもよい。また、酸化物半導体として上記の他にも、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体を適用することができる。

【0043】

なお、本実施の形態では酸化物半導体として、 In-Ga-Zn-O 系を用いる。ここでは、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ としたターゲットを用いる。基板とターゲットとの間の距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。

10

【0044】

なお酸化物半導体の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0045】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法、直流電源を用いるDCスパッタ法、さらにパルスのバイアスを与えるパルスDCスパッタ法がある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

20

【0046】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0047】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0048】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

30

【0049】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上であって750未満、好ましくは425以上とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気に限定されず、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気下において脱水化または脱水素化を行う。

40

【0050】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライ

50

ドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と殆ど反応しない不活性気体が用いられる。

【 0 0 5 1 】

酸化物半導体層を 4 0 0 以上 7 5 0 未満の温度で熱処理することで、酸化物半導体層の脱水化、脱水素化が図られ、その後の水（ H_2O ）の再含浸を防ぐことができる。

【 0 0 5 2 】

また、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N（99.9999%）以上、好ましくは 7 N（99.99999%）以上、（即ち不純物濃度を 1 p p m 以下、好ましくは 0.1 p p m 以下）とすることが好ましい。

10

【 0 0 5 3 】

なお、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が 9 0 % 以上、または 8 0 % 以上の微結晶の酸化物半導体膜となる場合もある。また、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。

20

【 0 0 5 4 】

酸化物半導体層は、脱水化または脱水素化のための第 1 の加熱処理後に酸素欠乏型となり、低抵抗化する。第 1 の加熱処理後の酸化物半導体層は、成膜直後の酸化物半導体膜よりもキャリア濃度が高まり、好ましくは $1 \times 10^{18} / cm^3$ 以上のキャリア濃度を有する酸化物半導体層となる。

【 0 0 5 5 】

次いで、第 2 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して酸化物半導体でなる酸化物半導体層 1 0 3 を形成する。なお酸化物半導体層への第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。この段階での断面図を図 2（B）に示す。

30

【 0 0 5 6 】

次に、酸化物半導体層上に金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。導電膜の材料としては、Al、Cr、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。また、200 ~ 600 の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Al と組み合わせる耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、Sc（スカンジウム）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

40

【 0 0 5 7 】

ここでは、導電膜としてチタン膜の単層構造とする。また、導電膜は、2 層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜として Ti 膜と、その Ti 膜上に重ねて Nd を含むアルミニウム（Al - Nd）膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造としてもよい。導電膜は、シリコンを含むアルミニウム膜の単層構造としてもよい。

【 0 0 5 8 】

次に、第 3 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングに

50

より不要な部分を除去して導電膜となる第2の配線102A及び第3の配線102Bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いたウェットエッチングにより、Ti膜の導電膜をエッチングして第2の配線102A及び第3の配線102Bを選択的にエッチングして酸化物半導体層103を残存させることができる。この段階での断面図を図2(C)に示す。

【0059】

また、エッチング条件にもよるが第3のフォトリソグラフィー工程において酸化物半導体層の露出領域がエッチングされる場合がある。その場合、第2の配線102A及び第3の配線102Bに挟まれる領域の酸化物半導体層103は、第1の配線101上で第2の配線102A及び第3の配線102Bが重なる領域の酸化物半導体層に比べ、膜厚が薄くなる。

10

【0060】

次いで、ゲート絶縁膜113、酸化物半導体層103、第2の配線102A、第3の配線102B上に酸化物絶縁層114を形成する。この段階で、酸化物半導体層103の一部は、酸化物絶縁層114と接する。なお、ゲート絶縁膜113を挟んで第1の配線101と重なる酸化物半導体層103の領域がチャンネル形成領域となる。

【0061】

酸化物絶縁層114は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、スパッタリング法を用いて酸化物絶縁層として酸化珪素膜を成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び希ガス雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。なお、スパッタ法で形成した酸化物絶縁層は特に緻密であり、接する層へ不純物が拡散する現象を抑制する保護膜として単層であっても利用することができる。また、リン(P)や硼素(B)をドーブしたターゲットを用い、酸化物絶縁層にリン(P)や硼素(B)を添加することもできる。

20

30

【0062】

本実施の形態では、純度が6Nであり、柱状多結晶Bドーブの珪素ターゲット(抵抗値0.01Ωcm)を用い、基板とターゲットとの間の距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタ法により成膜する。膜厚は300nmとする。

【0063】

なお、酸化物絶縁層114は酸化物半導体層のチャンネル形成領域となる領域上に接して設けられ、チャンネル保護層としての機能も有する。

40

【0064】

次いで、第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を不活性ガス雰囲気下、または窒素ガス雰囲気下で行ってもよい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層103の一部が酸化物絶縁層114と接した状態で加熱される。

【0065】

第1の加熱処理で低抵抗化された酸化物半導体層103が酸化物絶縁層114と接した状態で第2の加熱処理が施されると、酸化物絶縁層114が接した領域が酸素過剰な状態と

50

なる。その結果、酸化物半導体層 103 の酸化物絶縁層 114 が接する領域から、酸化物半導体層 103 の深さ方向に向けて、I 型化（高抵抗化）する。

【0066】

次いで、酸化物絶縁層 114 に第 4 のフォトリソグラフィ工程により、開口部 121 を形成し、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する）などをスパッタ法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませた Al-Zn-O 系膜、即ち Al-Zn-O-N 系膜や、窒素を含ませた Zn-O 系膜や、窒素を含ませた Sn-Zn-O 系膜を用いてもよい。なお、Al-Zn-O-N 系膜の亜鉛の組成比（原子％）は、47 原子％以下とし、膜中のアルミニウムの組成比（原子％）より大きく、膜中のアルミニウムの組成比（原子％）は、膜中の窒素の組成比（原子％）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）を用いても良い。

10

【0067】

なお、透光性を有する導電膜の組成比の単位は原子％とし、電子線マイクロアナライザー（EPMA: Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

【0068】

20

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極 105 を形成する。この段階での断面図を図 2（D）に示す。

【0069】

こうして、薄膜トランジスタ 106 を有する画素を作製することができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0070】

なお、アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。液晶素子等の表示素子は画素電極 105 上に設けられる。

30

【0071】

図 1、図 2 で説明した本実施の形態の構成による利点について図 3（A）、（B）を用いて詳細に説明を行う。

【0072】

図 3（A）、（B）は、図 1（A）の上面図における酸化物半導体層近傍の拡大図である。また、図 3（A）における酸化物半導体層 103 の幅（図 3（A）中、W1）を大きくとった図が、図 3（B）の酸化物半導体層 103 の幅（図 3（B）中、W2）とした図に対応する。

40

【0073】

本実施の形態における図 1（A）での画素の上面図では、図 3（A）、（B）で示すように、第 1 の配線 101 より配線を分岐させることなく、第 1 の配線 101 上に酸化物半導体層 103 を設けている。酸化物半導体層での第 2 の配線 102 A と第 3 の配線 102 B との間に形成されるチャネル領域が第 1 の配線 101 上の重畳する領域に形成されることとなる。酸化物半導体層 103 はチャネル領域に光が照射されることで TFT 特性にばらつきが生じることもあるため、第 1 の配線 101 より分岐した配線により確実に遮光を行

50

う必要があり、画素の開口率を下げる要因ともなっていた。本実施の形態の構成である第1の配線101上に重畳するように酸化物半導体層を設け、第1の配線101より分岐した配線を形成しないことで、開口率の向上を図ることができる。また、薄膜トランジスタの半導体層として、透光性を有する酸化物半導体層を用いることにより、酸化物半導体層が第1の配線101と重畳する領域から、設計の位置よりもずれた領域に形成され、画素電極105と重畳することとなっても、開口率を低減することなく、表示を行うことができる。

【0074】

所定のサイズより大きなパターンで酸化物半導体層を形成することで、多少設計の位置よりもずれた箇所に酸化物半導体層が形成されたとしても、動作不良及び開口率の低下といったことなく良好な表示を行うことができる。そのため、液晶表示装置のアクティブマトリクス基板が作りやすくなり、歩留まりの向上を図ることができる。

10

【0075】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。従って、高精細な表示部を有する液晶表示装置とすることができる。

【0076】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0077】

(実施の形態2)

20

上記実施の形態とは別のTFTの構成の表示装置の画素を構成する例を以下に説明する。

【0078】

実施の形態1の構成とは異なる、画素の上面図について図4(A)に示す。なお図4(A)に示すTFTの構造は、ボトムゲート型構造であり、ゲートとなる配線から見てチャネル領域となる酸化物半導体層の反対側に、TFTのソース電極及びドレイン電極となる配線層を有する、いわゆる逆スタガ型の構成について示している。

【0079】

図4(A)に示す画素400は、走査線として機能する第1の配線401、信号線として機能する第2の配線402A、酸化物半導体層403、容量線404、画素電極405を有する。また、酸化物半導体層403と画素電極405とを電気的に接続するための第3の配線402Bを有し、薄膜トランジスタ406が構成される。第1の配線401は薄膜トランジスタ406のゲートとして機能する配線でもある。第2の配線402Aは、ソース電極またはドレイン電極の一方として機能する配線でもある。第3の配線402Bは、ソース電極またはドレイン電極の他方、及び保持容量の一方の電極として機能する配線でもある。容量線404は保持容量の他方の電極として機能する配線である。

30

【0080】

なお第1の配線401と、容量線404とが同層に設けられ、第2の配線402Aと、第3の配線402Bとが同層に設けられる。また第3の配線402Bと容量線404とは、一部重畳して設けられており、液晶素子の保持容量を形成している。なお、薄膜トランジスタ406が有する酸化物半導体層403は、第1の配線401上にゲート絶縁膜(図示せず)を介して設けられており、酸化物半導体層403は第1の配線401が設けられた領域をはみ出て設けられている。

40

【0081】

また図4(B)には、図4(A)における一点鎖線A1-A2間の断面構造について示している。図4(B)に示す断面構造で、基板411上には、下地膜412を介して、ゲートである第1の配線401、容量線404が設けられている。第1の配線401及び容量線404を覆うように、ゲート絶縁膜413が設けられている。ゲート絶縁膜413上には、酸化物半導体層403が設けられている。酸化物半導体層403上には、第2の配線402A、第3の配線402Bが設けられている。また、酸化物半導体層403、第2の

50

配線 402A、及び第3の配線 402Bの上には、パッシベーション膜として機能する酸化物絶縁層 414 が設けられている。酸化物絶縁層 414 には開口部が形成されており、開口部において画素電極 405 と第3の配線 402B との接続がなされる。また、第3の配線 402B と容量線 404 とは、ゲート絶縁膜 413 を誘電体として容量素子を形成している。

【0082】

なお、図4(A)、(B)に示す画素は、実施の形態1の図1(A)、(B)での説明と同様に、図7での基板 700 上にマトリクス状の複数の画素 701 として配置されるものである。図7に関する説明は実施の形態1と同様である。

【0083】

また、図4(B)に示す断面図は、図1(B)に示した断面図と同様であり、画素の作製方法については実施の形態1における図2での説明と同様である。

【0084】

図4(A)、(B)で説明した本実施の形態の構成による利点について図5(A)、(B)を用いて詳細に説明を行う。

【0085】

図5(A)、(B)は、図4(A)の上面図における酸化物半導体層近傍の拡大図である。また、図5(A)における酸化物半導体層 403 の幅(図5(A)中、W1)を大きくとった図が、図5(B)の酸化物半導体層 403 の幅(図5(B)中、W2)とした図に対応する。

【0086】

本実施の形態における図4(A)での画素の上面図では、図5(A)、(B)で示すように、第1の配線 401 より配線を分岐させることなく、第1の配線 401 上に酸化物半導体層 403 を設けている。酸化物半導体層での第2の配線 402A と第3の配線 402B との間に形成されるチャネル領域が第1の配線 401 上の重畳する領域に形成されることとなる。加えて本実施の形態で酸化物半導体層 403 は、第1の配線 401 上のゲート絶縁膜上を延在して第2の配線 402A 及び第3の配線 402B に接することとなる。酸化物半導体層 403 はチャネル領域に光が照射されることで TFT 特性にばらつきが生じることもあるため、第1の配線 401 より分岐した配線により確実に遮光を行う必要があり、画素の開口率を下げる要因ともなっていた。本実施の形態の構成である第1の配線 401 上に重畳するように酸化物半導体層を設け、第1の配線 401 より分岐した配線を形成しない構成、及び第1の配線 401 上のゲート絶縁膜上を延在して第2の配線 402A 及び第3の配線 402B を酸化物半導体層 403 に接する構成で、開口率の向上を図ることができる。また、薄膜トランジスタの半導体層として、透光性を有する酸化物半導体層を用いることにより、酸化物半導体層が第1の配線 401 と重畳する領域から、設計の位置よりもずれた領域に形成され、画素電極 405 と重畳することとなっても、開口率を低減することなく、表示を行うことができる。

【0087】

なお図4(A)で示す第1の配線 401 上を延在する第2の配線 402A 及び第3の配線 402B は、第1の配線 401 上に重畳して設けられていればよい。また第2の配線 402A 及び第3の配線 402B は、蛇行して(メアンドラ状に)引き回されていてもよいし、直線状に配線を設ける構成としてもよい。

【0088】

所定のサイズより大きなパターンで酸化物半導体層を形成することで、多少設計の位置よりもずれた箇所に酸化物半導体層が形成されたとしても、動作不良及び開口率の低下といったことなく良好な表示を行うことができる。そのため、液晶表示装置のアクティブマトリクス基板が作りやすくなり、歩留まりの向上を図ることができる。

【0089】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。従っ

10

20

30

40

50

て、高精細な表示部を有する液晶表示装置とすることができる。

【0090】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0091】

(実施の形態3)

上記実施の形態とは別のTFTの構成の表示装置の画素を構成する例を以下に説明する。

【0092】

実施の形態2の構成とは異なる、画素の上面図及び断面図について図6(A)、(B)、及び(C)に示す。なお図6(A)に示す上面図の構造は、図4(A)と同様であり、こ
10
ここでは説明を省略する。また図6(B)に示す断面図の構造が、図4(B)に示す断面図の構造と異なる点は、第1の配線401と第2の配線402Aとの間に絶縁層601Aを設ける構成とする点、及び第1の配線401と第3の配線402Bとの間に絶縁層601Bを設ける構成とする点にある。また図6(C)では、図6(A)の一点鎖線B1-B2の断面図について示しており、容量線404と第2の配線402Aとの間に絶縁層601Aを有する構成について示している。

【0093】

第1の配線401及び容量線404上に第2の配線402A及び第3の配線402Bを延在させて設ける場合、ゲート絶縁膜413の膜厚によっては、第1の配線401と第2の配線402A、第1の配線401と第3の配線402Bとの間、及び容量線404と第2
20
の配線402A、の間に寄生容量が生じることとなる。そのため、図6(B)、図6(C)に示すように、絶縁層601A、絶縁層601Bを設けることで寄生容量を低減し、誤動作等の不良を低減することができる。

【0094】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。また本実施の形態では、上記実施の形態2の構成に加えて、寄生容量の低減を図ることができる。従って、高精細な表示部を有し、且つ誤動作を低減することのできる液晶表示装置とすることができる。

【0095】

(実施の形態4)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【0096】

図8(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。画素880は、トランジスタ881、液晶素子882及び容量素子883を有している。トランジスタ881のゲートは配線885と電氣的に接続される。トランジスタ881の第1端子は配線884と電氣的に接続される。トランジスタ881の第2端子は液晶素子882の第1端子と電氣的に接続される。液晶素子882の第2端子は配線887と電氣的に接続される。容量素子883の第1端子は液晶素子882の第1端子と電氣的に接続される。容量
40
素子883の第2端子は配線886と電氣的に接続される。

【0097】

配線884は信号線として機能させることができる。信号線は、画素の外部から入力された信号電圧を画素880に伝達するための配線である。配線885は走査線として機能させることができる。走査線は、トランジスタ881のオンオフを制御するための配線である。配線886は容量線として機能させることができる。容量線は、容量素子883の第2端子に所定の電圧を加えるための配線である。トランジスタ881は、スイッチとして機能させることができる。容量素子883は、保持容量として機能させることができる。保持容量は、スイッチがオフの状態においても、信号電圧が液晶素子882に加わり続けるようにするための容量素子である。配線887は、対向電極として機能させることがで
50

きる。対向電極は、液晶素子 882 の第 2 端子に所定の電圧を加えるための配線である。なお、それぞれの配線が持つことのできる機能はこれに限定されず、様々な機能を有することが出来る。例えば、容量線に加える電圧を変化させることで、液晶素子に加えられる電圧を調整することもできる。

【0098】

図 8 (B) は、液晶表示装置に適用できる画素構成の一例を示す図である。図 8 (B) に示す画素構成例は、図 8 (A) に示す画素構成例と比較して、配線 887 が省略され、かつ、液晶素子 882 の第 2 端子と容量素子 883 の第 2 端子とが電氣的に接続されている点が異なっている以外は、図 8 (A) に示す画素構成例と同様な構成であるとしている。図 8 (B) に示す画素構成例は、特に、液晶素子が横電界モード (IPS モード、FFS モードを含む) である場合に適用できる。なぜならば、液晶素子が横電界モードである場合、液晶素子 882 の第 2 端子および容量素子 883 の第 2 端子を同一な基板上に形成させることができるため、液晶素子 882 の第 2 端子と容量素子 883 の第 2 端子とを電氣的に接続させることが容易であるからである。図 8 (B) に示すような画素構成とすることで、配線 887 を省略できるので、製造工程を簡略なものとすることができ、製造コストを低減できる。

【0099】

図 8 (A) または図 8 (B) に示す画素構成は、マトリクス状に複数配置されることができる。こうすることで、液晶表示装置の表示部が形成され、様々な画像を表示することができる。図 9 (A) は、図 8 (A) に示す画素構成がマトリクス状に複数配置されている場合の回路構成を示す図である。図 9 (A) に示す回路構成は、表示部が有する複数の画素のうち、4 つの画素を抜き出して示す図である。そして、 i 列 j 行 (i, j は自然数) に位置する画素を、画素 880 $_{-i, j}$ と表記し、画素 880 $_{-i, j}$ には、配線 884 $_{-i}$ 、配線 885 $_{-j}$ 、配線 886 $_{-j}$ が、それぞれ電氣的に接続される。同様に、画素 880 $_{-i+1, j}$ については、配線 884 $_{-i+1}$ 、配線 885 $_{-j}$ 、配線 886 $_{-j}$ と電氣的に接続される。同様に、画素 880 $_{-i, j+1}$ については、配線 884 $_{-i}$ 、配線 885 $_{-j+1}$ 、配線 886 $_{-j+1}$ と電氣的に接続される。同様に、画素 880 $_{-i+1, j+1}$ については、配線 884 $_{-i+1}$ 、配線 885 $_{-j+1}$ 、配線 886 $_{-j+1}$ と電氣的に接続される。なお、各配線は、同じ列または行に属する複数の画素によって共有されることができる。なお、図 9 (A) に示す画素構成において配線 887 は対向電極であり、対向電極は全ての画素において共通であることから、配線 887 については自然数 i または j による表記は行なわないこととする。なお、図 8 (B) に示す画素構成を用いることも可能であるため、配線 887 が記載されている構成であっても配線 887 は必須ではなく、他の配線と共有されること等によって省略されることができる。

【0100】

図 9 (A) に示す画素構成は、様々な方法によって駆動されることができる。特に、交流駆動と呼ばれる方法によって駆動されることによって、液晶素子の劣化 (焼き付き) を抑制することができる。図 9 (B) は、交流駆動の 1 つである、ドット反転駆動が行なわれる場合の、図 9 (A) に示す画素構成における各配線に加えられる電圧のタイミングチャートを表す図である。ドット反転駆動が行なわれることによって、交流駆動が行なわれる場合に視認されるフリッカ (ちらつき) を抑制することができる。なお、図 9 (B) には、配線 885 $_{-j}$ に入力される信号 985 $_{-j}$ 、配線 885 $_{-j+1}$ に入力される信号 985 $_{-j+1}$ 、配線 884 $_{-i}$ に入力される信号 984 $_{-i}$ 、配線 884 $_{-i+1}$ に入力される信号 984 $_{-i+1}$ 、配線 886 に供給される電圧 986 を示す。

【0101】

図 9 (A) に示す画素構成において、配線 885 $_{-j}$ と電氣的に接続されている画素におけるスイッチは、1 フレーム期間中の第 j ゲート選択期間において選択状態 (オン状態) となり、それ以外の期間では非選択状態 (オフ状態) となる。そして、第 j ゲート選択期間の後に、第 $j+1$ ゲート選択期間が設けられる。このように順次走査が行なわれることで、1 フレーム期間内に全ての画素が順番に選択状態となる。図 9 (B) に示すタイミン

グチャートでは、電圧が高い状態（ハイレベル）となることで、当該画素におけるスイッチが選択状態となり、電圧が低い状態（ローレベル）となることで非選択状態となる。

【0102】

図9（B）に示すタイミングチャートでは、第 k フレーム（ k は自然数）における第 j ゲート選択期間において、信号線として用いる配線884__ i に正の信号電圧が加えられ、配線884__ $i+1$ に負の信号電圧が加えられる。そして、第 k フレームにおける第 $j+1$ ゲート選択期間において、配線884__ i に負の信号電圧が加えられ、配線884__ $i+1$ に正の信号電圧が加えられる。その後も、それぞれの信号線は、ゲート選択期間ごとに極性が反転した信号が交互に加えられる。その結果、第 k フレームにおいては、画素880__ i, j には正の信号電圧、画素880__ $i+1, j$ には負の信号電圧、画素880__ $i, j+1$ には負の信号電圧、画素880__ $i+1, j+1$ には正の信号電圧が、それぞれ加えられることとなる。そして、第 $k+1$ フレームにおいては、それぞれの画素において、第 k フレームにおいて書き込まれた信号電圧とは逆の極性の信号電圧が書き込まれる。その結果、第 $k+1$ フレームにおいては、画素880__ i, j には負の信号電圧、画素880__ $i+1, j$ には正の信号電圧、画素880__ $i, j+1$ には正の信号電圧、画素880__ $i+1, j+1$ には負の信号電圧が、それぞれ加えられることとなる。このように、同じフレームにおいては隣接する画素同士で異なる極性の信号電圧が加えられ、さらに、それぞれの画素においては1フレームごとに信号電圧の極性が反転される駆動方法が、ドット反転駆動である。ドット反転駆動によって、液晶素子の劣化を抑制しつつ、表示される画像全体または一部が均一である場合に視認されるフリッカを低減することができる。なお、配線886__ j 、配線886__ $j+1$ を含む全ての配線886に加えられる電圧は、一定の電圧とされることができる。なお、配線884のタイミングチャートにおける信号電圧の表記は極性のみとなっているが、実際は、表示された極性において様々な信号電圧の値をとり得る。なお、ここでは1ドット（1画素）毎に極性を反転させる場合について述べたが、これに限定されず、複数の画素毎に極性を反転させることもできる。例えば、2ゲート選択期間毎に書き込む信号電圧の極性を反転させることで、信号電圧の書き込みにかかる消費電力を低減させることができる。他にも、1列毎に極性を反転させること（ソースライン反転）もできるし、1行ごとに極性を反転させること（ゲートライン反転）もできる。

【0103】

次に、液晶素子が、MVAモードまたはPVAモード等に代表される、垂直配向（VA）モードである場合に特に好ましい画素構成およびその駆動方法について述べる。VAモードは、製造時にラビング工程が不要、黒表示時の光漏れが少ない、駆動電圧が低い等の優れた特徴を有するが、画面を斜めから見たときに画質が劣化してしまう（視野角が狭い）という問題点も有する。VAモードの視野角を広くするには、図10（A）および図10（B）に示すように、1画素に複数の副画素（サブピクセル）を有する画素構成とすることが有効である。図10（A）および図10（B）に示す画素構成は、画素1080が2つの副画素（第1の副画素1080-1、第2の副画素1080-2）を含む場合の一例を表すものである。なお、1つの画素における副画素の数は2つに限定されず、様々な数の副画素を用いることができる。副画素の数が大きいほど、より視野角を広くすることができる。複数の副画素は互いに同一の回路構成とすることができ、ここでは、全ての副画素が図8（A）に示す回路構成と同様であるとして説明する。なお、第1の副画素1080-1は、トランジスタ1081-1、液晶素子1082-1、容量素子1083-1を有するものとし、それぞれの接続関係は図8（A）に示す回路構成に準じることとする。同様に、第2の副画素1080-2は、トランジスタ1081-2、液晶素子1082-2、容量素子1083-2を有するものとし、それぞれの接続関係は図8（A）に示す回路構成に準じることとする。

【0104】

図10（A）に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線1085を2本（配線1085-1、配線1085-2）有し、信号線として用

いる配線 1084 を 1 本有し、容量線として用いる配線 1086 を 1 本有する構成を表すものである。このように、信号線および容量線を 2 つの副画素で共用することにより、開口率を向上させることができ、さらに、信号線駆動回路を簡単なものとするので製造コストが低減でき、かつ、液晶パネルと駆動回路 IC の接続点数を低減できるので、歩留まりを向上できる。図 10 (B) に示す画素構成は、1 画素を構成する 2 つの副画素に対し、走査線として用いる配線 1085 を 1 本有し、信号線として用いる配線 1084 を 2 本 (配線 1084 - 1, 配線 1084 - 2) 有し、容量線として用いる配線 1086 を 1 本有する構成を表すものである。このように、走査線および容量線を 2 つの副画素で共用することにより、開口率を向上させることができ、さらに、全体の走査線本数を低減できるので、高精細な液晶パネルにおいても 1 画素あたりのゲート線選択期間を十分に長くすることができ、それぞれの画素に適切な信号電圧を書き込むことができる。

10

【0105】

図 11 (A) および図 11 (B) は、図 10 (B) に示す画素構成において、液晶素子を画素電極の形状に置き換えた上で、各素子の電氣的接続状態を模式的に表す例である。図 11 (A) および図 11 (B) において、電極 1088 - 1 は第 1 の画素電極を表し、電極 1088 - 2 は第 2 の画素電極を表すものとする。図 11 (A) において、第 1 画素電極 1088 - 1 は、図 10 (B) における液晶素子 1082 - 1 の第 1 端子に相当し、第 2 画素電極 1088 - 2 は、図 10 (B) における液晶素子 1082 - 2 の第 1 端子に相当する。すなわち、第 1 画素電極 1088 - 1 は、トランジスタ 1081 - 1 のソースまたはドレインの一方と電氣的に接続され、第 2 画素電極 1088 - 2 は、トランジスタ 1081 - 2 のソースまたはドレインの一方と電氣的に接続される。一方、図 11 (B) においては、画素電極とトランジスタの接続関係を逆にする。すなわち、第 1 画素電極 1088 - 1 は、トランジスタ 1081 - 2 のソースまたはドレインの一方と電氣的に接続され、第 2 画素電極 1088 - 2 は、トランジスタ 1081 - 1 のソースまたはドレインの一方と電氣的に接続されるものとする。

20

【0106】

本実施の形態の画素においても、上記実施の形態の構成と組み合わせることによって、酸化半導体を用いた薄膜トランジスタを具備する画素を作製する際に、開口率の向上を図ることができる。

【0107】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

30

【0108】

(実施の形態 5)

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【0109】

図 12 (A) は携帯型遊技機であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、記録媒体読込部 9672、等を有することができる。図 12 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 12 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0110】

図 12 (B) はデジタルカメラであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、シャッターボタン 9676、受像部 9677、等を有することができる。図 12 (B) に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示す

50

る機能、等を有することができる。なお、図12(B)に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0111】

図12(C)はテレビ受像器であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、等を有することができる。図12(C)に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図12(C)に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【0112】

図13(A)はコンピュータであり、筐体9630、表示部9631、スピーカ9633、操作キー9635、接続端子9636、ポインティングデバイス9681、外部接続ポート9680等を有することができる。図13(A)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図13(A)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0113】

次に、図13(B)は携帯電話であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、マイクロフォン9638、等を有することができる。図13(B)に示した携帯電話は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。なお、図13(B)に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【0114】

次に、図13(C)は電子ペーパー(E-bookともいう)であり、筐体9630、表示部9631、操作キー9635等を有することができる。図13(C)に示した電子ペーパーは、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。なお、図13(C)に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

【0115】

本実施の形態において述べた電子機器は、表示部を構成する複数の画素において、開口率の向上を図ることができる。

【0116】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【実施例1】

【0117】

本実施例では、酸化物半導体層を用いた薄膜トランジスタにより、どの程度液晶表示装置の各画素での開口率が向上するかについて概算を見積もり、その結果について示す。

【0118】

酸化物半導体を有する薄膜トランジスタでは、ゲートにトランジスタを非導通状態とする電圧を印加した際にトランジスタに流れる電流(以下、リーク電流という)が0.1pA以下であるのに対し、アモルファスシリコンを有する薄膜トランジスタでは数100nA程度となる。そのため、酸化物半導体を有する薄膜トランジスタでは、保持容量の縮小を図ることができる。すなわち酸化物半導体を有する薄膜トランジスタが設けられる画素で

10

20

30

40

50

は、アモルファスシリコンを有する薄膜トランジスタが設けられる画素に比べ開口率の向上を図ることが出来る。ここでは開口率がどの程度向上するかについて概算を見積もることとし、酸化物半導体層を用いた薄膜トランジスタのリーク電流を 1×10^{-13} (A)、アモルファスシリコンを用いた薄膜トランジスタのリーク電流を 1×10^{-11} (A) であると想定して説明をする。

【0119】

また画素の開口率を見積もるための他のパラメータとしては、パネルサイズを3.4インチ、表示する階調を256階調、入力する電圧を10V、1フレームを 1.66×10^{-2} (秒) で表示を行うものとする。また、ゲート絶縁膜の誘電率を3.7 (F/m)、膜厚を 1×10^{-7} (m) として説明するものである。

10

【0120】

まず画素数 $540 \times \text{RGB} \times 960$ のパネル (第1のパネルという) に上記パラメータを適用した際の保持容量の面積、及び開口率について概算を見積もる。当該パネルにおいては、画素サイズが $26 (\mu\text{m}) \times 78 (\mu\text{m})$ 、即ち $2.03 \times 10^{-9} (\text{m}^2)$ となる。このうち、配線及びTFTが占める領域を除いた面積は $1.43 \times 10^{-9} (\text{m}^2)$ となり、配線及びTFTが占める領域の面積は $6.00 \times 10^{-10} (\text{m}^2)$ となる。

【0121】

第1のパネルで必要最低限の容量値を有する保持容量とするには、酸化物半導体層を有する薄膜トランジスタを備えた画素で、 4.25×10^{-14} (F) となる。この場合、必要な容量面積が $1.30 \times 10^{-10} (\text{m}^2)$ となり、画素に占める保持容量の面積の割合が6.4 (%)、開口率が64.0 (%) となる。また、第1のパネルで必要最低限の容量値を有する保持容量とするには、アモルファスシリコンを有する薄膜トランジスタを備えた画素で、 4.25×10^{-12} (F) となる。この場合、必要な容量面積が $1.30 \times 10^{-8} (\text{m}^2)$ となり、画素に占める保持容量の面積の割合が639.9 (%)、すなわち画素の大きさ以上に保持容量が必要となってしまう。

20

【0122】

また、画素数 $480 \times \text{RGB} \times 640$ のパネル (第2のパネルという) に上記パラメータを適用した際の保持容量の面積、及び開口率について概算を見積もる。当該パネルにおいては、画素サイズが $36 (\mu\text{m}) \times 108 (\mu\text{m})$ 、即ち $3.89 \times 10^{-9} (\text{m}^2)$ となる。このうち、配線及びTFTが占める領域を除いた面積は $3.29 \times 10^{-9} (\text{m}^2)$ となり、配線及びTFTが占める領域の面積は $6.00 \times 10^{-10} (\text{m}^2)$ となる。

30

【0123】

第2のパネルで必要最低限の容量値を有する保持容量とするには、酸化物半導体層を有する薄膜トランジスタを備えた画素で、 4.25×10^{-14} (F) となる。この場合、必要な容量面積が $1.30 \times 10^{-10} (\text{m}^2)$ となり、画素に占める保持容量の面積の割合が3.3 (%)、開口率が81.2 (%) となる。また、第2のパネルで必要最低限の容量値を有する保持容量とするには、アモルファスシリコンを有する薄膜トランジスタを備えた画素で、 4.25×10^{-12} (F) となる。この場合、必要な容量面積が $1.30 \times 10^{-8} (\text{m}^2)$ となり、画素に占める保持容量の面積の割合が333.8 (%)、すなわち画素の大きさ以上に保持容量が必要となってしまう。

40

【0124】

上述の第1のパネル及び第2のパネルにおいて、酸化物半導体層を有する薄膜トランジスタは、リーク電流が非常に小さいため、保持容量を形成するための容量線を省略することも可能である。具体的に容量線を省略した場合の上面図、及びその断面図について図14 (A)、(B) に示す。図14 (A) に示す画素の上面図は、上記実施の形態1で説明した図1 (A) での上面図において、容量線を省略した図に相当する。図14 (A) に示す上面図、図14 (B) に示す断面図からもわかるように、酸化物半導体層を有する薄膜トランジスタを用いることで、画素電極105が占める領域を広げることができる、すなわち開口率を向上することができる。また図14 (B) に示す断面図からもわかるように、酸化物半導体層を有する薄膜トランジスタを用いることで、容量線を削減し、そして画素

50

電極 1 0 5 が占める領域を広げることができるため、すなわち開口率を向上することができる。なお、図 1 4 (A)、(B)における第 1 のパネルでの諸条件では、開口率が 7 0 . 4 (%) まで向上することができる。また、図 1 4 (A)、(B)における第 2 のパネルでの諸条件では、開口率が 8 4 . 5 (%) まで向上することができる。

【 0 1 2 5 】

以上説明するように、解像度が大きいパネルになるほど、開口率の向上に対する酸化物半導体層を薄膜トランジスタに用いる利点が大いことがわかる。

【符号の説明】

【 0 1 2 6 】

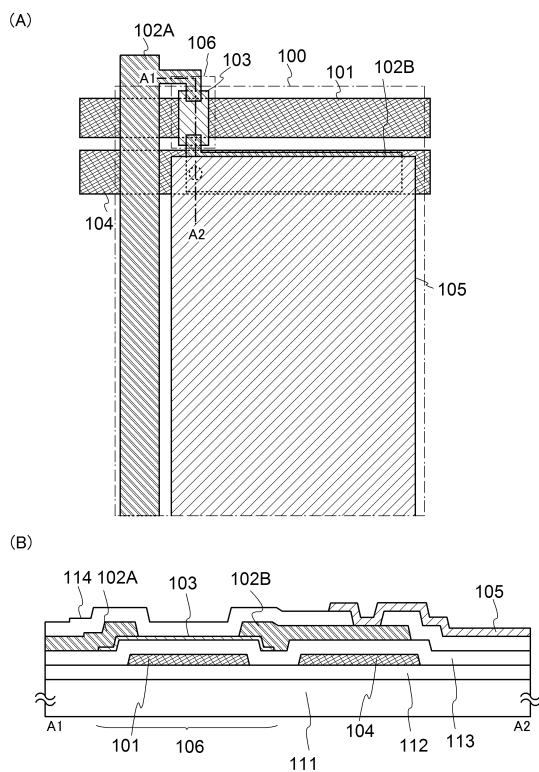
1 0 0	画素	10
1 0 1	配線	
1 0 2	配線	
1 0 3	酸化物半導体層	
1 0 4	容量線	
1 0 5	画素電極	
1 0 6	薄膜トランジスタ	
1 1 1	基板	
1 1 2	下地膜	
1 1 3	ゲート絶縁膜	
1 1 4	酸化物絶縁層	20
1 2 1	開口部	
4 0 0	画素	
4 0 1	配線	
4 0 2	配線	
4 0 3	酸化物半導体層	
4 0 4	容量線	
4 0 5	画素電極	
4 0 6	薄膜トランジスタ	
4 1 1	基板	
4 1 2	下地膜	30
4 1 3	ゲート絶縁膜	
4 1 4	酸化物絶縁層	
7 0 0	基板	
7 0 1	画素	
7 0 2	画素部	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
8 8 0	画素	
8 8 1	トランジスタ	
8 8 2	液晶素子	40
8 8 3	容量素子	
8 8 4	配線	
8 8 5	配線	
8 8 6	配線	
8 8 7	配線	
9 8 4	信号	
9 8 5	信号	
9 8 6	電圧	
1 0 2 A	配線	
1 0 2 B	配線	50

1080	画素
1081	トランジスタ
1082	液晶素子
1083	容量素子
1084	配線
1085	配線
1086	配線
1088	画素電極
402A	配線
402B	配線
601A	絶縁層
601B	絶縁層
9630	筐体
9631	表示部
9633	スピーカ
9635	操作キー
9636	接続端子
9638	マイクロフォン
9672	記録媒体読込部
9676	シャッターボタン
9677	受像部
9680	外部接続ポート
9681	ポインティングデバイス

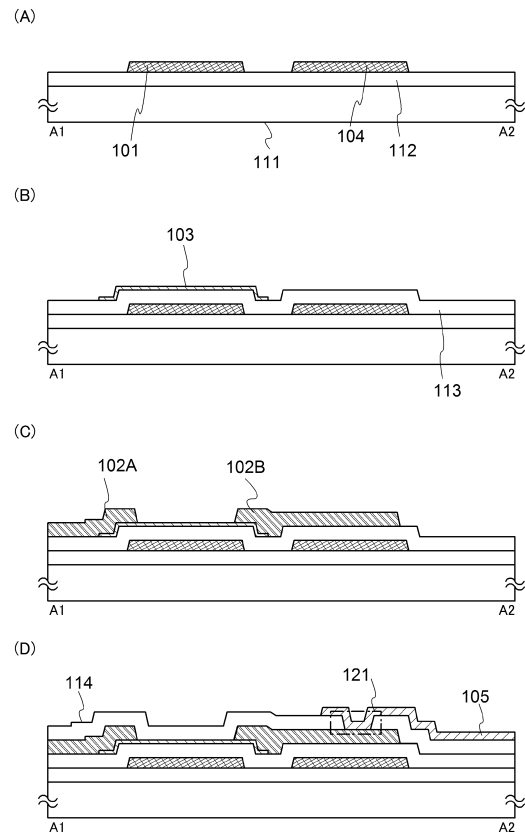
10

20

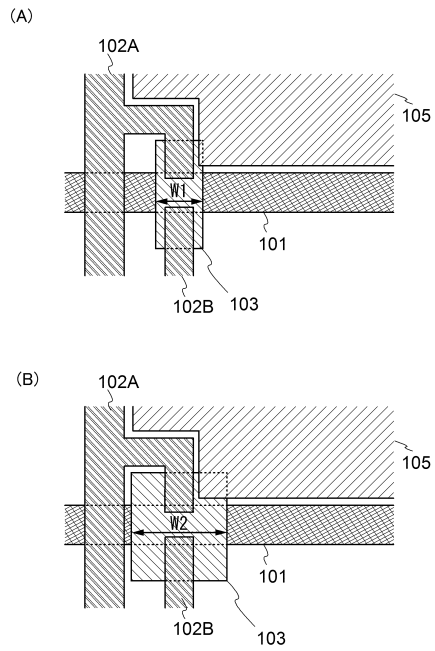
【図1】



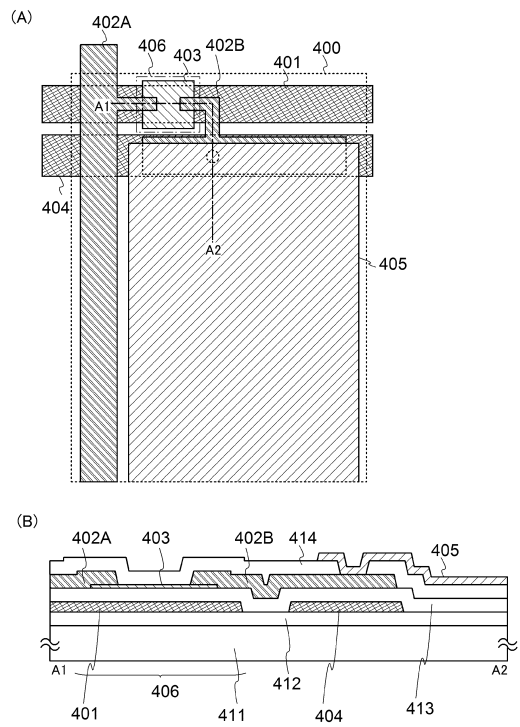
【図2】



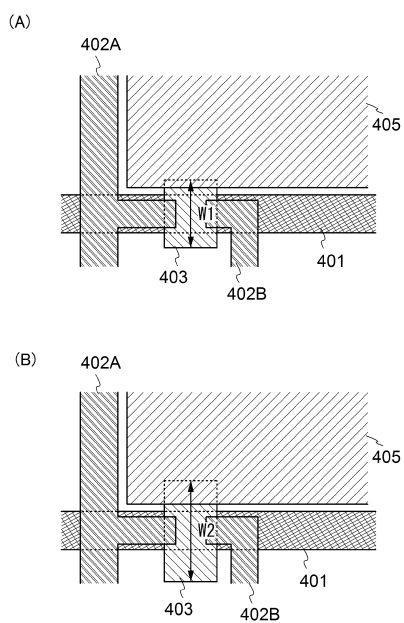
【 図 3 】



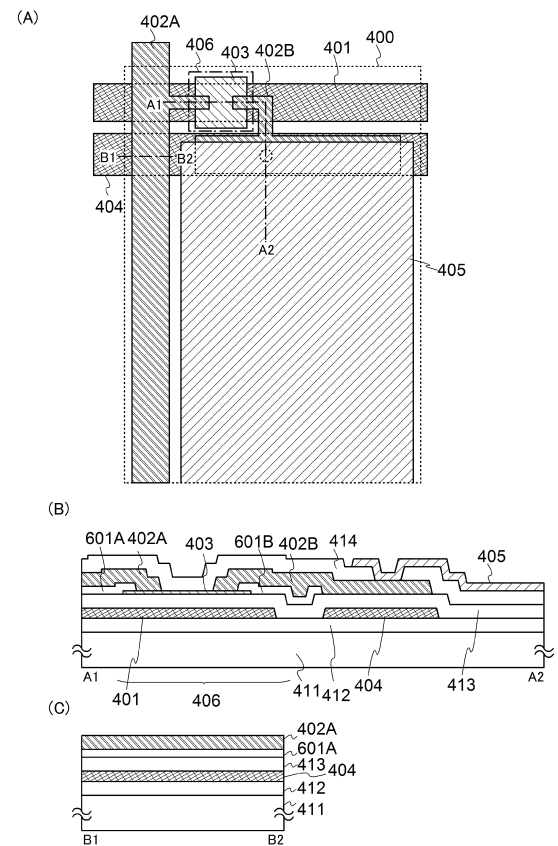
【圖 4】



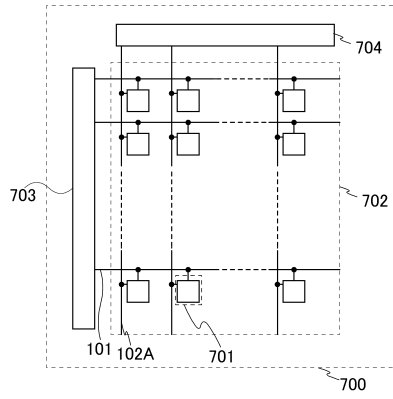
【 図 5 】



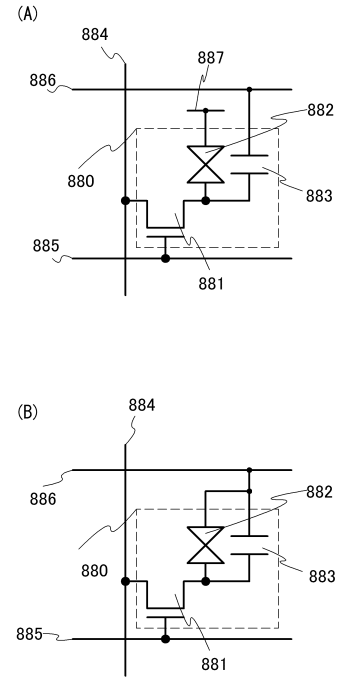
【 図 6 】



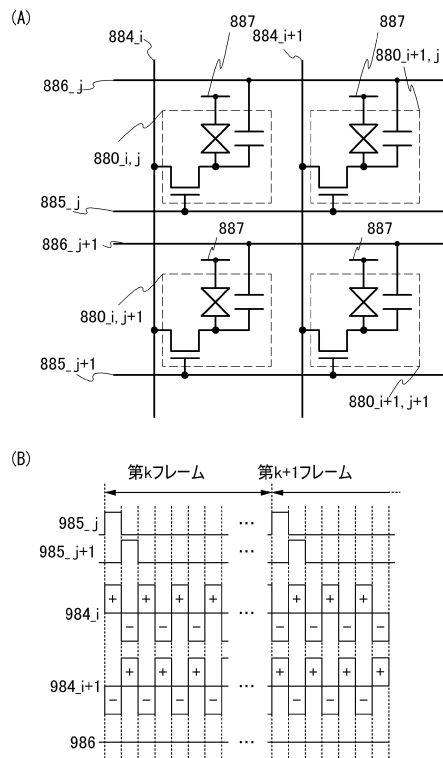
【図 7】



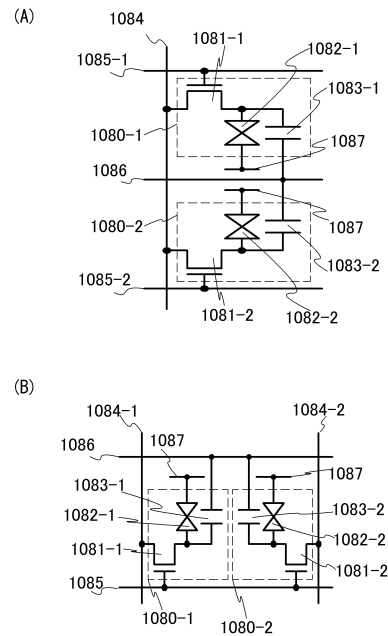
【図 8】



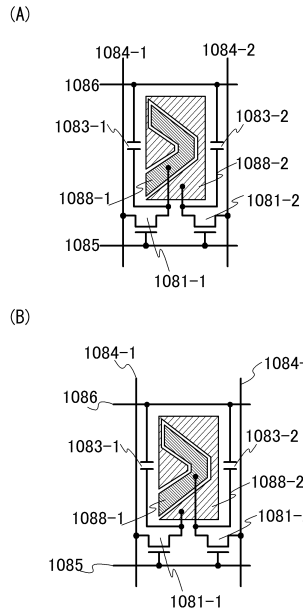
【図 9】



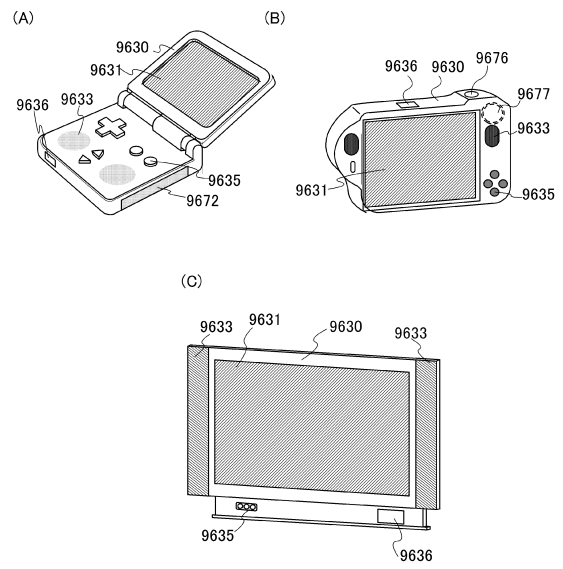
【図 10】



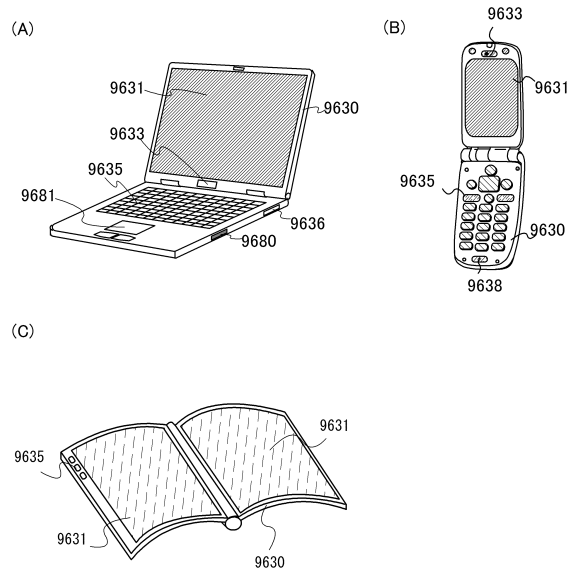
【図 1 1】



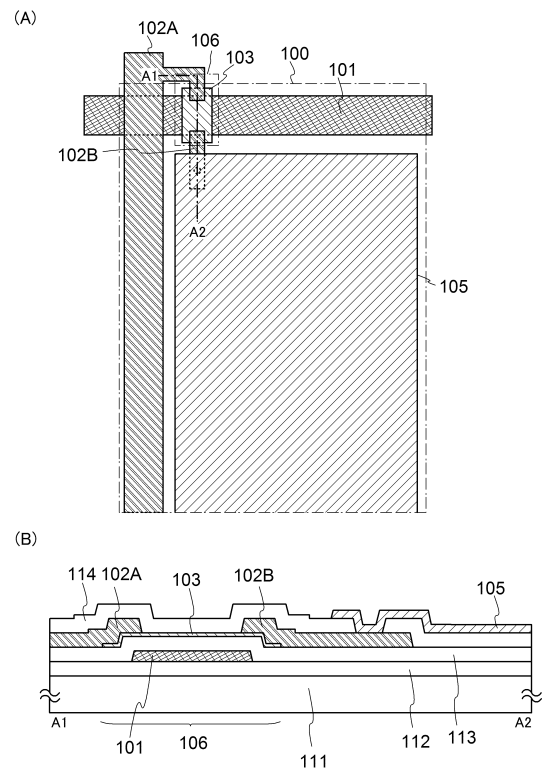
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(56)参考文献 特開 2005 - 018074 (JP, A)
特開 2009 - 21612 (JP, A)
特開 2008 - 166716 (JP, A)
特開 2008 - 26870 (JP, A)
米国特許出願公開第 2009 / 0184315 (US, A1)
特開平 3 - 127030 (JP, A)
特開 2009 - 170905 (JP, A)
特開 2001 - 083548 (JP, A)
特開 2007 - 266252 (JP, A)
特開 2008 - 175982 (JP, A)
米国特許出願公開第 2009 / 0141203 (US, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1 / 136 - 1 / 1368
H01L 29 / 786

专利名称(译)	显示装置		
公开(公告)号	JP6642951B2	公开(公告)日	2020-02-12
申请号	JP2018158221	申请日	2018-08-27
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	荒澤亮 穴戸英明		
发明人	荒澤 亮 穴戸 英明		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786		
CPC分类号	G02F1/136213 G02F1/13624 G02F1/1368 G02F2001/134345 G02F2201/40 G09G3/3648 G09G2300 /0447 H01L27/1225 H01L27/124 H01L27/1255 G02F1/134327		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.618.B H01L29/78.618.C		
F-TERM分类号	2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB37 2H192/CC04 2H192 /CC24 2H192/CC42 2H192/CC64 2H192/DA12 2H192/DA43 2H192/DA72 2H192/EA04 2H192/EA15 2H192/EA72 2H192/FB02 2H192/JA13 2H192/JA32 5C094/AA10 5C094/BA03 5C094/BA43 5C094 /CA19 5C094/DA13 5C094/DB01 5C094/EA04 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/HA08 5C094/HA10 5F110/AA30 5F110/BB02 5F110/CC07 5F110/DD02 5F110 /DD11 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE23 5F110/EE25 5F110/EE37 5F110/EE42 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/GG01 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG23 5F110/GG26 5F110/GG34 5F110 /GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HM04 5F110/NN02 5F110 /NN04 5F110/NN05 5F110/NN22 5F110/NN23 5F110/NN28 5F110/NN34 5F110/NN40 5F110/NN73 5F110/QQ02 5F110/QQ08 5F110/QQ09		
优先权	2009235287 2009-10-09 JP		
其他公开文献	JP2018197878A		
外部链接	Espacenet		

摘要(译)

一个目的是提供一种液晶显示装置，其中包括使用氧化物半导体的薄膜晶体管的像素具有高的开口率。液晶显示装置包括多个像素，每个像素包括薄膜晶体管和像素电极。像素电连接到用作扫描线的第一布线。薄膜晶体管包括在第一布线上方的氧化物半导体层，其间具有栅极绝缘膜。氧化物半导体层延伸超过设置有第一布线的区域的边缘。像素电极和氧化物半导体层彼此重叠。

(51) Int. Cl.	F I
G O 2 F 1/1368 (2006. 01)	G O 2 F 1/1368
G O 9 F 9/30 (2006. 01)	G O 9 F 9/30 3 3 8
H O 1 L 29/78 (2006. 01)	H O 1 L 29/78 6 1 8 B
	H O 1 L 29/78 6 1 8 C

請求項の数 2 (全 25 頁)

(21) 出願番号	特願2018-158221 (P2018-158221)	(73) 特許権者	000153878
(22) 出願日	平成30年8月27日 (2018. 8. 27)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-97929 (P2017-97929) の分割		神奈川県厚木市長谷398番地
原出願日	平成22年10月5日 (2010. 10. 5)	(72) 発明者	荒澤 亮
(65) 公開番号	特開2018-197878 (P2018-197878A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成30年12月13日 (2018. 12. 13)		半導体エネルギー研究所内
審査請求日	平成30年9月21日 (2018. 9. 21)	(72) 発明者	穴戸 英明
(31) 優先権主張番号	特願2009-235287 (P2009-235287)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成21年10月9日 (2009. 10. 9)		半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関	日本国 (JP)	審査官	佐藤 洋允
最終頁に続く			