

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6542947号
(P6542947)

(45) 発行日 令和1年7月10日(2019.7.10)

(24) 登録日 令和1年6月21日(2019.6.21)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368

請求項の数 5 (全 43 頁)

(21) 出願番号	特願2018-82229 (P2018-82229)	(73) 特許権者	000153878
(22) 出願日	平成30年4月23日 (2018.4.23)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-109845 (P2014-109845) の分割	(72) 発明者	久保田 大介
原出願日	平成26年5月28日 (2014.5.28)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2018-112766 (P2018-112766A)		半導体エネルギー研究所内
(43) 公開日	平成30年7月19日 (2018.7.19)	(72) 発明者	窪田 勇介
審査請求日	平成30年5月21日 (2018.5.21)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-118550 (P2013-118550)		半導体エネルギー研究所内
(32) 優先日	平成25年6月5日 (2013.6.5)	審査官	横井 亜矢子
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2013-122849 (P2013-122849)		
(32) 優先日	平成25年6月11日 (2013.6.11)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の基板と、前記第1の基板に対向する第2の基板との間に、画素を有し、
前記画素は、
前記第1の基板上のゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の半導体層及び透明導電層と、
前記半導体層に電氣的に接続されたソース電極及びドレイン電極と、
前記ソース電極上及び前記ドレイン電極上の第1の絶縁層と、
前記第1の絶縁層上の第2の絶縁層と、
前記第2の絶縁層上の、前記ソース電極又は前記ドレイン電極に電氣的に接続された画
素電極と、
前記第2の絶縁層上のスペーサ及び液晶層と、を有し、
前記第1の絶縁層は、開口部を有し、
前記開口部は、前記透明導電層と重なる領域を有し、
前記画素電極は、前記開口部において、前記第2の絶縁層を介して、前記透明導電層と
重なる領域を有し、
前記画素電極は、前記開口部に沿った凹部を有することを特徴とする表示装置。

【請求項2】

第1の基板と、前記第1の基板に対向する第2の基板との間に、第1の画素を有し、

10

20

前記第 1 の画素は、
第 1 の基板上のゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の半導体層及び透明導電層と、
前記半導体層に電氣的に接続されたソース電極及びドレイン電極と、
前記ソース電極上及び前記ドレイン電極上の第 1 の絶縁層と、
前記第 1 の絶縁層上の第 2 の絶縁層と、
前記第 2 の絶縁層上の、前記ソース電極又は前記ドレイン電極に電氣的に接続された画素電極と、

前記第 2 の絶縁層上のスペーサ及び液晶層と、を有し、
前記透明導電層は、容量素子の一方の電極として機能する領域を有し、
前記画素電極は、前記容量素子の他方の電極として機能する領域を有し、
前記第 1 の絶縁層は、開口部を有し、
前記開口部は、前記透明導電層と重なる領域を有し、
前記画素電極は、前記開口部において、前記第 2 の絶縁層を介して、前記透明導電層と重なる領域を有し、
前記画素電極は、前記開口部に沿った凹部を有することを特徴とする表示装置。

【請求項 3】

請求項 2 において、
前記第 1 の画素と隣接する第 2 の画素有し、
前記第 1 の画素の前記容量素子の一方の電極と、前記第 2 の画素の容量素子の一方の電極の各々は、前記第 1 の画素と前記第 2 の画素とにわたって連続した前記透明導電層の一部であることを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記半導体層及び前記透明導電層の各々は、酸化物半導体であることを特徴とする表示装置。

【請求項 5】

第 1 の基板と、前記第 1 の基板に対向する第 2 の基板との間に、画素有し、
前記画素は、
ゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の第 1 の酸化物半導体層及び第 2 の酸化物半導体層と、
前記第 1 の酸化物半導体層に電氣的に接続されたソース電極及びドレイン電極と、
前記ソース電極上及び前記ドレイン電極上の第 1 の無機絶縁層と、
前記第 1 の無機絶縁層上の第 2 の無機絶縁層と、
前記第 2 の無機絶縁層上の、前記ソース電極又は前記ドレイン電極に電氣的に接続された画素電極と、

前記第 2 の無機絶縁層上のスペーサ及び液晶層と、を有し、
前記第 1 の無機絶縁層は、開口部を有し、
前記開口部は、前記第 2 の酸化物半導体層と重なる領域を有し、
前記画素電極は、前記開口部において、前記第 2 の無機絶縁層を介して、前記第 2 の酸化物半導体層と重なる領域を有し、
前記画素電極は、前記開口部に沿った凹部を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書などで開示する発明は表示装置、及び該表示装置を有する電子機器に関する。

【背景技術】

【0002】

10

20

30

40

50

近年、スマートフォンを始めとした携帯情報端末の急速な普及に伴い、端末自体の高性能化も急速に進んでいる。画面は大型化、高精細化の一途を辿り、画面の精細度の向上と合わせて、表示装置の消費電力が重要視されてきている。表示装置としては、例えば液晶素子を用いた液晶表示装置が代表的である。液晶表示装置において、行方向及び列方向に配設された画素内には、スイッチング素子であるトランジスタと、該トランジスタと電氣的に接続された液晶素子と、該液晶素子と並列に接続された容量素子などが設けられている。

【0003】

上記トランジスタの半導体膜を構成する半導体材料としては、アモルファス（非晶質）シリコン又はポリ（多結晶）シリコンなどのシリコン半導体が汎用されている。

10

【0004】

また、半導体特性を示す金属酸化物（以下、酸化物半導体と記す。）は、トランジスタの半導体膜に適用できる半導体材料である。例えば、酸化亜鉛又は In-Ga-Zn 系酸化物半導体を用いて、トランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

表示装置において、画素周辺の段差部等の凹凸が大きいと、液晶層の配向不良が生じやすい。該配向不良は、例えば、トランジスタと接続する走査線及びデータ線と、画素電極の近傍の段差部の辺に沿って発生しやすい。そのため、表示領域として使用できる画素の開口の一部を遮光膜（所謂ブラックマトリクス、BMともいう）で覆う必要がある。そのため、画素の開口率が低減し、画像の表示品位が低下する。

【0007】

上述した配向不良を低減するために、トランジスタ等に起因する段差部等の凹凸は、有機樹脂等によって平坦化处理されることが多い。

30

【0008】

しかしながら、トランジスタを構成する半導体材料として酸化物半導体を用いた場合、有機樹脂に含まれる不純物（代表的には水分など）が、該酸化物半導体に取り込まれると半導体特性に悪影響を与えるため、可能な限り有機樹脂を用いない構成で表示装置を作製したいといった課題があった。

【0009】

また、表示装置を高精細化した場合、1つの画素サイズが小さくなり、多くの画素が表示装置に配置されることになる。高精細化した表示装置において、例えば、液晶素子の配向制御として、ラビング処理による配向制御を行った場合、1つの画素サイズが小さく、複数の画素全ての配向制御を行う必要があるため、配向不良が発生する確率が高くなり表示装置の歩留まりが低下するといった課題がある。

40

【0010】

また、表示装置に容量素子を設けた場合、該容量素子は、一対の電極の間に誘電体膜が設けられており、一対の電極のうち、少なくとも一方の電極は、トランジスタを構成するゲート電極、ソース電極またはドレイン電極などの導電膜で形成されていることが多い。容量素子の容量値を大きくするほど、電界を加えた状況において、液晶素子の液晶分子の配向を一定に保つことができる期間を長くすることができる。静止画を表示させる表示装置において、該期間を長くできることは、画像データを書き換える回数を低減することができ、消費電力の低減が望める。

50

【0011】

容量素子の電荷容量を大きくするためには、容量素子の占有面積を大きくする、具体的には一対の電極が重畳している面積を大きくするという手段がある。しかしながら、上記表示装置において、一対の電極が重畳している面積を大きくするために導電膜の面積を大きくすると、画素の開口率が低減し、画像の表示品位が低下する。また、表示装置を高精細化した場合、1つの画素サイズが小さくなるため、容量素子の面積を大きくするのが困難である。

【0012】

上記課題に鑑み、本発明の一態様は、配向不良が低減された表示装置を提供することを課題の一つとする。また、本発明の一態様は、開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有する表示装置を提供することを課題の一つとする。また、本発明の一態様は、開口率が高く、電荷容量が大きい容量素子を有し、且つ配向不良が低減された表示装置を提供することを課題の一つとする。

10

【課題を解決するための手段】

【0013】

本発明の一態様は、走査線、データ線、及び容量線に区画された領域に画素を有する表示装置であって、画素は、対向電極と画素電極に挟持された液晶層と、液晶層中に形成されたスペーサと、画素電極に接続されたトランジスタと、を有し、画素電極が凹部を有しており、スペーサと凹部によって、液晶層の配向方向が制御されることを特徴とする表示装置である。

20

【0014】

スペーサと凹部によって、液晶層の配向方向が制御されることによって、ラビング処理を行わないで、液晶層の配向を制御することが可能となる。スペーサと凹部が、複数の画素にそれぞれ独立して形成されているため、液晶表示装置を高精細化した場合においても、各画素での液晶層の配向不良を低減することができる。

【0015】

なお、上記凹部は、画素電極を形成する前の下地膜、例えば、絶縁層を開口して該絶縁層の開口に沿って画素電極を形成することによって、画素電極に凹部を形成することができる。

【0016】

なお、本発明の一態様である表示装置を作製する作製方法についても本発明の一態様に含まれる。

30

【発明の効果】

【0017】

本発明の一態様により、配向不良が低減された表示装置を提供することができる。また、開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有する表示装置を提供することができる。また、開口率が高く、電荷容量が大きい容量素子を有し、且つ配向不良が低減された表示装置を提供することができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一態様の表示装置の画素周辺を説明する上面図。

【図2】本発明の一態様の表示装置の画素を説明する断面図。

【図3】本発明の一態様の表示装置の画素を説明する断面図。

【図4】本発明の一態様の表示装置の画素を説明する断面図。

【図5】本発明の一態様の表示装置の作製方法を説明する断面図。

【図6】本発明の一態様の表示装置の作製方法を説明する断面図。

【図7】本発明の一態様の表示装置の作製方法を説明する断面図。

【図8】本発明の一態様の表示装置の作製方法を説明する断面図。

【図9】本発明の一態様の表示装置の画素周辺を説明する上面図。

【図10】本発明の一態様の表示装置の画素周辺を説明する上面図。

40

50

【図 1 1】本発明の一態様の表示装置の画素周辺を説明する上面図。

【図 1 2】表示装置を説明するブロック図及び回路図。

【図 1 3】表示モジュールを説明する図。

【図 1 4】電子機器を説明する図。

【図 1 5】実施例の計算に用いた表示装置の構成を説明する断面図。

【図 1 6】透過率の計算結果を説明する図。

【図 1 7】透過率の計算結果を説明する図。

【図 1 8】トランジスタの一形態を説明する上面図及び断面図。

【図 1 9】トランジスタの一形態を説明する上面図及び断面図。

【図 2 0】本発明の一態様の表示装置の駆動回路の一例を説明する回路部及び上面図。

10

【図 2 1】本発明の一態様の表示装置の駆動回路の一例を説明する断面図。

【図 2 2】実施例の表示装置の表示を説明する図。

【図 2 3】実施例の画素の観察結果を説明する図。

【図 2 4】抵抗率の温度依存性を説明する図。

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0020】

以下に説明する本発明の構成において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0021】

本明細書で説明する各図において、各構成の大きさ、膜の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0022】

本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

30

【0023】

また、本発明における「ソース」及び「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」及び「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0024】

(実施の形態 1)

40

本実施の形態においては、本発明の一態様の表示装置について、図 1 乃至図 1 1 を用いて以下説明を行う。

【0025】

<表示装置の構成例>

図 1 は、表示装置における画素周辺の上面図を示している。なお、図 1 に示す上面図において、図面の煩雑を避けるために、構成要素の一部を省略して図示している。

【0026】

図 1 において、走査線 107、データ線 109、及び容量線 115 に区画された領域に画素 101 を有する。また、走査線 107 は、データ線 109 に略直交する方向（図中左右方向）に延伸して設けられている。データ線 109 は、走査線 107 に略直交する方向

50

(図中上下方向)に延伸して設けられている。容量線１１５は、データ線１０９と略平行方向に延伸して設けられている。

【００２７】

トランジスタ１０３は、走査線１０７と重畳する位置に形成され、走査線１０７とデータ線１０９が交差する領域に設けられている。トランジスタ１０３は、少なくとも、チャネル形成領域を有する半導体層１１１と、ゲート電極と、ゲート絶縁層（図１に図示せず）と、ソース電極と、ドレイン電極と、を含む。

【００２８】

また、走査線１０７は、トランジスタ１０３のゲート電極としても機能し、データ線１０９はトランジスタ１０３のソース電極としても機能する。導電層１１３は、トランジスタ１０３のドレイン電極として機能し、開口１１７を通じて画素電極１２１と電氣的に接続されている。また、以下において、トランジスタ１０３のゲート電極を指し示す場合にも走査線１０７と記載し、トランジスタ１０３のソース電極を指し示す場合にもデータ線１０９と記載する場合がある。

【００２９】

容量素子１０５は、トランジスタ１０３が有する半導体層１１１よりも導電率が高く、且つ透光性を有する半導体層１１９と、透光性を有する画素電極１２１と、誘電体層として、トランジスタ１０３に含まれ、透光性を有する絶縁層（図１に図示せず）とで構成されている。すなわち、容量素子１０５は透光性を有する。また、容量線１１５は、半導体層１１９上に接するように設けられており、容量線１１５と半導体層１１９は電氣的に接続されている。また、半導体層１１９上には開口１４０が形成されている。開口１４０は、半導体層１１９上に設けられた絶縁層（図１に図示せず）を加工することで形成される。また、開口１４０の一部を覆うように画素電極１２１が形成されているため、画素電極１２１が凹部を有する。

【００３０】

また、画素１０１内には、スペーサ１６６が設けられており、スペーサ１６６と上記画素電極１２１の凹部によって液晶層の配向を制御することができる。

【００３１】

また、図１においては、２つ分の画素を例示しており、画素１０１と隣接する画素（図１中の画素１０１の左側の画素）で容量線１１５を共通して用いている。また、容量素子１０５は、画素１０１と隣接する画素で容量線１１５を中心に左右対称に配置されている。このような配置方法とすることによって、容量線１１５の数を減らすことが可能となるため、高精細の表示装置の開口率を向上させることが可能となるため好適である。

【００３２】

ここで、画素１０１の断面形状について、図１に示す一点鎖線Ａ１－Ａ２間における断面図を図２に、一点鎖線Ｂ１－Ｂ２間における断面図を図３に、一点鎖線Ｃ１－Ｃ２間における断面図を図４に、それぞれ示す。

【００３３】

図２に示す表示装置の断面構造は、以下の通りである。

【００３４】

基板１０２上にトランジスタ１０３のゲート電極として機能する走査線１０７が設けられている。走査線１０７上にトランジスタ１０３のゲート絶縁層として機能する絶縁層１２７が設けられている。絶縁層１２７上の走査線１０７と重畳する位置に半導体層１１１が設けられており、半導体層１１１がトランジスタ１０３のチャネル形成領域として機能する。また、絶縁層１２７上には半導体層１１１と同一工程で形成された半導体層１１９が設けられている。また、半導体層１１１及び絶縁層１２７上には、トランジスタ１０３のソース電極として機能するデータ線１０９と、トランジスタ１０３のドレイン電極として機能する導電層１１３が設けられている。また、データ線１０９、半導体層１１１、導電層１１３、半導体層１１９、及び絶縁層１２７上にはトランジスタ１０３の保護絶縁層として機能する絶縁層１２９、１３１が設けられている。また、絶縁層１２９、１３１に

は、半導体層 119 に達する開口 140 が設けられており、絶縁層 129、131 の端部の一部が、半導体層 119 の端部を覆うように形成されている。また、絶縁層 131、半導体層 119 を覆うように絶縁層 133 が形成されている。また、絶縁層 129、131、133 には導電層 113 に達する開口 117 が設けられており、開口 117、及び絶縁層 133 上に画素電極 121 が設けられている。また、絶縁層 133 及び画素電極 121 上に配向膜 135 が設けられている。

【0035】

図 3 に示す表示装置の断面構造は、以下の通りである。

【0036】

基板 102 上に走査線 107 が設けられている。走査線 107 上に絶縁層 127 が設けられている。絶縁層 127 上に半導体層 119 が設けられている。また、絶縁層 127 上の走査線 107 と重畳する位置に導電層 113 が設けられている。また、絶縁層 127、半導体層 119、及び導電層 113 上に絶縁層 129、131 が設けられている。また、絶縁層 129、131 には、半導体層 119 に達する開口 140 が設けられており、絶縁層 129、131 の端部の一部が、半導体層 119 の端部を覆うように形成されている。また、半導体層 119、絶縁層 131、及び開口 140 を覆うように、絶縁層 133 が設けられている。また、絶縁層 133 上に画素電極 121 が設けられている。また、絶縁層 133 及び画素電極 121 上に配向膜 135 が設けられている。

【0037】

図 4 に示す表示装置の断面構造は、以下の通りである。

【0038】

基板 102 上に絶縁層 127 が設けられている。また、絶縁層 127 上に半導体層 119 が設けられている。また、半導体層 119 上に容量線 115 が設けられている。また、容量線 115、半導体層 119 上に絶縁層 133 が設けられている。また、絶縁層 133 上に画素電極 121、121d が設けられている。また、絶縁層 133 及び画素電極 121、121d 上に配向膜 135 が設けられている。

【0039】

なお、画素電極 121d は、画素 101 の隣接する画素（図 1 において、画素 101 の左側の画素）の画素電極として機能する。図 4 に示すように、半導体層 119 は、画素 101 と隣接する画素において、共通して用いることができる。別言すると、半導体層 119 は、少なくとも一部が隣接する画素と連結している。なお、画素 101 と隣接する画素において、半導体層 119 及び開口 140 は共通して用いているが、画素電極 121 と画素電極 121d が分離されているため、画素 101 の隣接する画素においては、半導体層 119 と、絶縁層 133 と、画素電極 121d によって、容量素子 105d が形成されている。

【0040】

また、図 2 乃至図 4 に示す表示装置において、基板 102 と対向して基板 152 が設けられている。基板 102 と基板 152 の間には、液晶層 164 が挟持されている。また、基板 152 の下方には、遮光層 154、有色層 156、絶縁層 158、導電層 160、及び配向膜 162 が形成されている。なお、有色層 156 が形成された領域は、画素 101 における開口となり、表示領域として機能する。

【0041】

また、図 2 乃至図 4 に示す表示装置において、画素電極 121、配向膜 135、液晶層 164、配向膜 162、及び導電層 160 によって、液晶素子 170 が構成されている。別言すると、液晶層 164 は、画素電極 121 と導電層 160 によって挟持されている。なお、導電層 160 は液晶素子 170 の対向電極として機能する。液晶素子 170 は、画素電極 121 及び導電層 160 に電圧を印加することによって、液晶層 164 の光学の変調作用によって、光の透過または非透過が制御される。なお、配向膜 135、162 は、必ずしも設ける必要はなく、液晶層 164 に用いる材料によっては、配向膜 135、162 は設けなくても良い。

【0042】

また、図2乃至図4に示す表示装置において、半導体層119、絶縁層133、及び画素電極121によって容量素子105が形成されている。半導体層119は、容量素子105の一方の電極として機能し、隣接する容量素子の一方の電極と共通して用いることができる。また、画素電極121は、容量素子105の他方の電極として機能し、隣接する容量素子の他方の電極とは、分離して形成されている。

【0043】

また、図2及び図3に示す表示装置において、画素電極121は、開口140が設けられた絶縁層129、131の形状を覆うように絶縁層133上に形成されるため、画素電極121が凹部を有する。

10

【0044】

また、図2及び図3に示す表示装置において、導電層160に接してスペーサ166が形成されている。スペーサ166は、液晶層164の膜厚（セルギャップ）を制御するために設けられ、且つ液晶層164の配向を制御する機能を有する。

【0045】

ここで、液晶層164の配向の制御方法について、図3を用いて説明を行う。

【0046】

図3に示す矢印は、液晶層164が受ける段差部に起因する配向の影響を模式的に表している。具体的には、液晶層164は、スペーサ166に起因する段差、及び画素電極121が有する凹部に起因する段差の影響を受ける。

20

【0047】

このように、本発明の一態様の表示装置は、リブ等の突起物を別途形成せずに、スペーサ166の段差、及び画素電極121が有する凹部の段差を利用して液晶層164の配向の制御を行うことができる。また、スペーサ166及び画素電極121が有する凹部は、表示装置が有する複数の画素にそれぞれ独立して形成されているために、ラビング処理を行わず、各画素それぞれで液晶層164の配向の制御が行われる。よって、配向不良が低減された、優れた表示装置を提供することができる。

【0048】

また、本実施の形態に示す表示装置の画素101は、段差の影響を低減するための平坦化膜を用いていない。したがって、トランジスタの半導体層として、例えば酸化物半導体層を用いた場合においても、該酸化物半導体層に混入しうる不純物（例えば、有機樹脂中に含まれる水など）が低減されているため、信頼性の高い表示装置とすることができる。よって、本発明の一態様の表示装置を用いることにより、配向不良が低減され、且つ信頼性の高いトランジスタが適用されるため、表示品位の高い表示装置とすることができる。

30

【0049】

なお、図1乃至図4に示す本発明の一態様の表示装置のその他の構成要素は、以下に示す表示装置の作製方法において詳細に説明する。

【0050】

<表示装置の作製方法>

図1乃至図4に示す表示装置の作製方法について、図5乃至図7を用いて以下説明を行う。なお、図5乃至図7においては、図2に示す表示装置の断面構造を例に説明する。

40

【0051】

まず、基板102を準備する。基板102としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。量産する上では、基板102は、第8世代（2160mm×2460mm）、第9世代（2400mm×2800mm、または2450mm×3050mm）、第10世代（2950mm×3400mm）等のマザーガラスを用いることが好ましい。マザーガラスは、処理温度が高く、処理時間が長いと大幅に収縮するため、マザーガラスを使用して量産を行う場合、作製工程の加熱処理は、好ましくは600℃以下、さらに好ましくは450℃以下、さらに好ましくは350℃以下とすることが望ましい。

50

【0052】

次に、基板102上に導電層を形成し、該導電層を所望の領域が残るように加工することで、走査線107を形成する。その後、基板102及び走査線107上に絶縁層127を形成する。その後、絶縁層127上に半導体層を形成し、該半導体層を所望の領域が残るように加工することで、半導体層111、119を形成する（図5（A）参照）。

【0053】

走査線107は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、走査線107は、単層構造でも、二層以上の積層構造としてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。また、走査線107は、例えば、スパッタリング法を用いて形成することができる。

【0054】

絶縁層127としては、例えば、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜などを用いればよく、PE-CVD装置を用いて積層または単層で設ける。また、絶縁層127を積層構造とした場合、第1の窒化シリコン膜として、欠陥が少ない窒化シリコン膜とし、第1の窒化シリコン膜上に、第2の窒化シリコン膜として、水素放出量及びアンモニア放出量の少ない窒化シリコン膜を設けると好適である。この結果、絶縁層127に含まれる水素及び窒素が、半導体層111、119へ移動または拡散することを抑制できる。

【0055】

絶縁層127としては、酸化シリコン膜、酸化窒化シリコン膜などを用いればよく、PE-CVD装置を用いて積層または単層で設ける。

【0056】

絶縁層127としては、例えば、厚さ400nmの窒化シリコン膜を形成し、その後、厚さ50nmの酸化窒化シリコン膜を形成する積層構造を用いることができる。該窒化シリコン膜と、該酸化窒化シリコン膜は、真空中で連続して形成すると不純物の混入が抑制され好ましい。なお、走査線107と重畳する位置の絶縁層127は、トランジスタ103のゲート絶縁層として機能する。なお、窒化酸化シリコンとは、窒素の含有量が酸素の含有量より大きい絶縁材料であり、他方、酸化窒化シリコンとは、酸素の含有量が窒素の含有量より大きな絶縁材料のことをいう。

【0057】

絶縁層127は、トランジスタ103のゲート絶縁層として機能する。ゲート絶縁層として、上記のような構成とすることで、例えば以下のような効果を得ることができる。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、同等の静電容量を得るのに必要な膜厚が大きいいため、ゲート絶縁膜を物理的に厚膜化することができる。よって、トランジスタ103の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ103の静電破壊を抑制することができる。

【0058】

半導体層111、119は、酸化物半導体を用いると好ましく、該酸化物半導体としては、少なくともインジウム（In）、亜鉛（Zn）及びM（Mは、Al、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の元素を表す）を含むIn-M-Zn酸化物で表記される膜を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0059】

スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、またはジルコニウム（Zr）等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）等がある。

【0060】

半導体層111、119を構成する酸化物半導体として、例えば、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0061】

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

20

【0062】

半導体層111、119の成膜方法は、スパッタリング法、MBE（Molecular Beam Epitaxy）法、CVD法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。

【0063】

半導体層111、119として、酸化物半導体膜を成膜する際、できる限り膜中に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、成膜室内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40°C 以下、好ましくは -80°C 以下、より好ましくは -100°C 以下、より好ましくは -120°C 以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

30

【0064】

また、成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプは、例えば、水素分子、水（ H_2O ）など水素原子を含む化合物、炭素原子を含む化合物等の排気能力が高いため、クライオポンプを用いて排気した成膜室で成膜した膜中に含まれる不純物の濃度を低減できる。

40

【0065】

また、半導体層111、119として、酸化物半導体膜をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上100%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜される膜を緻密な膜とすることができる。

【0066】

なお、基板102を高温に保持した状態で半導体層111、119として、酸化物半導体膜を形成することも、酸化物半導体膜中に含まれうる不純物濃度を低減するのに有効で

50

ある。基板102を加熱する温度としては、150℃以上450℃以下とすればよく、好ましくは基板温度が200℃以上350℃以下とすればよい。

【0067】

次に、第1の加熱処理を行うことが好ましい。第1の加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、半導体層111、119に用いる酸化物半導体の結晶性を高め、さらに絶縁層127及び半導体層111、119から水素や水などの不純物を除去することができる。なお、半導体層111、119を島状に加工する前に第1の加熱工程を行ってもよい。

10

【0068】

次に、絶縁層127及び半導体層111、119上に導電膜を形成し、該導電膜を所望の領域が残るように加工することで、データ線109、導電層113を形成する。なお、この段階でトランジスタ103が形成される（図5（B）参照）。

【0069】

また、図中において、図示していないが、図1及び図4に示す容量線115は、データ線109及び導電層113の形成時に同時に形成することができる。

【0070】

データ線109、及び導電層113に用いることのできる導電膜の材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いることができる。例えば、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、導電膜は、例えば、スパッタリング法を用いて形成することができる。

20

30

【0071】

次に、絶縁層127、半導体層111、119、データ線109、及び導電層113上に絶縁層129、131を形成する（図5（C）参照）。

【0072】

絶縁層129、131としては、半導体層111として用いる酸化物半導体との界面特性を向上させるため、酸素を含む無機絶縁材料を用いることができる。また、絶縁層129、131としては、例えば、PECVD法を用いて形成することができる。

【0073】

絶縁層129の厚さは、5nm以上150nm以下、好ましくは5nm以上50nm以下、好ましくは10nm以上30nm以下とすることができる。絶縁層131の厚さは、30nm以上500nm以下、好ましくは150nm以上400nm以下とすることができる。

40

【0074】

また、絶縁層129、131は、同種の材料の絶縁膜を用いることができるため、絶縁層129と絶縁層131の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁層129と絶縁層131の界面は、破線で図示している。なお、本実施の形態においては、絶縁層129と絶縁層131の2層構造について、説明したが、これに限定されず、例えば、絶縁層129の単層構造、絶縁層131の単層構造、または3層以上の積層構造としてもよい。

50

【0075】

次に、絶縁層129、131を所望の領域が残るように加工することで、開口140を形成する（図6（A）参照）。

【0076】

なお、開口140は、少なくとも半導体層119が露出するように形成する。本実施の形態においては、開口140によって、半導体層119が露出する。開口140の形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口140の形成方法としては、これに限定されず、ウェットエッチング法、またはドライエッチング法とウェットエッチング法を組み合わせた形成方法としてもよい。

【0077】

例えば、開口140の形成方法として、ドライエッチング法を用い、半導体層119として酸化物半導体膜を用いた場合、該酸化物半導体膜に酸素欠損が形成される場合がある。

【0078】

なお、酸化物半導体膜において酸素欠損を形成する元素を、不純物元素として説明する。不純物元素の代表例としては、水素、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リン、塩素、希ガス元素等がある。希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン及びキセノンがある。

【0079】

次に、絶縁層131、半導体層119、及び開口140を覆うように絶縁層133を形成する。なお、絶縁層133は開口140に沿って凹部を有している（図6（B）参照）。

【0080】

絶縁層133は、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体層へ拡散するのを防ぐ材料で形成される膜であり、更には水素を含む。このため、絶縁層133の水素が半導体層119に拡散すると、半導体層119において水素は酸素と結合する、または水素は酸素欠損と結合しキャリアである電子が生成される。この結果、半導体層119は、導電性が高くなり透光性を有する導電層となる。なお、本実施の形態において、半導体層119の導電性が高くなる前後で、半導体層119のハッチングを変えて図示している。

【0081】

ここで、半導体層119として用いる導電性の高い酸化物半導体膜について、以下説明を行う。

【0082】

<導電性の高い酸化物半導体膜について>

酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。この結果、酸化物半導体は、導電性が高くなり、導電体化する。導電体化された酸化物半導体を酸化物導電体とすることができる。一般に、酸化物半導体は、エネルギーギャップが大きいので、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。したがって、該ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。

【0083】

ここで、酸化物半導体で形成される膜（以下、酸化物半導体膜（OS）という。）及び酸化物導電体で形成される膜（以下、酸化物導電体膜（OC）という。）それぞれにおける、抵抗率の温度依存性について、図24を用いて説明する。図24において、横軸に測定温度を示し、縦軸に抵抗率を示す。また、酸化物半導体膜（OS）の測定結果を丸印で示し、酸化物導電体膜（OC）の測定結果を四角印で示す。

【0084】

なお、酸化物半導体膜（OS）を含む試料は、ガラス基板上に、原子数比がIn：Ga

10

20

30

40

50

：Zn＝1：1：1．2のスパッタリングターゲットを用いたスパッタリング法により厚さ35nmのIn-Ga-Zn酸化物膜を形成し、その上に原子数比がIn：Ga：Zn＝1：4：5のスパッタリングターゲットを用いたスパッタリング法により厚さ20nmのIn-Ga-Zn酸化物膜を形成し、450℃の窒素雰囲気中で加熱処理した後、450℃の窒素及び酸素の混合ガス雰囲気中で加熱処理し、さらに酸化物膜上にプラズマCVD法で酸化窒化シリコン膜を形成して、作製された。

【0085】

また、酸化物導電体膜（OC）を含む試料は、ガラス基板上に、原子数比がIn：Ga：Zn＝1：1：1のスパッタリングターゲットを用いたスパッタリング法により厚さ100nmのIn-Ga-Zn酸化物膜を形成し、450℃の窒素雰囲気中で加熱処理した後、450℃の窒素及び酸素の混合ガス雰囲気中で加熱処理し、酸化物膜上にプラズマCVD法で窒化シリコン膜を形成して、作製された。

10

【0086】

図24からわかるように、酸化物導電体膜（OC）における抵抗率の温度依存性は、酸化物半導体膜（OS）における抵抗率の温度依存性より小さい。代表的には、80K以上290K以下における酸化物導電体膜（OC）の抵抗率の変化率は、±20%未満である。または、150K以上250K以下における抵抗率の変化率は、±10%未満である。即ち、酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体膜を、容量素子の一方の電極に用いることが可能である。

20

【0087】

また、本実施の形態においては、半導体層119に接して形成された絶縁層133から、水素を導入する方法について、例示したがこれに限定されない。例えば、トランジスタ103のチャンネルとして機能する半導体層111上にマスクを設け、該マスクに覆われていない領域に、水素を導入してもよい。例えば、イオンドーピング装置等を用いて、半導体層119に水素を導入することができる。

【0088】

絶縁層133の一例としては、厚さ150nm以上400nm以下の窒化シリコン膜、窒化酸化シリコン膜等を用いることができる。本実施の形態においては、絶縁層133として、厚さ150nmの窒化シリコン膜を用いる。

30

【0089】

また、上記窒化シリコン膜は、ブロック性を高めるために、高温で成膜されることが好ましく、例えば基板温度100℃以上基板の歪み点以下、より好ましくは300℃以上400℃以下の温度で加熱して成膜することが好ましい。また高温で成膜する場合は、半導体層111として用いる酸化物半導体から酸素が脱離し、キャリア濃度が上昇する現象が発生することがあるため、このような現象が発生しない温度とする。

【0090】

次に、絶縁層129、131、133を所望の領域が残るように加工することで、開口117を形成する（図7（A）参照）。

【0091】

開口117は、導電層113が露出するように形成する。なお、開口117の形成方法としては、例えば、ドライエッチング法を用いることができる。ただし、開口117の形成方法としては、これに限定されず、ウェットエッチング法、またはドライエッチング法とウェットエッチング法を組み合わせた形成方法としてもよい。

40

【0092】

次に、開口117を覆うように絶縁層133上に導電層を形成し、該導電層を所望の領域が残るように加工することで画素電極121を形成する。なお、この段階で容量素子105が形成される。なお、画素電極121は、開口140によって形成された絶縁層129及び絶縁層131の凹部に沿って絶縁層133上に形成される。したがって、画素電極121が凹部を有する（図7（B）参照）。

50

【0093】

画素電極121に用いることのできる導電層としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。また、画素電極121に用いることのできる導電層としては、例えば、スパッタリング法を用いて形成することができる。

【0094】

容量素子105の一方の電極は、トランジスタ103に用いる半導体層111と同一表面上に形成された半導体層119であり、半導体層119は、透光性を有する半導体膜である。また、容量素子105の誘電体膜は、トランジスタ103の半導体層111の上方に設けられる透光性を有する絶縁層133である。また、容量素子105の他方の電極は、トランジスタ103と電氣的に接続される透光性を有する画素電極121である。このように、容量素子105は、トランジスタ103と同一表面上、すなわち同一の工程で形成することができる。

10

【0095】

したがって、容量素子105は、透光性を有するため、画素101内のトランジスタ103が形成される箇所以外の領域に大きく（大面積に）形成することができる。したがって、本発明の一態様によって、開口率を高めつつ、電荷容量を増大させた表示装置を得ることができる。また、開口率を高めることによって表示品位の優れた表示装置を得ること

20

【0096】

以上の工程で基板102上のトランジスタ103と、容量素子105が形成できる。

【0097】

次に、基板102に対向して設けられる基板152に形成される構造について、以下説明を行う。

【0098】

まず、基板152を準備する。基板152としては、基板102に示す材料を援用することができる。次に、基板152上に遮光層154、有色層156、及び絶縁層158を形成する（図8（A）参照）。

30

【0099】

遮光層154としては、特定の波長帯域の光を遮光する機能を有していればよく、金属膜または黒色顔料等を含んだ有機絶縁膜などを用いることができる。有色層156としては、特定の波長帯域の光を透過する有色層であればよく、例えば、赤色の波長帯域の光を透過する赤色（R）のカラーフィルタ、緑色の波長帯域の光を透過する緑色（G）のカラーフィルタ、青色の波長帯域の光を透過する青色（B）のカラーフィルタなどを用いることができる。遮光層154及び有色層156としては、様々な材料を用いて、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ所望の位置に形成する。

【0100】

絶縁層158としては、例えば、アクリル系樹脂等の有機絶縁膜を用いることができる。絶縁層158を形成することによって、例えば、有色層156中に含まれる不純物等を液晶層164側に拡散することを抑制することができる。ただし、絶縁層158は、必ずしも形成する必要はなく、絶縁層158を形成しない構造としてもよい。

40

【0101】

次に、絶縁層158上に導電層160を形成する。その後、導電層160上の所望の領域にスペーサ166を形成する（図8（B）参照）。

【0102】

導電層160としては、画素電極121に用いることのできる材料を援用することができる。

50

【0103】

スペーサ166としては、絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、液晶層164の膜厚（セルギャップ）を制御するために設けられている。例えば、スペーサ166として、柱状のスペーサを、円形、楕円形、三角形、四角形、またはそれ以上の多角形で形成すると好ましい。また、スペーサ166としては、例えば、アクリル系樹脂、ポリイミド系樹脂などの有機材料、または酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜などの無機材料を用いて形成することができる。また、スペーサ166の厚さ（高さともいう）は、0.5 μm以上10 μm以下、好ましくは1.0 μm以上4 μm以下である。

10

【0104】

また、本発明の一態様においては、スペーサ166によって、液晶層164の配向方向を制御するために、好ましくは図8に示す断面図において、スペーサ166のテーパ角dは、45°以上90°未満、さらに好ましくは60°以上85°以下である。なお、スペーサ166のテーパ角dが複数有する場合においては、少なくとも1つのテーパ角dが上述した数値の範囲であればよい。

【0105】

以上の工程で基板152上に形成される構造を形成することができる。

【0106】

次に、基板102上に形成された絶縁層133及び画素電極121上に配向膜135を形成する。また、基板152に形成された導電層160及びスペーサ166と接して配向膜162を形成する。配向膜135、162は、塗布法等を用いて形成することができる。その後、基板102と、基板152との間に液晶層164を形成する。液晶層164の形成方法としては、ディスペンサ法（滴下法）や、基板102と基板152とを貼り合わせてから毛細管現象を用いて液晶を注入する注入法を用いることができる。

20

【0107】

以上の工程で、図2に示す表示装置を作製することができる。

【0108】

<変形例>

ここで、図1に示す表示装置の画素周辺の上面図の変形例について、図9乃至図11を用いて説明する。なお、図9乃至図11に示す上面図において、図面の煩雑を避けるために、構成要素の一部を省略して図示している。

30

【0109】

また、図9乃至図11に示す画素周辺の上面図において、図1に示す表示装置と同様の箇所または同様の機能を有する部分については、同様の符号を付し、その詳細の説明は省略する。

【0110】

図9に示す表示装置の画素周辺の上面図において、図1に示す上面図と容量素子、開口及び半導体層の形状が異なる。より具体的には、図9に示す表示装置は、容量素子105aを有する。容量素子105aは、トランジスタ103が有する半導体層111よりも導電率が高く、且つ透光性を有する半導体層119aと、透光性を有する画素電極121と、誘電体層として、トランジスタ103に含まれ、透光性を有する絶縁層（図9に図示せず）とで構成されている。すなわち、容量素子105aは透光性を有する。また、半導体層119a上には開口140aが形成されている。開口140aは、半導体層119a上に設けられた絶縁層（図9に図示せず）を加工することで形成される。また、開口140aの一部を覆うように画素電極121が形成されているため、画素電極121が凹部を有する。

40

【0111】

また、図9においては、2つ分の画素を例示しており、画素101と隣接する画素（図9中の画素101の左側の画素）で容量線115を共通して用いている。また、容量素子

50

105aは、画素101と隣接する画素で容量線115を中心に左右対称に配置されている。なお、図1に示す上面図との違いとして、図9に示す上面図においては、半導体層119a及び開口140aの隣接する画素と連結する領域が画素101の下方に設けられている。

【0112】

図10に示す表示装置の画素周辺の上面図において、図1に示す上面図と容量素子、開口及び半導体層の形状が異なる。より具体的には、図10に示す表示装置は、容量素子105bを有する。容量素子105bは、トランジスタ103が有する半導体層111よりも導電率が高く、且つ透光性を有する半導体層119bと、透光性を有する画素電極121と、誘電体層として、トランジスタ103に含まれ、透光性を有する絶縁層（図10に図示せず）とで構成されている。すなわち、容量素子105bは透光性を有する。また、半導体層119b上には開口140bが形成されている。開口140bは、半導体層119b上に設けられた絶縁層（図10に図示せず）を加工することで形成される。また、開口140bの一部を覆うように画素電極121が形成されているため、画素電極121が凹部を有する。

10

【0113】

また、図10においては、2つ分の画素を例示しており、画素101と隣接する画素（図10中の画素101の左側の画素）で容量線115を共通して用いている。また、容量素子105bは、画素101と隣接する画素で容量線115を中心に左右対称に配置されている。なお、図1に示す上面図との違いとして、図10に示す上面図においては、半導体層119b及び開口140bの隣接する画素と連結する領域が画素101の中央近傍に設けられている。

20

【0114】

図11に示す表示装置の画素周辺の上面図において、図1に示す上面図と容量素子、開口及び半導体層の形状が異なる。より具体的には、図11に示す表示装置は、容量素子105cを有する。容量素子105cは、トランジスタ103が有する半導体層111よりも導電率が高く、且つ透光性を有する半導体層119cと、透光性を有する画素電極121と、誘電体層として、トランジスタ103に含まれ、透光性を有する絶縁層（図11に図示せず）とで構成されている。すなわち、容量素子105cは透光性を有する。また、半導体層119c上には開口140cが形成されている。開口140cは、半導体層119c上に設けられた絶縁層（図11に図示せず）を加工することで形成される。また、開口140cの一部を覆うように画素電極121が形成されているため、画素電極121が凹部を有する。

30

【0115】

また、図11においては、2つ分の画素を例示しており、画素101と隣接する画素（図11中の画素101の左側の画素）で容量線115を共通して用いている。また、容量素子105cは、画素101と隣接する画素で容量線115を中心に左右対称に配置されている。なお、図1に示す上面図との違いとして、図11に示す上面図においては、半導体層119c及び開口140cの隣接する画素と連結する領域が画素101の上方から下方にかけて、分断されることがなく連続して設けられている。

40

【0116】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0117】

（実施の形態2）

本実施の形態では、実施の形態1に示す表示装置のトランジスタ及び容量素子に適用可能な酸化物半導体層の一例について説明する。

【0118】

<酸化物半導体層の結晶性>

【0119】

50

以下では、酸化物半導体層の構造について説明する。

【0120】

酸化物半導体層は、非単結晶酸化物半導体層と単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜、多結晶酸化物半導体層、微結晶酸化物半導体層、非晶質酸化物半導体層などをいう。

【0121】

まずは、C A A C - O S 膜について説明する。

【0122】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体層の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

10

【0123】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0124】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 (断面 T E M 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

20

【0125】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0126】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察 (平面 T E M 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

30

【0127】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0128】

C A A C - O S 膜に対し、X線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の o u t - o f - p l a n e 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

40

【0129】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる i n - p l a n e 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (1 1 0) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体層であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行うと、(1 1 0) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を

50

56°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

【0130】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0131】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0132】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0133】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0134】

CAAC-OS膜は、不純物濃度の低い酸化物半導体層である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体層の主成分以外の元素である。特に、シリコンなどの、酸化物半導体層を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体層から酸素を奪うことで酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体層内部に含まれると、酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体層に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0135】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体層である。

【0136】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0137】

次に、微結晶酸化物半導体層について説明する。

【0138】

微結晶酸化物半導体層は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体層に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体層を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0139】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以

10

20

30

40

50

上 3 nm 以下の領域)において原子配列に周期性を有する。また、nc-O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-O S 膜は、分析方法によっては、非晶質酸化物半導体層と区別が付かない場合がある。例えば、nc-O S 膜に対し、結晶部よりも大きい径の X 線を用いる XRD 装置を用いて構造解析を行うと、out-of-plane 法による解析では、結晶面を示すピークが検出されない。また、nc-O S 膜に対し、結晶部よりも大きい径 (例えば 50 nm 以上) の電子線を用いる電子線回折 (制限視野電子線回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-O S 膜に対し、結晶部の大きさと近い結晶部より小さい径 (例えば 1 nm 以上 30 nm 以下) の電子線を用いる電子線回折 (ナノビーム電子線回折ともいう。)を行うと、スポットが観測される。また、nc-O S 膜に対しナノビーム電子線回折を行うと、円を描くように (リング状に) 輝度の高い領域が観測される場合がある。また、nc-O S 膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

【0140】

nc-O S 膜は、非晶質酸化物半導体層よりも規則性の高い酸化物半導体層である。そのため、nc-O S 膜は、非晶質酸化物半導体層よりも欠陥準位密度が低くなる。ただし、nc-O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-O S 膜は、CAAC-O S 膜と比べて欠陥準位密度が高くなる。

【0141】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、CAAC-O S 膜のうち、二種以上を有する積層膜であってもよい。

20

【0142】

<CAAC-O S 膜の成膜方法>

CAAC-O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a-b 面から劈開し、a-b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状又はペレット状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-O S 膜を成膜することができる。

【0143】

平板状又はペレット状のスパッタリング粒子は、例えば、a-b 面に平行な面の円相当径が 3 nm 以上 10 nm 以下、厚さ (a-b 面に垂直な方向の長さ) が 0.7 nm 以上 1 nm 未満である。なお、平板状又はペレット状のスパッタリング粒子は、a-b 面に平行な面が正三角形または正六角形であってもよい。ここで、面の円相当径とは、面の面積と等しい正円の直径をいう。

30

【0144】

また、CAAC-O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0145】

成膜時の基板温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板温度を 100 °C 以上 740 °C 以下、好ましくは 200 °C 以上 500 °C 以下として成膜する。成膜時の基板温度を高めることで、平板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。このとき、スパッタリング粒子が正に帯電することで、スパッタリング粒子同士が反発しながら基板に付着するため、スパッタリング粒子が偏って不均一に重なることがなく、厚さの均一な CAAC-O S 膜を成膜することができる。

40

【0146】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度 (水素、水、二酸化炭素及び窒素など) を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が

50

− 80℃以下、好ましくは− 100℃以下である成膜ガスを用いる。

【0147】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0148】

または、CAAC-O S膜は、以下の方法により形成する。

【0149】

まず、第1の酸化物半導体層を1nm以上10nm未満の厚さで成膜する。第1の酸化物半導体層はスパッタリング法を用いて成膜する。具体的には、基板温度を100℃以上500℃以下、好ましくは150℃以上450℃以下とし、成膜ガス中の酸素割合を30体積%以上、好ましくは100体積%として成膜する。

10

【0150】

次に、加熱処理を行い、第1の酸化物半導体層を結晶性の高い第1のCAAC-O S膜とする。加熱処理の温度は、350℃以上740℃以下、好ましくは450℃以上650℃以下とする。また、加熱処理の時間は1分以上24時間以下、好ましくは6分以上4時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で加熱処理を行った後、酸化性雰囲気で行う。不活性雰囲気での加熱処理により、第1の酸化物半導体層の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第1の酸化物半導体層に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は1000Pa以下、100Pa以下、10Pa以下または1Pa以下の減圧下で行ってもよい。減圧下では、第1の酸化物半導体層の不純物濃度をさらに短時間で低減することができる。

20

【0151】

第1の酸化物半導体層は、厚さが1nm以上10nm未満であることにより、厚さが10nm以上である場合と比べ、加熱処理によって容易に結晶化させることができる。

【0152】

次に、第1の酸化物半導体層と同じ組成である第2の酸化物半導体層を10nm以上50nm以下の厚さで成膜する。第2の酸化物半導体層はスパッタリング法を用いて成膜する。具体的には、基板温度を100℃以上500℃以下、好ましくは150℃以上450℃以下とし、成膜ガス中の酸素割合を30体積%以上、好ましくは100体積%として成膜する。

30

【0153】

次に、加熱処理を行い、第2の酸化物半導体層を第1のCAAC-O S膜から固相成長させることで、結晶性の高い第2のCAAC-O S膜とする。加熱処理の温度は、350℃以上740℃以下、好ましくは450℃以上650℃以下とする。また、加熱処理の時間は1分以上24時間以下、好ましくは6分以上4時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で行った後、酸化性雰囲気で行う。不活性雰囲気での加熱処理により、第2の酸化物半導体層の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第2の酸化物半導体層に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は1000Pa以下、100Pa以下、10Pa以下または1Pa以下の減圧下で行ってもよい。減圧下では、第2の酸化物半導体層の不純物濃度をさらに短時間で低減することができる。

40

【0154】

以上のようにして、合計の厚さが10nm以上であるCAAC-O S膜を形成することができる。当該CAAC-O S膜を、酸化物積層における酸化物半導体層として好適に用いることができる。

50

【0155】

次に、例えば、基板加熱しないことなどにより被形成面が低温（例えば、130℃未満、100℃未満、70℃未満または室温（20℃乃至25℃）程度）である場合の酸化物膜の形成方法について説明する。

【0156】

被形成面が低温の場合、スパッタ粒子は被成膜面に不規則に降り注ぐ。スパッタ粒子は、例えば、マイグレーションをしないため、既に他のスパッタ粒子が堆積している領域も含め、無秩序に堆積していく。即ち、堆積して得られる酸化物膜は、例えば、厚さが均一でなく、結晶の配向も無秩序になる場合がある。このようにして得られた酸化物膜は、スパッタ粒子の結晶性を、ある程度維持するため、結晶部（ナノ結晶）を有する。

10

【0157】

また、例えば、成膜時の圧力が高い場合、飛翔中のスパッタ粒子は、アルゴンなどの他の粒子（原子、分子、イオン、ラジカルなど）と衝突する頻度が高まる。スパッタ粒子は、飛翔中に他の粒子と衝突する（再スパッタされる）ことで、結晶構造が崩れる場合がある。例えば、スパッタ粒子は、他の粒子と衝突することで、平板状又はペレット状の形状を維持することができず、細分化（例えば各原子に分かれた状態）される場合がある。このとき、スパッタ粒子から分かれた各原子が被形成面に堆積していくことで、非晶質酸化物膜が形成される場合がある。

【0158】

また、出発点に多結晶酸化物を有するターゲットを用いたスパッタリング法ではなく、液体を用いて成膜する方法の場合、またはターゲットなどの固体を気体化することで成膜する方法の場合、各原子に分かれた状態で飛翔して被形成面に堆積するため、非晶質酸化物膜が形成される場合がある。また、例えば、レーザアブレーション法では、ターゲットから放出された原子、分子、イオン、ラジカル、クラスターなどが飛翔して被形成面に堆積するため、非晶質酸化物膜が形成される場合がある。

20

【0159】

本発明の一態様の抵抗素子及びトランジスタに含まれる酸化物半導体層は、上述のいずれの結晶状態の酸化物半導体層を適用してもよい。また、積層構造の酸化物半導体層を含む場合、各酸化物半導体層の結晶状態が異なってもよい。但し、トランジスタのチャネルとして機能する酸化物半導体層には、CAAC-O-S膜を適用することが好ましい。また、抵抗素子に含まれる酸化物半導体層は、トランジスタに含まれる酸化物半導体層よりも不純物濃度が高いため、結晶性が低減する場合がある。

30

【0160】

以上、本実施の形態で示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0161】

(実施の形態3)

本実施の形態では、本発明の一態様の表示装置について、図12を用いて説明を行う。なお、実施の形態1に示す機能と同様の箇所については、同様の符号を付し、その詳細な説明は省略する。

40

【0162】

図12(A)に示す表示装置は、画素の表示素子を有する領域（以下、画素部302という）と、画素部302の外側に配置され、画素を駆動するための回路を有する回路部（以下、駆動回路部304という）と、素子の保護機能を有する回路（以下、保護回路306という）と、端子部307と、を有する。なお、保護回路306は、設けない構成としてもよい。

【0163】

駆動回路部304の一部、または全部は、画素部302と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部304の一部、または全部が、画素部302と同一基板上に形成されていない場合には、駆動回

50

路部 304 の一部、または全部は、COG や TAB によって、実装することができる。

【0164】

画素部 302 は、X 行（X は 2 以上の自然数）Y 列（Y は 2 以上の自然数）のマトリクス状に配置された複数の表示素子を駆動するための回路（以下、画素 101 という）を有し、駆動回路部 304 は、画素を選択する信号（走査信号）を出力する回路（以下、ゲートドライバ 304 a という）、画素の表示素子を駆動するための信号（データ信号）を供給するための回路（以下、ソースドライバ 304 b）などの駆動回路を有する。

【0165】

ゲートドライバ 304 a は、シフトレジスタ等を有する。ゲートドライバ 304 a は、端子部 307 を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ 304 a は、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ 304 a は、走査信号が与えられる配線（以下、走査線 GL₁ 乃至 GL_X という）の電位を制御する機能を有する。なお、ゲートドライバ 304 a を複数設け、複数のゲートドライバ 304 a により、走査線 GL₁ 乃至 GL_X を分割して制御してもよい。または、ゲートドライバ 304 a は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ 304 a は、別の信号を供給することも可能である。

【0166】

ソースドライバ 304 b は、シフトレジスタ等を有する。ソースドライバ 304 b は、端子部 307 を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号（画像信号）が入力される。ソースドライバ 304 b は、画像信号を元に画素 101 に書き込むデータ信号を生成する機能を有する。また、ソースドライバ 304 b は、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ 304 b は、データ信号が与えられる配線（以下、データ線 DL₁ 乃至 DL_Y という）の電位を制御する機能を有する。または、ソースドライバ 304 b は、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ 304 b は、別の信号を供給することも可能である。

【0167】

ソースドライバ 304 b は、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ 304 b は、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。

【0168】

複数の画素 101 のそれぞれは、走査信号が与えられる複数の走査線 GL の一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線 DL の一つを介してデータ信号が入力される。また、複数の画素 101 のそれぞれは、ゲートドライバ 304 a によりデータ信号のデータの書き込み及び保持が制御される。例えば、m 行 n 列目の画素 101 は、走査線 GL_m（m は X 以下の自然数）を介してゲートドライバ 304 a からパルス信号が入力され、走査線 GL_m の電位に応じてデータ線 DL_n（n は Y 以下の自然数）を介してソースドライバ 304 b からデータ信号が入力される。

【0169】

図 12（A）に示す保護回路 306 は、例えば、ゲートドライバ 304 a と画素 101 の間の配線である走査線 GL に接続される。または、保護回路 306 は、ソースドライバ 304 b と画素 101 の間の配線であるデータ線 DL に接続される。または、保護回路 306 は、ゲートドライバ 304 a と端子部 307 との間の配線に接続することができる。または、保護回路 306 は、ソースドライバ 304 b と端子部 307 との間の配線に接続することができる。なお、端子部 307 は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分をいう。

【0170】

保護回路 306 は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該

10

20

30

40

50

配線と別の配線とを導通状態にする回路である。

【0171】

図12(A)に示すように、画素部302と駆動回路部304にそれぞれ保護回路306を設けることにより、ESD(Electro Static Discharge: 静電気放電)などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路306の構成はこれに限定されず、例えば、ゲートドライバ304aに保護回路306を接続した構成、またはソースドライバ304bに保護回路306を接続した構成のみとすることもできる。あるいは、端子部307に保護回路306を接続した構成とすることもできる。

【0172】

また、図12(A)においては、ゲートドライバ304aとソースドライバ304bによって駆動回路部304を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ304aのみを形成し、別途用意されたソースドライバ回路が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を実装する構成としても良い。

【0173】

また、図12(A)に示す複数の画素101は、例えば、図12(B)に示す構成とすることができる。

【0174】

図12(B)に示す画素101は、液晶素子170と、トランジスタ103と、容量素子105と、を有する。なお、液晶素子170、トランジスタ103、及び容量素子105は、実施の形態1に示す図1の構成の表示装置を用いることができる。

【0175】

液晶素子170の一对の電極の一方の電位は、画素101の仕様に応じて適宜設定される。液晶素子170は、書き込まれるデータにより配向状態が設定される。なお、複数の画素101のそれぞれが有する液晶素子170の一对の電極の一方に共通の電位(コモン電位)を与えてもよい。また、各行の画素101の液晶素子170の一对の電極の一方に異なる電位を与えてもよい。

【0176】

例えば、液晶素子170を備える表示装置の駆動方法としては、VA(Vertical Alignment: 垂直配向)モードを用いると好ましい。

【0177】

また、ブルー相(Blue Phase)を示す液晶とカイラル剤とを含む液晶組成物により液晶素子を構成してもよい。ブルー相を示す液晶は、応答速度が1msec以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。

【0178】

m行n列目の画素101において、トランジスタ103のソース及びドレインの一方は、データ線DL_nに電氣的に接続され、他方は液晶素子170の一对の電極の他方に電氣的に接続される。また、トランジスタ103のゲートは、走査線GL_mに電氣的に接続される。トランジスタ103は、オン状態又はオフ状態になることにより、データ信号のデータの書き込みを制御する機能を有する。

【0179】

容量素子105の一对の電極の一方は、電位が供給される配線(以下、電位供給線VL)に電氣的に接続され、他方は、液晶素子170の一对の電極の他方に電氣的に接続される。なお、電位供給線VLの電位の値は、画素101の仕様に応じて適宜設定される。容量素子105は、書き込まれたデータを保持する保持容量としての機能を有する。

【0180】

例えば、図12(A)の画素101を有する表示装置では、ゲートドライバ304aにより各行の画素101を順次選択し、トランジスタ103をオン状態にしてデータ信号のデータを書き込む。

10

20

30

40

50

【0181】

データが書き込まれた画素101は、トランジスタ103がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

【0182】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0183】

(実施の形態4)

本実施の形態では、本発明の一態様の表示装置に用いることのできるトランジスタの構成について、図18及び図19を用いて説明を行う。また、本実施の形態に示すトランジスタは、実施の形態1に示す画素101に用いるトランジスタ、及び実施の形態3に示す駆動回路部304に用いるトランジスタに適用することができる。なお、先の実施の形態に示す機能と同様の箇所については、同様の符号を付し、その詳細な説明は省略する。

10

【0184】

まず、図18に示すトランジスタ250について、以下説明を行う。

【0185】

図18(A)乃至図18(C)に、トランジスタ250の上面図及び断面図を示す。図18(A)はトランジスタ250の上面図であり、図18(B)は、図18(A)の一点鎖線A-B間の断面図であり、図18(C)は、図18(A)の一点鎖線C-D間の断面図である。なお、図18(A)では、明瞭化のため、基板102、トランジスタ250のゲート絶縁層として機能する絶縁層127、絶縁層129、絶縁層133などを省略している。

20

【0186】

図18(A)乃至図18(C)に示すトランジスタ250は、チャンネルエッチ型のトランジスタであり、基板102上に設けられるゲート電極207と、基板102及びゲート電極207上に形成される絶縁層127と、絶縁層127を介して、ゲート電極207と重なる半導体層111と、半導体層111に接する一対の電極209、213とを有する。また、絶縁層127、半導体層111、及び一対の電極209、213上に、絶縁層129、絶縁層131、及び絶縁層133で構成されるゲート絶縁層228と、ゲート絶縁層228上に形成されるゲート電極251とを有する。ゲート電極251は、絶縁層127及びゲート絶縁層228に設けられた開口242においてゲート電極207に接続する。また、一対の電極209、213の一方、ここでは電極213に接続する画素電極121がゲート絶縁層228上に形成される。

30

【0187】

ゲート電極251は、画素電極121と同時に形成される。また、本実施の形態のトランジスタ250としては、画素電極121と同一工程でトランジスタ250の第2のゲート電極として機能するゲート電極251を形成することを特徴とする。

【0188】

また、ゲート電極207は、実施の形態1に示す走査線107と同様の材料及び作製方法で形成することができる。また、開口242は、開口241と同時に形成することができる。開口241は、実施の形態1に示す開口117と同様の作製方法で形成することができる。また、一対の電極209、213は、実施の形態1に示すデータ線109、及び導電層113と同様の材料及び作製方法で形成することができる。

40

【0189】

また、本実施の形態に示すトランジスタ250は、ゲート電極207及びゲート電極251の間に半導体層111が設けられている。また、ゲート電極251は図18(A)に示すように、上面形状において、ゲート絶縁層228を介して半導体層111の側面と重なる。

【0190】

また、絶縁層127及びゲート絶縁層228には複数の開口を有する。代表的には、図

50

18 (B) に示すように、一対の電極 209、213 の一方を露出する開口 241 を有する。また、図 18 (C) に示すように、半導体層 111 の一方の側面の外側においては、絶縁層 127 及びゲート絶縁層 228 に設けられた開口 242 において、ゲート電極 251 はゲート電極 207 と接続する。また、ゲート電極 251 は開口 242 の側面において、半導体層 111 の側面と対向する。また、半導体層 111 の他方の側面の外側においては、ゲート電極 251 はゲート電極 207 と接続しない。また、ゲート電極 251 の両端部は、それぞれ半導体層 111 の両側面の外側に位置する。

【0191】

なお、図 18 (C) に示すように、チャンネル幅方向において、絶縁層 127 及びゲート絶縁層 228 の界面にゲート電極 251 を投影した際の端部と、半導体層 111 の側面との距離 d は、絶縁層 127 の膜厚 t_1 及びゲート絶縁層 228 の膜厚 t_2 の合計膜厚の 1 倍以上 7.5 倍以下とすることが好ましい。距離 d が、絶縁層 127 の膜厚 t_1 及びゲート絶縁層 228 の膜厚 t_2 の合計膜厚の 1 倍以上の場合、ゲート電極 251 の電界が半導体層 111 の側面、または側面及びその近傍を含む端部に影響するため、半導体層 111 の側面または端部における寄生チャンネルの発生を抑制することができる。一方、距離 d が絶縁層 127 の膜厚 t_1 及びゲート絶縁層 228 の膜厚 t_2 の合計膜厚の 7.5 倍以下の場合、トランジスタ 250 の面積を小さくすることができる。

【0192】

また、図 18 に示すトランジスタ 250 は、チャンネル幅方向において、半導体層 111 の一方の側面の外側において、ゲート電極 207 及びゲート電極 251 が接続し、半導体層 111 の他方の側面の外側において、絶縁層 127 及びゲート絶縁層 228 を介して、ゲート電極 207 及びゲート電極 251 が対向する。なお、ゲート電極 207 とゲート電極 251 を接続する構成とすることで、ゲート電極 207 とゲート電極 251 に同電位を与えることができる。ただし、本発明の一態様は、これに限定されず、開口 242 を設けずに、ゲート電極 207 とゲート電極 251 を接続しない構成とすることで、ゲート電極 207 とゲート電極 251 に異なる電位を与えてもよい。

【0193】

次に、図 19 に示すトランジスタ 260 について、以下説明を行う。

【0194】

図 19 (A) 乃至図 19 (C) に、トランジスタ 260 の上面図及び断面図を示す。図 19 (A) はトランジスタ 260 の上面図であり、図 19 (B) は、図 19 (A) の一点鎖線 A-B 間の断面図であり、図 19 (C) は、図 19 (A) の一点鎖線 C-D 間の断面図である。なお、図 19 (A) では、明瞭化のため、基板 102、ゲート絶縁層として機能する絶縁層 127、酸化物絶縁層 229、酸化物絶縁層 231、窒化物絶縁層 233 などを省略している。

【0195】

図 19 (A) 乃至図 19 (C) に示すトランジスタ 260 は、チャンネルエッチ型のトランジスタであり、基板 102 上に設けられるゲート電極 207 と、基板 102 及びゲート電極 207 上に形成される絶縁層 127 と、絶縁層 127 を介して、ゲート電極 207 と重なる半導体層 111 と、半導体層 111 に接する一対の電極 209、213 とを有する。また、絶縁層 127、半導体層 111、及び一対の電極 209、213 上に、酸化物絶縁層 229、酸化物絶縁層 231、及び窒化物絶縁層 233 で構成されるゲート絶縁層 288 と、ゲート絶縁層 288 上に形成されるゲート電極 291 とを有する。ゲート電極 291 は、絶縁層 127 及び窒化物絶縁層 233 に設けられた開口 294 においてゲート電極 207 と接続する。また、一対の電極 209、213 の一方、ここでは電極 213 に接続する電極 292 が、窒化物絶縁層 233 上に形成される。電極 292 は窒化物絶縁層 233 に設けられた開口 293 において、電極 213 と接続する。なお、電極 292 は画素電極として機能する。

【0196】

また、絶縁層 127 は、窒化物絶縁層 215a 及び酸化物絶縁層 215b で形成される

。酸化物絶縁層 215b は、半導体層 111、一対の電極 209、213、及び酸化物絶縁層 231 と重畳する領域に形成される。

【0197】

ゲート電極 207 は、実施の形態 1 に示す走査線 107 と同様の材料及び作製方法で形成することができる。また、窒化物絶縁層 215a として、窒化シリコン膜を用いて形成する。また、酸化物絶縁層 215b は、酸化シリコン膜、酸化窒化シリコン膜などを用いて形成する。また、窒化物絶縁層 215a 及び酸化物絶縁層 215b は、実施の形態 1 に示す絶縁層 127 と同様の形成方法で形成することができる。また、一対の電極 209、213 は、実施の形態 1 に示すデータ線 109、及び導電層 113 と同様の材料及び作製方法で形成することができる。また、酸化物絶縁層 229 は、実施の形態 1 に示す絶縁層 129 と同様の材料及び作製方法を適宜用いて形成することができる。また、酸化物絶縁層 231 は、実施の形態 1 に示す絶縁層 131 と同様の材料及び作製方法を適宜用いて形成することができる。窒化物絶縁層 233 は、実施の形態 1 に示す絶縁層 133 と同様の材料及び作製方法を適宜用いて形成することができる。また、ゲート電極 291 及び電極 292 は、実施の形態 1 に示す画素電極 121 と同様の材料及び作製方法を適宜用いて形成することができる。

10

【0198】

また、酸化物絶縁層 229 及び酸化物絶縁層 231 は、トランジスタごとに分離されており、且つ半導体層 111 と重畳する。具体的には、図 19 (B) に示すチャンネル長方向において、一対の電極 209、213 上に酸化物絶縁層 229 及び酸化物絶縁層 231 の端部が位置し、図 19 (C) に示すチャンネル幅方向において、半導体層 111 の外側に酸化物絶縁層 229 及び酸化物絶縁層 231 の端部が位置する。また、窒化物絶縁層 233 は、酸化物絶縁層 231 及び酸化物絶縁層 229 の上面及び側面を覆うように形成され、窒化物絶縁層 215a と接する。なお、酸化物絶縁層 229 及び酸化物絶縁層 231 の端部は、チャンネル長方向において、一対の電極 209、213 に設けられず、窒化物絶縁層 215a 上に設けられてもよい。

20

【0199】

また、図 19 (C) に示すチャンネル幅方向において、ゲート電極 291 は、酸化物絶縁層 229 及び酸化物絶縁層 231 の側面を介して、半導体層 111 の側面と対向する。

【0200】

本実施の形態に示すトランジスタ 260 は、チャンネル幅方向において、ゲート電極 207 及びゲート電極 291 の間に、絶縁層 127 及びゲート絶縁層 288 を介して半導体層 111 が設けられている。また、ゲート電極 291 は図 19 (A) に示すように、上面形状において、ゲート絶縁層 288 を介して半導体層 111 の側面と重なる。

30

【0201】

図 19 (C) に示すように、半導体層 111 の一方の側面の外側においては、絶縁層 127 及び窒化物絶縁層 233 に設けられた開口 294 において、ゲート電極 291 はゲート電極 207 と接続する。また、ゲート電極 291 は酸化物絶縁層 229、231 の側面において、半導体層 111 の側面と対向する。また、半導体層 111 の他方の側面の外側においては、ゲート電極 291 はゲート電極 207 と接続しない。また、ゲート電極 291 の両端部は、それぞれ半導体層 111 の両側面の外側に位置する。

40

【0202】

なお、トランジスタ 260 は、図 19 (C) に示すようにチャンネル幅方向において、半導体層 111 の一方の側面の外側のみにおいて、ゲート電極 207 及びゲート電極 291 が接続するが、半導体層 111 の両方の側面の外側において、ゲート電極 207 及びゲート電極 291 が接続してもよい。なお、ゲート電極 207 とゲート電極 291 を接続する構成とすることで、ゲート電極 207 とゲート電極 291 に同電位を与えることができる。ただし、本発明の一態様は、これに限定されず、開口 294 を設けずに、ゲート電極 207 とゲート電極 291 を接続しない構成とすることで、ゲート電極 207 とゲート電極 291 に異なる電位を与えてもよい。

50

【0203】

本実施の形態に示すトランジスタ260は、窒化物絶縁層215a及び窒化物絶縁層233が、半導体層111及び酸化物絶縁層231を内側に有しつつ、接している。窒化物絶縁層215a及び窒化物絶縁層233は、酸素の拡散係数が低く、酸素に対するバリア性を有するため、酸化物絶縁層231に含まれる酸素の一部を効率よく半導体層111に移動させることが可能であり、半導体層111の酸素欠損量を減らすことが可能である。また、窒化物絶縁層215a及び窒化物絶縁層233は、水、水素等の拡散係数が低く、水、水素等に対するバリア性を有するため、外部から半導体層111への水、水素等の拡散を防ぐことが可能である。これらの結果、トランジスタ260は、信頼性の高いトランジスタとなる。

10

【0204】

なお、トランジスタ260の作製工程については、以下のとおりである。

【0205】

まず、実施の形態1の図5(C)に示す工程と同様の工程を行う。その後、開口140の形成と同時に、酸化物絶縁層229、231を島状に分離する。その後、窒化物絶縁層233を形成する。その後、窒化物絶縁層233を加工し電極213に達する開口293を形成する。また、開口293と同時に窒化物絶縁層233、絶縁層127を加工しゲート電極207に達する開口294を形成する。その後、窒化物絶縁層233上に導電層を形成し、該導電層を加工することで、ゲート電極291及び、画素電極として機能する電極292を形成する。

20

【0206】

(実施の形態5)

本実施の形態では、実施の形態3に示す表示装置の駆動回路部304の一構成について、図20及び図21を用いて説明する。駆動回路部304は、実施の形態1及び実施の形態4に示すトランジスタを適宜用いて作製することができる。ここでは、駆動回路部304の一例として、ゲートドライバ304aに形成されるバッファを用いて説明する。

【0207】

図20(A)は、バッファ500の回路図である。バッファ500は、トランジスタM1乃至トランジスタM3及び容量素子Cを有する。トランジスタM1は、ゲートが、電位VDDが与えられる配線に接続されている。また、トランジスタM1は、ソース及びドレインの一方が、端子Aに接続されており、ソース及びドレインの他方が、トランジスタM2のゲートに接続されている。トランジスタM2は、ソース及びドレインの一方が、バッファ500の出力端子OUTに接続されており、ソース及びドレインの他方が、信号CLKが入力される配線に接続されている。トランジスタM3は、ゲートが、端子Bに接続されている。また、トランジスタM3は、ソース及びドレインの一方が、電位VSSが与えられる配線に接続されており、ソース及びドレインの他方が、出力端子OUTに接続されている。容量素子Cの一对の電極の一方は、トランジスタM1のソース及びドレインの他方、並びにトランジスタM2のゲートに接続されており、一对の電極の他方は、トランジスタM3のソース及びドレインの他方、並びに出力端子OUTに接続されている。

30

【0208】

本実施の形態に示すバッファにおいては、トランジスタM1乃至M3は、実施の形態1及び実施の形態4に示すトランジスタを適宜用いることができる。

40

【0209】

次に、トランジスタM1及びトランジスタM2の構成について説明する。図20(B)にトランジスタM1及びトランジスタM2の上面図を示す。また、上面図の一点鎖線A1-A2、B1-B2間における断面図を図21(A)に、一点鎖線C1-C2間における断面図を図21(B)に、それぞれ示す。なお、図21(A)において、トランジスタM1及びトランジスタM2のチャンネル方向における断面図を示し、図21(B)において、トランジスタM1のチャンネル幅方向における断面図を示す。

【0210】

50

図 2 1 (A) 及び図 2 1 (B) に示すトランジスタ M 1 の断面構造は、以下の通りである。

【0 2 1 1】

基板 1 0 2 上にトランジスタ M 1 の第 1 のゲート電極として機能する導電層 5 0 7 a が設けられている。導電層 5 0 7 a 上にトランジスタ M 1 のゲート絶縁層として機能する絶縁層 1 2 7 が設けられている。絶縁層 1 2 7 上の導電層 5 0 7 a と重畳する位置に半導体層 5 1 1 a __ 1、5 1 1 a __ 2 が設けられており、半導体層 5 1 1 a __ 1、5 1 1 a __ 2 がトランジスタ M 1 の半導体層として機能する。また、半導体層 5 1 1 a __ 1、5 1 1 a __ 2 及び絶縁層 1 2 7 上には、トランジスタ M 1 のソース電極として機能する導電層 5 0 9 a と、トランジスタ M 1 のドレイン電極として機能する導電層 5 1 3 a が設けられている。また、導電層 5 0 9 a、半導体層 5 1 1 a __ 1、5 1 1 a __ 2、導電層 5 1 3 a、及び絶縁層 1 2 7 上にはトランジスタ M 1 の保護絶縁層として機能する絶縁層 1 2 9、1 3 1 が設けられている。また、絶縁層 1 3 1 上には絶縁層 1 3 3 が形成されており、絶縁層 1 3 3 上にトランジスタ M 1 の第 2 のゲート電極として機能する導電層 5 1 7 a が形成されている。絶縁層 1 2 9、1 3 1、1 3 3 には、導電層 5 1 3 a に達する開口 5 2 3 が設けられている。また、絶縁層 1 2 9、1 3 1 には、絶縁層 1 2 7 に達する開口 5 2 1、5 2 2 が設けられている。また、開口 5 2 1、5 2 2 を覆うように絶縁層 1 3 3 が形成されており、絶縁層 1 2 7 及び絶縁層 1 3 3 には、導電層 5 0 7 a に達する開口 5 2 4 及び、導電層 5 0 7 b に達する開口 5 2 5 が設けられている。絶縁層 1 3 3、開口 5 2 1 及び開口 5 2 4 上に導電層 5 1 7 a が設けられている。すなわち、第 2 のゲート電極として機能する導電層 5 1 7 a は、第 1 のゲート電極として機能する導電層 5 0 7 a と同電位である。また、絶縁層 1 3 3、開口 5 2 2、開口 5 2 3、及び開口 5 2 5 上に導電層 5 1 9 が設けられている。すなわち、トランジスタ M 1 のドレイン電極として機能する導電層 5 1 3 a と、トランジスタ M 2 の第 1 のゲート電極として機能する導電層 5 0 7 b が導電層 5 1 9 により接続されている。

【0 2 1 2】

図 2 1 (B) はトランジスタ M 1 のチャネル幅方向の断面図である。本実施の形態においては、トランジスタ M 1 は実施の形態 4 に示すトランジスタ 2 5 0 を用いて形成しており、半導体層 5 1 1 a __ 1 の端部より外側に、ゲート電極として機能する導電層 5 1 7 a の端部が位置する。

【0 2 1 3】

また、基板 1 0 2 上にトランジスタ M 2 の第 1 のゲート電極として機能する導電層 5 0 7 b が設けられている。導電層 5 0 7 b 上にトランジスタ M 2 のゲート絶縁層として機能する絶縁層 1 2 7 が設けられている。絶縁層 1 2 7 の導電層 5 0 7 b と重畳する位置に半導体層 5 1 1 b が設けられており、半導体層 5 1 1 b がトランジスタ M 2 の半導体層として機能する。また、半導体層 5 1 1 b 及び絶縁層 1 2 7 上には、トランジスタ M 2 のソース電極として機能する導電層 5 0 9 b と、トランジスタ M 2 のドレイン電極として機能する導電層 5 1 3 b が設けられている。また、導電層 5 0 9 b、半導体層 5 1 1 b、導電層 5 1 3 b、及び絶縁層 1 2 7 上にはトランジスタ M 2 の保護絶縁層として機能する絶縁層 1 2 9、1 3 1 が設けられている。また、絶縁層 1 3 1 上には絶縁層 1 3 3 が形成されており、絶縁層 1 3 3 上にトランジスタ M 2 の第 2 のゲート電極として機能する導電層 5 1 7 b が設けられている。なお、図示しないが、絶縁層 1 2 7、絶縁層 1 2 9、絶縁層 1 3 1、及び絶縁層 1 3 3 に設けられた開口において、導電層 5 0 7 b 及び導電層 5 1 7 b が接続する。すなわち、第 2 のゲート電極として機能する導電層 5 1 7 b は、第 1 のゲート電極として機能する導電層 5 0 7 b と同電位である。

【0 2 1 4】

次に、トランジスタ M 1 及びトランジスタ M 2 の作製方法について、実施の形態 1 に示す図 5 乃至図 7、及び図 2 1 を用いて説明する。

【0 2 1 5】

図 5 (A) に示す走査線 1 0 7 と同じ工程により、基板 1 0 2 上に導電層 5 0 7 a、5

10

20

30

40

50

07bを形成する。次に、絶縁層127を形成する。次に、図5(A)に示す半導体層111、119と同じ工程により、半導体層511a__1、511a__2、511bを形成する。

【0216】

次に、図5(B)に示すデータ線109及び導電層113と同じ工程により、絶縁層127及び半導体層511a__1、511a__2、511b上に、導電層509a、513a、509b、513bを形成する。

【0217】

次に、図5(C)に示すように、絶縁層129及び絶縁層131を形成する。

【0218】

次に、図6(A)に示す開口140と同じ工程により、開口521及び開口522を形成する。

【0219】

次に、図6(B)に示すように、絶縁層133を形成する。

【0220】

次に、図7(A)に示す開口117と同じ工程により、開口523、開口524、及び開口525を形成する。

【0221】

次に、図7(B)に示す画素電極121と同じ工程により、導電層517a、導電層517b、及び導電層519を形成する。

【0222】

以上の工程により、トランジスタM1及びトランジスタM2を作製することができる。

【0223】

トランジスタM1乃至M3を、実施の形態4に示すような、半導体層を間に挟んで重なり合った一対のゲート電極を有し、かつ一対のゲート電極が同電位であるトランジスタを用いて作製することで、各トランジスタに含まれる半導体層においてチャネル形成領域が増え、トランジスタM1乃至M3のドレイン電流の増加を実現することができる。よって、オン電流の低下を抑えつつトランジスタM1乃至M3のサイズを小さく抑えることができるので、バッファ500、延いてはバッファ500を用いた駆動回路の面積を小さく抑えることができる。特に、バッファ500の出力側に設けられたトランジスタM2には、トランジスタM1よりも大きな電流供給能力が求められるため、トランジスタM2が上述したような一対のゲート電極を有することで、トランジスタM1に同じ構成を適用させた場合に比べて、バッファ500または駆動回路の面積を小さく抑える効果は大きいと言える。

【0224】

(実施の形態6)

本実施の形態では、本発明の一態様の表示装置を用いることのできる表示モジュール及び電子機器について、図13及び図14を用いて説明を行う。

【0225】

図13に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続された表示パネル8006、バックライト8007、フレーム8009、プリント基板8010、バッテリー8011を有する。

【0226】

本発明の一態様の表示装置は、例えば、表示パネル8006に用いることができる。

【0227】

上部カバー8001及び下部カバー8002は、タッチパネル8004及び表示パネル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0228】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル

10

20

30

40

50

8006に重畳して用いることができる。また、表示パネル8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

【0229】

バックライト8007は、光源8008を有する。光源8008は、バックライト8007の端部に設け、光拡散板を用いる構成としてもよい。

【0230】

フレーム8009は、表示パネル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム8009は、放熱板としての機能を有していてもよい。

【0231】

プリント基板8010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー8011による電源であってもよい。バッテリー8011は、商用電源を用いる場合には、省略可能である。

【0232】

また、表示モジュール8000は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0233】

図14（A）乃至図14（H）は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005（電源スイッチ、又は操作スイッチを含む）、接続端子5006、センサ5007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン5008、等を有することができる。

【0234】

図14（A）はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図14（B）は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD再生装置）であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図14（C）はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図14（D）は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図14（E）はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ5014、シャッターボタン5015、受像部5016、等を有することができる。図14（F）は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図14（G）はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図14（H）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。

【0235】

図14（A）乃至図14（H）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報

10

20

30

40

50

を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図14（A）乃至図14（H）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

【0236】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

10

【0237】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【実施例1】

【0238】

本実施例においては、本発明の一態様である表示装置の透過率について、計算を行った。図15を用いて本実施例の計算で用いた表示装置の構成について、以下説明を行う。

【0239】

図15に示す計算に用いた表示装置は、基板402と、基板402上の導電層407、419と、基板402及び導電層407、419上の絶縁層431と、絶縁層431上のスペーサ466と、絶縁層431上の電極421と、スペーサ466上の電極460と、電極460上の基板452と、電極421と電極460に挟持された液晶層464と、を有する構成である。

20

【0240】

また、電極421は、絶縁層431に形成された凹部に沿って配置されている。したがって、電極421は凹部を有する。また、スペーサ466の端部の一方をX点として、電極421が有する凹部の端部の一方をY点として、それぞれ表している。

【0241】

なお、図15に示す計算に用いた表示装置の構成は、図3に示す本発明の一態様の表示装置を簡易的にして、簡便に計算を行うために用いた構成である。具体的には、基板402は図3に示すトランジスタ103が形成される基板102に相当し、導電層407は図3に示す走査線107に相当し、導電層419は図3に示す半導体層119に相当し、絶縁層431は図3に示す絶縁層131に相当し、スペーサ466は図3に示すスペーサ166に相当し、電極421は図3に示す画素電極121に相当し、電極460は図3に示す導電層160に相当し、基板452は図3に示す基板152に相当し、液晶層464は図3に示す液晶層164に相当する。

30

【0242】

また、図15中に示す0、10、20、30、40、及び49.5（ μm ）は上記計算で用いた構成の横方向の距離を表している。また、図15中に示す0.0、0.5、1.0、1.5、2.0、2.5、3.0、3.5、及び4.0（ μm ）は上記計算で用いた構成の縦方向の距離を表している。具体的には、絶縁層431に形成された凹部の深さ（縦方向の距離）を0.5 μm とし、該凹部のテーパ角を15°とし、電極421、460の膜厚を0.1 μm とした。

40

【0243】

また、図15に示す計算に用いた表示装置の構成の画素数を326 p p i、353 p p i、及び513 p p iの3つの解像度で計算を行った。なお、画素数326 p p iの場合、図15中に示す表示装置の構成の横方向の距離を78 μm とし、画素数353 p p iの場合、図15中に示す表示装置の構成の横方向の距離を72 μm とし、画素数513 p p iの場合、図15中に示す表示装置の構成の横方向の距離を49.5 μm とした。

【0244】

50

また、図15に示す導電層及び電極に印加する電圧を以下のように設定した。
(導電層407: -9V、導電層419: 0V、電極421: 5V、電極460: 0V)
また、液晶層464は、MLC2039(メルク社製)の液晶材料を仮定した。

【0245】

上記条件において、液晶層464の時間経過に伴う透過率の計算を行った。なお、用いた計算ソフトとしては、LCD Master(Shintech社製)を用いた。

【0246】

図16に透過率の計算結果を示す。図16において、横軸が時間(ms)を、縦軸が規格化透過率(%)を、それぞれ表している。

【0247】

図16に示す計算結果より、図15に示す表示装置の構成において、画素数の解像度が高い方が規格化透過率の立ち上がり時間が早いことが分かる。これは、図15に示す表示装置の構成においては、解像度が高いほど液晶層464の応答速度が速くなる結果を示唆している。

【0248】

次に、図15に示す計算に用いた表示装置の構成の時間経過に伴う液晶層の透過率の変化を計算した。なお、画素数を513ppi(横方向の距離を49.5 μ m)とし、0、5、10、15、20、25、及び30msの時間経過の際の液晶層464の透過率を計算した。なお、その他の計算に用いた条件は、上述した条件と同様とした。

【0249】

透過率の計算結果を図17に示す。図17において、横軸が距離(μ m)を、縦軸が透過率(%)を、それぞれ表している。また、図17において、図15に示すX点及びY点に相当する箇所に、X点及びY点を付している。

【0250】

図17に示す計算結果より、X点(スペーサ466の端部)と、Y点(電極421が有する凹部の端部)の2点を始点として、時間経過に伴い画素中央部に向けて透過率の変化が進行することが確認できる。このようにX点、Y点の2点が配向制御の起点となることから、X-Y間の距離が短いほど、応答速度が速くなる結果を示唆している。すなわち、表示装置の解像度が高くなるほど、本発明の一態様の表示装置の構成は優れた効果を奏する。

【0251】

本実施例に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【実施例2】

【0252】

本実施例においては、本発明の一態様である表示装置を作製し評価を行った。本実施例で作製した表示装置の一態様について、以下説明を行う。

【0253】

まず、本実施例で作製した表示装置の仕様を表1に示す。

【0254】

【表 1】

バックプレーン	CAAC-IGZO
パネルサイズ	4.3inch
有効画素数	1080×RGB(H)×1920(V):FHD
画素サイズ	16.5 μ m(H)×49.5 μ m(V)
パネル外寸	55.46mm(H)×137.96mm(V)
表示領域	53.46mm(H)×95.04mm(V)
解像度	513ppi
マスク枚数	6枚(CE型トランジスタ)
LCD	縦電界液晶
カラー化方式	CF方式
開口率	50.3%
駆動周波数	60Hz
映像信号形式	アナログ線順次
Gate Driver	内蔵(ドライバ幅:0.72mm) (額縁幅:1.0mm)
Sorce Driver	COF (額縁幅:4.3mm)

10

【0255】

表1に示す通り、バックプレーンとしては、CAAC-IGZOを用いた。パネルサイズは4.3inchとした。また、有効画素数は1080×RGB(H)×1920(V)のFHD(Full High Definition)とした。また、画素サイズは、16.5 μ m(H)×49.5 μ m(V)とした。パネル外寸としては、55.46mm(H)×137.96mm(V)とした。また、表示領域は、53.46mm(H)×95.04mm(V)とした。また、解像度は513ppiとした。また、マスク枚数は6枚マスクでCE(チャネルエッチ)型のトランジスタを用いた。また、LCDとしては、縦電界液晶を用いた。また、カラー化方式としては、CF(カラーフィルタ)方式を用いた。また、開口率は50.3%とした。また、駆動周波数は60Hzとした。また、映像信号形式としては、アナログ線順次を用いた。また、Gate Driverは内蔵とし、ドライバ幅が0.72mm、額縁幅が1.0mmとした。また、Source Driverは、COF(Chip On Film)を用い、その額縁幅は4.3mmとした。

20

30

【0256】

なお、画素の構成としては、図1に示す上面図及び図2乃至図4に示す断面図と同様の構成を用いた。

【0257】

図22に本実施例で作製した本発明の一態様の表示装置の表示結果を示す。図22に示すように、本発明の一態様の表示装置は、優れた表示であることが確認できた。

【0258】

次に、図22に示す表示装置と同一構成のTEG(Test Element Group)基板を用いて画素部における液晶の配向状態の観察を行った。なお、上記TEG基板は、画素部における液晶の配向状態の観察が行いやすいように、BM(ブラックマトリクス)、及びCF(カラーフィルタ)は未形成である。

40

【0259】

なお、液晶の配向状態の観察には、偏光顕微鏡クロスニコルで観察し、反射像と透過像の観察を行った。

【0260】

図23に液晶の配向状態の観察結果を示す。なお、図23(A)は反射像の液晶の配向状態の観察結果であり、図23(B)は透過像の液晶の配向状態の観察結果である。

【0261】

50

図 2 3 (A)、(B) に示すように、配向欠陥がなく良好な配向状態であることが確認できた。

【0 2 6 2】

以上のように、本実施例では、4.3 inch、6 枚のマスク数、高精細の解像度 (513 p p i) の F H D の液晶を用いた表示装置を作製することが確認できた。

【符号の説明】

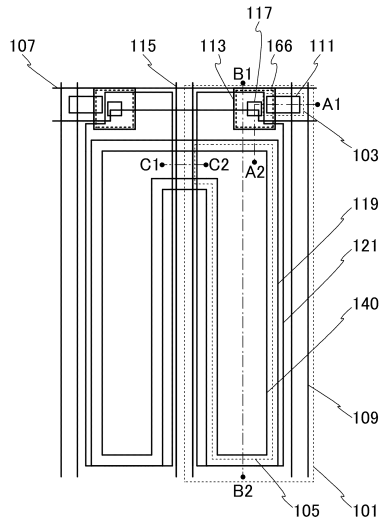
【0 2 6 3】

1 0 1	画素	
1 0 2	基板	
1 0 3	トランジスタ	10
1 0 5	容量素子	
1 0 5 a	容量素子	
1 0 5 b	容量素子	
1 0 5 c	容量素子	
1 0 5 d	容量素子	
1 0 7	走査線	
1 0 9	データ線	
1 1 1	半導体層	
1 1 3	導電層	
1 1 5	容量線	20
1 1 7	開口	
1 1 9	半導体層	
1 1 9 a	半導体層	
1 1 9 b	半導体層	
1 1 9 c	半導体層	
1 2 1	画素電極	
1 2 1 d	画素電極	
1 2 7	絶縁層	
1 2 9	絶縁層	
1 3 1	絶縁層	30
1 3 3	絶縁層	
1 3 5	配向膜	
1 4 0	開口	
1 4 0 a	開口	
1 4 0 b	開口	
1 4 0 c	開口	
1 5 2	基板	
1 5 4	遮光層	
1 5 6	有色層	
1 5 8	絶縁層	40
1 6 0	導電層	
1 6 2	配向膜	
1 6 4	液晶層	
1 6 6	スペーサ	
1 7 0	液晶素子	
2 0 7	ゲート電極	
2 0 9	電極	
2 1 3	電極	
2 1 5 a	窒化物絶縁層	
2 1 5 b	酸化物絶縁層	50

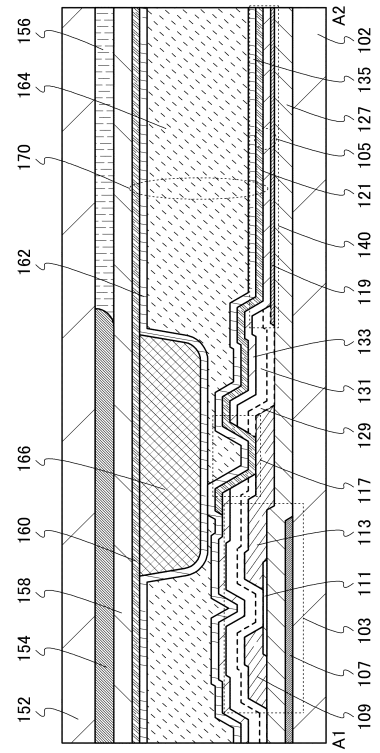
2 2 8	ゲート絶縁層	
2 2 9	酸化物絶縁層	
2 3 1	酸化物絶縁層	
2 3 3	窒化物絶縁層	
2 4 1	開口	
2 4 2	開口	
2 5 0	トランジスタ	
2 5 1	ゲート電極	
2 6 0	トランジスタ	
2 8 8	ゲート絶縁層	10
2 9 1	ゲート電極	
2 9 2	電極	
2 9 3	開口	
2 9 4	開口	
3 0 2	画素部	
3 0 4	駆動回路部	
3 0 4 a	ゲートドライバ	
3 0 4 b	ソースドライバ	
3 0 6	保護回路	
3 0 7	端子部	20
4 0 2	基板	
4 0 7	導電層	
4 1 9	導電層	
4 2 1	電極	
4 3 1	絶縁層	
4 5 2	基板	
4 6 0	電極	
4 6 4	液晶層	
4 6 6	スペーサ	
5 0 0	バッファ	30
5 0 7 a	導電層	
5 0 7 b	導電層	
5 0 9 a	導電層	
5 0 9 b	導電層	
5 1 1 a__1	半導体層	
5 1 1 a__2	半導体層	
5 1 1 b	半導体層	
5 1 3 a	導電層	
5 1 3 b	導電層	
5 1 7 a	導電層	40
5 1 7 b	導電層	
5 1 9	導電層	
5 2 1	開口	
5 2 2	開口	
5 2 3	開口	
5 2 4	開口	
5 2 5	開口	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	50

5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	10
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	20
8 0 0 5	F P C	
8 0 0 6	表示パネル	
8 0 0 7	バックライト	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

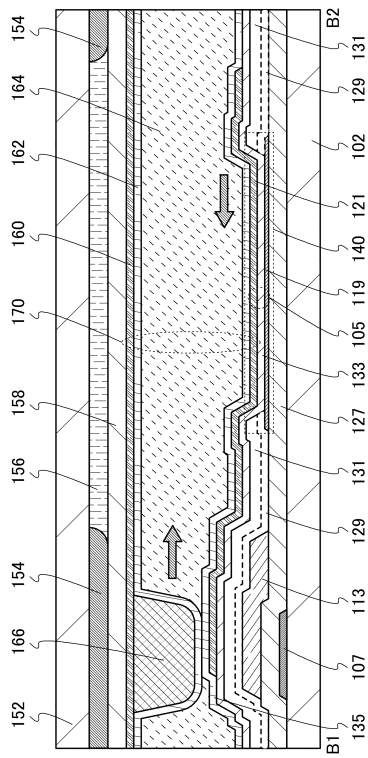
【図 1】



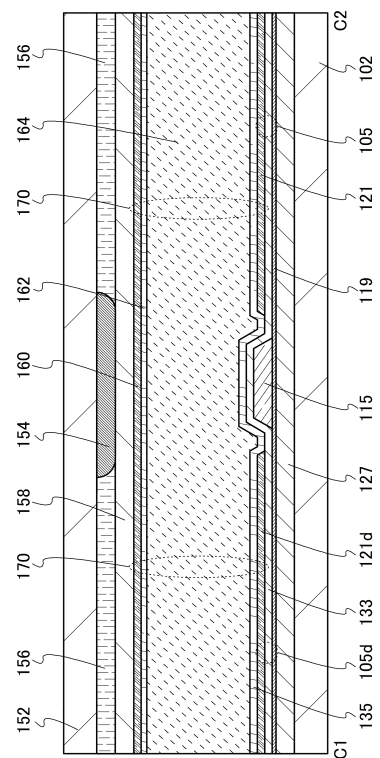
【図 2】



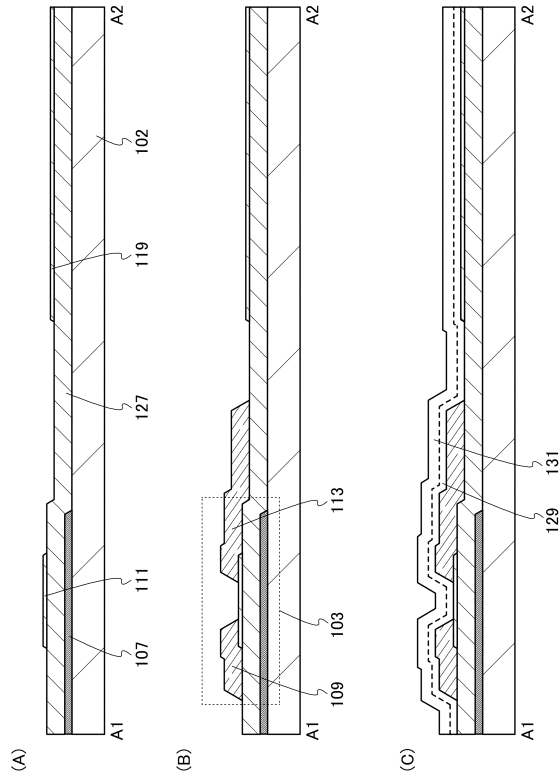
【図 3】



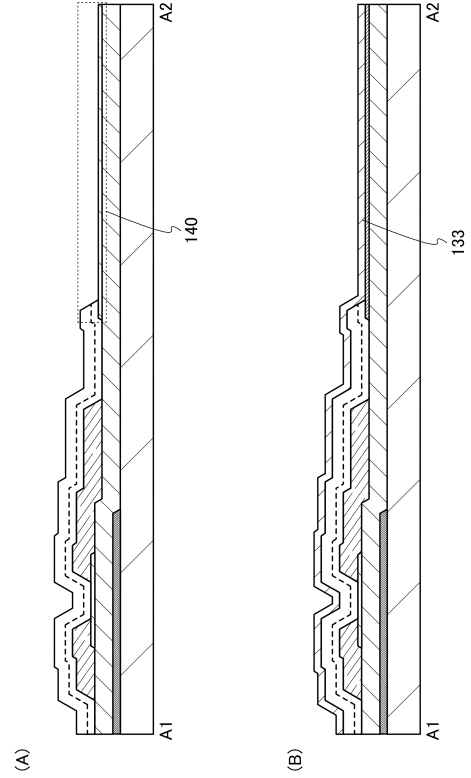
【図 4】



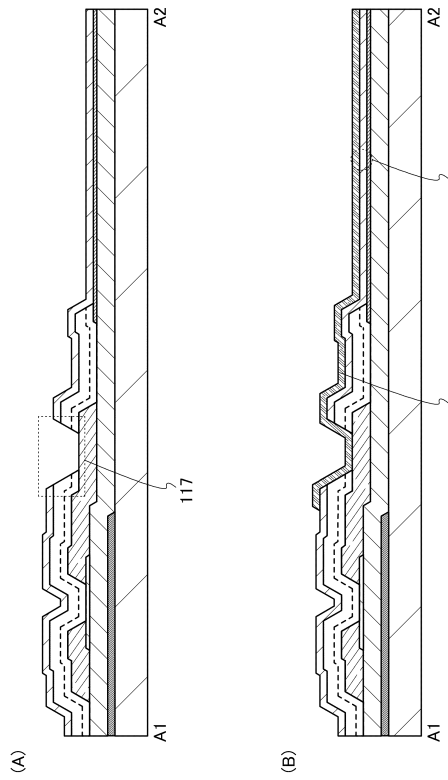
【図 5】



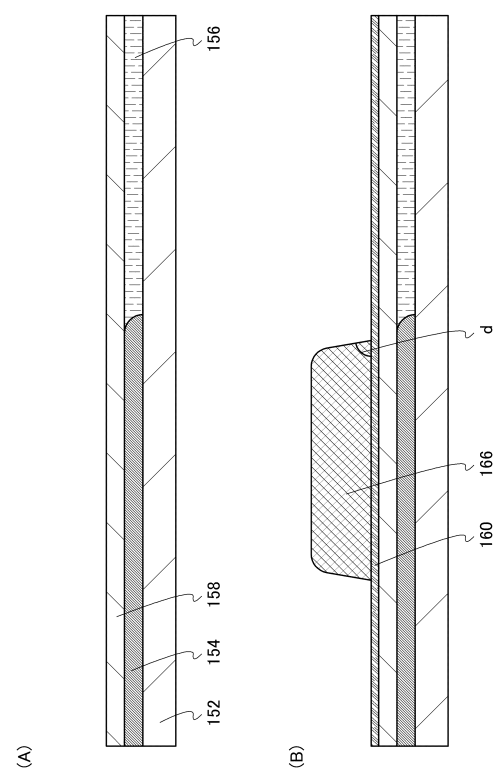
【図 6】



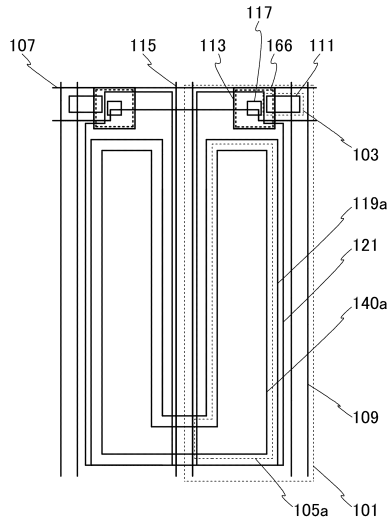
【図 7】



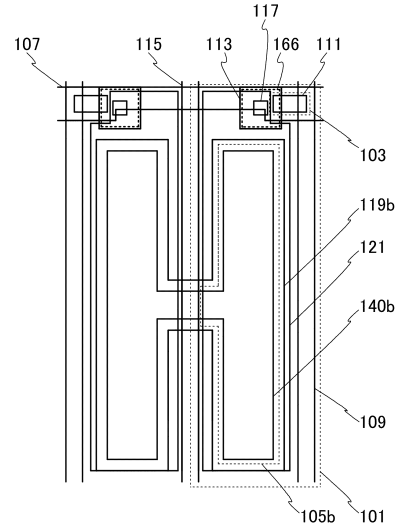
【図 8】



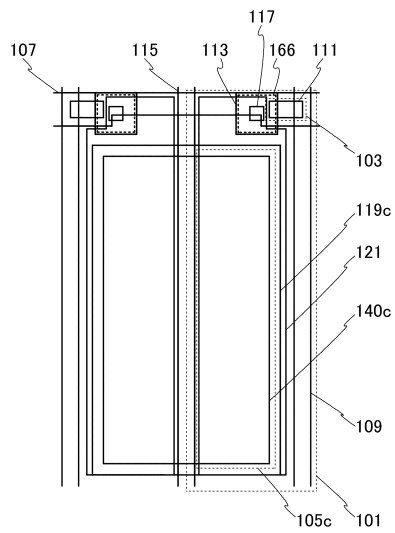
【図 9】



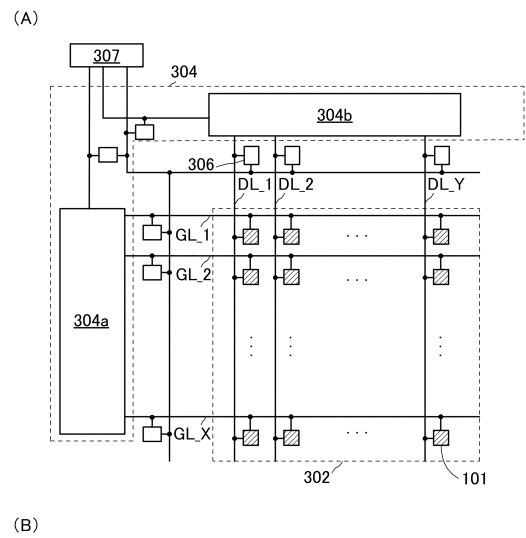
【図 10】



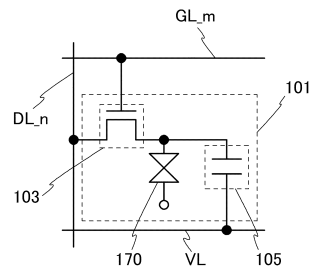
【図 11】



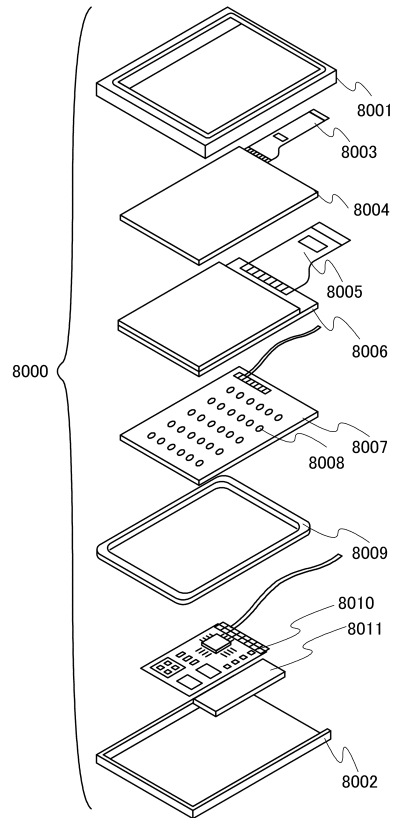
【図 12】



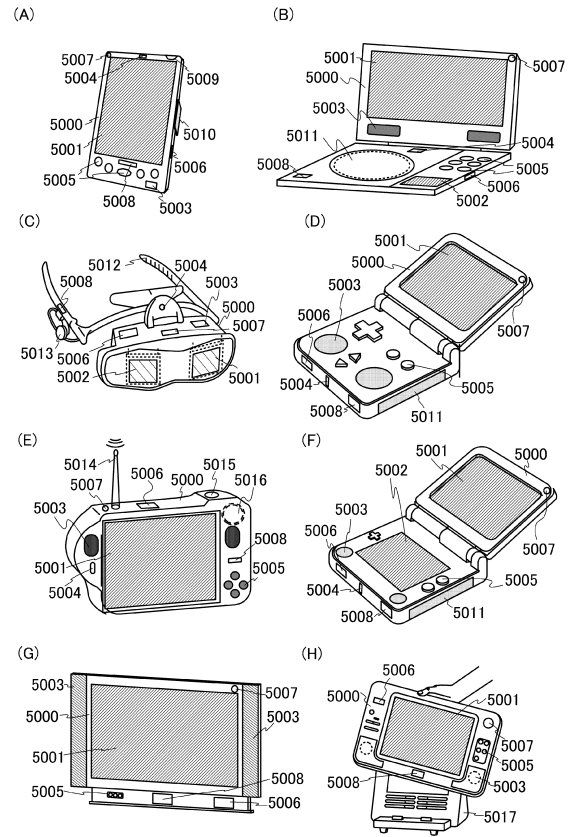
(B)



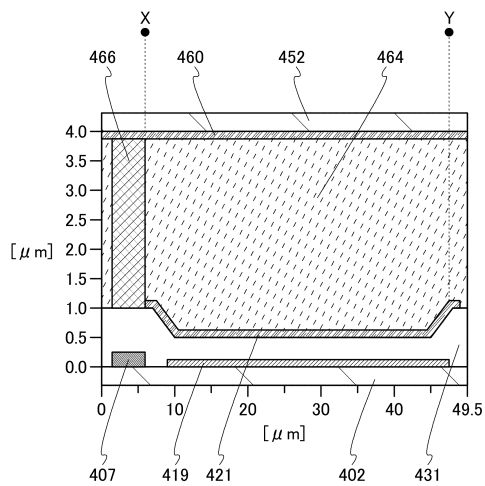
【図 13】



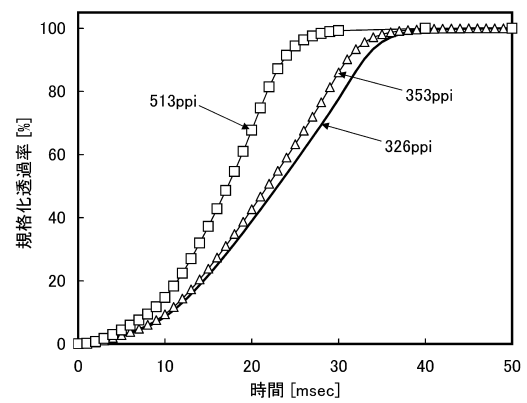
【図 14】



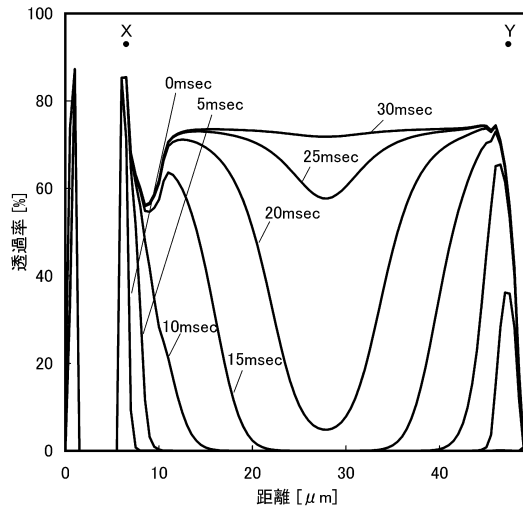
【図 15】



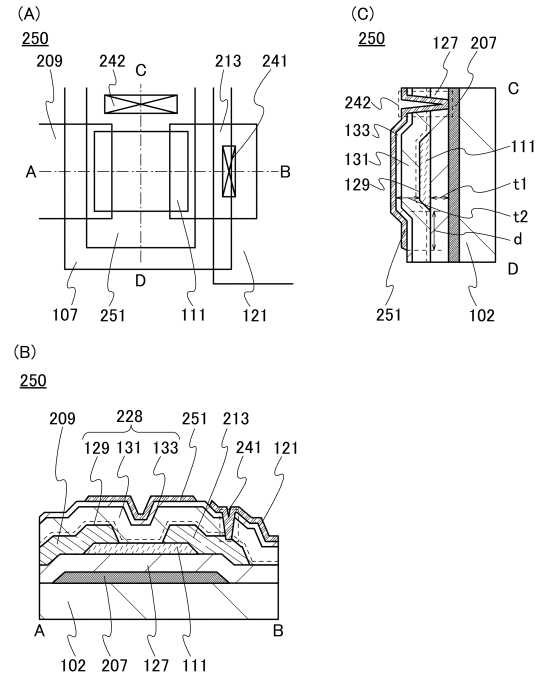
【図 16】



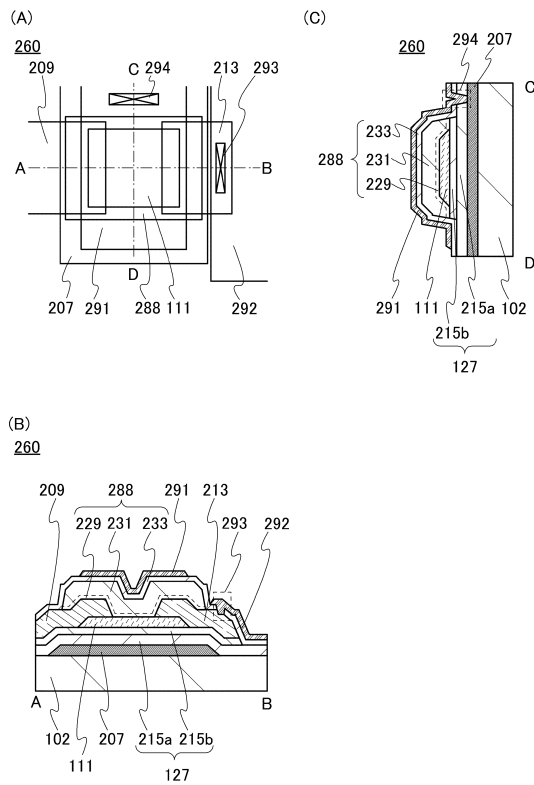
【図 17】



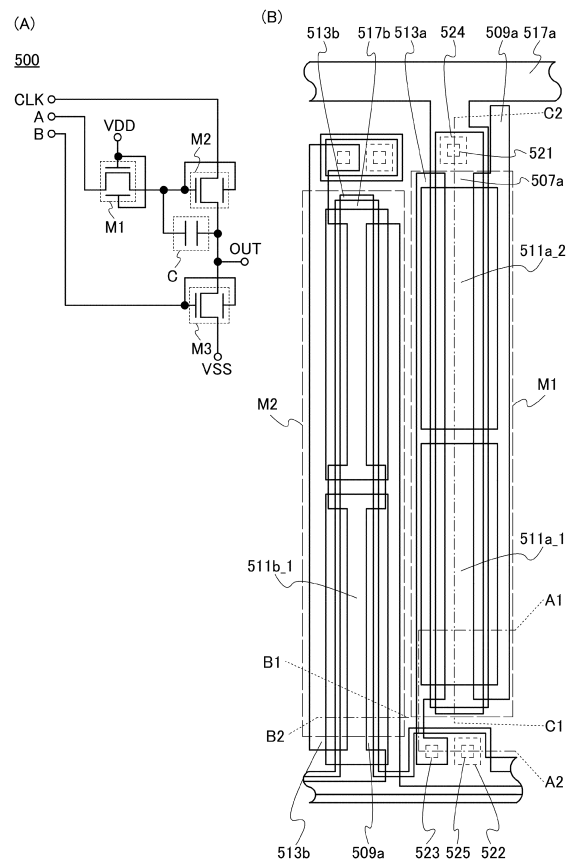
【図 18】



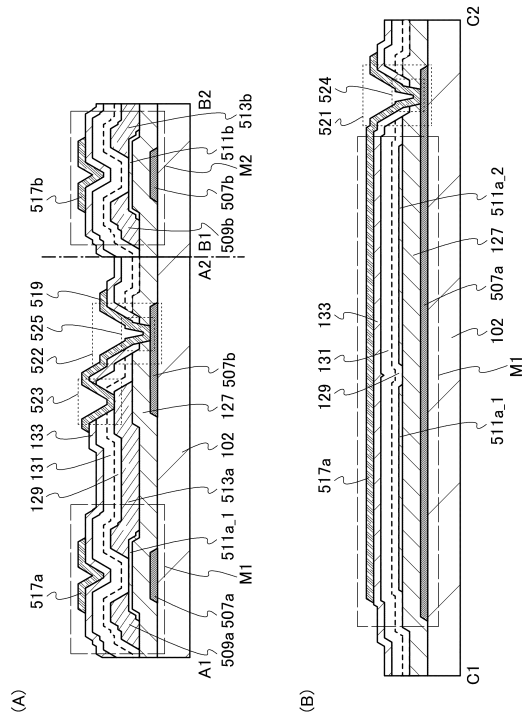
【図 19】



【図 20】



【図 2 1】

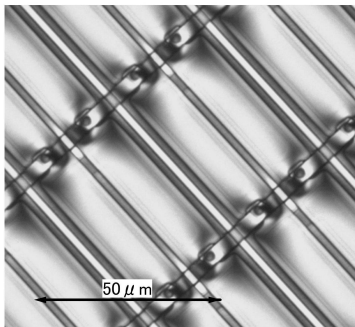


【図 2 2】

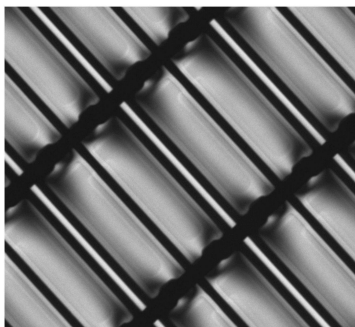


【図 2 3】

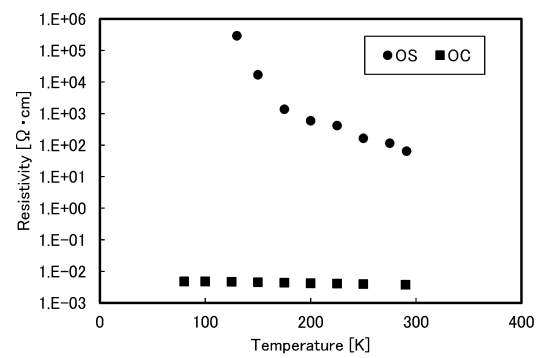
(A)



(B)



【図 2 4】



フロントページの続き

(31)優先権主張番号 特願2014-37205(P2014-37205)

(32)優先日 平成26年2月27日(2014.2.27)

(33)優先権主張国 日本国(JP)

(56)参考文献 国際公開第2011/070981(WO, A1)

特開2012-083738(JP, A)

国際公開第2013/021607(WO, A1)

米国特許出願公開第2009/0141203(US, A1)

特開2000-323698(JP, A)

特開2002-277899(JP, A)

特開2010-085577(JP, A)

特開2012-226385(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/136-1/1368, 1/1343-1/1345

G02F 1/1337

Japio-GPG/FX

专利名称(译)	表示装置		
公开(公告)号	JP6542947B2	公开(公告)日	2019-07-10
申请号	JP2018082229	申请日	2018-04-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	久保田 大介 窪田 勇介		
发明人	久保田 大介 窪田 勇介		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/133707 G02F1/13394 G02F1/136213		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337		
F-TERM分类号	2H192/AA24 2H192/BA22 2H192/CB05 2H192/CB37 2H192/DA15 2H192/DA24 2H192/DA44 2H192/DA52 2H192/DA62 2H192/EA22 2H192/EA43 2H192/GD23 2H290/BB12 2H290/BB19 2H290/BB22 2H290/BB29 2H290/BB38		
优先权	2013118550 2013-06-05 JP 2013122849 2013-06-11 JP 2014037205 2014-02-27 JP		
其他公开文献	JP2018112766A		
外部链接	Espacenet		

摘要(译)

提供了具有较少缺陷对准的显示装置。还提供了一种具有高孔径比并且包括可以增加充电容量的电容器的显示装置。还提供了一种具有高孔径比的显示装置，包括具有大充电容量的电容器，并且具有较少的缺陷对准。显示装置包括由扫描线，数据线和电容器线限定的区域中的像素。像素包括在对电极和像素电极之间的液晶层，在液晶层中的间隔物，以及连接到像素电极的晶体管。像素电极具有凹陷部分，并且液晶层中的对准由凹陷部分和间隔物控制。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6542947号 (P6542947)	
(45) 発行日 令和1年7月10日 (2019. 7. 10)		(24) 登録日 令和1年6月21日 (2019. 6. 21)			
(51) Int. Cl. G02 F 1/1343 (2006. 01) G02 F 1/1368 (2006. 01)		F I G O 2 F 1/1343 G O 2 F 1/1368			
請求項の数 5 (全 43 頁)					
(21) 出願番号 特願2018-82229 (P2018-82229)		(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地			
(22) 出願日 平成30年4月23日 (2018. 4. 23)		(72) 発明者 久保田 大介 神奈川県厚木市長谷398番地 株式会社			
(62) 分割の表示 特願2014-109845 (P2014-109845) の分割		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
原出願日 平成26年5月28日 (2014. 5. 28)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(65) 公開番号 特願2018-112766 (P2018-112766A)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(43) 公開日 平成30年7月19日 (2018. 7. 19)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
審査請求日 平成30年5月21日 (2018. 5. 21)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(31) 優先権主張番号 特願2013-118550 (P2013-118550)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(32) 優先日 平成25年6月5日 (2013. 6. 5)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(33) 優先権主張国 日本国 (JP)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(31) 優先権主張番号 特願2013-122849 (P2013-122849)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(32) 優先日 平成25年6月11日 (2013. 6. 11)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
(33) 優先権主張国 日本国 (JP)		(72) 発明者 窪田 勇介 神奈川県厚木市長谷398番地 株式会社			
		審査官 横井 亜矢子			
最終頁に続く					
(54) 【発明の名称】 表示装置					