

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6478745号
(P6478745)

(45) 発行日 平成31年3月6日(2019.3.6)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)
G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G09F 9/30 (2006.01)

G02F 1/133 550
 G09G 3/36
 G09G 3/20 621F
 G09G 3/20 641C
 G09G 3/20 621M

請求項の数 4 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2015-60137 (P2015-60137)
 (22) 出願日 平成27年3月23日(2015.3.23)
 (65) 公開番号 特開2016-180810 (P2016-180810A)
 (43) 公開日 平成28年10月13日(2016.10.13)
 審査請求日 平成29年11月6日(2017.11.6)

(73) 特許権者 000001960
 シチズン時計株式会社
 東京都西東京市田無町六丁目1番12号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 勝呂 彰
 東京都西東京市田無町六丁目1番12号
 シチズンホールディングス株式会社内

審査官 磯崎 忠昭

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の信号線を有し、前記複数の信号線へ入力された各信号であって、それぞれ第1電圧または前記第1電圧よりも小さい第2電圧の2値の信号である各信号に応じた画像を表示する液晶表示部と、

前記液晶表示部における第1側端に接続され、前記複数の信号線へ信号を入力可能な第1配線群と、

前記液晶表示部における前記第1側端と異なる第2側端に接続され、前記複数の信号線へ信号を入力可能な第2配線群と、

前記複数の信号線のそれぞれについて、前記液晶表示部によって表示する画像データに応じて、前記信号線へ入力すべき信号が前記第1電圧である場合は前記入力すべき信号を前記第1配線群に含まれる配線により前記信号線へ入力し、前記入力すべき信号が前記第2電圧である場合は前記入力すべき信号を前記第2配線群に含まれる配線により前記信号線へ入力する振り分けを行う駆動部と、

を備えることを特徴とする表示装置。

【請求項2】

前記第1電圧と前記第2電圧とは、極性が異なることを特徴とする請求項1に記載の表示装置。

【請求項3】

前記駆動部は、前記複数の信号線のそれぞれについて、

10

20

前記信号線へ入力すべき信号が前記第 1 電圧である場合に前記第 1 配線群に含まれる配線により前記第 1 電圧の信号を前記信号線へ出力し、前記信号線へ入力すべき信号が前記第 2 電圧である場合にハイインピーダンスとなる第 1 スwitchと、

前記信号線へ入力すべき信号が前記第 2 電圧である場合に前記第 2 配線群に含まれる配線により前記第 2 電圧の信号を前記信号線へ出力し、前記信号線へ入力すべき信号が前記第 1 電圧である場合にハイインピーダンスとなる第 2 スwitchと、

を備えることを特徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記複数の信号線のそれぞれについての前記第 1 スwitchは、前記駆動部において前記複数の信号線のそれぞれについての前記第 2 スwitchが設けられる領域よりも前記液晶表示部の前記第 1 側端に近い領域に設けられ、

前記複数の信号線のそれぞれについての前記第 2 スwitchは、前記駆動部において前記複数の信号線のそれぞれについての前記第 1 スwitchが設けられる領域よりも前記液晶表示部の前記第 2 側端に近い領域に設けられる、

ことを特徴とする請求項 3 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像を表示する表示装置に関する。

【背景技術】

【0002】

従来、液晶表示装置において、液晶駆動回路からマトリクス型表示部へ平行に画像データを伝送する構成における信号線からの放射や同時変化による電磁妨害を低減するために、平行に伝送される画像データの同一極性への同時変化が少なくなるように画像データを符号化する技術が知られている（たとえば、下記特許文献 1 参照。）。

【0003】

また、LCOS (Liquid Crystal On Silicon) などの空間光変調器によって変調した信号光を光情報記憶媒体に照射してホログラムを形成することで情報信号を記憶するホログラフィックメモリが知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2001 - 324965 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、たとえば上述した従来技術のように、同一極性への同時変化が少なくなるように画像データを符号化する技術では、画像データの符号化および復号化によって、液晶表示部へ入力される画像データが遅延し、液晶表示部における表示の遅延が大きくなる等の問題がある。

【0006】

一方、同一極性への同時変化が少なくなるように画像データを符号化しない構成では、駆動部から液晶表示部へ平行に伝送される信号間の干渉によるノイズが大きくなる。このため、液晶表示部における表示の精度が低下するという問題がある。

【0007】

本発明は、上述した従来技術による問題点を解消するため、表示の遅延を抑えつつ表示の精度を向上させることができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するため、本発明にかかる表示装置は、複数の信号

10

20

30

40

50

線を有し、前記複数の信号線へ入力された各信号に応じた画像を表示する液晶表示部と、前記液晶表示部における第１側端に接続され、前記複数の信号線へ信号を入力可能な第１配線群と、前記液晶表示部における前記第１側端と異なる第２側端に接続され、前記複数の信号線へ信号を入力可能な第２配線群と、前記複数の信号線のそれぞれについて、前記信号線へ入力すべき信号が第１電圧である場合は前記入力すべき信号を前記第１配線群に含まれる配線により前記信号線へ入力し、前記入力すべき信号が前記第１電圧よりも小さい第２電圧である場合は前記入力すべき信号を前記第２配線群に含まれる配線により前記信号線へ入力する駆動部と、を備える。

【０００９】

これにより、液晶表示部へパラレルに伝送される各信号について、同一極性への同時変化が少なくなるように符号化しなくても、信号間の干渉によるノイズを抑えることができる。

【発明の効果】

【００１０】

本発明によれば、表示の遅延を抑えつつ表示の精度を向上させることができるという効果を奏する。

【図面の簡単な説明】

【００１１】

【図１】図１は、実施の形態にかかる表示装置の一例を示す図である。

【図２】図２は、実施の形態にかかる液晶表示部の構成の一例を示す図である。

【図３】図３は、実施の形態にかかるカラムドライバ・セクタの構成の一例を示す図である。

【図４】図４は、実施の形態にかかるアナログスイッチ回路の構成の一例を示す図である。

【図５】図５は、液晶表示部へ入力される駆動電圧の波形の一例を示す図である。

【図６】図６は、液晶表示部における画素の変化の一例を示す図（その１）である。

【図７】図７は、液晶表示部における画素の変化の一例を示す図（その２）である。

【図８】図８は、実施の形態にかかる液晶表示装置の他の例を示す図である。

【図９】図９は、実施の形態にかかる液晶表示装置のさらに他の例を示す図である。

【発明を実施するための形態】

【００１２】

以下に図面を参照して、本発明にかかる表示装置の実施の形態を詳細に説明する。

【００１３】

（実施の形態）

（実施の形態にかかる表示装置）

図１は、実施の形態にかかる表示装置の一例を示す図である。図１に示すように、実施の形態にかかる表示装置１００は、液晶表示部１１０と、パッド１２１と、ロードライバ１３０と、カラムドライバ・セクタ１４１と、制御回路１６０と、を備える。

【００１４】

液晶表示部１１０は、複数の信号線および複数の走査線を有し、複数の信号線および複数の走査線の交差に対応してマトリクス状に画素が配置される液晶パネルである。また、液晶表示部１１０は、複数の信号線および複数の走査線へ入力された各信号に応じた画像を、マトリクス状の各画素により表示する。

【００１５】

たとえば、液晶表示部１１０には、ＬＣＯＳ等の液晶パネルを用いることができる。図１に示す例では、液晶表示部１１０における列方向のカラム（Ｃｏｌｕｍｎ）ラインが信号線であり、液晶表示部１１０における行方向のロー（Ｒｏｗ）ラインが走査線である。図１においては、液晶表示部１１０の信号線を点線で示し、液晶表示部１１０の走査線については図示していない。たとえば、液晶表示部１１０における信号線１５０は、液晶表示部１１０における図面上の最も左側（第１列）の信号線である。

【 0 0 1 6 】

液晶表示部 1 1 0 の各列の信号線は、それぞれ液晶表示部 1 1 0 の両側（図面上の上下）に電極を有する。以下の説明において、液晶表示部 1 1 0 における図面上の上方の側端（第 1 側端）を単に液晶表示部 1 1 0 の上方の側端と称する。液晶表示部 1 1 0 の上方の側端は、液晶表示部 1 1 0 の上方の一辺（端部）である。また、液晶表示部 1 1 0 における図面上の下方の側端（第 2 側端）を単に液晶表示部 1 1 0 の下方の側端と称する。液晶表示部 1 1 0 の下方の側端は、液晶表示部 1 1 0 の下方の一辺（端部）である。

【 0 0 1 7 】

液晶表示部 1 1 0 の上方の側端には第 1 データ配線群 1 0 1（第 1 配線群）が接続されており、液晶表示部 1 1 0 の各列の信号線に対して第 1 データ配線群 1 0 1 からデータ信号を入力可能である。後述するように、第 1 データ配線群 1 0 1 は、液晶表示部 1 1 0 の信号線へ入力されるデータ信号の電圧が“H”である場合に使用される配線群である。

10

【 0 0 1 8 】

また、液晶表示部 1 1 0 の下方の側端には第 2 データ配線群 1 0 2（第 2 配線群）が接続されており、液晶表示部 1 1 0 の各列の信号線に対して第 2 データ配線群 1 0 2 からも信号を入力可能である。後述するように、第 2 データ配線群 1 0 2 は、液晶表示部 1 1 0 の信号線へ入力されるデータ信号の電圧が“L”である場合に使用される配線群である。“L”は、“H”よりも低い電圧である。また、“H”および“L”とは極性が異なってもよい。

【 0 0 1 9 】

20

第 1 データ配線群 1 0 1 および第 2 データ配線群 1 0 2 のそれぞれは、複数のデータ信号を平行で（並行して）伝送可能な配線群である。一例としては、第 1 データ配線群 1 0 1 および第 2 データ配線群 1 0 2 は、液晶パネルに L C O S を用いた場合、シリコン基板に作りこんだアルミニウム配線により実現することができる。

【 0 0 2 0 】

たとえば、液晶表示部 1 1 0 における第 1 列の信号線 1 5 0 は、液晶表示部 1 1 0 の上方の側端に電極 1 5 1 を有し、液晶表示部 1 1 0 の下方の側端に電極 1 5 2 を有する。電極 1 5 1 は、第 1 データ配線群 1 0 1 に含まれる配線に接続されている。電極 1 5 2 は、第 2 データ配線群 1 0 2 に含まれる配線に接続されている。

【 0 0 2 1 】

30

電極 1 5 1 , 1 5 2 はともに信号線 1 5 0 に接続されているため、信号線 1 5 0 に対するデータ信号を電極 1 5 1 , 1 5 2 のいずれから入力しても同様の表示結果が得られる。液晶表示部 1 1 0 の具体的な構成については後述する（たとえば図 2 参照）。

【 0 0 2 2 】

パッド 1 2 1 には、制御回路 1 6 0 から、液晶表示部 1 1 0 に画像を表示させるための各信号が入力される。パッド 1 2 1 は、入力された各信号に含まれるロードライバ 1 3 0 への制御信号を、制御配線群 1 0 3 を介してロードライバ 1 3 0 へ出力する。制御配線群 1 0 3 は、一例としては、上述した配線群と同様にアルミニウム配線により実現することができる。また、パッド 1 2 1 は、入力された各信号に含まれるカラムドライバ・セクタ 1 4 1 へのデータ信号および制御信号をカラムドライバ・セクタ 1 4 1 へ出力する。

40

【 0 0 2 3 】

ロードライバ 1 3 0 は、液晶表示部 1 1 0 の行（Row）ごとに設けられた走査線の電極のいずれかに信号を入力することにより、液晶表示部 1 1 0 における書き換え対象の行を設定する。また、ロードライバ 1 3 0 は、液晶表示部 1 1 0 における書き換え対象の行を、パッド 1 2 1 から出力された制御信号に基づいて切り替える。

【 0 0 2 4 】

カラムドライバ・セクタ 1 4 1 は、パッド 1 2 1 から出力された各データ信号を、液晶表示部 1 1 0 の列（Column）ごとに設けられた信号線の電極に入力することにより、液晶表示部 1 1 0 に対して各列の書き換えを指示する駆動部である。このとき、実際に書き換えられる液晶表示部 1 1 0 の画素は、ロードライバ 1 3 0 によって書き換え対象

50

として設定された行における各列の画素である。

【 0 0 2 5 】

カラムドライバ・セクタ 1 4 1 による各データ信号の入力は、パッド 1 2 1 から出力された制御信号によって制御される。また、カラムドライバ・セクタ 1 4 1 は、各データ信号を液晶表示部 1 1 0 へ入力するタイミングを調整する同期処理等を行う。カラムドライバ・セクタ 1 4 1 の構成については後述する（たとえば図 3 参照）。

【 0 0 2 6 】

また、カラムドライバ・セクタ 1 4 1 は、液晶表示部 1 1 0 の各列の信号線について、入力するデータ信号の電圧によって、液晶表示部 1 1 0 の各列に対してデータ信号を入力する電極を切り替える。データ信号の電圧は、たとえば“ H ”（ H i g h ）および“ L ”（ L o w ）である。

10

【 0 0 2 7 】

たとえば、カラムドライバ・セクタ 1 4 1 は、信号線 1 5 0 へ入力するデータ信号が“ H ”である場合は第 1 データ配線群 1 0 1 を用いて電極 1 5 1 から信号線 1 5 0 へデータ信号を入力する。また、カラムドライバ・セクタ 1 4 1 は、信号線 1 5 0 へ入力するデータ信号が“ L ”である場合は第 2 データ配線群 1 0 2 を用いて電極 1 5 2 から信号線 1 5 0 へデータ信号を入力する。

【 0 0 2 8 】

また、液晶表示部 1 1 0 の各列のうちの信号線 1 5 0 とは異なる各列の信号線についても同様に、カラムドライバ・セクタ 1 4 1 は、入力するデータ信号が“ H ”（第 1 電圧）である場合は第 1 データ配線群 1 0 1 を用いて液晶表示部 1 1 0 の上方の側端からデータ信号を入力し、入力するデータ信号が“ L ”（第 2 電圧）である場合は第 2 データ配線群 1 0 2 を用いて液晶表示部 1 1 0 の下方の側端からデータ信号を入力する。

20

【 0 0 2 9 】

このように、表示装置 1 0 0 は、液晶表示部 1 1 0 の各信号線に対して、“ H ”のデータ信号を入力する場合は第 1 データ配線群 1 0 1 に含まれる配線を使用し、“ L ”のデータ信号を入力する場合は第 2 データ配線群 1 0 2 に含まれる配線を使用する。

【 0 0 3 0 】

これにより、第 1 データ配線群 1 0 1 においては、“ H ”のデータ信号のみが伝送され、“ H ”のデータ信号と“ L ”のデータ信号とが混在しないため、データ信号間（配線間）の干渉によるノイズを抑えることができる。同様に、第 2 データ配線群 1 0 2 においては、“ L ”のデータ信号のみが伝送され、“ H ”のデータ信号と“ L ”のデータ信号とが混在しないため、データ信号間の干渉によるノイズを抑えることができる。

30

【 0 0 3 1 】

また、第 1 データ配線群 1 0 1 は液晶表示部 1 1 0 の上方の側端に接続され、第 2 データ配線群 1 0 2 は液晶表示部 1 1 0 の下方の側端に接続されている。したがって、少なくとも液晶表示部 1 1 0 の付近においては、第 1 データ配線群 1 0 1 および第 2 データ配線群 1 0 2 は互いに離れて設けられる。これにより、第 1 データ配線群 1 0 1 と第 2 データ配線群 1 0 2 との間の干渉によるノイズを抑えることができる。

【 0 0 3 2 】

40

このため、表示装置 1 0 0 によれば、液晶表示部 1 1 0 へパラレルに伝送される各信号について、データ信号間の干渉によるノイズを抑え、液晶表示部 1 1 0 における表示の精度を向上させることができる。たとえば、所望のデータが表示されないなどの液晶表示部 1 1 0 における表示不良を抑制することができる。

【 0 0 3 3 】

たとえば、一般的に、L C O S 等の液晶表示部が大型化するほど、駆動部から液晶表示部までのパラレル配線が長くなり、データ信号間の干渉によるノイズが大きくなる。また、液晶表示部が高解像度になるほど、駆動部から液晶表示部までのパラレル配線の配線間隔が狭くなり、データ信号間の干渉によるノイズが大きくなる。特に、駆動部から液晶表示部へ伝送される各データ信号が高周波であると、該各データ信号がデジタル信号であっ

50

てもデータ信号間の干渉によるノイズが大きくなる。このため、液晶表示部における表示の精度が低下する。

【0034】

これに対して、表示装置100によれば、液晶表示部110が大画面であったり高解像度であったりしても、データ信号が“H”の場合は第1データ配線群101を用いて液晶表示部110の上方の側端から該データ信号を入力し、データ信号が“L”の場合は第2データ配線群102を用いて液晶表示部110の下方の側端から該データ信号を入力することができる。このため、隣り合うデータ信号間の電圧に差が生じることがなく干渉によるノイズを抑えることができる。

【0035】

なお、第1データ配線群101および第2データ配線群102は、互いに離れている部分が多いほど互いの干渉によるノイズを抑えることができる。このため、図1に示すように、第1データ配線群101はカラムドライバ・セクタ141に近い部分から図面上の上方に向かって配置し、第2データ配線群102はカラムドライバ・セクタ141に近い部分から図面上の下方に向かって配置することが好ましい。

【0036】

また、表示装置100によれば、平行に伝送される各データ信号の同一極性への同時変化が少なくなるように画像データを符号化しなくても、データ信号間の干渉によるノイズを抑えることができる。このため、表示装置100によれば、平行に伝送される各データ信号の同一極性への同時変化を少なくするための符号化および復号化による各データ信号の遅延を回避し、液晶表示部110における表示の遅延（たとえばリアルタイム性の低下）を回避することができる。

【0037】

また、表示装置100によれば、平行に伝送される各データ信号の同一極性への同時変化を少なくするための符号化および復号化を行うための符号化回路および復号化回路を設けなくても、データ信号間の干渉によるノイズを抑えることができる。このため、装置の大型化（チップ面積の増大）や消費電流の増加を回避することができる。

【0038】

なお、ロードドライバ130と液晶表示部110との間の各配線（ローライン）においては、液晶表示部110の各行のうちの書き換え対象を指示するためのものであり、複数の信号が平行に伝送されるものではないため、信号線間の干渉はない。

【0039】

また、図1に示す構成において、第1データ配線群101および第2データ配線群102に含まれる各配線は、長さを揃えたり太さを調整したりすることにより、伝送特性がほぼ同一になるように形成されてもよい。これにより、液晶表示部110へ入力される各データ信号の品質を均一化し、液晶表示部110の表示品質を向上させることができる。

【0040】

図1に示した表示装置100は、液晶表示部110を用いて画像を表示する表示装置であるが、液晶表示部110を用いて光を空間変調する空間光変調装置としての側面を有する。たとえば、画像を光情報記憶媒体に照射してホログラムを形成することで情報を記憶するホログラフィックメモリにおいて、光を空間変調することによって画像を生成する空間光変調装置として表示装置100を用いることができる。ただし、表示装置100は、ホログラフィックメモリに限らず、たとえばプロジェクタや電子式ビューファインダ等にも適用可能である。

【0041】

（実施の形態にかかる液晶表示部の構成）

図2は、実施の形態にかかる液晶表示部の構成の一例を示す図である。図1に示した液晶表示部110は、たとえば、図2に示すように $n \times n$ の画素を有する構成とすることができる。 n は2以上の自然数である。一例としては $n = 2100$ とすることができる。図2に示す液晶表示部110は、具体的には、画素 $211 \sim 21n$ 、 $221 \sim 22n$ 、...

10

20

30

40

50

2 n 1 ~ 2 n n と、電極 V C O M と、電極 C O M _ 1 ~ C O M _ n と、電極 S E G - H _ 1 ~ S E G - H _ n と、電極 S E G - L _ 1 ~ S E G - L _ n と、を備える。

【 0 0 4 2 】

画素 2 1 1 ~ 2 1 n , 2 2 1 ~ 2 2 n , ... , 2 n 1 ~ 2 n n は、 $n \times n$ のマトリクス状に設けられた各画素である。電極 V C O M には、液晶表示部 1 1 0 の駆動電圧が入力される。電極 V C O M へ入力された駆動電圧は画素 2 1 1 ~ 2 1 n , 2 2 1 ~ 2 2 n , ... , 2 n 1 ~ 2 n n へ供給される。電極 C O M _ 1 ~ C O M _ n は、液晶表示部 1 1 0 の行ごとに設けられた n 個の電極であって、液晶表示部 1 1 0 の n 本の走査線の各電極である。

【 0 0 4 3 】

電極 S E G - H _ 1 ~ S E G - H _ n は、液晶表示部 1 1 0 の上方の側端に、液晶表示部 1 1 0 の列ごとに設けられた n 個の電極である。すなわち、電極 S E G - H _ 1 ~ S E G - H _ n は、液晶表示部 1 1 0 の n 本の信号線の各電極である。たとえば、電極 S E G - H _ 1 は図 1 に示した電極 1 5 1 に対応する。

10

【 0 0 4 4 】

電極 S E G - L _ 1 ~ S E G - L _ n は、液晶表示部 1 1 0 における電極 S E G - H _ 1 ~ S E G - H _ n が設けられた側端とは反対側の側端（下方の側端）に、液晶表示部 1 1 0 の列ごとに設けられた n 個の電極である。すなわち、電極 S E G - L _ 1 ~ S E G - L _ n は、液晶表示部 1 1 0 の n 本の信号線の各電極である。たとえば、電極 S E G - L _ 1 は図 1 に示した電極 1 5 2 に対応する。

【 0 0 4 5 】

20

つぎに、画素 2 1 1 ~ 2 1 n , 2 2 1 ~ 2 2 n , ... , 2 n 1 ~ 2 n n のうちの画素 2 1 1 の構成について説明するが、その他の画素 2 1 2 ~ 2 1 n , 2 2 1 ~ 2 2 n , ... , 2 n 1 ~ 2 n n の構成についても同様である。画素 2 1 1 は、トランジスタ 2 0 1 と、コンデンサ 2 0 2 と、液晶セル 2 0 3 と、を備える。

【 0 0 4 6 】

トランジスタ 2 0 1 は、たとえば T F T (T h i n F i l m T r a n s i s t o r : 薄膜トランジスタ) により実現することができる。トランジスタ 2 0 1 のゲートは電極 C O M _ 1 に接続されている。トランジスタ 2 0 1 のソース（またはドレイン）は電極 S E G - H _ 1 , S E G - L _ 1 に接続されている。トランジスタ 2 0 1 のドレイン（またはソース）はコンデンサ 2 0 2 に接続されている。

30

【 0 0 4 7 】

コンデンサ 2 0 2 は、電荷蓄積用のコンデンサである。コンデンサ 2 0 2 の一端はトランジスタ 2 0 1 のドレイン（またはソース）および液晶セル 2 0 3 に接続されている。コンデンサ 2 0 2 の他端は接地されている。液晶セル 2 0 3 の一端はトランジスタ 2 0 1 のドレイン（またはソース）およびコンデンサ 2 0 2 に接続されている。液晶セル 2 0 3 の他端は電極 V C O M に接続されている。液晶セル 2 0 3 にはたとえば強誘電性液晶を用いることができる。

【 0 0 4 8 】

図 2 に示した構成により、液晶表示部 1 1 0 は、電極 S E G - H _ 1 ~ S E G - H _ n または電極 S E G - L _ 1 ~ S E G - L _ n （複数の信号線）と、電極 C O M _ 1 ~ C O M _ n （走査線）と、へ入力された各信号に応じた画像を画素 2 1 1 ~ 2 1 n , 2 2 1 ~ 2 2 n , ... , 2 n 1 ~ 2 n n により表示することができる。

40

【 0 0 4 9 】

（実施の形態にかかるカラムドライバ・セレクトの構成）

図 3 は、実施の形態にかかるカラムドライバ・セレクトの構成の一例を示す図である。図 1 に示したカラムドライバ・セレクト 1 4 1 は、たとえば、図 3 に示すように、データ入力端子 3 1 1 ~ 3 1 n と、制御信号入力端子 3 2 1 , 3 2 2 と、制御信号生成部 3 3 0 と、データバッファ部 3 4 0 と、データラッチ部 3 5 0 と、アナログスイッチ回路 3 6 0 と、データ出力端子 3 7 1 ~ 3 7 n , 3 8 1 ~ 3 8 n と、を備える。

【 0 0 5 0 】

50

データ入力端子 3 1 1 ~ 3 1 n は、液晶表示部 1 1 0 における各列の信号線に対応して設けられた n 本の端子である。データ入力端子 3 1 1 ~ 3 1 n には、パッド 1 2 1 からコラムドライバ・セクタ 1 4 1 へ出力された信号のうちの、液晶表示部 1 1 0 における各列の信号線に対応する各データ信号が入力される。データ入力端子 3 1 1 ~ 3 1 n は、入力された各データ信号をデータバッファ部 3 4 0 へ出力する。

【 0 0 5 1 】

制御信号入力端子 3 2 1 , 3 2 2 には、パッド 1 2 1 からコラムドライバ・セクタ 1 4 1 へ出力された信号のうちの制御信号が入力される。制御信号入力端子 3 2 1 , 3 2 2 は、入力された各制御信号を制御信号生成部 3 3 0 へ出力する。

【 0 0 5 2 】

制御信号生成部 3 3 0 は、制御信号入力端子 3 2 1 , 3 2 2 から出力された各制御信号に基づいて、データバッファ部 3 4 0 およびデータラッチ部 3 5 0 を制御する各制御信号を生成する。そして、制御信号生成部 3 3 0 は、生成した各制御信号をそれぞれデータバッファ部 3 4 0 およびデータラッチ部 3 5 0 へ出力する。

【 0 0 5 3 】

データバッファ部 3 4 0 は、制御信号生成部 3 3 0 からの制御信号に基づいて、データ入力端子 3 1 1 ~ 3 1 n から出力された n 本のデータ信号を一時的に格納する。データラッチ部 3 5 0 は、制御信号生成部 3 3 0 からの制御信号に基づいて、データバッファ部 3 4 0 によって一時的に格納された n 本のデータ信号をラッチする。そして、データラッチ部 3 5 0 は、ラッチした n 本のデータ信号を、液晶表示部 1 1 0 の第 1 列 ~ 第 n 列に対応する各データ信号としてアナログスイッチ回路 3 6 0 へ出力する。データバッファ部 3 4 0 およびデータラッチ部 3 5 0 により、液晶表示部 1 1 0 の第 1 列 ~ 第 n 列に対応する各データ信号を液晶表示部 1 1 0 へ入力するタイミングを調整することができる。

【 0 0 5 4 】

アナログスイッチ回路 3 6 0 は、アナログスイッチ T G - H _ 1 ~ , ... およびアナログスイッチ T G - L _ 1 , ... を備える。アナログスイッチ T G - H _ 1 ~ , ... は、液晶表示部 1 1 0 の各信号線に対応して設けられた n 個の第 1 スイッチである。アナログスイッチ T G - L _ 1 , ... は、液晶表示部 1 1 0 の各信号線に対応して設けられた n 個の第 2 スイッチである。アナログスイッチ T G - H _ 1 ~ , ... , T G - L _ 1 , ... のそれぞれは、たとえば T F T などによって実現可能なトランスマッションゲートである。

【 0 0 5 5 】

また、アナログスイッチ回路 3 6 0 は、アナログスイッチ T G - H _ 1 ~ , ... , T G - L _ 1 , ... を用いて、データラッチ部 3 5 0 から出力された第 1 列 ~ 第 n 列に対応するデータ信号のそれぞれを、電圧に応じてデータ出力端子 3 7 1 ~ 3 7 n およびデータ出力端子 3 8 1 ~ 3 8 n のいずれかへ振り分けて出力する。

【 0 0 5 6 】

アナログスイッチ回路 3 6 0 の具体的な構成については後述するが（たとえば図 4 参照）、ここではデータラッチ部 3 5 0 から出力された第 1 列に対応するデータ信号の振り分けについて説明する。アナログスイッチ回路 3 6 0 は、アナログスイッチ T G - H _ 1 , T G - L _ 1 を用いて、データラッチ部 3 5 0 から出力された第 1 列に対応するデータを、該データの値が “ H ” であればデータ出力端子 3 7 1 へ出力し、該データの値が “ L ” であればデータ出力端子 3 8 1 へ出力する。

【 0 0 5 7 】

データ出力端子 3 7 1 ~ 3 7 n は、それぞれ液晶表示部 1 1 0 の上方の側端における電極 S E G - H _ 1 ~ S E G - H _ n に対応して設けられた n 本の端子である。データ出力端子 3 7 1 ~ 3 7 n は、アナログスイッチ回路 3 6 0 から出力された “ H ” のデータ信号を、図 1 に示した第 1 データ配線群 1 0 1 を介して、それぞれ液晶表示部 1 1 0 の電極 S E G - H _ 1 ~ S E G - H _ n へ出力する。

【 0 0 5 8 】

データ出力端子 3 8 1 ~ 3 8 n は、それぞれ液晶表示部 1 1 0 の下方の側端における電

10

20

30

40

50

極SEG-L__1～SEG-L__nに対応して設けられたn本の端子である。データ出力端子381～38nは、アナログスイッチ回路360から出力された“L”のデータ信号を、図1に示した第2データ配線群102を介して、それぞれ液晶表示部110の電極SEG-L__1～SEG-L__nへ出力する。

【0059】

(実施の形態にかかるアナログスイッチ回路の構成)

図4は、実施の形態にかかるアナログスイッチ回路の構成の一例を示す図である。図4において、図3に示した部分と同様の部分については同一の符号を付して説明を省略する。図3に示したアナログスイッチ回路360は、たとえば、図4に示すように、n個のアナログスイッチTG-H__1, ...と、n個のアナログスイッチTG-L__1, ...と、否定回路411～41nと、電源VDDと、グランドGNDと、を備える。

【0060】

たとえば、アナログスイッチ回路360へ入力された、液晶表示部110の第1列に対応するデータ信号は、アナログスイッチTG-H__1および否定回路411のそれぞれへ入力される。アナログスイッチTG-H__1は、電源VDDとデータ出力端子371との間に設けられている。そして、アナログスイッチTG-H__1は、入力されたデータ信号が“H”である場合はオンとなって電源VDDとデータ出力端子371との間を接続する。また、アナログスイッチTG-H__1は、入力されたデータ信号が“L”である場合はオフとなって電源VDDとデータ出力端子371との間を切断する。

【0061】

これにより、アナログスイッチ回路360へ入力された第1列に対応するデータ信号が“H”である場合は、アナログスイッチTG-H__1からデータ出力端子371へデータ信号として“H”が出力される。また、アナログスイッチ回路360へ入力された第1列に対応するデータ信号が“L”である場合は、アナログスイッチTG-H__1はハイインピーダンスとなる。

【0062】

否定回路411は、入力されたデータ信号を反転させてアナログスイッチTG-L__1へ出力する。アナログスイッチTG-L__1は、グランドGNDとデータ出力端子381との間に設けられている。そして、アナログスイッチTG-L__1は、入力されたデータ信号が“H”である場合はオンとなってグランドGNDとデータ出力端子381との間を接続する。また、アナログスイッチTG-L__1は、入力されたデータ信号が“L”である場合はオフとなってグランドGNDとデータ出力端子381との間を切断する。

【0063】

これにより、アナログスイッチ回路360へ入力された第1列に対応するデータ信号が“H”である場合は、アナログスイッチTG-L__1はハイインピーダンスとなる。また、アナログスイッチ回路360へ入力された第1列に対応するデータ信号が“L”である場合は、アナログスイッチTG-L__1からデータ出力端子381へデータ信号として“L”が出力される。

【0064】

したがって、アナログスイッチ回路360へ入力された第1列に対応するデータ信号が“H”である場合は、データ出力端子371から液晶表示部110の電極SEG-H__1へ“H”のデータ信号が出力され、データ出力端子381から液晶表示部110の電極SEG-L__1へはデータ信号が出力されない。

【0065】

また、アナログスイッチ回路360へ入力された第1列に対応するデータ信号が“L”である場合は、データ出力端子381から液晶表示部110の電極SEG-L__1へ“L”のデータ信号が出力され、データ出力端子371から液晶表示部110の電極SEG-H__1へはデータ信号が出力されない。

【0066】

アナログスイッチ回路360へ入力された第1列に対応するデータ信号と同様に、アナ

10

20

30

40

50

ログスイッチ回路 360 へ入力された第 2 列～第 n 列のデータ信号は、それぞれアナログスイッチ TG - H__2 , ... および否定回路 412 ~ 41n へ入力される。そして、第 1 列に対応するデータ信号と同様に、第 2 列～第 n 列のデータ信号は、“ H ” である場合はそれぞれデータ出力端子 372 ~ 37n から出力され、“ L ” である場合はそれぞれデータ出力端子 382 ~ 38n から出力される。

【 0067 】

図 4 に示した構成により、液晶表示部 110 の信号線へ入力すべきデータ信号が “ H ” の場合は第 1 データ配線群 101 を用いて液晶表示部 110 の上方の側端から該データ信号を入力することができる。また、液晶表示部 110 の信号線へ入力すべきデータ信号が “ L ” の場合は第 2 データ配線群 102 を用いて液晶表示部 110 の下方の側端から該データ信号を入力することができる。

10

【 0068 】

また、図 3 , 図 4 に示したように、第 1 データ配線群 101 に接続されたアナログスイッチ TG - H__1 ~ , ... は、カラムドライバ・セクタ 141 におけるアナログスイッチ TG - L__1 , ... が設けられる領域よりも、液晶表示部 110 の上方の側端に近い領域（図面上の上半分の領域）に設けられる。

【 0069 】

また、第 2 データ配線群 102 に接続されたアナログスイッチ TG - L__1 , ... は、カラムドライバ・セクタ 141 におけるアナログスイッチ TG - H__1 ~ , ... が設けられる領域よりも、液晶表示部 110 の下方の側端に近い領域（図面上の下半分の領域）に設けられる。

20

【 0070 】

これにより、カラムドライバ・セクタ 141（駆動部）の付近においても、第 1 データ配線群 101 および第 2 データ配線群 102 を互いに離して設けることができる。このため、第 1 データ配線群 101 および第 2 データ配線群 102 のうちの互いに離れている部分を多くし、データ信号間の干渉によるノイズをより抑えることができる。

【 0071 】

（液晶表示部へ入力される駆動電圧の波形）

図 5 は、液晶表示部へ入力される駆動電圧の波形の一例を示す図である。図 5 において、横方向は時間を示し、縦方向は電圧を示す。期間 F1 , F2 は互いに連続する期間である。駆動波形 501 , 502 は、それぞれ図 2 に示した液晶表示部 110 の電極 COM__1 , COM__2 へ入力される各信号（駆動電圧）の波形である。Vg は、液晶表示部 110 の各画素のゲートへ入力されるゲート電圧を示す。一例としては、Vg は 5 [V] とすることができる。

30

【 0072 】

駆動波形 503 , 504 は、それぞれ図 2 に示した液晶表示部 110 の電極 SEG - H__1 , SEG - H__2 へ入力される各信号（駆動電圧）の波形である。駆動波形 505 , 506 は、それぞれ図 2 に示した液晶表示部 110 の電極 SEG - L__1 , SEG - L__2 へ入力される各信号（駆動電圧）の波形である。VS - H は、ロジック信号の H 電圧（第 1 電圧）である。VS - L は、ロジック信号の L 電圧（第 2 電圧）である。一例としては、VS - H を 3 [V]、VS - L を - 3 [V] とすることができる。別の例としては、VS - H を 6 [V]、VS - L を 0 [V] とすることができる。Hi - Z はハイインピーダンスを示す。

40

【 0073 】

駆動波形 503 ~ 506 における点線部分は、ハイインピーダンス（Hi - Z）となっている状態を示す。駆動波形 503 , 505 は、ともに液晶表示部 110 の第 1 列に対応する信号の波形であるため、常に一方のみがハイインピーダンスの状態となっている。駆動波形 504 , 506 は、ともに液晶表示部 110 の第 2 列に対応する信号の波形であるため、常に一方のみがハイインピーダンスの状態となっている。

【 0074 】

50

(液晶表示部における画素の変化)

図6および図7は、液晶表示部における画素の変化の一例を示す図である。図6、図7は、図2に示した液晶表示部110の各画素のうちの画素211、212、221、222を示している。図6、図7は、それぞれ期間F1、F2において、図5に示した駆動波形501～506が入力された場合における画素211、212、221、222の状態を示している。図5に示した駆動波形501～506を液晶表示部110へ入力することにより、画素211、212、221、222が図6、図7のように変化する。

【0075】

期間F1においては、図6に示すように、画素211、212、221がSEG-H__1またはSEG-H__2からのH電圧(第1電圧)によって明(白)の状態となり、画素222がSEG-L__2からのL電圧(第2電圧)によって暗(黒)の状態となっている。また、期間F1に続く期間F2においては、図7に示すように、画素211、222がSEG-H__1またはSEG-H__2からのH電圧(第1電圧)によって明(白)の状態となり、画素212、221がSEG-L__1またはSEG-L__2からのL電圧(第2電圧)によって暗(黒)の状態となっている。

【0076】

(実施の形態にかかる液晶表示装置の他の例)

図8は、実施の形態にかかる液晶表示装置の他の例を示す図である。図8において、図1に示した部分と同様の部分については同一の符号を付して説明を省略する。図1においては液晶表示部110の各列の信号線に対して、パッド121およびカラムドライバ・セレクト141によってデータ信号を入力する構成について説明した。

【0077】

図8においては、さらにパッド122およびカラムドライバ・セレクト142を表示装置100に設ける場合について説明する。この場合に、パッド121には、制御回路160から、液晶表示部110のうちの図面上の左半分の画素に画像を表示させるための各信号が入力される。また、パッド122には、制御回路160から、液晶表示部110のうちの図面上の右半分の画素に画像を表示させるための各信号が入力される。以下の説明において、液晶表示部110のうちの図面上の左半分の領域を単に液晶表示部110の左半分と称する。また、液晶表示部110のうちの図面上の右半分の領域を単に液晶表示部110の右半分と称する。

【0078】

第1データ配線群101のうちの液晶表示部110の左半分の信号線に接続された配線群は、カラムドライバ・セレクト141に接続される。また、第1データ配線群101のうちの液晶表示部110の右半分の信号線に接続された配線群は、カラムドライバ・セレクト142に接続される。

【0079】

また、第2データ配線群102のうちの液晶表示部110の左半分の信号線に接続された配線群は、カラムドライバ・セレクト141に接続される。また、第2データ配線群102のうちの液晶表示部110の右半分の信号線に接続された配線群は、カラムドライバ・セレクト142に接続される。

【0080】

パッド121は、上述のように、制御回路160から入力された各信号に含まれるカラムドライバ・セレクト141へのデータ信号および制御信号をカラムドライバ・セレクト141へ出力する。パッド122は、パッド121と同様に、制御回路160から入力された各信号に含まれるカラムドライバ・セレクト142へのデータ信号および制御信号をカラムドライバ・セレクト142へ出力する。

【0081】

カラムドライバ・セレクト141は、パッド121から出力された制御信号に応じて、パッド121から出力されたデータ信号を、液晶表示部110の列ごとに設けられた信号線(液晶表示部110の左半分のみ)の電極に入力することにより、液晶表示部110の

10

20

30

40

50

左半分の各列の書き換えを指示する。

【 0 0 8 2 】

カラムドライバ・セクタ 1 4 2 は、パッド 1 2 2 から出力された制御信号に応じて、パッド 1 2 2 から出力されたデータ信号を、液晶表示部 1 1 0 の列ごとに設けられた信号線（液晶表示部 1 1 0 の右半分のみ）の電極に入力することにより、液晶表示部 1 1 0 の右半分の各列の書き換えを指示する。

【 0 0 8 3 】

カラムドライバ・セクタ 1 4 2 の構成は、カラムドライバ・セクタ 1 4 1 の構成（たとえば図 3，図 4 参照）と同様である。ただし、図 8 に示す構成において、カラムドライバ・セクタ 1 4 1，1 4 2 のそれぞれが処理するデータ信号の数は $n / 2$ となり、それに伴い、図 3，図 4 に示したカラムドライバ・セクタ 1 4 1，1 4 2 の各端子や各スイッチの数も半分にすることができる。

【 0 0 8 4 】

このように、液晶表示部 1 1 0 に画像を表示させるための各信号を、パッド 1 2 1 およびカラムドライバ・セクタ 1 4 1 と、パッド 1 2 2 およびカラムドライバ・セクタ 1 4 2 と、に分割して処理してもよい。このような構成においても、データ信号が“H”の場合は第 1 データ配線群 1 0 1 を用いて液晶表示部 1 1 0 の上方の側端から該データ信号を入力し、データ信号が“L”の場合は第 2 データ配線群 1 0 2 を用いて液晶表示部 1 1 0 の下方の側端から該データ信号を入力することで、データ信号間の干渉によるノイズを抑えることができる。

【 0 0 8 5 】

図 8 においては、液晶表示部 1 1 0 の各信号線を、液晶表示部 1 1 0 の左半分と右半分の 1 : 1 で分割してそれぞれカラムドライバ・セクタ 1 4 1 とカラムドライバ・セクタ 1 4 2 に対応させる構成について説明した。ただし、液晶表示部 1 1 0 の各信号線の分割比率は 1 : 1 に限らず任意に決定することができる。図 9 に示す構成についても同様である。

【 0 0 8 6 】

（実施の形態にかかる液晶表示装置のさらに他の例）

図 9 は、実施の形態にかかる液晶表示装置のさらに他の例を示す図である。図 9 において、図 8 に示した部分と同様の部分については同一の符号を付して説明を省略する。図 9 に示すように、“H”のデータ信号を液晶表示部 1 1 0 へ伝送する第 1 データ配線群 1 0 1 のうち、液晶表示部 1 1 0 の左半分の信号線に対応する配線群は液晶表示部 1 1 0 の上方の側端に接続され、液晶表示部 1 1 0 の右半分の信号線に対応する配線群は液晶表示部 1 1 0 の下方の側端に接続される構成としてもよい。

【 0 0 8 7 】

また、“L”のデータ信号を液晶表示部 1 1 0 へ伝送する第 2 データ配線群 1 0 2 のうち、液晶表示部 1 1 0 の左半分の信号線に対応する配線群は液晶表示部 1 1 0 の下方の側端に接続され、液晶表示部 1 1 0 の右半分の信号線に対応する配線群は液晶表示部 1 1 0 の上方の側端に接続される構成としてもよい。

【 0 0 8 8 】

このような構成においても、液晶表示部 1 1 0 の左半分の信号線について、データ信号が“H”の場合は第 1 データ配線群 1 0 1 を用いて液晶表示部 1 1 0 の上方の側端から該データ信号を入力し、データ信号が“L”の場合は第 2 データ配線群 1 0 2 を用いて液晶表示部 1 1 0 の下方の側端から該データ信号を入力することで、データ信号間の干渉によるノイズを抑えることができる。

【 0 0 8 9 】

また、液晶表示部 1 1 0 の右半分の信号線について、データ信号が“H”の場合は第 1 データ配線群 1 0 1 を用いて液晶表示部 1 1 0 の下方の側端から該データ信号を入力し、データ信号が“L”の場合は第 2 データ配線群 1 0 2 を用いて液晶表示部 1 1 0 の上方の側端から該データ信号を入力することで、データ信号間の干渉によるノイズを抑えること

ができる。

【 0 0 9 0 】

図 1 , 図 8 , 図 9 に示したように、第 1 データ配線群 1 0 1 および第 2 データ配線群 1 0 2 の各配線方法についての様々な変形が可能である。

【 0 0 9 1 】

このように、実施の形態にかかる表示装置 1 0 0 によれば、液晶表示部 1 1 0 へ平行に伝送される各データ信号について、同一極性への同時変化が少なくなるように符号化しなくても、データ信号間の干渉によるノイズを抑えることができる。このため、液晶表示部 1 1 0 における表示の遅延を抑えつつ、液晶表示部 1 1 0 における表示の精度を向上させることができる。

10

【 0 0 9 2 】

なお、液晶表示部 1 1 0 が $n \times n$ の画素を有する構成について説明したが、液晶表示部 1 1 0 が $m \times n$ の画素 ($m \neq n$) の画素を有する構成としてもよい。この場合は、たとえば図 2 に示した電極 COM__1 ~ COM__n に代えて、行ごとの m 個の電極 COM__1 ~ COM__m が設けられる。

【 0 0 9 3 】

以上説明したように、本願発明にかかる表示装置によれば、表示の遅延を抑えつつ表示の精度を向上させることができる。

【産業上の利用可能性】

【 0 0 9 4 】

20

以上のように、本発明にかかる表示装置は、L C O S などの液晶パネルを用いて画像を表示する表示装置に有用であり、特に、画像を光情報記憶媒体に照射してホログラムを形成することで情報を記憶するホログラフィックメモリに適している。

【符号の説明】

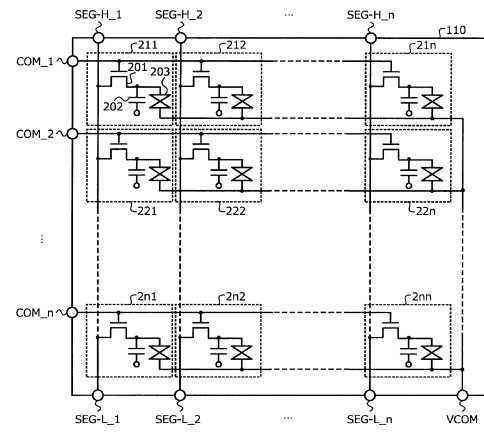
【 0 0 9 5 】

- 1 0 0 表示装置
- 1 0 1 第 1 データ配線群
- 1 0 2 第 2 データ配線群
- 1 0 3 制御配線群
- 1 1 0 液晶表示部
- 1 2 1 , 1 2 2 パッド
- 1 3 0 ロードライバ
- 1 4 1 , 1 4 2 カラムドライバ・セクタ
- 1 5 0 信号線
- 1 5 1 , 1 5 2 電極
- 1 6 0 制御回路
- 2 0 1 トランジスタ
- 2 0 2 コンデンサ
- 2 0 3 液晶セル
- 2 1 1 ~ 2 1 n , 2 2 1 ~ 2 2 n , ... , 2 n 1 ~ 2 n n 画素
- 3 1 1 ~ 3 1 n データ入力端子
- 3 2 1 , 3 2 2 制御信号入力端子
- 3 3 0 制御信号生成部
- 3 4 0 データバッファ部
- 3 5 0 データラッチ部
- 3 6 0 アナログスイッチ回路
- 3 7 1 ~ 3 7 n , 3 8 1 ~ 3 8 n データ出力端子
- 4 1 1 ~ 4 1 n 否定回路
- 5 0 1 ~ 5 0 6 駆動波形

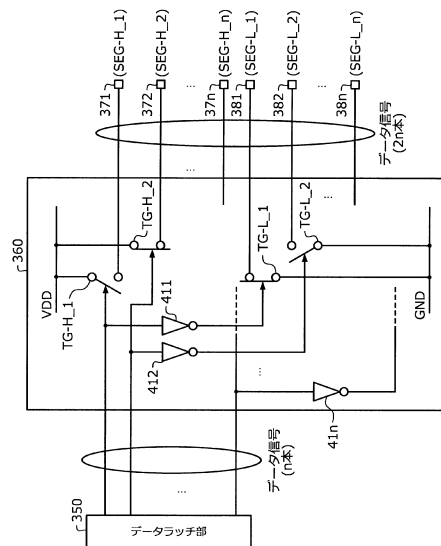
30

40

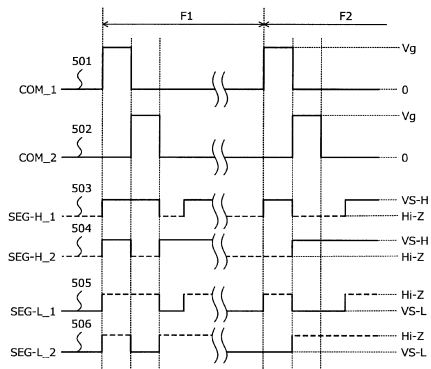
【 図 2 】



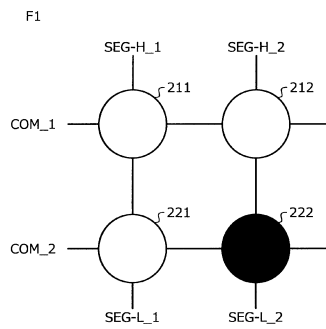
【 図 4 】



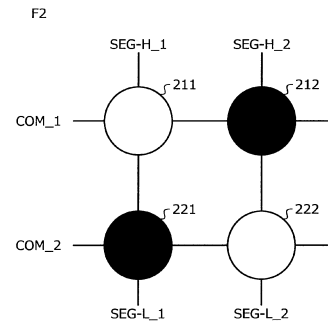
【図 5】



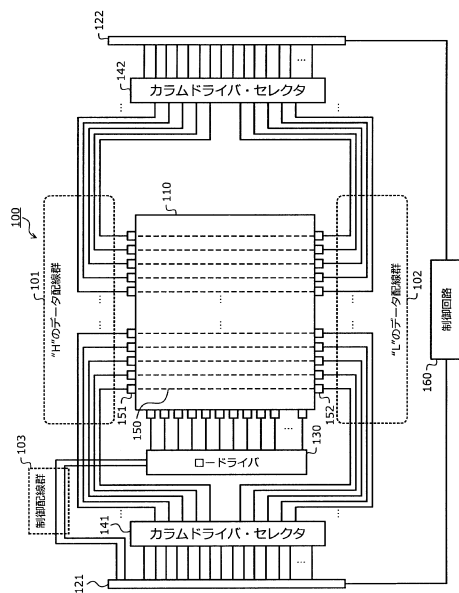
【図 6】



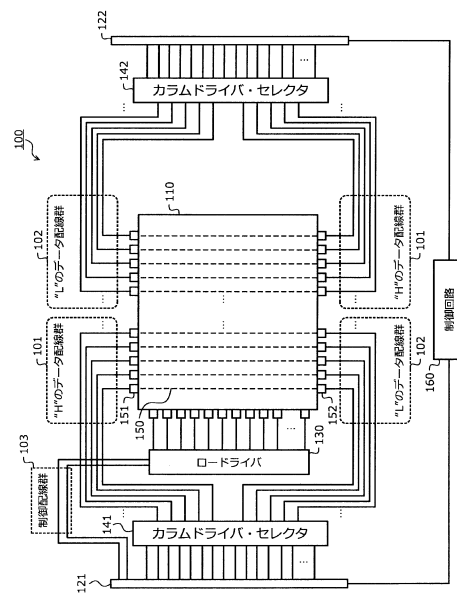
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 9 F 9/30 3 3 8

(56)参考文献 特開平 0 3 - 0 5 1 8 8 7 (J P , A)
米国特許出願公開第 2 0 1 4 / 0 0 5 5 5 0 3 (U S , A 1)
特開 2 0 0 1 - 0 0 4 9 8 0 (J P , A)
特開平 0 5 - 2 7 3 5 2 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	表示装置		
公开(公告)号	JP6478745B2	公开(公告)日	2019-03-06
申请号	JP2015060137	申请日	2015-03-23
[标]申请(专利权)人(译)	西铁城控股株式会社		
申请(专利权)人(译)	西铁城控股有限公司		
当前申请(专利权)人(译)	西铁城钟表有限公司		
[标]发明人	勝呂彰		
发明人	勝呂 彰		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G09F9/30		
FI分类号	G02F1/133.550 G09G3/36 G09G3/20.621.F G09G3/20.641.C G09G3/20.621.M G09G3/20.680.G G09F9/30.338		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA34 2H193/ZC20 2H193/ZE16 2H193/ZF18 2H193/ZF22 2H193/ZF33 2H193/ZF36 2H193/ZF52 2H193/ZP01 2H193/ZQ22 2H193/ZR02 2H193/ZR16 5C006/AA16 5C006/BB16 5C006/FA14 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA13 5C094/BA43 5C094/DA09 5C094/EA10 5C094/FA01 5C094/FA10		
代理人(译)	酒井 昭徳		
审查员(译)	矶崎忠明		
其他公开文献	JP2016180810A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在抑制显示延迟的同时提高显示精度。 液晶显示单元 (110) 具有多条信号线，并显示与输入到多条信号线的每个信号对应的图像。第一数据线组101连接到液晶显示单元110的第一侧端。第二数据线组102连接到液晶显示部分110的第二侧端。列驱动器/选择器141根据要输入到信号线的信号的电压，为液晶显示部分110中的每条信号线选择第一数据线组101和第二数据线组102中的一个。并将其输入信号线。 点域1

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6478745号 (P6478745)
(45) 発行日 平成31年3月6日 (2019.3.6)		(24) 登録日 平成31年2月15日 (2019.2.15)	
(51) Int. Cl.		F I	
G 0 2 F 1/133 (2006.01)		G 0 2 F 1/133 5 5 0	
G 0 9 G 3/36 (2006.01)		G 0 9 G 3/36	
G 0 9 G 3/20 (2006.01)		G 0 9 G 3/20 6 2 1 F	
G 0 9 F 9/30 (2006.01)		G 0 9 G 3/20 6 4 1 C	
		G 0 9 G 3/20 6 2 1 M	
		請求項の数 4 (全 16 頁) 最終頁に続く	
(21) 出願番号	特願2015-60137 (P2015-60137)	(73) 特許権者	000001960 シチズン時計株式会社
(22) 出願日	平成27年3月23日 (2015.3.23)		東京都西東京市田無町六丁目1番12号
(65) 公開番号	特開2016-180810 (P2016-180810A)	(74) 代理人	100104190 弁理士 酒井 昭徳
(43) 公開日	平成28年10月13日 (2016.10.13)	(72) 発明者	勝呂 彰 東京都西東京市田無町六丁目1番12号 シチズンホールディングス株式会社内
審査請求日	平成29年11月6日 (2017.11.6)	審査官	磯崎 忠昭
		最終頁に続く	

(54) 【発明の名称】 表示装置