(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6370435号
(P6370435)

(45)発行日　平成30年8月8日(2018.8.8)　(24)登録日　平成30年7月20日(2018.7.20)

(51)Int.Cl.		F I		
G09F 9/30	(2006.01)	G09F	9/30	338
H01L 29/786	(2006.01)	H01L	29/78	618B
H01L 21/336	(2006.01)	H01L	29/78	618Z
G02F 1/1368	(2006.01)	H01L	29/78	612C
H01L 51/50	(2006.01)	H01L	29/78	613Z

請求項の数 4　(全 66 頁)　最終頁に続く

(21)出願番号　特願2017-70406(P2017-70406)
(22)出願日　平成29年3月31日(2017.3.31)
(62)分割の表示　特願2012-238463(P2012-238463)の分割
原出願日　平成24年10月30日(2012.10.30)
(65)公開番号　特開2017-156754(P2017-156754A)
(43)公開日　平成29年9月7日(2017.9.7)
審査請求日　平成29年4月21日(2017.4.21)
(31)優先権主張番号　特願2011-247258(P2011-247258)
(32)優先日　平成23年11月11日(2011.11.11)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2011-247256(P2011-247256)
(32)優先日　平成23年11月11日(2011.11.11)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　西島　篤宏

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】
【請求項１】
ゲート電極及び第１の導電膜と、
前記ゲート電極上方及び前記第１の導電膜上方に位置するゲート絶縁膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記ゲート電極と重なる領域を有する第１の半導体膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記第１の導電膜と重なる領域を有する第２の半導体膜と、
前記第１の半導体膜上方に位置する一対の第２の導電膜と、
前記第２の半導体膜上方に位置し、なおかつ前記第１の導電膜と重なる領域を有する第３の導電膜と、
前記第１の半導体膜上方、前記第２の半導体膜上方、前記一対の第２の導電膜上方、及び前記第３の導電膜上方に位置する絶縁膜と、
前記絶縁膜上方に位置し、なおかつ前記絶縁膜の第１の開口部において、前記一対の第２の導電膜のいずれか一方と電気的に接続される画素電極と、を有し、
前記絶縁膜、及び前記ゲート絶縁膜の第２の開口部は、前記第１の半導体膜と、前記第２の半導体膜との間の領域を有し、
前記第２の開口部は、前記一対の第２の導電膜のいずれか一と、前記第３の導電膜との間の領域を有し、
前記第２の開口部は、前記第１の導電膜と重なる領域を有する表示装置。

【請求項２】
ゲート電極及び第１の導電膜と、
前記ゲート電極上方及び前記第１の導電膜上方に位置するゲート絶縁膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記ゲート電極と重なる領域を有する第１の半導体膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記第１の導電膜と重なる領域を有する第２の半導体膜と、
前記第１の半導体膜上方に位置する一対の第２の導電膜と、
前記第２の半導体膜上方に位置し、なおかつ前記第１の導電膜と重なる領域を有する第３の導電膜と、
前記第１の半導体膜上方、前記第２の半導体膜上方、前記一対の第２の導電膜上方、及び前記第３の導電膜上方に位置する絶縁膜と、
前記絶縁膜上方に位置し、なおかつ前記絶縁膜、及び前記ゲート絶縁膜の第１の開口部において、前記第１の導電膜と電気的に接続される画素電極と、
前記絶縁膜、及び前記ゲート絶縁膜の第２の開口部において、前記第１の導電膜と電気的に接続されており、なおかつ前記一対の第２の導電膜のいずれか一方と電気的に接続されている第４の導電膜と、を有し、
前記第２の開口部は、前記第１の半導体膜と、前記第２の半導体膜との間の領域を有し、
前記第２の開口部は、前記一対の第２の導電膜のいずれか一と、前記第３の導電膜との間の領域を有する表示装置。
【請求項３】
請求項１または請求項２において、
前記半導体膜は、酸化物半導体を有する表示装置。
【請求項４】
請求項１乃至請求項３のいずれか１項において、
前記半導体膜は、Ｉｎ、Ｇａ、及びＺｎを含む酸化物半導体を有する表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、各画素にトランジスタを有する液晶表示装置と、その作製方法に関する。本発明は、各画素にトランジスタを有する発光装置と、その作製方法に関する。
【背景技術】
【０００２】
結晶性を有するシリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透光性を有する画素電極に用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献１及び特許文献２）。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００７－１２３８６１号公報
【特許文献２】特開２００７－９６０５５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】

ところで、液晶表示装置に用いられるトランジスタは、経時劣化による電気的特性（閾値電圧、移動度、Ｓ値など）の変化が小さいこと、また、経時劣化により生じる電気的特性のばらつきが小さいことが望まれる。経時劣化による電気的特性の変化が小さいトランジスタ、また、経時劣化により生じる電気的特性のばらつきが小さいトランジスタを用いることで、液晶表示装置の信頼性を高めることができ、表示する画像の品質を高めることができる。

【０００５】

また、フォトリソグラフィ法で用いられる露光用のマスクは一般的に高価であり、なおかつ、フォトリソグラフィ法では、１枚のマスクにつき、フォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程が必要となる。よって、液晶表示装置の作製に必要なマスクの枚数が増えると、それだけ作製工程数が増加し、なおかつ作製に費やされるコストが高くなりやすい。

【０００６】

上述したような技術的背景のもと、本発明は、信頼性の高い液晶表示装置の提供を、課題の一つとする。また、本発明は、少ない枚数のマスクで作製でき、なおかつ信頼性の高い液晶表示装置の提供を、課題の一つとする。

【０００７】

或いは、本発明は、少ない枚数のマスクを用いて、信頼性の高い液晶表示装置を得られる、液晶表示装置の作製方法の提供を、課題の一つとする。

【０００８】

また、ＯＬＥＤ（Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）などの発光素子を用いたアクティブマトリクス型の発光装置において、各画素に設けられたトランジスタは、経時劣化による電気的特性の変化が小さいこと、また、経時劣化により生じる電気的特性のばらつきが小さいことが望まれる。経時劣化による電気的特性の変化が小さいトランジスタ、また、経時劣化により生じる電気的特性のばらつきが小さいトランジスタを用いることで、発光装置の信頼性を高めることができ、表示する画像の品質を高めることができる。

【０００９】

また、フォトリソグラフィ法で用いられる露光用のマスクは一般的に高価であり、なおかつ、フォトリソグラフィ法では、１枚のマスクにつき、フォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程が必要となる。よって、発光装置の作製に必要なマスクの枚数が増えると、それだけ作製工程数が増加し、なおかつ作製に費やされるコストが高くなりやすい。

【００１０】

上述したような技術的背景のもと、本発明は、信頼性の高い発光装置の提供を、課題の一つとする。また、本発明は、少ない枚数のマスクで作製でき、なおかつ信頼性の高い発光装置の提供を、課題の一つとする。

【００１１】

或いは、本発明は、少ない枚数のマスクを用いて、信頼性の高い発光装置を得られる、発光装置の作製方法の提供を、課題の一つとする。

【課題を解決するための手段】

【００１２】

本発明の一態様では、画素電極とソース電極またはドレイン電極とを接続するための開口部を、ソース電極及びドレイン電極上の絶縁膜に形成する工程において、当該絶縁膜の形状のみならず、半導体膜の形状をも加工する。具体的に、本発明の一態様に係る液晶表示装置の作製方法では、ゲート電極を形成する工程と、半導体膜が有するチャネル形成領域を保護する機能を有する絶縁膜（以下、チャネル保護膜とも呼ぶ）を形成する工程と、ソース電極またはドレイン電極を形成する工程と、ソース電極及びドレイン電極上の絶縁膜に開口部を形成し、なおかつ半導体膜の形状を加工する工程と、画素電極を形成する工程とにおいて、マスクを利用したフォトリソグラフィ法を用いる。よって、半導体膜の形状

を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、本発明の一態様では、省略することができる。

【００１３】

また、具体的に、本発明の一態様に係る発光装置の作製方法では、ゲート電極を形成する工程と、半導体膜が有するチャネル形成領域を保護する機能を有する絶縁膜を形成する工程と、ソース電極またはドレイン電極を形成する工程と、ソース電極及びドレイン電極上の絶縁膜に開口部を形成し、なおかつ半導体膜の形状を加工する工程と、画素電極を形成する工程と、画素電極上の絶縁膜に開口部を設けることで隔壁を形成する工程と、において、マスクを利用したフォトリソグラフィ法を用いる。よって、半導体膜の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、本発明の一態様では、省略することができる。

【００１４】

なお、ソース電極及びドレイン電極と、ソース電極及びドレイン電極と同じ層に形成された導電膜とは、ソース電極及びドレイン電極上の絶縁膜と、半導体膜の間に存在する。そのため、上述したような、ソース電極及びドレイン電極上の絶縁膜の形状と半導体膜の形状を同一のマスクで加工する作製方法を用いる場合、半導体膜のうち上記導電膜の下部に位置する部分は、その形状を加工することが難しい。そして、複数の導電膜が半導体膜と重なっていると、画素電極から半導体膜に印加される電界により、導電膜間において半導体膜にチャネル（以下、寄生チャネルと呼ぶ）が形成されることがある。寄生チャネルが形成されると、電気的に分離されるべき導電膜どうしが半導体膜を介して電気的に接続されるため、表示される画質の低下が引き起こされる。

【００１５】

そこで、本発明の一態様に係る液晶表示装置または発光装置では、複数の導電膜間において複数の導電膜上の絶縁膜が開口部を有し、半導体膜は上記開口部と重なる領域において除去されている構成とする。よって、複数の各導電膜と重なる位置に設けられた半導体膜どうしは、当該開口部において離隔している構成となる。上記構成により、寄生チャネルの形成が抑制され、導電膜どうしが電気的に接続されるのを防ぐことができる。

【００１６】

また、チャネル保護膜を形成する工程、或いは、ソース電極またはドレイン電極を形成する工程において、エッチングにより露出した半導体膜またはチャネル保護膜の表面に不純物が付着すると、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化がもたらされやすい。また、半導体膜に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜どうしが半導体膜を介して電気的に接続されやすくなる。具体的に、上記不純物には、ソース電極またはドレイン電極を構成する元素、エッチングを行った処理室内に存在する元素、或いは、エッチングに用いたエッチングガスやエッチング液を構成する元素などが含まれる。そこで、本発明の一態様に係る液晶表示装置または発光装置の作製方法では、チャネル保護膜を形成するためのエッチングが終了した後、もしくは、ソース電極またはドレイン電極を形成するためのエッチングが終了した後に、半導体膜またはチャネル保護膜の表面に付着したであろう不純物を除去する工程も有する。

【００１７】

具体的に、本発明の一態様に係る液晶表示装置は、ゲート電極と、ゲート電極上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置し、ゲート電極と重なる半導体膜と、半導体膜上に位置し、ゲート電極と重なる島状の第１絶縁膜と、半導体膜上に位置する第１導電膜と、島状の第１絶縁膜を間に挟み、なおかつ半導体膜上に位置する一対の第２導電膜と、半導体膜、島状の第１絶縁膜、第１導電膜、及び一対の第２導電膜上に位置する第２絶縁膜と、第２絶縁膜上に位置し、第２絶縁膜に設けられた第１開口部を介して、一対の第２導電膜のいずれか一方に接続される画素電極と、を有し、第２絶縁膜及び半導体膜には、第１導電膜と、一対の第２導電膜のいずれか一方または他方の間に位置する第２開口部が設けられている。

【００１８】

具体的に、本発明の一態様に係る液晶表示装置の作製方法は、ゲート絶縁膜上においてゲート電極と重なるように半導体膜を形成する工程と、半導体膜上においてゲート電極と重なるように島状の第１絶縁膜を、フォトリソグラフィ法により形成する工程と、第１導電膜と、島状の第１絶縁膜を間に挟む一対の第２導電膜とを、フォトリソグラフィ法により半導体膜上に形成する工程と、第２絶縁膜を、半導体膜、島状の第１絶縁膜、第１導電膜、及び一対の第２導電膜上に形成する工程と、一対の第２導電膜の一方を部分的に露出させる第１開口部と、第２絶縁膜及び半導体膜に、第１導電膜と一対の第２導電膜のいずれか一方または他方の間に位置する第２開口部とを、フォトリソグラフィ法により形成する工程と、第２絶縁膜上に、第１開口部を介して一対の第２導電膜の一方に接続される画素電極を、フォトリソグラフィ法により形成する工程と、を有する。

【００１９】

具体的に、本発明の一態様に係る発光装置は、ゲート電極と、ゲート電極上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置し、ゲート電極と重なる半導体膜と、半導体膜上に位置し、ゲート電極と重なる島状の第１絶縁膜と、半導体膜上に位置する第１導電膜と、島状の第１絶縁膜を間に挟み、なおかつ半導体膜上に位置する一対の第２導電膜と、半導体膜、島状の第１絶縁膜、第１導電膜、及び一対の第２導電膜上に位置する第２絶縁膜と、第２絶縁膜上に位置し、第２絶縁膜に設けられた第１開口部を介して、一対の第２導電膜のいずれか一方に接続される画素電極と、画素電極上の第３絶縁膜と、を有し、第２絶縁膜及び半導体膜には、第１導電膜と、一対の第２導電膜のいずれか一方または他方の間に位置する第２開口部が設けられており、第３絶縁膜には、画素電極が部分的に露出するような第３開口部が設けられている。

【００２０】

具体的に、本発明の一態様に係る発光装置の作製方法は、ゲート絶縁膜上においてゲート電極と重なるように半導体膜を形成する工程と、半導体膜上においてゲート電極と重なるように島状の第１絶縁膜を、フォトリソグラフィ法により形成する工程と、第１導電膜と、島状の第１絶縁膜を間に挟む一対の第２導電膜とを、フォトリソグラフィ法により半導体膜上に形成する工程と、第２絶縁膜を、半導体膜、島状の第１絶縁膜、第１導電膜、及び一対の第２導電膜上に形成する工程と、一対の第２導電膜の一方を部分的に露出させる第１開口部と、第２絶縁膜及び半導体膜に、第１導電膜と一対の第２導電膜のいずれか一方または他方の間に位置する第２開口部とを、フォトリソグラフィ法により形成する工程と、第２絶縁膜上に、第１開口部を介して一対の第２導電膜の一方に接続される画素電極を、フォトリソグラフィ法により形成する工程と、画素電極上に、画素電極と重なる位置に開口部を有する第３絶縁膜を、フォトリソグラフィ法により形成する工程と、を有する。

【発明の効果】

【００２１】

本発明の一態様では、信頼性の高い液晶表示装置を提供することができる。また、本発明の一態様では、少ない枚数のマスクで、信頼性の高い液晶表示装置を提供することができる。

【００２２】

また、本発明の一態様に係る液晶表示装置の作製方法では、少ない枚数のマスクで、信頼性の高い液晶表示装置を作製することができる。

【００２３】

本発明の一態様では、信頼性の高い発光装置を提供することができる。また、本発明の一態様では、少ない枚数のマスクで、信頼性の高い発光装置を提供することができる。

【００２４】

また、本発明の一態様に係る発光装置の作製方法では、少ない枚数のマスクで、信頼性の高い発光装置を作製することができる。

【図面の簡単な説明】

【００２５】

【図１】液晶表示装置の構造を示す図。
【図２】液晶表示装置の構造を示す図。
【図３】液晶表示装置の構造を示す図。
【図４】液晶表示装置の構造を示す図。
【図５】液晶表示装置の画素の上面図。
【図６】液晶表示装置の画素の断面図。
【図７】液晶表示装置の構造を示す図。
【図８】液晶表示装置の画素部の構造と、画素の回路図。
【図９】液晶表示装置の作製方法を示す図。
【図１０】液晶表示装置の作製方法を示す図。
【図１１】液晶表示装置の作製方法を示す図。
【図１２】液晶表示装置の作製方法を示す図。
【図１３】液晶表示装置の作製方法を示す図。
【図１４】パネルの構造を示す図。
【図１５】液晶表示装置の斜視図。
【図１６】電子機器の図。
【図１７】発光装置の構造を示す図。
【図１８】発光装置の構造を示す図。
【図１９】発光装置の構造を示す図。
【図２０】発光装置の構造を示す図。
【図２１】発光装置の画素の上面図。
【図２２】発光装置の画素の断面図。
【図２３】発光装置の画素の断面図。
【図２４】発光装置の画素部の構造と、画素の回路図。
【図２５】発光装置の構造を示す図。
【図２６】発光装置の作製方法を示す図。
【図２７】発光装置の作製方法を示す図。
【図２８】発光装置の作製方法を示す図。
【図２９】発光装置の作製方法を示す図。
【図３０】発光装置の作製方法を示す図。
【図３１】画素の断面図。
【図３２】パネルの構造を示す図。
【図３３】発光装置の斜視図。

【発明を実施するための形態】

【００２６】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【００２７】

なお、本明細書において液晶表示装置とは、液晶素子が各画素に形成されたパネルと、駆動回路またはコントローラを含むＩＣ等を当該パネルに実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る液晶表示装置は、当該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、トランジスタを介して電圧が供給される画素電極とを、複数の各画素に備える。

【００２８】

また、本明細書において発光装置とは、発光素子が各画素に形成されたパネルと、駆動回路またはコントローラを含むＩＣ等を当該パネルに実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る発光装置は、当該発光装置を作製する過

程における、発光素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、トランジスタを介して電圧が供給される画素電極とを、複数の各画素に備える。

【００２９】

（実施の形態１）

図１に、本発明の一態様に係る液晶表示装置の構造を例示する。図１（Ａ）は、画素が有するトランジスタ１００の、チャネル長方向における断面図の一例である。

【００３０】

図１（Ａ）では、絶縁表面上のゲート電極１０１と、ゲート電極１０１上に位置するゲート絶縁膜１０２と、ゲート絶縁膜１０２上に位置し、ゲート電極１０１と重なる半導体膜１０３と、半導体膜１０３上に位置し、ゲート電極１０１と重なる島状の絶縁膜１０４と、半導体膜１０３上に位置する導電膜１０５と、絶縁膜１０４を間に挟み、なおかつ半導体膜１０３上に位置する導電膜１０６ａ及び導電膜１０６ｂと、半導体膜１０３、絶縁膜１０４、導電膜１０５、導電膜１０６ａ及び導電膜１０６ｂ上に位置する絶縁膜１０７と、絶縁膜１０７上に位置し、絶縁膜１０７に設けられた開口部１０８を介して導電膜１０６ｂに接続される画素電極１０９と、絶縁膜１０７及び半導体膜１０３に設けられた開口部１１０とが、図示されている。

【００３１】

そして、図１（Ａ）では、ゲート電極１０１、ゲート絶縁膜１０２、半導体膜１０３、チャネル保護膜として機能する絶縁膜１０４、導電膜１０６ａ及び導電膜１０６ｂがトランジスタ１００を構成している。そして、導電膜１０６ａ及び導電膜１０６ｂは、いずれか一方がソース電極、他方がドレイン電極として機能する。

【００３２】

本発明の一態様に係る液晶表示装置の作製方法では、ゲート電極１０１を形成する工程と、絶縁膜１０４を形成する工程と、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂを形成する工程と、絶縁膜１０７に開口部１０８を形成し、なおかつ絶縁膜１０７及び半導体膜１０３に開口部１１０を形成する工程と、画素電極１０９を形成する工程とにおいて、マスクを用いたフォトリソグラフィ法を用いる。すなわち、本発明の一態様では、絶縁膜１０７に開口部１１０を形成する工程において、半導体膜１０３の形状を加工しているため、半導体膜１０３の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、省略することができる。よって、本発明の一態様に係る液晶表示装置では、フォトリソグラフィ法で行なわれるフォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程を一部省略することができる。そして、高価な露光用のマスクの枚数を抑えることができるので、液晶表示装置の作製に費やされるコストを抑えることができる。

【００３３】

なお、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂは、絶縁膜１０７と、半導体膜１０３の間に存在する。そのため、絶縁膜１０７に開口部１０８を形成する工程において半導体膜１０３の形状をも加工する作製方法を用いる場合、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂの下部に位置する半導体膜１０３の形状を加工することが難しい。そして、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂが半導体膜１０３と重なっていると、画素電極１０９から半導体膜１０３に印加される電界により半導体膜１０３に寄生チャネルが形成されることがある。寄生チャネルが形成されると、電気的に分離されるべき導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂとが、半導体膜１０３を介して電気的に接続されるため、表示される画質の低下が引き起こされる。

【００３４】

そこで、本発明の一態様に係る液晶表示装置では、開口部１１０の位置を、導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間に定め、それにより、半導体膜１０３を部分的に除去する構成とする。なお、図１（Ａ）では、開口部１１０において半導体膜１０３及び絶縁膜１０７だけではなく、ゲート絶縁膜１０２が除去されている場合を例示して

いる。本発明の一態様では、開口部１１０においてゲート絶縁膜１０２を必ずしも除去する必要はなく、開口部１１０においてゲート絶縁膜１０２が残存していても良い。

【００３５】

図１（Ｂ）に、図１（Ａ）に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図１（Ｂ）では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜１０２及び絶縁膜１０７を省略した上面図を示す。また、図１（Ｂ）の一点鎖線Ａ１－Ａ２における断面図が、図１（Ａ）に相当する。

【００３６】

図１（Ａ）及び図１（Ｂ）に示すように、本発明の一態様では、半導体膜１０３及び絶縁膜１０７に、導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間に位置する、開口部１１０が設けられている。

【００３７】

開口部１１０により、本発明の一態様では、図１（Ａ）及び図１（Ｂ）に示すように、導電膜１０６ａまたは導電膜１０６ｂの下に位置する半導体膜１０３と、導電膜１０５の下に位置する半導体膜１０３とが、離隔した状態にある。よって、本発明の一態様では、画素電極１０９などから半導体膜１０３に電界が印加されても、開口部１１０が導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間に存在することで、半導体膜１０３に寄生チャネルが形成されるのを抑制することができる。そして、寄生チャネルの形成が抑制されることで、導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂとが意図せず電気的に接続されるのを防ぎ、液晶表示装置に表示される画質の低下を防ぐことができる。

【００３８】

なお、図１（Ｂ）では、導電膜１０６ａまたは導電膜１０６ｂの下に位置する半導体膜１０３と導電膜１０５の下に位置する半導体膜１０３とが、完全に離隔している場合を例示している。しかし、本発明の一態様では、半導体膜１０３が必ずしも完全に離隔している必要はなく、導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間において、半導体膜１０３が部分的に離隔していても良い。

【００３９】

図２に、図１（Ａ）に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図２では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜１０２及び絶縁膜１０７を省略した上面図を示す。

【００４０】

図２に示す液晶表示装置では、開口部１１０の形状が図１（Ｂ）の場合と異なる。図２では、開口部１１０が、図１（Ｂ）の場合と同様に導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間に位置しているが、導電膜１０６ａまたは導電膜１０６ｂの下に位置する半導体膜１０３と導電膜１０５の下に位置する半導体膜１０３とが、開口部１１０以外の領域で繋がっている。すなわち、図２では、導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間において、半導体膜１０３が部分的に離隔した状態にある。半導体膜１０３が部分的に離隔した状態にあっても、寄生チャネルの生成が抑制されるという効果を得ることができる。

【００４１】

また、開口部１１０が形成される領域の一部は、導電膜１０６ａまたは導電膜１０６ｂと重なっていても良い。或いは、開口部１１０が形成される領域の一部は、導電膜１０５が形成される領域と重なっていても良い。

【００４２】

図３（Ａ）に、画素が有するトランジスタ１００の、チャネル長方向における断面図の一例を示す。また、図３（Ｂ）に、図３（Ａ）に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図３（Ｂ）では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜１０２及び絶縁膜１０７を省略した上面図を示す。また、図３（Ｂ）の一点鎖線Ｂ１－Ｂ２における断面図が、図３（Ａ）に相当する。

【００４３】

図３（Ａ）及び図３（Ｂ）に示す液晶表示装置では、開口部１１０の形成される領域が図１（Ａ）及び図１（Ｂ）の場合と異なる。図３（Ａ）及び図３（Ｂ）では、開口部１１０が形成される領域の一部が、導電膜１０６ｂが形成される領域と重なっている。導電膜１０６ｂの下に位置する半導体膜１０３は、開口部１１０の形成の際に、除去されない。よって、開口部１１０が形成されている領域内において、半導体膜１０３は、部分的に残存している状態にあり、開口部１１０における半導体膜１０３の端部と絶縁膜１０７の端部とは一致しない。

【００４４】

本発明の一態様では、図３（Ａ）及び図３（Ｂ）に示すように、開口部１１０が形成される領域の一部が、導電膜１０６ｂが形成される領域と重なっていても、導電膜１０６ｂの下に位置する半導体膜１０３と、導電膜１０５の下に位置する半導体膜１０３とを、離隔した状態にすることができる。よって、寄生チャネルの生成が抑制されるという効果を得ることができる。

【００４５】

なお、開口部１１０が形成される領域の一部と、導電膜１０６ａが形成される領域とが重なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。或いは、開口部１１０が形成される領域の一部と、導電膜１０５が形成される領域とが重なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。

【００４６】

そして、開口部１１０が形成される領域が、導電膜１０６ｂが形成される領域と部分的に重なっている場合、導電膜１０６ｂと画素電極１０９を接続するための開口部１０８を設ける必要がない。よって、開口部１０８を形成するための領域を確保する必要がないので、画素部の高精細化を実現することができる。

【００４７】

また、図４（Ａ）に、画素が有するトランジスタ１００の、チャネル長方向における断面図の一例を示す。また、図４（Ｂ）に、図４（Ａ）に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図４（Ｂ）では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜１０２及び絶縁膜１０７を省略した上面図を示す。また、図４（Ｂ）の一点鎖線Ｃ１－Ｃ２における断面図が、図４（Ａ）に相当する。

【００４８】

図４（Ａ）及び図４（Ｂ）に示す液晶表示装置は、ゲート電極１０１と同じ層に導電膜１１１が設けられている点において、図１（Ａ）及び図１（Ｂ）に示す液晶表示装置と構造が異なる。具体的に、図４（Ａ）及び図４（Ｂ）では、絶縁表面上に導電膜１１１が位置し、導電膜１１１上にゲート絶縁膜１０２及び半導体膜１０３が順に積層されるように設けられており、半導体膜１０３上において導電膜１１１と重なる位置に導電膜１０５が設けられている。

【００４９】

そして、図４（Ａ）及び図４（Ｂ）では、開口部１１０が形成される領域と、導電膜１１１が形成される領域とが部分的に重なっており、開口部１１０において導電膜１１１の一部が露出した状態にある。そして、導電膜１１１は半導体膜１０３の下に位置するため、開口部１１０において半導体膜１０３は部分的に除去された状態にある。よって、図４（Ａ）及び図４（Ｂ）の場合でも、導電膜１０６ａまたは導電膜１０６ｂの下に位置する半導体膜１０３と、導電膜１０５の下に位置する半導体膜１０３とが、離隔した状態にあるため、寄生チャネルの生成が抑制されるという効果を得ることができる。

【００５０】

なお、本発明の一態様に係る液晶表示装置では、トランジスタ１００が有する半導体膜１０３が、酸化物半導体などのワイドギャップ半導体を含んでいる。

【００５１】

酸化物半導体としては、少なくともインジウム（Ｉｎ）あるいは亜鉛（Ｚｎ）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減ら

すためのスタビライザーとして、それらに加えてガリウム（Ｇａ）を有することが好ましい。また、スタビライザーとしてスズ（Ｓｎ）を有することが好ましい。また、スタビライザーとしてハフニウム（Ｈｆ）を有することが好ましい。また、スタビライザーとしてアルミニウム（Ａｌ）を有することが好ましい。また、スタビライザーとしてジルコニウム（Ｚｒ）を含むことが好ましい。

【００５２】

また、他のスタビライザーとして、ランタノイドである、ランタン（Ｌａ）、セリウム（Ｃｅ）、プラセオジム（Ｐｒ）、ネオジム（Ｎｄ）、サマリウム（Ｓｍ）、ユウロピウム（Ｅｕ）、ガドリニウム（Ｇｄ）、テルビウム（Ｔｂ）、ジスプロシウム（Ｄｙ）、ホルミウム（Ｈｏ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、イッテルビウム（Ｙｂ）、ルテチウム（Ｌｕ）のいずれか一種または複数種を含んでいてもよい。

【００５３】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物を、半導体膜１０３に用いることができる。

【００５４】

なお、例えば、Ｉｎ－Ｇａ－Ｚｎ系酸化物とは、ＩｎとＧａとＺｎを含む酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素を含んでいてもよい。Ｉｎ－Ｇａ－Ｚｎ系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【００５５】

例えば、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１（＝１／３：１／３：１／３）あるいはＩｎ：Ｇａ：Ｚｎ＝２：２：１（＝２／５：２／５：１／５）の原子比のＩｎ－Ｇａ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１（＝１／３：１／３：１／３）、Ｉｎ：Ｓｎ：Ｚｎ＝２：１：３（＝１／３：１／６：１／２）あるいはＩｎ：Ｓｎ：Ｚｎ＝２：１：５（＝１／４：１／８：５／８）の原子比のＩｎ－Ｓｎ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いるとよい。

【００５６】

例えば、Ｉｎ－Ｓｎ－Ｚｎ系酸化物では比較的容易に高い移動度が得られる。しかしながら、Ｉｎ－Ｇａ－Ｚｎ系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【００５７】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（ｐｕｒｉｆｉｅｄ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）は、ｉ型（真性半導体）又はｉ型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いる

ことにより、トランジスタのオフ電流を下げることができる。

【００５８】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が1×10^{6}μｍでチャネル長が１０μｍの素子であっても、ソース端子とドレイン端子間の電圧（ドレイン電圧）が１Ｖから１０Ｖの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち1×10^{-13}Ａ以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流は、１００ｚＡ／μｍ以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース端子とドレイン端子間の電圧が３Ｖの場合に、数十ｙＡ／μｍという、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【００５９】

なお、特に断りがない限り、本明細書でオフ電流とは、ｎチャネル型トランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも高い電位とした状態において、ソース端子の電位を基準としたときのゲート電極の電位が０以下であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、ｐチャネル型トランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも低い電位とした状態において、ソース端子の電位を基準としたときのゲート電極の電位が０以上であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。

【００６０】

また、トランジスタのソース端子とは、活性層の一部であるソース領域、或いは活性層に接続されたソース電極を意味する。同様に、トランジスタのドレイン端子とは、活性層の一部であるドレイン領域、或いは活性層に接続されたドレイン電極を意味する。

【００６１】

また、酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。好ましくは、酸化物半導体膜は、ＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜とする。

【００６２】

ＣＡＡＣ－ＯＳ膜は、完全な単結晶ではなく、完全な非晶質でもない。ＣＡＡＣ－ＯＳ膜は、非晶質相に結晶部および非晶質部を有する結晶－非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ Ｅｌｅｃｔｒｏｎ Ｍｉｃｒｏｓｃｏｐｅ）による観察像では、ＣＡＡＣ－ＯＳ膜に含まれる非晶質部と結晶部との境界は明確ではない。また、ＴＥＭによってＣＡＡＣ－ＯＳ膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、ＣＡＡＣ－ＯＳ膜は、粒界に起因する電子移動度の低下が抑制される。

【００６３】

ＣＡＡＣ－ＯＳ膜に含まれる結晶部は、ｃ軸がＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつａｂ面に垂直な方向から見て三角形状または六角形状の原子配列を有し、ｃ軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれａ軸およびｂ軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、８５°以上９５°以下の範囲も含まれることとする。また、単に平行と記載する場合、－５°以上５°以下の範囲も含まれることとする。

【００６４】
なお、ＣＡＡＣ－ＯＳ膜において、結晶部の分布が一様でなくてもよい。例えば、ＣＡＡＣ－ＯＳ膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、ＣＡＡＣ－ＯＳ膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。
【００６５】
ＣＡＡＣ－ＯＳ膜に含まれる結晶部のｃ軸は、ＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、ＣＡＡＣ－ＯＳ膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のｃ軸の方向は、ＣＡＡＣ－ＯＳ膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。
【００６６】
ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。
【００６７】
ＣＡＡＣ－ＯＳ膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がａ－ｂ面から劈開し、ａ－ｂ面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、ＣＡＡＣ－ＯＳ膜を成膜することができる。
【００６８】
また、ＣＡＡＣ－ＯＳ膜を成膜するために、以下の条件を適用することが好ましい。
【００６９】
成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が－８０℃以下、好ましくは－１００℃以下である成膜ガスを用いる。
【００７０】
また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を１００℃以上７４０℃以下、好ましくは２００℃以上５００℃以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。
【００７１】
また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、３０体積％以上、好ましくは１００体積％とする。
【００７２】
スパッタリング用ターゲットの一例として、Ｉｎ－Ｇａ－Ｚｎ系酸化物ターゲットについて以下に示す。
【００７３】
InO_X粉末、GaO_Y粉末およびZnO_Z粉末を所定のｍｏｌ数比で混合し、加圧処理後、１０００℃以上１５００℃以下の温度で加熱処理をすることで多結晶であるＩｎ－Ｇａ－Ｚｎ系酸化物ターゲットとする。なお、Ｘ、ＹおよびＺは任意の正数である。ここで、所定のｍｏｌ数比は、例えば、InO_X粉末、GaO_Y粉末およびZnO_Z粉末が、２：２：１、８：４：３、３：１：１、１：１：１、４：２：３または３：１：２である。なお、粉末の種類、およびその混合するｍｏｌ数比は、作製するスパッタリング用ターゲ

ットによって適宜変更すればよい。
【００７４】
（実施の形態２）
次いで、本発明の一態様に係る液晶表示装置の、画素部の具体的な構成について、一例を挙げて説明する。
【００７５】
図８（Ａ）に、画素部１０の構成例を示す。図８（Ａ）では、画素部１０に、走査線駆動回路によって電位が制御されるｙ本の走査線ＧＬ（ＧＬ１乃至ＧＬｙ）と、信号線駆動回路によって電位が制御されるｘ本の信号線ＳＬ（ＳＬ１乃至ＳＬｘ）とが設けられている。
【００７６】
そして、走査線ＧＬは、複数の画素１１にそれぞれ接続されている。具体的に、各走査線ＧＬは、マトリクス状に設けられた複数の画素１１のうち、いずれかの行に設けられたｘ個の画素１１に接続される。
【００７７】
また、信号線ＳＬは、画素部１０においてｘ列ｙ行に設けられた複数の画素１１のうち、いずれかの列に設けられたｙ個の画素１１に接続される。
【００７８】
なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。
【００７９】
なお、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。
【００８０】
図８（Ｂ）に、画素１１の回路図の一例を示す。図８（Ｂ）に示す画素１１は、スイッチング素子として機能するトランジスタ１２と、トランジスタ１２を介して与えられた画像信号の電位に従って、その透過率が制御される液晶素子１３と、容量素子１４とを有する。
【００８１】
液晶素子１３は、画素電極と、共通電極と、画素電極と共通電極間の電圧が印加される液晶を含んだ液晶層とを有している。そして、容量素子１４は、液晶素子１３が有する画素電極と共通電極間の電圧を保持する機能を有している。
【００８２】
液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、高分子分散型液晶（ＰＤＬＣ）に分類される液晶材料を用いることができる。
【００８３】
また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラ

ル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が１ｍｓｅｃ以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

【００８４】

また液晶の駆動方法としては、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＳＴＮ（Ｓｕｐｅｒ　Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ　Ｓｗｉｔｃｈｉｎｇ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）モード、ブルー相モード、ＴＢＡ（Ｔｒａｎｓｖｅｒｓｅ　Ｂｅｎｄ　Ａｌｉｇｎｍｅｎｔ）モード、ＶＡ－ＩＰＳモード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｃｏｎｔｒｏｌｌｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＰＤＬＣ（Ｐｏｌｙｍｅｒ　Ｄｉｓｐｅｒｓｅｄ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＰＮＬＣ（Ｐｏｌｙｍｅｒ　Ｎｅｔｗｏｒｋ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ゲストホストモードなどを適用することが可能である。

【００８５】

画素１１は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【００８６】

具体的に、図８（Ｂ）では、トランジスタ１２のゲート電極が走査線ＧＬに接続されている。トランジスタ１２は、そのソース端子またはドレイン端子の一方が信号線ＳＬに接続され、他方が液晶素子１３の画素電極に接続されている。容量素子１４は、一方の電極が液晶素子１３の画素電極に接続されており、他方の電極が、特定の電位の与えられているノードに接続されている。なお、液晶素子１３が有する共通電極にも特定の電位が与えられている。そして、共通電極に与えられる電位は、容量素子１４が有する他方の電極に与えられる電位と共通であっても良い。

【００８７】

なお、図８（Ｂ）では、画素１１において、一のトランジスタ１２をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを用いていても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【００８８】

本明細書において、トランジスタが直列に接続されている状態とは、例えば、第１のトランジスタのソース端子またはドレイン端子の一方のみが、第２のトランジスタのソース端子またはドレイン端子の一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第１のトランジスタのソース端子またはドレイン端子の一方が第２のトランジスタのソース端子またはドレイン端子の一方に接続され、第１のトランジスタのソース端子またはドレイン端子の他方が第２のトランジスタのソース端子またはドレイン端子の他方に接続されている状態を意味する。

【００８９】

トランジスタ１２が酸化物半導体をチャネル形成領域に含むことで、オフ電流が極めて小さく、なおかつ高耐圧であるトランジスタ１２を実現することができる。そして、上記構成を有するトランジスタ１２をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素子１３に蓄積された電荷のリークを防ぐことができる。

【００９０】

オフ電流の極めて小さいトランジスタ１２を用いることで、液晶素子１３に与えられる電圧が保持される期間を長く確保することができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部１０に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素部１０への画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。例えば、高純度化された酸化物半導体を活性層に用いたトランジスタ１２を用いることで、画像信号の書き込みの間隔を１０秒以上、好ましくは３０秒以上、さらに好ましくは１分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、消費電力をより低減することができる。

【００９１】

また、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために、液晶素子１３に容量素子１４を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子１４を設けないことによって、或いは容量素子１４のサイズを小さくすることによって、開口率を高めることができるため、液晶表示装置の消費電力を低減させることができる。

【００９２】

また、画像信号の電位の極性を、共通電極の電位を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶材料の劣化を防ぐことができる。しかし、反転駆動を行うと、画像信号の極性が変化する際に信号線ＳＬに与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ１２のソース端子とドレイン端子の電位差が大きくなる。よって、トランジスタ１２は、閾値電圧がシフトするなどの特性劣化が生じやすい。また、液晶素子１３に保持されている電圧を維持するために、ソース端子とドレイン端子の電位差が大きくても、オフ電流が低いことが要求される。トランジスタ１２に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いることで、トランジスタ１２の耐圧性を高め、オフ電流を著しく小さくすることができる。よって、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ１２の劣化を防ぎ、液晶素子１３に保持されている電圧を維持することができる。

【００９３】

次いで、図８（Ｂ）に示した画素１１のレイアウトについて、図５及び図６を用いて説明する。図５は、画素１１の上面図の一例である。また、図６（Ａ）は、図５に示す上面図の、一点鎖線Ｄ１－Ｄ２における断面図の一例に相当する。図６（Ｂ）は、図５に示す上面図の、一点鎖線Ｄ３－Ｄ４における断面図の一例に相当する。ただし、図５では、画素１１のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素１１の上面図を示す。また、図５では、画素１１が有する各種半導体素子のレイアウトを明確に示すために、液晶素子１３が有する液晶層及び共通電極を省略して、画素１１の上面図を示す。

【００９４】

図５及び図６に示す画素１１において、トランジスタ１２は、絶縁表面を有する基板２０２上に、ゲート電極として機能する導電膜２０３と、導電膜２０３上のゲート絶縁膜２０４と、導電膜２０３と重なる位置においてゲート絶縁膜２０４上に位置する半導体膜２０５と、導電膜２０３と重なる位置において半導体膜２０５上に位置し、チャネル保護膜として機能する絶縁膜２０６と、ソース端子またはドレイン端子として機能し、半導体膜２０５上に位置する導電膜２０７及び導電膜２０８とを有する。

【００９５】

導電膜２０３はトランジスタ１２のゲート電極に電位を与える走査線としても機能する。また、導電膜２０７は、画像信号の電位を画素１１に与える信号線としても機能する。

【００９６】

容量素子１４は、絶縁表面を有する基板２０２上に、導電膜２１０と、導電膜２１０上のゲート絶縁膜２０４及び半導体膜２０５と、導電膜２１０と重なる位置においてゲート絶縁膜２０４及び半導体膜２０５上に位置する導電膜２１１とを有する。

【００９７】
また、導電膜２０７、導電膜２０８、及び導電膜２１１上には絶縁膜２１２が設けられている。そして、絶縁膜２１２、半導体膜２０５、及びゲート絶縁膜２０４には、開口部２１３及び開口部２１４が設けられている。
【００９８】
開口部２１３は、導電膜２０７または導電膜２０８と、導電膜２１１との間に設けられている。また、開口部２１３が形成されている領域の一部は、導電膜２０８が形成されている領域の一部、及び導電膜２１０が形成されている領域の一部と重なっている。開口部２１３において、導電膜２０８上の絶縁膜２１２と、導電膜２１０上の絶縁膜２１２、半導体膜２０５、及びゲート絶縁膜２０４とが除去されており、導電膜２０８及び導電膜２１０は、導電膜２０８及び導電膜２１０上の導電膜２１５により電気的に接続されている。
【００９９】
また、開口部２１４において、導電膜２１０上の絶縁膜２１２、半導体膜２０５、及びゲート絶縁膜２０４が除去されており、導電膜２１０は、画素電極として機能する導電膜２１６と接続されている。なお、導電膜２１６は、開口部２１４における導電膜２１０上のみならず、絶縁膜２１２上にも設けられている。
【０１００】
また、開口部２１４において、導電膜２０３上の絶縁膜２１２、半導体膜２０５、及びゲート絶縁膜２０４も除去されている。上記構成により、導電膜２０３、ゲート絶縁膜２０４、及び半導体膜２０５が重なる領域に形成される寄生容量を、小さくすることができる。
【０１０１】
また、絶縁膜２１２上において導電膜２１１と重なる位置に、スペーサとして機能する絶縁膜２１７が設けられている。
【０１０２】
なお、図５及び図６では、開口部２１３が形成されている領域の一部は、導電膜２０８が形成されている領域の一部、及び導電膜２１０が形成されている領域の一部と重なっている場合を例示している。この場合、導電膜２０８及び導電膜２１５の接続と、導電膜２１０及び導電膜２１５の接続とは、共に開口部２１３において行われることとなる。しかし、本発明の一態様では、導電膜２０８及び導電膜２１５の接続と、導電膜２１０及び導電膜２１５の接続とが、互いに異なる開口部で行われていても良い。
【０１０３】
図７に、導電膜２０８及び導電膜２１０と導電膜２１５との接続箇所における、画素１１の断面図の一例を示す。図７では、絶縁膜２１２に設けた開口部２１３ａにおいて、導電膜２０８と導電膜２１５が接続されている。また、絶縁膜２１２、半導体膜２０５、及びゲート絶縁膜２０４に設けた開口部２１３ｂにおいて、導電膜２１０と導電膜２１５が接続されている。
【０１０４】
ただし、図５及び図６のように、導電膜２０８及び導電膜２１５の接続と、導電膜２１０及び導電膜２１５の接続とが、共に開口部２１３において行われる場合、複数の開口部を形成するための領域を確保する必要がないので、画素部１０の高精細化を実現することができる。
【０１０５】
なお、図５及び図６では、画素電極として機能する導電膜２１６上に、液晶層及び共通電極が順に設けられる場合の画素１１のレイアウトを示しているが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。画素１１は、ＩＰＳ型の液晶素子やブルー相を用いた液晶素子のように、画素電極と共通電極の上に液晶層が設けられている構造を有していても良い。
【０１０６】
本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０１０７】
（実施の形態３）
本実施の形態では、図５及び図６に示した画素１１を例に挙げて、本発明の一態様に係る液晶表示装置の作製方法について説明する。
【０１０８】
まず、図９（Ａ）に示すように、絶縁表面を有する基板２０２上に、ゲート電極として機能する導電膜２０３と、容量素子１４の電極として機能する導電膜２１０とを形成する。
【０１０９】
絶縁表面を有する基板２０２として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が７３０℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。
【０１１０】
なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。ただし、液晶表示装置が透過型または半透過型である場合、基板２０２に透光性を有する基板を用いる。
【０１１１】
導電膜２０３、導電膜２１０の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、ニオブ等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。
【０１１２】
例えば、２層の構造を有する導電膜２０３、導電膜２１０として、チタン膜上に銅膜が積層された２層の構造、アルミニウム膜上にモリブデン膜が積層された２層の構造、銅膜上にモリブデン膜を積層した２層の構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した２層の構造、または、窒化チタン膜とモリブデン膜とを積層した２層の構造とすることが好ましい。３層の構造を有する導電膜２０３、導電膜２１０としては、例えば、窒化チタン膜と、銅膜と、タングステン膜とを積層した３層の構造とすることが好ましい。
【０１１３】
また、導電膜２０３、導電膜２１０に酸化インジウム、酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する金属酸化物を用いることもできる。
【０１１４】
導電膜２０３、導電膜２１０の膜厚は、１０ｎｍ～４００ｎｍ、好ましくは１００ｎｍ～２００ｎｍとする。本実施の形態では、スパッタ法により膜厚２００ｎｍのタングステン膜を形成した後、該タングステン膜を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工（パターニング）することで、導電膜２０３、導電膜２１０を形成する。なお、形成された導電膜２０３及び導電膜２１０の端部がテーパー形状であると、上に積層するゲート絶縁膜２０４の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【０１１５】
なお、本実施の形態では、基板２０２上に直接導電膜２０３及び導電膜２１０を形成する場合を例示しているが、基板２０２上に下地膜として機能する絶縁膜を形成してから、上記下地膜上に導電膜２０３及び導電膜２１０を形成しても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか１つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板２０２内に含まれるアルカリ金属、重金属などの不純物が、後に形成される半導体膜２０５内、ゲート絶縁膜２０４内、或いは、半導体膜２０５と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。
【０１１６】
なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。
【０１１７】
なお、図１１は、上述の工程が終了した時点での、液晶表示装置の上面図である。図１１の一点鎖線Ａ１－Ａ２における断面図が、図９（Ａ）に相当する。
【０１１８】
次いで、図９（Ｂ）に示すように、導電膜２０３及び導電膜２１０上に、ゲート絶縁膜２０４を形成する。ゲート絶縁膜２０４は、プラズマＣＶＤ法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ガリウム膜、酸化ランタン膜、または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜２０４は、水分、水素などの不純物を極力含まないことが望ましい。
【０１１９】
ゲート絶縁膜２０４は、単層の絶縁膜で構成されていても良いし、複数の絶縁膜が積層されることで構成されていても良い。いずれにしても、化学量論的組成を超える量の酸素を含む絶縁膜が、後に形成される半導体膜２０５と接するように、ゲート絶縁膜２０４を形成することが望ましい。上記構成により、ゲート絶縁膜２０４から半導体膜２０５に酸素を供給することができるので、良好な電気的特性を有するトランジスタ１２を得ることができる。
【０１２０】
また、バリア性の高い絶縁膜と、酸素を含む絶縁膜とを積層させた構造を有するゲート絶縁膜２０４を形成する場合、バリア性の高い絶縁膜は、酸素を含む絶縁膜と、導電膜２０３及び導電膜２１０との間に設けることが望ましい。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板２０２内に含まれるアルカリ金属、重金属などの不純物が、半導体膜２０５内、ゲート絶縁膜２０４内、或いは、半導体膜２０５と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。
【０１２１】
ゲート絶縁膜２０４の膜厚は、トランジスタに要求される特性によって適宜設定すればよく、例えば１ｎｍ以上８００ｎｍ以下、好ましくは２００ｎｍ以上５００ｎｍ以下とする。ゲート絶縁膜２０４を厚く形成することで、トランジスタ１２の耐圧を向上させることができる。本実施の形態では、プラズマＣＶＤ法で形成された膜厚１００ｎｍの酸化窒化珪素膜をゲート絶縁膜２０４として用いる。
【０１２２】

次いで、図９（Ｂ）に示すように、ゲート絶縁膜２０４上に膜厚２ｎｍ以上２００ｎｍ以下、好ましくは膜厚３ｎｍ以上５０ｎｍ以下、さらに好ましくは膜厚３ｎｍ以上２０ｎｍ以下の半導体膜２０５を形成する。半導体膜２０５は、酸化物半導体をターゲットとして用い、スパッタ法により形成する。また、半導体膜２０５は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【０１２３】

なお、酸化物半導体膜をスパッタ法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜２０４の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にＲＦ電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【０１２４】

半導体膜２０５に用いる酸化物半導体として、上述したように、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物などが挙げられる。

【０１２５】

なお、例えば、半導体膜２０５は、Ｉｎ（インジウム）、Ｇａ（ガリウム）、及びＺｎ（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。Ｉｎ－Ｇａ－Ｚｎ系の半導体膜２０５をスパッタリング法で形成する場合、好ましくは、原子数比がＩｎ：Ｇａ：Ｚｎ＝１：１：１、４：２：３、３：１：２、１：１：２、２：１：３、または３：１：４で示されるＩｎ－Ｇａ－Ｚｎ系酸化物のターゲットを用いる。前述の原子数比を有するＩｎ－Ｇａ－Ｚｎ系酸化物のターゲットを用いて酸化物半導体膜を形成することで、多結晶またはＣＡＡＣが形成されやすくなる。また、Ｉｎ、Ｇａ、及びＺｎを含むターゲットの充填率は９０％以上１００％以下、好ましくは９５％以上１００％未満である。充填率の高いターゲットを用いることにより、形成した酸化物半導体膜は緻密な膜となる。

【０１２６】

なお、酸化物半導体としてＩｎ－Ｚｎ系酸化物を用いる場合、用いるターゲットの組成は、原子数比で、Ｉｎ：Ｚｎ＝５０：１～１：２（モル数比に換算するとIn_2O_3：ＺｎＯ＝２５：１～１：４）、好ましくはＩｎ：Ｚｎ＝２０：１～１：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝１０：１～１：２）、さらに好ましくはＩｎ：Ｚｎ＝１．５：１～１５：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝３：４～１５：２）とする。例えば、Ｉｎ－Ｚｎ系酸化物である半導体膜２０５の形成に用いるターゲットは、原子数比がＩｎ：Ｚｎ：Ｏ＝Ｘ：Ｙ：Ｚのとき、Ｚ＞１．５Ｘ＋Ｙとする。Ｚｎの比率を上記範囲に収めることで、移動度の向上を実現することができる。

【０１２７】

また、酸化物半導体としてＩｎ－Ｓｎ－Ｚｎ系酸化物の材料を用いる場合、用いるターゲットの組成は、Ｉｎ：Ｓｎ：Ｚｎの原子数比を、１：２：２、２：１：３、１：１：１、または２０：４５：３５とすれば良い。

【０１２８】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板２０２上に酸化物半導体膜を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（H_2O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で形成した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【０１２９】

なお、ＣＡＡＣ－ＯＳで構成される半導体膜２０５を形成する方法として、三つ挙げられる。一つめは、成膜温度を２００℃以上４５０℃以下として半導体膜２０５の形成を行う方法である。二つめは、半導体膜２０５を薄い膜厚で形成した後、２００℃以上７００℃以下の熱処理を行う方法である。三つめは、一層目の酸化物半導体膜を薄く形成した後、２００℃以上７００℃以下の熱処理を行い、さらに２層目の酸化物半導体膜の形成を行うことで、半導体膜２０５を形成する方法である。

【０１３０】

本実施の形態では、基板２０２とターゲットの距離を１００ｍｍ、圧力０．４Ｐａ、直流（ＤＣ）電源０．５ｋＷ、基板温度２５０℃とし、アルゴンと酸素の流量がそれぞれ３０ｓｃｃｍ、１５ｓｃｃｍの雰囲気下において、Ｉｎ－Ｇａ－Ｚｎ系酸化物半導体を含む、膜厚２５ｎｍの半導体膜２０５の形成を行う。

【０１３１】

なお、半導体膜２０５に水素、水酸基及び水分がなるべく含まれないようにするために、形成の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜２０４までが形成された基板２０２を予備加熱し、基板２０２に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、１００℃以上４００℃以下、好ましくは１５０℃以上３００℃以下である。

【０１３２】

なお、スパッタ等で形成された半導体膜２０５中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、半導体膜２０５を形成した後、半導体膜２０５中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、半導体膜２０５に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下で、加熱処理を施す。

【０１３３】

半導体膜２０５に加熱処理を施すことで、半導体膜２０５中の水分又は水素を脱離させることができる。具体的には、２５０℃以上７５０℃以下、好ましくは４００℃以上基板の歪み点未満の温度で加熱処理を行えば良い。加熱処理にＲＴＡ法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、超乾燥エア雰囲気下において、４５０℃で１時間程度、加熱処理を行う。

【０１３４】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、ＧＲＴＡ（Ｇａｓ Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置、ＬＲＴＡ（Ｌａｍｐ Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置等のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎ

ｅａｌ）装置を用いることができる。ＬＲＴＡ装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。ＧＲＴＡ装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【０１３５】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上、（即ち不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。

【０１３６】

以上の工程により、半導体膜２０５中の水分又は水素の濃度を低減することができる。なお、半導体膜２０５では、上記加熱処理により水分又は水素が除去されると共に、酸素の脱離による酸素欠損が増加している恐れがある。そこで、上記加熱処理の後に、半導体膜２０５に酸素を供給する処理を行い、酸素欠損を低減させることが望ましい。

【０１３７】

水分又は水素の濃度が低減され、なおかつ酸素欠損が低減されることで高純度化された半導体膜２０５を用いることで、耐圧性が高く、オフ電流の著しく小さいトランジスタ１２を作製することができる。

【０１３８】

例えば、酸素を含むガス雰囲気下において加熱処理を行うことで、半導体膜２０５に酸素を供給することができる。酸素を供給するための加熱処理は、上述した、水分又は水素の濃度を低減するための加熱処理と同様の条件で行えば良い。ただし、酸素を供給するための加熱処理は、酸素ガス、又は超乾燥エア（ＣＲＤＳ（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が２０ｐｐｍ（露点換算で－５５℃）以下、好ましくは１ｐｐｍ以下、好ましくは１０ｐｐｂ以下の空気）などの雰囲気下において行う。

【０１３９】

上記酸素を含むガスには、水、水素などの濃度が低いことが好ましい。具体的には、酸素を含むガス内に含まれる不純物濃度を、１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下とすることが好ましい。

【０１４０】

或いは、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いて、半導体膜２０５に酸素を供給することができる。上記方法を用いて酸素を半導体膜２０５に供給した後、半導体膜２０５に含まれる結晶部が損傷を受けた場合は、加熱処理を行い、損傷を受けた結晶部を修復するようにしても良い。

【０１４１】

半導体膜２０５を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【０１４２】

次いで、図９（Ｃ）に示すように、半導体膜２０５上に絶縁膜を形成した後、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、チャネル保護膜として機能する島状の絶縁膜２０６を形成する。絶縁膜２０６は、半導体膜２０５上において導電膜２０３と重なる位置に設ける。

【０１４３】

絶縁膜２０６の膜厚は、５０ｎｍ以上６００ｎｍ以下、好ましくは１００ｎｍ以上４００

ｎｍ以下とする。そして、絶縁膜２０６は、ゲート絶縁膜２０４と同様の構造、材料を用いて形成することができる。そして、絶縁膜２０６は、ゲート絶縁膜２０４と同様に、水分、水素などの不純物を極力含まないことが望ましく、なおかつ、化学量論的組成を超える量の酸素を含むことが望ましい。上記構成により、半導体膜２０５中における水分、水素などの不純物の濃度を低く抑え、なおかつ絶縁膜２０６から半導体膜２０５に酸素を供給することができるので、良好な電気的特性を有するトランジスタ１２を得ることができる。

【０１４４】

本実施の形態では、プラズマＣＶＤ法にて形成した膜厚３００ｎｍの酸化窒化珪素膜を、絶縁膜２０６として用いる。

【０１４５】

なお、絶縁膜２０６として、少なくともＩｎまたはＺｎの一方を含む金属酸化物であり、なおかつ、Ｔｉ、Ｚｒ、Ｈｆ、Ｇｅ、Ｃｅなどを含むことで、半導体膜２０５よりも絶縁性の高まった、金属酸化物を用いても良い。

【０１４６】

例えば、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を、絶縁膜２０６に用いても良い。ただし、元素$Ｍ_1$は、３Ａ族、３Ｂ族、及び４Ａ族に含まれる元素のうち、３価の元素である。元素$Ｍ_2$は４Ａ族、及び４Ｂ族に含まれる元素のうち、４価の元素である。具体的に、元素$Ｍ_1$にＧａを用いる場合、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物において、３価のＧａの一部が、４価の元素で置き換えられることになる。４価の元素は３価の元素よりも一本結合手が多いので、３価の元素の一部を４価の元素に置き換えることで、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を構成する金属元素（$Ｍ_1$または$Ｍ_2$）と酸素の結合力を高めることができる。よって、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を絶縁膜２０６に用いることで、絶縁膜２０６の絶縁性を高めることができる。具体的に、元素$Ｍ_2$として、Ｔｉ、Ｚｒ、Ｈｆ、Ｇｅ、Ｃｅなどが挙げられる。

【０１４７】

例えば、Ｉｎ：Ｚｒ：Ｇａ：Ｚｎ＝３：０．０５：０．９５：２のターゲットを用いて、スパッタリング法により、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を用いた絶縁膜２０６を形成すれば良い。

【０１４８】

また、例えば、化学式ＩｎＭＺｎ$Ｏ_x$で表されるＩｎ－Ｍ－Ｚｎ系酸化物を絶縁膜２０６に用いても良い。元素Ｍとして、Ｉｎ－Ｍ－Ｚｎ系酸化物の絶縁性が、半導体膜２０５を構成する金属酸化物の絶縁性よりも高くなるような元素を適用する。例えば、元素Ｍとして、Ｔｉ、Ｚｒ、Ｈｆ、Ｇｅ、Ｃｅなどの４価の元素を適用することができる。４価の元素は３価の元素よりも一本結合手が多いので、これら４価の元素を元素Ｍとして用いたＩｎ－Ｍ－Ｚｎ系酸化物は、元素Ｍと酸素の結合力が高い。よって、Ｉｎ－Ｍ－Ｚｎ系酸化物を絶縁膜２０６に用いることで、絶縁膜２０６の絶縁性を高めることができる。

【０１４９】

例えば、元素ＭとしてＺｒを用いたＩｎ－Ｚｒ－Ｚｎ系酸化物のエネルギーギャップは、Ｉｎ－Ｇａ－Ｚｎ系酸化物のエネルギーギャップ（約３．２ｅＶ）よりも大きくなる。すなわち、Ｉｎ－Ｚｒ－Ｚｎ系酸化物はＩｎ－Ｇａ－Ｚｎ系酸化物よりも絶縁性が高いと言える。

【０１５０】

また、イットリウムはＧａよりも電気陰性度が小さい。そのため、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物において、元素$Ｍ_2$をイットリウムとすると、酸素と元素$Ｍ_2$の電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素$Ｍ_2$をイットリウムとしても、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を用いた絶縁膜２０６の絶縁性を高めることができる。また、Ｉｎ－Ｍ－Ｚｎ系酸化物において、元素Ｍをイットリウムとすると、酸素と元素Ｍの電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすること

ができる。よって、元素Ｍをイットリウムとしても、Ｉｎ－Ｍ－Ｚｎ系酸化物を用いた絶縁膜２０６の絶縁性を高めることができる。

【０１５１】

なお、本明細書において、「エネルギーギャップ」という用語は、「バンドギャップ」や、「禁制帯幅」と同じ意味で用いている。また、バンドギャップの値は、材料の単膜のエリプソで測定して得られる値を用いる。

【０１５２】

また、Ｉｎ－Ｍ－Ｚｎ系酸化物中の元素Ｍの含有量は、Ｉｎの含有量の０．３倍以上１．３倍未満である。また、Ｉｎ－Ｍ－Ｚｎ系酸化物中の元素Ｍの含有量は、Ｚｎの含有量の０．３倍以上１．３倍未満である。元素Ｍに対するＩｎまたはは、Ｚｎの相対的な数が少ないほど、より絶縁性の高い絶縁膜２０６を得ることができる。

【０１５３】

具体的には、元素Ｍを含ませた金属酸化物材料をスパッタリング法で形成する場合、好ましくは原子数比がＩｎ：Ｍ：Ｚｎ＝１：１：１、３：１：３、３：２：４、２：１：３、４：５：４、または４：２：３で示される金属酸化物ターゲットを用いる。

【０１５４】

Ｉｎ－Ｍ－Ｚｎ系酸化物や、Ｉｎ－$Ｍ_{1}$－$Ｍ_{2}$－Ｚｎ系酸化物を絶縁膜２０６に用いることで、絶縁膜２０６と半導体膜２０５の界面の状態を良好に保つことができ、トランジスタ１２の電気的特性を良好にすることができる。

【０１５５】

なお、絶縁膜２０６を形成するためのエッチングにより露出した半導体膜２０５の表面には、不純物が付着しやすい。上記不純物には、エッチングに用いたエッチングガスまたはエッチング液を構成する元素、或いはエッチングを行った処理室内に存在する元素などが含まれる。上記不純物として、具体的には、ボロン、塩素、フッ素、炭素、アルミニウムなどが挙げられる。

【０１５６】

上記不純物が半導体膜２０５の表面に付着すると、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化がもたらされやすい。また、半導体膜２０５に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜が半導体膜２０５を介して電気的に接続されやすくなる。そこで、本発明の一態様では、絶縁膜２０６を形成するためのエッチングが終了した後、半導体膜２０５及び絶縁膜２０６の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【０１５７】

洗浄処理は、ＴＭＡＨ（水酸化テトラメチルアンモニウム）溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、５０重量％フッ酸を、水で$１／１０^{2}$乃至$１／１０^{5}$に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が０．５重量％乃至５×１０^{-4}重量％の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜２０５及び絶縁膜２０６の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜２０５に付着した不純物を、半導体膜２０５の一部とともに除去することができる。

【０１５８】

次いで、半導体膜２０５上に、スパッタ法や真空蒸着法で導電膜を形成したあと、フォトリソグラフィ法を用いたエッチングにより当該導電膜をパターニングすることで、図９（Ｄ）に示すように、半導体膜２０５上において、絶縁膜２０６を間に挟む様に設けられた導電膜２０７及び導電膜２０８と、導電膜２１０と重なる位置においてゲート絶縁膜２０４及び半導体膜２０５上に設けられた導電膜２１１とを、それぞれ形成する。導電膜２０７及び導電膜２０８は、トランジスタ１２のソース電極またはドレイン電極として機能する。また、導電膜２１１は容量素子１４の電極として機能する。

【０１５９】

導電膜２０７、導電膜２０８、及び導電膜２１１は、導電膜２０３及び導電膜２１０と同様の構造、材料を用いることができる。導電膜２０７、導電膜２０８、及び導電膜２１１の形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。本実施の形態では、導電膜２０７、導電膜２０８、及び導電膜２１１として、膜厚１５０ｎｍのタングステン膜を用いる。

【０１６０】

なお、導電膜２０７、導電膜２０８、及び導電膜２１１を形成するためのエッチングの際に、半導体膜２０５がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、半導体膜２０５の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【０１６１】

本実施の形態では、ＩＣＰエッチング法によるドライエッチングを用いて、導電膜２０７、導電膜２０８、及び導電膜２１１を形成する。具体的には、エッチングガスである六フッ化硫黄の流量を５０ｓｃｃｍ、反応圧力１．５Ｐａ、下部電極の温度７０℃、コイル型の電極に投入するＲＦ（１３．５６ＭＨｚ）電力を５００Ｗ、下部電極（バイアス側）に投入する電力を５０Ｗとした後、エッチングガスである三塩化ホウ素の流量を６０ｓｃｃｍ、塩素の流量２０ｓｃｃｍ、反応圧力１．９Ｐａ、下部電極の温度２１℃、コイル型の電極に投入するＲＦ（１３．５６ＭＨｚ）電力４５０Ｗ、下部電極（バイアス側）に投入する電力１００Ｗとなるように、途中で条件を変更してドライエッチングを行う。

【０１６２】

なお、フォトリソグラフィ法で用いるマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、工程の簡略化が可能となる。

【０１６３】

なお、導電膜２０７、導電膜２０８、及び導電膜２１１を形成するためのエッチングにより露出した半導体膜２０５及び絶縁膜２０６の表面には、ボロン、塩素、フッ素、炭素、アルミニウムなどの不純物が付着しやすい。さらに、上記不純物には、導電膜２０７、導電膜２０８、及び導電膜２１１を構成する元素も含まれる場合がある。

【０１６４】

上記不純物が半導体膜２０５の表面に付着すると、上述したように、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化がもたらされやすい。また、半導体膜２０５に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜が半導体膜２０５を介して電気的に接続されやすくなる。そこで、本発明の一態様では、導電膜２０７、導電膜２０８、及び導電膜２１１を形成するためのエッチングが終了した後、半導体膜２０５及び絶縁膜２０６の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【０１６５】

洗浄処理は、ＴＭＡＨ溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、５０重量％フッ酸を、水で$1/10^{2}$乃至$1/10^{5}$に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が０．５重量％乃至5×10^{-4}重量％の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜２０５及び絶縁膜２０６の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜２０５に付着した不純物を、半導体膜２０５の一部とともに除去することができる。

【０１６６】

なお、本実施の形態では、エッチング後における不純物除去を目的とした洗浄処理を、絶縁膜２０６の形成後と、導電膜２０７、導電膜２０８、及び導電膜２１１の形成後の２回行う場合について説明したが、本発明の一態様では、上記洗浄処理をいずれか１回のみとしても良い。

【０１６７】

なお、図１２は、上述の工程が終了した時点での、液晶表示装置の上面図である。図１２の一点鎖線Ａ１－Ａ２における断面図が、図９（Ｄ）に相当する。

【０１６８】

次いで、図１０（Ａ）に示すように、半導体膜２０５と、絶縁膜２０６と、導電膜２０７及び導電膜２０８と、導電膜２１１とを覆うように、絶縁膜２１２を形成する。絶縁膜２１２は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜２１２に水素が含まれると、その水素が半導体膜２０５に侵入し、又は水素が半導体膜２０５中の酸素を引き抜き、半導体膜２０５の表面近傍が低抵抗化（ｎ型化）してしまう。そして、低抵抗化した半導体膜２０５の表面近傍には寄生チャネルが形成されやすく、寄生チャネルにより導電膜２０８と導電膜２１１が電気的に接続されるおそれがある。よって、絶縁膜２１２はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【０１６９】

なお、上記洗浄処理を行った場合でも、絶縁膜２１２を形成する前に基板２０２を大気にさらすと、大気中に含まれる炭素などの不純物が、半導体膜２０５及び絶縁膜２０６の表面に付着することがある。そこで、本発明の一態様では、絶縁膜２１２を形成するための処理室内において、絶縁膜２１２を形成する前に、半導体膜２０５及び絶縁膜２０６の表面に付着した炭素などの不純物を、酸素、一酸化二窒素、もしくは希ガス（代表的にはアルゴン）などを用いたプラズマ処理により洗浄し、炭素などの不純物を除去するようにしても良い。そして、プラズマ処理による不純物の除去を行った後、基板２０２を大気にさらすことなく、絶縁膜２１２を形成することで、半導体膜２０５及び絶縁膜２０６と絶縁膜２１２の界面近傍に不純物が入り込むのを防ぎ、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化を防ぐことができる。

【０１７０】

また、上記絶縁膜２１２には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、酸素を含む酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、半導体膜２０５に近い側に形成する。そして、酸素を含む絶縁膜を間に挟んで、半導体膜２０５と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、半導体膜２０５内、ゲート絶縁膜２０４内、或いは、半導体膜２０５と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

【０１７１】

また、複数の積層された絶縁膜を絶縁膜２１２として用いる場合、１層目以外の絶縁膜として、例えば、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、アルミナ等を用いることができる。シロキサン系樹脂は、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、水素の他、フッ素、フルオロ基、有機基（例えばアルキル基、芳香族炭化水素）のうち、少なくとも１種を有していても良い。そして、絶縁膜２１２の形成には、その材料に応じて、ＣＶＤ法、スパッタ法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、印刷法（スクリーン印刷、オフセット印刷等）などの方法で形成する。また、ドクターナイフ、ロー

ルコーター、カーテンコーター、ナイフコーター等の器具を用いて形成しても良い。或いは、１層目以外の絶縁膜として、有機シランを用いて化学気相成長法により作製される酸化珪素膜を用いることもできる。有機シランとしては、珪酸エチル（ＴＥＯＳ：Ｓｉ（ＯＣ$_2$Ｈ$_5$）$_4$）、トリメチルシラン（ＴＭＳ：（ＣＨ$_3$）$_3$ＳｉＨ）、テトラメチルシクロテトラシロキサン（ＴＭＣＴＳ）、オクタメチルシクロテトラシロキサン（ＯＭＣＴＳ）、ヘキサメチルジシラザン（ＨＭＤＳ）、トリエトキシシラン（ＳｉＨ（ＯＣ$_2$Ｈ$_5$）$_3$）、トリスジメチルアミノシラン（ＳｉＨ（Ｎ（ＣＨ$_3$）$_2$）$_3$）等を用いることができる。

【０１７２】

本実施の形態では、スパッタ法で形成された膜厚３００ｎｍの酸化珪素膜を絶縁膜２１２として用いる。成膜時の基板温度は、室温以上３００℃以下とすればよく、本実施の形態では１００℃とする。

【０１７３】

次いで、図１０（Ｂ）に示すように、ゲート絶縁膜２０４、半導体膜２０５、及び絶縁膜２１２を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、開口部２１３及び開口部２１４を形成する。

【０１７４】

本実施の形態では、ＩＣＰエッチング法によるドライエッチングを用いて、ゲート絶縁膜２０４、半導体膜２０５、及び絶縁膜２１２をパターニングする。具体的には、エッチングガスであるトリフルオロメタン、ヘリウム、メタンの流量をそれぞれ２２．５ｓｃｃｍ、１２７．５ｓｃｃｍ、５ｓｃｃｍ、反応圧力を３．５Ｐａ、下部電極の温度２１℃、コイル型の電極に投入するＲＦ（１３．５６ＭＨｚ）電力を４７５Ｗ、下部電極（バイアス側）に投入する電力を３００Ｗとして、ドライエッチングを行う。

【０１７５】

開口部２１３が形成される領域は、導電膜２０８が形成されている領域の一部、及び導電膜２１０が形成されている領域の一部と重なっているため、開口部２１３において導電膜２０８及び導電膜２１０は部分的に露出する。また、開口部２１４が形成される領域は、導電膜２１０が形成されている領域の一部と重なっているため、開口部２１４において導電膜２１０は部分的に露出する。

【０１７６】

なお、図１３は、上述の工程が終了した時点での、液晶表示装置の上面図である。図１３の一点鎖線Ａ１－Ａ２における断面図が、図１０（Ｂ）に相当する。

【０１７７】

次いで、図１０（Ｃ）に示すように、開口部２１３において導電膜２０８及び導電膜２１０と接する導電膜２１５と、開口部２１４において導電膜２１０と接する導電膜２１６とを形成する。導電膜２１６は画素電極として機能し、その一部は絶縁膜２１２上にも設けられている。

【０１７８】

導電膜２１５及び導電膜２１６は、透過型の液晶表示装置の場合、透光性を有する導電性材料で形成することが望ましい。また、導電膜２１５及び導電膜２１６は、反射型の液晶表示装置の場合、光を反射する導電性材料で形成することが望ましい。

【０１７９】

具体的に導電膜２１５及び導電膜２１６として、酸化インジウム、酸化インジウム－酸化スズ（ＩＴＯ：Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）、珪素若しくは酸化珪素を含有した酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛（Ｉｎｄｉｕｍ　Ｚｉｎｃ　Ｏｘｉｄｅ）、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、窒素を含ませたＡｌ－Ｚｎ系酸化物半導体、窒素を含ませたＺｎ系酸化物半導体、窒素を含ませたＳｎ－Ｚｎ系酸化物半導体、金（Ａｕ）、白金（Ｐｔ）、ニッケル（Ｎｉ）、タングステン（Ｗ）、クロム（Ｃｒ）、モリブデン（Ｍｏ）、鉄（Ｆｅ）、コバルト（Ｃｏ）、銅（Ｃｕ）、パラジウム（Ｐｄ）、チタン（Ｔｉ）の他、元素周期表の第１族または第２族に属する元

素、すなわちリチウム（Ｌｉ）やセシウム（Ｃｓ）等のアルカリ金属、およびマグネシウム（Ｍｇ）、カルシウム（Ｃａ）、ストロンチウム（Ｓｒ）等のアルカリ土類金属、およびこれらを含む合金（ＭｇＡｇ、ＡｌＬｉ）、ユウロピウム（Ｅｕ）、イッテルビウム（Ｙｂ）等の希土類金属およびこれらを含む合金などを用いることができる。なお、導電膜２１５及び導電膜２１６は、例えばスパッタリング法や蒸着法（真空蒸着法を含む）等により上記材料を用いて導電膜を形成した後、フォトリソグラフィ法を用いたエッチングにより当該導電膜を所望の形状に加工することで、形成することができる。

【０１８０】

上記工程の後、スペーサとして機能する絶縁膜を絶縁膜２１２上に形成し、画素電極として機能する導電膜２１６と、別途用意した対向電極とを、間に液晶層が挟まるように対峙させることで、液晶表示装置を作製することができる。

【０１８１】

なお、本実施の形態では、トランジスタ１２がシングルゲート構造である場合を例示しているが、必要に応じて、電気的に接続された複数の導電膜２０３を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【０１８２】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０１８３】

（実施の形態４）

次いで、本発明の一態様に係る液晶表示装置のパネルの外観について、図１４を用いて説明する。図１４（Ａ）は、基板４００１と対向基板４００６とをシール材４００５によって接着させたパネルの上面図であり、図１４（Ｂ）は、図１４（Ａ）の一点鎖線Ｅ１－Ｅ２における断面図に相当する。

【０１８４】

基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４とを囲むように、シール材４００５が設けられている。また、画素部４００２、走査線駆動回路４００４の上に対向基板４００６が設けられている。よって、画素部４００２と走査線駆動回路４００４は、基板４００１とシール材４００５と対向基板４００６とによって、液晶層４００７と共に封止されている。

【０１８５】

また、基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に、信号線駆動回路４００３が形成された基板４０２１が、実装されている。図１４では、信号線駆動回路４００３に含まれるトランジスタ４００９を例示している。なお、本実施の形態では、走査線駆動回路４００４が画素部４００２と共に基板４００１上に形成されている場合を例示しているが、別の基板に形成された走査線駆動回路４００４が基板４００１に実装されていても良い。また、本実施の形態では、基板４０２１に形成された信号線駆動回路４００３が基板４００１に実装されている場合を例示しているが、信号線駆動回路４００３が画素部４００２と共に基板４００１上に形成されていても良い。或いは、信号線駆動回路４００３の一部、または走査線駆動回路４００４の一部が、画素部４００２と共に基板４００１上に形成されていても良い。

【０１８６】

また、基板４００１上に設けられた画素部４００２、走査線駆動回路４００４は、トランジスタを複数有している。図１４（Ｂ）では、画素部４００２に含まれるトランジスタ４０１０を図示している。液晶素子４０１１が有する画素電極４０３０は、トランジスタ４０１０に接続されている。そして、液晶素子４０１１の対向電極４０３１は、対向基板４００６に形成されている。画素電極４０３０と対向電極４０３１と液晶層４００７とが重なっている部分が、液晶素子４０１１に相当する。

【０１８７】

また、対向基板４００６に形成されている遮蔽膜４０４０は、トランジスタ４０１０が形成されている領域と重なっている。また、対向基板４００６には、カラーフィルタとして

機能する、特定の波長領域の可視光のみを優先的に透過する着色層４０４１が形成されており、着色層４０４１は、液晶素子４０１１が形成されている領域と重なっている。

【０１８８】

赤、青、緑に対応する波長領域の光を、それぞれ優先的に透過するような着色層４０４１を画素ごとに設けることで、フルカラーの画像を表示することができる。この場合、白の光が得られるバックライトを用いることが、画像の有する色の純度を高める上で望ましい。白の光が得られるバックライトとして、例えば、赤の光源と青の光源と緑の光源を組み合わせた構成、黄または橙の光源と青の光源を組み合わせた構成、白の光源を単体で用いる構成、シアンの光源とマゼンタの光源と黄の光源を組み合わせた構成などを、用いることができる。

【０１８９】

或いは、バックライトから、赤、青、緑に対応する波長領域の光を順に出力するようにしても良い。この場合、カラーフィルタを用いなくともフルカラーの画像を表示することができ、液晶表示装置の発光効率を高めることができる。

【０１９０】

また、バックライトに用いる光源として、冷陰極管の他、ＬＥＤ、ＯＬＥＤなどの発光素子を用いることができる。ただし、光源によって得られる光の波長が異なるので、必要とする色に合わせて適宜用いる光源を選択すると良い。

【０１９１】

なお、図１４では、遮蔽膜４０４０と着色層４０４１とを、対向基板４００６側に設けた場合を例示しているが、遮蔽膜４０４０または着色層４０４１を、基板４００１側に設けても良い。液晶素子４０１１への光の入射方向と、液晶素子４０１１を透過した光の射出方向とに合わせて、適宜、遮蔽膜４０４０と着色層４０４１の設ける位置を定めることができる。

【０１９２】

また、スペーサ４０３５が、画素電極４０３０と対向電極４０３１との間の距離（セルギャップ）を制御するために設けられている。なお、図１４（Ｂ）では、スペーサ４０３５が、絶縁膜をパターニングすることで形成されている場合を例示しているが、球状スペーサを用いていても良い。

【０１９３】

また、信号線駆動回路４００３、走査線駆動回路４００４、画素部４００２に与えられる各種信号及び電位は、引き回し配線４０１４及び４０１５を介して、接続端子４０１６から供給されている。接続端子４０１６は、ＦＰＣ４０１８が有する端子と異方性導電膜４０１９を介して電気的に接続されている。

【０１９４】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０１９５】

（実施の形態５）

図１５は、液晶表示装置の構造を示す、斜視図の一例である。図１５に示す液晶表示装置は、一対の基板間に画素部が形成されたパネル１６０１と、第１の拡散板１６０２と、プリズムシート１６０３と、第２の拡散板１６０４と、導光板１６０５と、複数の光源１６０７を有するバックライト１６２０と、反射板１６０６と、回路基板１６０８と、信号線駆動回路の形成された基板１６１１とを有している。

【０１９６】

パネル１６０１と、第１の拡散板１６０２と、プリズムシート１６０３と、第２の拡散板１６０４と、導光板１６０５と、反射板１６０６とは、順に積層されている。バックライト１６２０は導光板１６０５の端部に配置されている。導光板１６０５内部に拡散された光源１６０７からの光は、第１の拡散板１６０２、プリズムシート１６０３及び第２の拡散板１６０４によって、均一にパネル１６０１に照射される。

【０１９７】

なお、本実施の形態では、第１の拡散板１６０２と第２の拡散板１６０４とを用いているが、拡散板の数はこれに限定されず、単数であっても３以上であっても良い。そして、拡散板は導光板１６０５とパネル１６０１の間に設けられていれば良い。よって、プリズムシート１６０３よりもパネル１６０１に近い側にのみ拡散板が設けられていても良いし、プリズムシート１６０３よりも導光板１６０５に近い側にのみ拡散板が設けられていても良い。

【０１９８】

またプリズムシート１６０３は、図１５に示した断面が鋸歯状の形状に限定されず、導光板１６０５からの光をパネル１６０１側に集光できる形状を有していれば良い。

【０１９９】

回路基板１６０８には、パネル１６０１に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図１５では、回路基板１６０８とパネル１６０１とが、ＣＯＦテープ１６０９を介して接続されている。また、信号線駆動回路の形成された基板１６１１が、ＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）法を用いてＣＯＦテープ１６０９に接続されている。

【０２００】

図１５では、バックライト１６２０の駆動を制御する制御系の回路が回路基板１６０８に設けられており、該制御系の回路とバックライト１６２０とがＦＰＣ１６１０を介して接続されている例を示している。ただし、上記制御系の回路はパネル１６０１に形成されていても良く、この場合はパネル１６０１とバックライト１６２０とがＦＰＣなどにより接続されるようにする。

【０２０１】

なお、図１５では、パネル１６０１の端部に配置されたエッジライト型のバックライト１６２０を用いている場合を例示しているが、本発明はこの構成に限定されない。本発明の一態様では、パネル１６０１の直下に配置される直下型のバックライトを用いていても良い。或いは、本発明の一態様では、フロントライトを用いていても良い。

【０２０２】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０２０３】

（実施の形態６）

図１７に、本発明の一態様に係る発光装置の構造を例示する。図１７（Ａ）は、画素が有するトランジスタ３００の、チャネル長方向における断面図の一例である。

【０２０４】

図１７（Ａ）では、絶縁表面上のゲート電極３０１と、ゲート電極３０１上に位置するゲート絶縁膜３０２と、ゲート絶縁膜３０２上に位置し、ゲート電極３０１と重なる半導体膜３０３と、半導体膜３０３上に位置し、ゲート電極３０１と重なる島状の絶縁膜３０４と、半導体膜３０３上に位置する導電膜３０５と、絶縁膜３０４を間に挟み、なおかつ半導体膜３０３上に位置する導電膜３０６ａ及び導電膜３０６ｂと、半導体膜３０３、絶縁膜３０４、導電膜３０５、導電膜３０６ａ及び導電膜３０６ｂ上に位置する絶縁膜３０７と、絶縁膜３０７上に位置し、絶縁膜３０７に設けられた開口部３０８を介して導電膜３０６ａに接続される画素電極３０９と、絶縁膜３０７及び半導体膜３０３に設けられた開口部３１０と、画素電極３０９上に位置する絶縁膜３２０と、絶縁膜３２０に設けられた開口部３２１において画素電極３０９上に順に積層されたＥＬ層３２２及び対向電極３２３と、が図示されている。

【０２０５】

そして、図１７（Ａ）では、ゲート電極３０１、ゲート絶縁膜３０２、半導体膜３０３、チャネル保護膜として機能する絶縁膜３０４、導電膜３０６ａ及び導電膜３０６ｂがトランジスタ３００を構成している。そして、導電膜３０６ａ及び導電膜３０６ｂは、いずれか一方がソース電極、他方がドレイン電極として機能する。

【０２０６】

また、図１７（Ａ）では、開口部３２１において画素電極３０９、ＥＬ層３２２及び対向電極３２３が積層されている部分が、発光素子３２４に相当する。

【０２０７】

本発明の一態様に係る発光装置の作製方法では、ゲート電極３０１を形成する工程と、絶縁膜３０４を形成する工程と、導電膜３０５、導電膜３０６ａ、及び導電膜３０６ｂを形成する工程と、絶縁膜３０７に開口部３０８を形成し、なおかつ絶縁膜３０７及び半導体膜３０３に開口部３１０を形成する工程と、画素電極３０９を形成する工程と、絶縁膜３２０に開口部３２１を形成する工程と、において、マスクを用いたフォトリソグラフィ法を用いる。すなわち、本発明の一態様では、絶縁膜３０７に開口部３１０を形成する工程において、半導体膜３０３の形状を加工しているため、半導体膜３０３の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、省略することができる。よって、本発明の一態様に係る発光装置では、フォトリソグラフィ法で行なわれるフォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程を一部省略することができる。そして、高価な露光用のマスクの枚数を抑えることができるので、発光装置の作製に費やされるコストを抑えることができる。

【０２０８】

なお、導電膜３０５、導電膜３０６ａ、及び導電膜３０６ｂは、絶縁膜３０７と、半導体膜３０３の間に存在する。そのため、絶縁膜３０７に開口部３０８を形成する工程において半導体膜３０３の形状をも加工する作製方法を用いる場合、導電膜３０５、導電膜３０６ａ、及び導電膜３０６ｂの下部に位置する半導体膜３０３の形状を加工することが難しい。そして、導電膜３０５、導電膜３０６ａ、及び導電膜３０６ｂが半導体膜３０３と重なっていると、画素電極３０９から半導体膜３０３に印加される電界により半導体膜３０３に寄生チャネルが形成されることがある。寄生チャネルが形成されると、電気的に分離されるべき導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂとが、半導体膜３０３を介して電気的に接続されるため、表示される画質の低下が引き起こされる。

【０２０９】

そこで、本発明の一態様に係る発光装置では、開口部３１０の位置を、導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂの間に定め、それにより、半導体膜３０３を部分的に除去する構成とする。なお、図１７（Ａ）では、開口部３１０において半導体膜３０３及び絶縁膜３０７だけではなく、ゲート絶縁膜３０２が除去されている場合を例示している。本発明の一態様では、開口部３１０においてゲート絶縁膜３０２を必ずしも除去する必要はなく、開口部３１０においてゲート絶縁膜３０２が残存していても良い。

【０２１０】

図１７（Ｂ）に、図１７（Ａ）に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図１７（Ｂ）では、発光装置のレイアウトを明確にするために、ゲート絶縁膜３０２、絶縁膜３０７、絶縁膜３２０、ＥＬ層３２２、及び対向電極３２３を省略した上面図を示す。また、図１７（Ｂ）の一点鎖線Ａ１－Ａ２における断面図が、図１７（Ａ）に相当する。

【０２１１】

図１７（Ａ）及び図１７（Ｂ）に示すように、本発明の一態様では、半導体膜３０３及び絶縁膜３０７に、導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂの間に位置する、開口部３１０が設けられている。

【０２１２】

開口部３１０により、本発明の一態様では、図１７（Ａ）及び図１７（Ｂ）に示すように、導電膜３０６ａまたは導電膜３０６ｂの下に位置する半導体膜３０３と、導電膜３０５の下に位置する半導体膜３０３とが、離隔した状態にある。よって、本発明の一態様では、画素電極３０９などから半導体膜３０３に電界が印加されても、開口部３１０が導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂの間に存在することで、半導体膜３０３に寄生チャネルが形成されるのを抑制することができる。そして、寄生チャネルの形成が抑制されることで、導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂとが意図せず

電気的に接続されるのを防ぎ、発光装置に表示される画質の低下を防ぐことができる。

【０２１３】

なお、図１７（Ｂ）では、導電膜３０６ａまたは導電膜３０６ｂの下に位置する半導体膜３０３と導電膜３０５の下に位置する半導体膜３０３とが、完全に離隔している場合を例示している。しかし、本発明の一態様では、半導体膜３０３が必ずしも完全に離隔している必要はなく、導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂの間において、半導体膜３０３が部分的に離隔していても良い。

【０２１４】

図１８に、図１７（Ａ）に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図１８では、発光装置のレイアウトを明確にするために、ゲート絶縁膜３０２、絶縁膜３０７、絶縁膜３２０、ＥＬ層３２２、及び対向電極３２３を省略した上面図を示す。

【０２１５】

図１８に示す発光装置では、開口部３１０の形状が図１７（Ｂ）の場合と異なる。図１８では、開口部３１０が、図１７（Ｂ）の場合と同様に導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂの間に位置しているが、導電膜３０６ａまたは導電膜３０６ｂの下に位置する半導体膜３０３と導電膜３０５の下に位置する半導体膜３０３とが、開口部３１０以外の領域で繋がっている。すなわち、図１８では、導電膜３０５と、導電膜３０６ａまたは導電膜３０６ｂの間において、半導体膜３０３が部分的に離隔した状態にある。半導体膜３０３が部分的に離隔した状態にあっても、寄生チャネルの生成が抑制されるという効果を得ることができる。

【０２１６】

また、開口部３１０が形成される領域の一部は、導電膜３０６ａまたは導電膜３０６ｂと重なっていても良い。或いは、開口部３１０が形成される領域の一部は、導電膜３０５が形成される領域と重なっていても良い。

【０２１７】

図１９（Ａ）に、画素が有するトランジスタ３００の、チャネル長方向における断面図の一例を示す。また、図１９（Ｂ）に、図１９（Ａ）に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図１９（Ｂ）では、発光装置のレイアウトを明確にするために、ゲート絶縁膜３０２、絶縁膜３０７、絶縁膜３２０、ＥＬ層３２２、及び対向電極３２３を省略した上面図を示す。また、図１９（Ｂ）の一点鎖線Ｂ１－Ｂ２における断面図が、図１９（Ａ）に相当する。

【０２１８】

図１９（Ａ）及び図１９（Ｂ）に示す発光装置では、開口部３１０の形成される領域が図１７（Ａ）及び図１７（Ｂ）の場合と異なる。図１９（Ａ）及び図１９（Ｂ）では、開口部３１０が形成される領域の一部が、導電膜３０６ａが形成される領域と重なっている。導電膜３０６ａの下に位置する半導体膜３０３は、開口部３１０の形成の際に、除去されない。よって、開口部３１０が形成されている領域内において、半導体膜３０３は、部分的に残存している状態にあり、開口部３１０における半導体膜３０３の端部と絶縁膜３０７の端部とは一致しない。

【０２１９】

本発明の一態様では、図１９（Ａ）及び図１９（Ｂ）に示すように、開口部３１０が形成される領域の一部が、導電膜３０６ａが形成される領域と重なっていても、導電膜３０６ａの下に位置する半導体膜３０３と、導電膜３０５の下に位置する半導体膜３０３とを、離隔した状態にすることができる。よって、寄生チャネルの生成が抑制されるという効果を得ることができる。

【０２２０】

なお、開口部３１０が形成される領域の一部と、導電膜３０６ｂが形成される領域とが重なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。或いは、開口部３１０が形成される領域の一部と、導電膜３０５が形成される領域とが重

なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。
【０２２１】
そして、開口部３１０が形成される領域が、導電膜３０６ａが形成される領域と部分的に重なっている場合、導電膜３０６ａと画素電極３０９を接続するための開口部３０８を設ける必要がない。よって、開口部３０８を形成するための領域を確保する必要がないので、画素部の高精細化を実現することができる。
【０２２２】
また、図２０（Ａ）に、画素が有するトランジスタ３００の、チャネル長方向における断面図の一例を示す。また、図２０（Ｂ）に、図２０（Ａ）に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図２０（Ｂ）では、発光装置のレイアウトを明確にするために、ゲート絶縁膜３０２、絶縁膜３０７、絶縁膜３２０、ＥＬ層３２２、及び対向電極３２３を省略した上面図を示す。また、図２０（Ｂ）の一点鎖線Ｃ１－Ｃ２における断面図が、図２０（Ａ）に相当する。
【０２２３】
図２０（Ａ）及び図２０（Ｂ）に示す発光装置は、ゲート電極３０１と同じ層に導電膜３１１が設けられている点において、図１７（Ａ）及び図１７（Ｂ）に示す発光装置と構造が異なる。具体的に、図２０（Ａ）及び図２０（Ｂ）では、絶縁表面上に導電膜３１１が位置し、導電膜３１１上にゲート絶縁膜３０２及び半導体膜３０３が順に積層されるように設けられており、半導体膜３０３上において導電膜３１１と重なる位置に導電膜３０５が設けられている。
【０２２４】
そして、図２０（Ａ）及び図２０（Ｂ）では、開口部３１０が形成される領域と、導電膜３１１が形成される領域とが部分的に重なっており、開口部３１０において導電膜３１１の一部が露出した状態にある。そして、導電膜３１１は半導体膜３０３の下に位置するため、開口部３１０において半導体膜３０３は部分的に除去された状態にある。よって、図２０（Ａ）及び図２０（Ｂ）の場合でも、導電膜３０６ａまたは導電膜３０６ｂの下に位置する半導体膜３０３と、導電膜３０５の下に位置する半導体膜３０３とが、離隔した状態にあるため、寄生チャネルの生成が抑制されるという効果を得ることができる。
【０２２５】
なお、本発明の一態様に係る発光装置では、トランジスタ３００が有する半導体膜３０３が、上述したような酸化物半導体などのワイドギャップ半導体を含んでいる。
【０２２６】
（実施の形態７）
次いで、本発明の一態様に係る発光装置の、画素部の具体的な構成について、一例を挙げて説明する。
【０２２７】
図２４（Ａ）に、画素部５１０の構成例を示す。図２４（Ａ）では、画素部５１０に、走査線駆動回路によって電位が制御されるｙ本の走査線ＧＬ（ＧＬ１乃至ＧＬｙ）と、信号線駆動回路によって電位が制御されるｘ本の信号線ＳＬ（ＳＬ１乃至ＳＬｘ）と、画素電極への電位の供給を行うｘ本の電源線ＶＬ（ＶＬ１乃至ＶＬｘ）と、が設けられている。
【０２２８】
そして、走査線ＧＬは、複数の画素５１１にそれぞれ接続されている。具体的に、各走査線ＧＬは、マトリクス状に設けられた複数の画素５１１のうち、いずれかの行に設けられたｘ個の画素５１１に接続される。
【０２２９】
また、信号線ＳＬは、画素部５１０においてｘ列ｙ行に設けられた複数の画素５１１のうち、いずれかの列に設けられたｙ個の画素５１１に接続される。電源線ＶＬは、画素部５１０においてｘ列ｙ行に設けられた複数の画素５１１のうち、いずれかの列に設けられたｙ個の画素５１１に接続される。
【０２３０】

なお、本実施の形態では、画素５１１が走査線ＧＬ、信号線ＳＬ、電源線ＶＬにそれぞれ接続されている場合を例示しているが、各画素５１１に接続される配線の種類及びその数は、画素５１１の構成、数及び配置によって、適宜決めることができる。

【０２３１】

図２４（Ｂ）に、画素５１１の回路図の一例を示す。画素５１１は、画素５１１への画像信号の入力を制御するトランジスタ５１２と、画素電極、対向電極、及び画素電極と対向電極の間に設けられたＥＬ層を有する発光素子５１５と、画像信号に従って発光素子５１５が有する画素電極の電位を制御するトランジスタ５１３と、画像信号の電位を保持するための容量素子５１４と、を有する。

【０２３２】

なお、図２４（Ｂ）では、画素５１１が容量素子５１４を有する場合を例示しているが、例えばトランジスタ５１３のゲート電極と活性層の間に形成されるゲート容量が十分大きい場合など、他の容量により画像信号の電位を十分保持できる場合には、必ずしも容量素子５１４を画素５１１に設ける必要はない。

【０２３３】

発光素子５１５は、電流または電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、ＯＬＥＤ素子などを、発光素子５１５として用いることができる。ＯＬＥＤ素子は、ＥＬ層と、陽極と、陰極とを少なくとも有している。陽極と陰極は、いずれか一方が画素電極として機能し、他方が対向電極として機能する。ＥＬ層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。ＥＬ層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【０２３４】

発光素子５１５の画素電極は、画素５１１に入力される画像信号に従ってその電位が制御される。また、発光素子５１５の輝度は、画素電極と対向電極の間の電位差によって定まる。そして、画素部５１０が有する複数の画素５１１のそれぞれにおいて、発光素子５１５の輝度が画像信号に従って調整されることで、画素部５１０に画像が表示される。

【０２３５】

画素５１１は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【０２３６】

次いで、画素５１１が有する、トランジスタ５１２、トランジスタ５１３、容量素子５１４、発光素子５１５の接続構成について説明する。

【０２３７】

トランジスタ５１２は、ソース端子またはドレイン端子の一方が信号線ＳＬに接続され、ソース端子またはドレイン端子の他方がトランジスタ５１３のゲート電極に接続されている。

トランジスタ５１３は、ソース端子またはドレイン端子の一方が電源線ＶＬに接続され、ソース端子またはドレイン端子の他方が発光素子５１５に接続されている。発光素子５１５は、画素電極と、対向電極と、画素電極と対向電極の間のＥＬ層とを有しており、具体的に、トランジスタ５１３のソース端子またはドレイン端子の他方は、発光素子５１５の画素電極に接続される。発光素子５１５の対向電極には電位（共通電位）が与えられる。

【０２３８】

電源電位と共通電位は、トランジスタ５１３がオンのときに、発光素子５１５の画素電極と対向電極の間に、発光素子５１５が発光する程度に大きい順方向バイアスの電圧が印加されるような電位差である。

【０２３９】

また、トランジスタ５１２、トランジスタ５１３は、活性層の片側にだけ存在するゲート電極を少なくとも有していれば良いが、活性層を間に挟んで存在する一対のゲート電極を

有していても良い。また、トランジスタ５１２、トランジスタ５１３は、単数のゲート電極と単数のチャネル形成領域を有するシングルゲート構造であっても良いし、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造であっても良い。

【０２４０】

次に、図２４（Ａ）及び図２４（Ｂ）に示した発光装置の駆動方法について説明する。

【０２４１】

走査線ＧＬ１～走査線ＧＬｙが順に選択される。例えば走査線ＧＬｊ（ｊは１以上ｙ以下の自然数）が選択されると、走査線ＧＬｊにゲート電極が接続されているトランジスタ５１２がオンになる。そして、信号線ＳＬ１乃至信号線ＳＬｘに入力された画像信号の電位が、トランジスタ５１２がオンになることで、トランジスタ５１３のゲート電極に与えられる。そして、走査線ＧＬｊの選択が終了すると、トランジスタ５１２がオフになり、画像信号の電位はトランジスタ５１３のゲート電極において保持される。

【０２４２】

そして、画像信号の電位に従ってトランジスタ５１３がオンである場合、発光素子５１５に電流が供給されることで発光素子５１５が点灯する。発光素子５１５に流れる電流の値は、トランジスタ５１３のドレイン電流によって決まるため、発光素子５１５の輝度は、画像信号の電位に従って定まる。逆に、画像信号の電位に従って、トランジスタ５１３がオフになっている場合、発光素子５１５への電流の供給は行われず、発光素子５１５は消灯する。

【０２４３】

上記動作により、画像を表示することができる。

【０２４４】

なお、図２４（Ｂ）では、一のトランジスタ５１２をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを、画素５１１に用いていても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【０２４５】

トランジスタ５１２が酸化物半導体をチャネル形成領域に含むことで、オフ電流が極めて小さく、なおかつ高耐圧であるトランジスタ５１２を実現することができる。そして、上記構成を有するトランジスタ５１２をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ５１３のゲート電極に蓄積された電荷のリークを防ぐことができる。

【０２４６】

オフ電流の極めて小さいトランジスタ５１２を用いることで、トランジスタ５１３のゲート電極の電位が保持される期間を長く確保することができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部５１０に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素部５１０への画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。例えば、高純度化された酸化物半導体を活性層に用いたトランジスタ５１２を用いることで、画像信号の書き込みの間隔を１０秒以上、好ましくは３０秒以上、さらに好ましくは１分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、消費電力をより低減することができる。

【０２４７】

また、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために、トランジスタ５１３のゲート電極に容量素子５１４を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子５１４を設けないことによって、或いは容量素子５１４のサイズを小さくすることによって、開口率を高

めることができるため、発光装置の消費電力を低減させることができる。

【０２４８】

次いで、図２４（Ｂ）に示した画素５１１のレイアウトについて、図２１乃至図２３を用いて説明する。図２１は、画素５１１の上面図の一例である。また、図２２は、図２１に示す上面図の、一点鎖線Ｄ１－Ｄ２及び一点鎖線Ｄ３－Ｄ４における断面図の一例に相当する。図２３は、図２１に示す上面図の、一点鎖線Ｄ５－Ｄ６における断面図の一例に相当する。ただし、図２１では、画素５１１のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素５１１の上面図を示す。また、図２１では、画素５１１が有する各種半導体素子のレイアウトを明確に示すために、発光素子５１５が有するＥＬ層及び対向電極を省略して、画素５１１の上面図を示す。

【０２４９】

図２１乃至図２３に示す画素５１１において、トランジスタ５１２は、絶縁表面を有する基板４００上に、ゲート電極として機能する導電膜４０１と、導電膜４０１上のゲート絶縁膜４０２と、導電膜４０１と重なる位置においてゲート絶縁膜４０２上に位置する半導体膜４０３と、導電膜４０１と重なる位置において半導体膜４０３上に位置し、チャネル保護膜として機能する絶縁膜４０４と、ソース端子またはドレイン端子として機能し、半導体膜４０３上に位置する導電膜４０５及び導電膜４０６とを有する。

【０２５０】

導電膜４０１はトランジスタ５１２のゲート電極に電位を与える走査線ＧＬとしても機能する。また、導電膜４０５は、画像信号の電位を画素５１１に与える信号線ＳＬとしても機能する。

【０２５１】

また、トランジスタ５１３は、絶縁表面を有する基板４００上に、ゲート電極として機能する導電膜４０７と、導電膜４０７上のゲート絶縁膜４０２と、導電膜４０７と重なる位置においてゲート絶縁膜４０２上に位置する半導体膜４０３と、導電膜４０７と重なる位置において半導体膜４０３上に位置し、チャネル保護膜として機能する絶縁膜４０８と、ソース端子またはドレイン端子として機能し、半導体膜４０３上に位置する導電膜４０９及び導電膜４１０とを有する。

【０２５２】

容量素子５１４は、絶縁表面を有する基板４００上に、導電膜４０７と、導電膜４０７上のゲート絶縁膜４０２及び半導体膜４０３と、導電膜４０７と重なる位置においてゲート絶縁膜４０２及び半導体膜４０３上に位置する導電膜４１０とを有する。

【０２５３】

また、導電膜４０５、導電膜４０６、導電膜４０９、及び導電膜４１０上には、絶縁膜４１１が設けられている。そして、絶縁膜４１１、半導体膜４０３、及びゲート絶縁膜４０２には、開口部４１２、開口部４１３、及び開口部４１４が設けられている。

【０２５４】

開口部４１２は、導電膜４０６と、導電膜４０９の間に設けられている。また、開口部４１２が形成されている領域の一部は、導電膜４０６が形成されている領域の一部と、導電膜４０７が形成されている領域の一部とに、重なっている。開口部４１２において、導電膜４０６上の絶縁膜４１１と、導電膜４０７上の絶縁膜４１１、半導体膜４０３、及びゲート絶縁膜４０２とが除去されており、導電膜４０６及び導電膜４０７は、導電膜４０６及び導電膜４０７上の導電膜４１５により電気的に接続されている。

【０２５５】

開口部４１３は、導電膜４１０と、導電膜４０５及び導電膜４０６との間に設けられている。また、開口部４１３が形成されている領域の一部は、導電膜４０９が形成されている領域の一部に、重なっている。開口部４１３において、導電膜４０９上の絶縁膜４１１が除去されており、導電膜４０９は、導電膜４０９及び絶縁膜４１１上の、画素電極として機能する導電膜４１６に接続されている。

【０２５６】

開口部４１４は、隣接する画素５１１間の、導電膜４１０と導電膜４０５の間に設けられている。開口部４１４において、絶縁膜４１１、半導体膜４０３、及びゲート絶縁膜４０２が、除去されている。

【０２５７】

なお、図２１乃至図２３では、開口部４１２が形成されている領域の一部が、導電膜４０６が形成されている領域の一部、及び導電膜４０７が形成されている領域の一部と重なっている場合を例示している。この場合、導電膜４０６及び導電膜４１５の接続と、導電膜４０７及び導電膜４１５の接続とは、共に開口部４１２において行われることとなる。しかし、本発明の一態様では、導電膜４０６及び導電膜４１５の接続と、導電膜４０７及び導電膜４１５の接続とが、互いに異なる開口部で行われていても良い。

【０２５８】

図２５に、導電膜４０６及び導電膜４０７と導電膜４１５との接続箇所における、画素５１１の断面図の一例を示す。図２５では、絶縁膜４１１に設けた開口部４１２ａにおいて、導電膜４０６と導電膜４１５が接続されている。また、絶縁膜４１１、半導体膜４０３、及びゲート絶縁膜４０２に設けた開口部４１２ｂにおいて、導電膜４０７と導電膜４１５が接続されている。

【０２５９】

ただし、図２１乃至図２３のように、導電膜４０６及び導電膜４１５の接続と、導電膜４０７及び導電膜４１５の接続とが、共に開口部４１２において行われる場合、複数の開口部を形成するための領域を確保する必要がないので、画素部５１０の高精細化を実現することができる。

【０２６０】

また、導電膜４１６を一部覆うように、絶縁膜４１１上に絶縁膜４１７が設けられている。絶縁膜４１７が有する開口部４１８が、導電膜４１６の一部と重なっており、開口部４１８において、導電膜４１６上にＥＬ層４１９及び対向電極として機能する導電膜４２０が順に積層されている。導電膜４１６、ＥＬ層４１９、及び導電膜４２０が積層されている部分が、発光素子５１５として機能する。

【０２６１】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０２６２】

（実施の形態８）

本実施の形態では、図２１乃至図２３に示した画素５１１を例に挙げて、本発明の一態様に係る発光装置の作製方法について説明する。

【０２６３】

まず、図２６（Ａ）に示すように、絶縁表面を有する基板４００上に、ゲート電極として機能する導電膜４０７を形成する。

【０２６４】

絶縁表面を有する基板４００として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が７３０℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【０２６５】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。ただし、発光装置が、発光素子５１５からの光が基板４００側に向かうボトムエミッション構造を有する場合、基板４００には透光性を有する基板を用いる。

【０２６６】

導電膜４０７の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、ニオブ等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【０２６７】

例えば、２層の構造を有する導電膜４０７として、チタン膜上に銅膜が積層された２層の構造、アルミニウム膜上にモリブデン膜が積層された２層の構造、銅膜上にモリブデン膜を積層した２層の構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した２層の構造、または、窒化チタン膜とモリブデン膜とを積層した２層の構造とすることが好ましい。３層の構造を有する導電膜４０７としては、例えば、窒化チタン膜と、銅膜と、タングステン膜とを積層した３層の構造とすることが好ましい。

【０２６８】

また、導電膜４０７に酸化インジウム、酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する金属酸化物を用いることもできる。

【０２６９】

導電膜４０７の膜厚は、１０ｎｍ～４００ｎｍ、好ましくは１００ｎｍ～２００ｎｍとする。本実施の形態では、スパッタ法により膜厚２００ｎｍのタングステン膜を形成した後、該タングステン膜を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工（パターニング）することで、導電膜４０７を形成する。なお、形成された導電膜４０７の端部がテーパー形状であると、上に積層するゲート絶縁膜４０２の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【０２７０】

なお、本実施の形態では、基板４００上に直接導電膜４０７を形成する場合を例示しているが、基板４００上に下地膜として機能する絶縁膜を形成してから、上記下地膜上に導電膜４０７を形成しても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか１つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板４００内に含まれるアルカリ金属、重金属などの不純物が、後に形成される半導体膜４０３内、ゲート絶縁膜４０２内、或いは、半導体膜４０３と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

【０２７１】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【０２７２】

なお、図２８は、上述の工程が終了した時点での、発光装置の上面図である。図２８の一点鎖線Ｄ５－Ｄ６における断面図が、図２６（Ａ）に相当する。

【０２７３】

次いで、図２６（Ｂ）に示すように、導電膜４０７上に、ゲート絶縁膜４０２を形成する。ゲート絶縁膜４０２は、プラズマＣＶＤ法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニ

ウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ガリウム膜、酸化ランタン膜、または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜４０２は、水分、水素などの不純物を極力含まないことが望ましい。

【０２７４】

ゲート絶縁膜４０２は、単層の絶縁膜で構成されていても良いし、複数の絶縁膜が積層されることで構成されていても良い。いずれにしても、化学量論的組成を超える量の酸素を含む絶縁膜が、後に形成される半導体膜４０３と接するように、ゲート絶縁膜４０２を形成することが望ましい。上記構成により、ゲート絶縁膜４０２から半導体膜４０３に酸素を供給することができるので、良好な電気的特性を有するトランジスタ５１３を得ることができる。

【０２７５】

また、バリア性の高い絶縁膜と、酸素を含む絶縁膜とを積層させた構造を有するゲート絶縁膜４０２を形成する場合、バリア性の高い絶縁膜は、酸素を含む絶縁膜と、導電膜４０７との間に設けることが望ましい。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板４００内に含まれるアルカリ金属、重金属などの不純物が、半導体膜４０３内、ゲート絶縁膜４０２内、或いは、半導体膜４０３と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。

【０２７６】

ゲート絶縁膜４０２の膜厚は、トランジスタ５１３に要求される特性によって適宜設定すればよく、例えば１ｎｍ以上８００ｎｍ以下、好ましくは２００ｎｍ以上５００ｎｍ以下とする。ゲート絶縁膜４０２を厚く形成することで、トランジスタ５１３の耐圧を向上させることができる。本実施の形態では、プラズマＣＶＤ法で形成された膜厚１００ｎｍの酸化窒化珪素膜をゲート絶縁膜４０２として用いる。

【０２７７】

次いで、図２６（Ｂ）に示すように、ゲート絶縁膜４０２上に膜厚２ｎｍ以上２００ｎｍ以下、好ましくは膜厚３ｎｍ以上５０ｎｍ以下、さらに好ましくは膜厚３ｎｍ以上２０ｎｍ以下の半導体膜４０３を形成する。半導体膜４０３は、酸化物半導体をターゲットとして用い、スパッタ法により形成する。また、半導体膜４０３は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【０２７８】

なお、酸化物半導体膜をスパッタ法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜４０２の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にＲＦ電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【０２７９】

半導体膜４０３に用いる酸化物半導体として、上述したように、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化

物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物などが挙げられる。

【０２８０】

なお、例えば、半導体膜４０３は、Ｉｎ（インジウム）、Ｇａ（ガリウム）、及びＺｎ（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。Ｉｎ－Ｇａ－Ｚｎ系の半導体膜４０３をスパッタリング法で形成する場合、好ましくは、原子数比がＩｎ：Ｇａ：Ｚｎ＝１：１：１、４：２：３、３：１：２、１：１：２、２：１：３、または３：１：４で示されるＩｎ－Ｇａ－Ｚｎ系酸化物のターゲットを用いる。前述の原子数比を有するＩｎ－Ｇａ－Ｚｎ系酸化物のターゲットを用いて酸化物半導体膜を形成することで、多結晶またはＣＡＡＣが形成されやすくなる。また、Ｉｎ、Ｇａ、及びＺｎを含むターゲットの充填率は９０％以上１００％以下、好ましくは９５％以上１００％未満である。充填率の高いターゲットを用いることにより、形成した酸化物半導体膜は緻密な膜となる。

【０２８１】

なお、酸化物半導体としてＩｎ－Ｚｎ系酸化物を用いる場合、用いるターゲットの組成は、原子数比で、Ｉｎ：Ｚｎ＝５０：１～１：２（モル数比に換算するとIn_2O_3：ＺｎＯ＝２５：１～１：４）、好ましくはＩｎ：Ｚｎ＝２０：１～１：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝１０：１～１：２）、さらに好ましくはＩｎ：Ｚｎ＝１．５：１～１５：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝３：４～１５：２）とする。例えば、Ｉｎ－Ｚｎ系酸化物である半導体膜４０３の形成に用いるターゲットは、原子数比がＩｎ：Ｚｎ：Ｏ＝Ｘ：Ｙ：Ｚのとき、Ｚ＞１．５Ｘ＋Ｙとする。Ｚｎの比率を上記範囲に収めることで、移動度の向上を実現することができる。

【０２８２】

また、酸化物半導体としてＩｎ－Ｓｎ－Ｚｎ系酸化物の材料を用いる場合、用いるターゲットの組成は、Ｉｎ：Ｓｎ：Ｚｎの原子数比を、１：２：２、２：１：３、１：１：１、または２０：４５：３５とすれば良い。

【０２８３】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板４００上に酸化物半導体膜を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（H_2O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で形成した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【０２８４】

なお、ＣＡＡＣ－ＯＳで構成される半導体膜４０３を形成する方法として、三つ挙げられる。一つめは、成膜温度を２００℃以上４５０℃以下として半導体膜４０３の形成を行う方法である。二つめは、半導体膜４０３を薄い膜厚で形成した後、２００℃以上７００℃以下の熱処理を行う方法である。三つめは、一層目の酸化物半導体膜を薄く形成した後、２００℃以上７００℃以下の熱処理を行い、さらに２層目の酸化物半導体膜の形成を行うことで、半導体膜４０３を形成する方法である。

【０２８５】

本実施の形態では、基板４００とターゲットの距離を１００ｍｍ、圧力０．４Ｐａ、直流（ＤＣ）電源０．５ｋＷ、基板温度２５０℃とし、アルゴンと酸素の流量がそれぞれ３０

ｓｃｃｍ、１５ｓｃｃｍの雰囲気下において、Ｉｎ－Ｇａ－Ｚｎ系酸化物半導体を含む、膜厚２５ｎｍの半導体膜４０３の形成を行う。

【０２８６】

なお、半導体膜４０３に水素、水酸基及び水分がなるべく含まれないようにするために、形成の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜４０２までが形成された基板４００を予備加熱し、基板４００に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、１００℃以上４００℃以下、好ましくは１５０℃以上３００℃以下である。

【０２８７】

なお、スパッタ等で形成された半導体膜４０３中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、半導体膜４０３を形成した後、半導体膜４０３中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、半導体膜４０３に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下で、加熱処理を施す。

【０２８８】

半導体膜４０３に加熱処理を施すことで、半導体膜４０３中の水分又は水素を脱離させることができる。具体的には、２５０℃以上７５０℃以下、好ましくは４００℃以上基板の歪み点未満の温度で加熱処理を行えば良い。加熱処理にＲＴＡ法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、超乾燥エア雰囲気下において、４５０℃で１時間程度、加熱処理を行う。

【０２８９】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、ＧＲＴＡ（Ｇａｓ Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置、ＬＲＴＡ（Ｌａｍｐ Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置等のＲＴＡ（Ｒａｐｉｄ Ｔｈｅｒｍａｌ Ａｎｎｅａｌ）装置を用いることができる。ＬＲＴＡ装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。ＧＲＴＡ装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【０２９０】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上、（即ち不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。

【０２９１】

以上の工程により、半導体膜４０３中の水分又は水素の濃度を低減することができる。なお、半導体膜４０３では、上記加熱処理により水分又は水素が除去されると共に、酸素の脱離による酸素欠損が増加している恐れがある。そこで、上記加熱処理の後に、半導体膜４０３に酸素を供給する処理を行い、酸素欠損を低減させることが望ましい。

【０２９２】

水分又は水素の濃度が低減され、なおかつ酸素欠損が低減されることで高純度化された半導体膜４０３を用いることで、耐圧性が高く、オフ電流の著しく小さいトランジスタ５１３を作製することができる。

【０２９３】

例えば、酸素を含むガス雰囲気下において加熱処理を行うことで、半導体膜４０３に酸素

を供給することができる。酸素を供給するための加熱処理は、上述した、水分又は水素の濃度を低減するための加熱処理と同様の条件で行えば良い。ただし、酸素を供給するための加熱処理は、酸素ガス、又は超乾燥エア（ＣＲＤＳ（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が２０ｐｐｍ（露点換算で－５５℃）以下、好ましくは１ｐｐｍ以下、好ましくは１０ｐｐｂ以下の空気）などの囲気下において行う。

【０２９４】

上記酸素を含むガスには、水、水素などの濃度が低いことが好ましい。具体的には、酸素を含むガス内に含まれる不純物濃度を、１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下とすることが好ましい。

【０２９５】

或いは、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いて、半導体膜４０３に酸素を供給することができる。上記方法を用いて酸素を半導体膜４０３に供給した後、半導体膜４０３に含まれる結晶部が損傷を受けた場合は、加熱処理を行い、損傷を受けた結晶部を修復するようにしても良い。

【０２９６】

半導体膜４０３を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【０２９７】

次いで、図２６（Ｃ）に示すように、半導体膜４０３上に絶縁膜を形成した後、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、チャネル保護膜として機能する島状の絶縁膜４０８を形成する。絶縁膜４０８は、半導体膜４０３上において導電膜４０７と重なる位置に設ける。

【０２９８】

絶縁膜４０８の膜厚は、５０ｎｍ以上６００ｎｍ以下、好ましくは１００ｎｍ以上４００ｎｍ以下とする。そして、絶縁膜４０８は、ゲート絶縁膜４０２と同様の構造、材料を用いて形成することができる。そして、絶縁膜４０８は、ゲート絶縁膜４０２と同様に、水分、水素などの不純物を極力含まないことが望ましく、なおかつ、化学量論的組成を超える量の酸素を含むことが望ましい。上記構成により、半導体膜４０３中における水分、水素などの不純物の濃度を低く抑え、なおかつ絶縁膜４０８から半導体膜４０３に酸素を供給することができるので、良好な電気的特性を有するトランジスタ５１３を得ることができる。

【０２９９】

本実施の形態では、プラズマＣＶＤ法にて形成した膜厚３００ｎｍの酸化窒化珪素膜を、絶縁膜４０８として用いる。

【０３００】

なお、絶縁膜４０８として、少なくともＩｎまたはＺｎの一方を含む金属酸化物であり、なおかつ、Ｔｉ、Ｚｒ、Ｈｆ、Ｇｅ、Ｃｅなどを含むことで、半導体膜４０３よりも絶縁性の高まった、金属酸化物を用いても良い。

【０３０１】

例えば、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を、絶縁膜４０８に用いても良い。ただし、元素$Ｍ_1$は、３Ａ族、３Ｂ族、及び４Ａ族に含まれる元素のうち、３価の元素である。元素$Ｍ_2$は４Ａ族、及び４Ｂ族に含まれる元素のうち、４価の元素である。具体的に、元素$Ｍ_1$にＧａを用いる場合、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物において、３価のＧａの一部が、４価の元素で置き換えられることになる。４価の元素は３価の元素よりも一本結合手が多いので、３価の元素の一部を４価の元素に置き換えることで、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を構成する金属元素（$Ｍ_1$または$Ｍ_2$）と酸素の結合力を高めることができる。よって、Ｉｎ－$Ｍ_1$－$Ｍ_2$－Ｚｎ系酸化物を絶縁膜４０８に用いることで、絶縁膜４０８

の絶縁性を高めることができる。具体的に、元素M_2として、Ｔｉ、Ｚｒ、Ｈｆ、Ｇｅ、Ｃｅなどが挙げられる。

【０３０２】

例えば、Ｉｎ：Ｚｒ：Ｇａ：Ｚｎ＝３：０．０５：０．９５：２のターゲットを用いて、スパッタリング法により、Ｉｎ－M_1－M_2－Ｚｎ系酸化物を用いた絶縁膜４０８を形成すれば良い。

【０３０３】

また、例えば、化学式ＩｎＭＺｎO_xで表されるＩｎ－Ｍ－Ｚｎ系酸化物を絶縁膜４０８に用いても良い。元素Ｍとして、Ｉｎ－Ｍ－Ｚｎ系酸化物の絶縁性が、半導体膜４０３を構成する金属酸化物の絶縁性よりも高くなるような元素を適用する。例えば、元素Ｍとして、Ｔｉ、Ｚｒ、Ｈｆ、Ｇｅ、Ｃｅなどの４価の元素を適用することができる。４価の元素は３価の元素よりも一本結合手が多いので、これら４価の元素を元素Ｍとして用いたＩｎ－Ｍ－Ｚｎ系酸化物は、元素Ｍと酸素の結合力が高い。よって、Ｉｎ－Ｍ－Ｚｎ系酸化物を絶縁膜４０８に用いることで、絶縁膜４０８の絶縁性を高めることができる。

【０３０４】

例えば、元素ＭとしてＺｒを用いたＩｎ－Ｚｒ－Ｚｎ系酸化物のエネルギーギャップは、Ｉｎ－Ｇａ－Ｚｎ系酸化物のエネルギーギャップ（約３．２ｅＶ）よりも大きくなる。すなわち、Ｉｎ－Ｚｒ－Ｚｎ系酸化物はＩｎ－Ｇａ－Ｚｎ系酸化物よりも絶縁性が高いと言える。

【０３０５】

また、イットリウムはＧａよりも電気陰性度が小さい。そのため、Ｉｎ－M_1－M_2－Ｚｎ系酸化物において、元素M_2をイットリウムとすると、酸素と元素M_2の電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素M_2をイットリウムとしても、Ｉｎ－M_1－M_2－Ｚｎ系酸化物を用いた絶縁膜４０８の絶縁性を高めることができる。また、Ｉｎ－Ｍ－Ｚｎ系酸化物において、元素Ｍをイットリウムとすると、酸素と元素Ｍの電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素Ｍをイットリウムとしても、Ｉｎ－Ｍ－Ｚｎ系酸化物を用いた絶縁膜４０８の絶縁性を高めることができる。

【０３０６】

また、Ｉｎ－Ｍ－Ｚｎ系酸化物中の元素Ｍの含有量は、Ｉｎの含有量の０．３倍以上１．３倍未満である。また、Ｉｎ－Ｍ－Ｚｎ系酸化物中の元素Ｍの含有量は、Ｚｎの含有量の０．３倍以上１．３倍未満である。元素Ｍに対するＩｎまたはは、Ｚｎの相対的な数が少ないほど、より絶縁性の高い絶縁膜４０８を得ることができる。

【０３０７】

具体的には、元素Ｍを含ませた金属酸化物材料をスパッタリング法で形成する場合、好ましくは原子数比がＩｎ：Ｍ：Ｚｎ＝１：１：１、３：１：３、３：２：４、２：１：３、４：５：４、または４：２：３で示される金属酸化物ターゲットを用いる。

【０３０８】

Ｉｎ－Ｍ－Ｚｎ系酸化物や、Ｉｎ－M_1－M_2－Ｚｎ系酸化物を絶縁膜４０８に用いることで、絶縁膜４０８と半導体膜４０３の界面の状態を良好に保つことができ、トランジスタ５１３の電気的特性を良好にすることができる。

【０３０９】

なお、絶縁膜４０８を形成するためのエッチングにより露出した半導体膜４０３の表面には、不純物が付着しやすい。上記不純物には、エッチングに用いたエッチングガスまたはエッチング液を構成する元素、或いはエッチングを行った処理室内に存在する元素などが含まれる。上記不純物として、具体的には、ボロン、塩素、フッ素、炭素、アルミニウムなどが挙げられる。

【０３１０】

上記不純物が半導体膜４０３の表面に付着すると、トランジスタのオフ電流の増加、或い

はトランジスタの電気的特性の劣化がもたらされやすい。また、半導体膜４０３に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜が半導体膜４０３を介して電気的に接続されやすくなる。そこで、本発明の一態様では、絶縁膜４０８を形成するためのエッチングが終了した後、半導体膜４０３及び絶縁膜４０８の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【０３１１】

洗浄処理は、ＴＭＡＨ（水酸化テトラメチルアンモニウム）溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、５０重量％フッ酸を、水で１／１０^{2}乃至１／１０^{5}に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が０．５重量％乃至５×１０$^{-4}$重量％の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜４０３及び絶縁膜４０８の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜４０３に付着した不純物を、半導体膜４０３の一部とともに除去することができる。

【０３１２】

次いで、半導体膜４０３上に、スパッタ法や真空蒸着法で導電膜を形成したあと、フォトリソグラフィ法を用いたエッチングにより当該導電膜をパターニングすることで、図２６（Ｄ）に示すように、半導体膜４０３上において、絶縁膜４０８を間に挟む様に設けられた導電膜４０９及び導電膜４１０を形成する。導電膜４０９及び導電膜４１０は、トランジスタ５１３のソース電極またはドレイン電極として機能する。

【０３１３】

導電膜４０９及び導電膜４１０は、導電膜４０７と同様の構造、材料を用いることができる。導電膜４０９及び導電膜４１０の形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜４０９及び導電膜４１０に持たせることが好ましい。本実施の形態では、導電膜４０９及び導電膜４１０として、膜厚１５０ｎｍのタングステン膜を用いる。

【０３１４】

なお、導電膜４０９及び導電膜４１０を形成するためのエッチングの際に、半導体膜４０３がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、半導体膜４０３の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【０３１５】

本実施の形態では、ＩＣＰエッチング法によるドライエッチングを用いて、導電膜４０９及び導電膜４１０を形成する。具体的には、エッチングガスである六フッ化硫黄の流量を５０ｓｃｃｍ、反応圧力１．５Ｐａ、下部電極の温度７０℃、コイル型の電極に投入するＲＦ（１３．５６ＭＨｚ）電力を５００Ｗ、下部電極（バイアス側）に投入する電力を５０Ｗとした後、エッチングガスである三塩化ホウ素の流量を６０ｓｃｃｍ、塩素の流量２０ｓｃｃｍ、反応圧力１．９Ｐａ、下部電極の温度２１℃、コイル型の電極に投入するＲＦ（１３．５６ＭＨｚ）電力４５０Ｗ、下部電極（バイアス側）に投入する電力１００Ｗとなるように、途中で条件を変更してドライエッチングを行う。

【０３１６】

なお、フォトリソグラフィ法で用いるマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、工程の簡略化が可能となる。

【０３１７】

なお、導電膜４０９及び導電膜４１０を形成するためのエッチングにより露出した半導体膜４０３及び絶縁膜４０８の表面には、ボロン、塩素、フッ素、炭素、アルミニウムなどの不純物が付着しやすい。さらに、上記不純物には、導電膜４０９及び導電膜４１０を構成する元素も含まれる場合がある。

【０３１８】

上記不純物が半導体膜４０３の表面に付着すると、上述したように、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化がもたらされやすい。また、半導体膜４０３に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜が半導体膜４０３を介して電気的に接続されやすくなる。そこで、本発明の一態様では、導電膜４０９及び導電膜４１０を形成するためのエッチングが終了した後、半導体膜４０３及び絶縁膜４０８の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【０３１９】

洗浄処理は、ＴＭＡＨ溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、５０重量％フッ酸を、水で$1/10^{2}$乃至$1/10^{5}$に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が０．５重量％乃至5×10^{-4}重量％の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜４０３及び絶縁膜４０８の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜４０３に付着した不純物を、半導体膜４０３の一部とともに除去することができる。

【０３２０】

なお、本実施の形態では、エッチング後における不純物除去を目的とした洗浄処理を、絶縁膜４０８の形成後と、導電膜４０９及び導電膜４１０の形成後の２回行う場合について説明したが、本発明の一態様では、上記洗浄処理をいずれか１回のみとしても良い。

【０３２１】

なお、図２９は、上述の工程が終了した時点での、発光装置の上面図である。図２９の一点鎖線Ｄ５－Ｄ６における断面図が、図２６（Ｄ）に相当する。

【０３２２】

次いで、図２７（Ａ）に示すように、半導体膜４０３と、絶縁膜４０８と、導電膜４０９及び導電膜４１０を覆うように、絶縁膜４１１を形成する。絶縁膜４１１は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜４１１に水素が含まれると、その水素が半導体膜４０３に侵入し、又は水素が半導体膜４０３中の酸素を引き抜き、半導体膜４０３の表面近傍が低抵抗化（ｎ型化）してしまう。そして、低抵抗化した半導体膜４０３の表面近傍には寄生チャネルが形成されやすく、寄生チャネルにより導電膜４０９または導電膜４１０と、半導体膜４０３上の他の導電膜が電気的に接続されるおそれがある。よって、絶縁膜４１１はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【０３２３】

なお、上記洗浄処理を行った場合でも、絶縁膜４１１を形成する前に基板４００を大気にさらすと、大気中に含まれる炭素などの不純物が、半導体膜４０３及び絶縁膜４０８の表面に付着することがある。そこで、本発明の一態様では、絶縁膜４１１を形成するための処理室内において、絶縁膜４１１を形成する前に、半導体膜４０３及び絶縁膜４０８の表面に付着した炭素などの不純物を、酸素、一酸化二窒素、もしくは希ガス（代表的にはアルゴン）などを用いたプラズマ処理により洗浄し、炭素などの不純物を除去するようにしても良い。そして、プラズマ処理による不純物の除去を行った後、基板４００を大気にさらすことなく、絶縁膜４１１を形成することで、半導体膜４０３及び絶縁膜４０８と絶縁膜４１１の界面近傍に不純物が入り込むのを防ぎ、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化を防ぐことができる。

【０３２４】

また、上記絶縁膜４１１には、バリア性の高い材料を用いるのが望ましい。例えば、バリ

ア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、酸素を含む酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、半導体膜４０３に近い側に形成する。そして、酸素を含む絶縁膜を間に挟んで、半導体膜４０３と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、半導体膜４０３内、ゲート絶縁膜４０２内、或いは、半導体膜４０３と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

【０３２５】

また、複数の積層された絶縁膜を絶縁膜４１１として用いる場合、１層目以外の絶縁膜として、例えば、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、アルミナ等を用いることができる。シロキサン系樹脂は、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、水素の他、フッ素、フルオロ基、有機基（例えばアルキル基、芳香族炭化水素）のうち、少なくとも１種を有していても良い。そして、絶縁膜４１１の形成には、その材料に応じて、ＣＶＤ法、スパッタ法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、印刷法（スクリーン印刷、オフセット印刷等）などの方法で形成する。また、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いて形成しても良い。或いは、１層目以外の絶縁膜として、有機シランを用いて化学気相成長法により作製される酸化珪素膜を用いることもできる。有機シランとしては、珪酸エチル（ＴＥＯＳ：Ｓｉ（ＯＣ$_2$Ｈ$_5$）$_4$）、トリメチルシラン（ＴＭＳ：（ＣＨ$_3$）$_3$ＳｉＨ）、テトラメチルシクロテトラシロキサン（ＴＭＣＴＳ）、オクタメチルシクロテトラシロキサン（ＯＭＣＴＳ）、ヘキサメチルジシラザン（ＨＭＤＳ）、トリエトキシシラン（ＳｉＨ（ＯＣ$_2$Ｈ$_5$）$_3$）、トリスジメチルアミノシラン（ＳｉＨ（Ｎ（ＣＨ$_3$）$_2$）$_3$）等を用いることができる。

【０３２６】

本実施の形態では、スパッタ法で形成された膜厚３００ｎｍの酸化珪素膜を絶縁膜４１１として用いる。成膜時の基板温度は、室温以上３００℃以下とすればよく、本実施の形態では１００℃とする。

【０３２７】

次いで、図２７（Ｂ）に示すように、ゲート絶縁膜４０２、半導体膜４０３、及び絶縁膜４１１を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、開口部４１２乃至開口部４１４を形成する。

【０３２８】

本実施の形態では、ＩＣＰエッチング法によるドライエッチングを用いて、ゲート絶縁膜４０２、半導体膜４０３、及び絶縁膜４１１をパターニングする。具体的には、エッチングガスであるトリフルオロメタン、ヘリウム、メタンの流量をそれぞれ２２．５ｓｃｃｍ、１２７．５ｓｃｃｍ、５ｓｃｃｍ、反応圧力を３．５Ｐａ、下部電極の温度２１℃、コイル型の電極に投入するＲＦ（１３．５６ＭＨｚ）電力を４７５Ｗ、下部電極（バイアス側）に投入する電力を３００Ｗとして、ドライエッチングを行う。

【０３２９】

開口部４１３が形成される領域は、導電膜４０９が形成されている領域の一部と重なっているため、開口部４１３において導電膜４０９は部分的に露出する。

【０３３０】

なお、図３０は、上述の工程が終了した時点での、発光装置の上面図である。図３０の一点鎖線Ｄ５－Ｄ６における断面図が、図２７（Ｂ）に相当する。

【０３３１】

次いで、図２７（Ｂ）に示すように、開口部４１３において導電膜４０９と接する導電膜

４１６を形成する。導電膜４１６は画素電極として機能し、その一部は絶縁膜４１１上にも設けられている。

【０３３２】

次いで、図２７（Ｃ）に示すように、導電膜４１６の一部を覆うように、導電膜４１６上に、開口部４１８を有する絶縁膜４１７を形成する。絶縁膜４１７の開口部４１８において導電膜４１６はその一部が露出している。絶縁膜４１７は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル樹脂、ポリイミド樹脂、ポリアミド樹脂など、無機絶縁膜ならば酸化珪素、窒化酸化珪素などを用いることができる。特に感光性の有機樹脂膜を絶縁膜４１７に用い、導電膜４１６上に開口部４１８を形成し、その開口部４１８の側壁が連続した曲率を持って形成される傾斜面となるように形成することで、導電膜４１６と、後に形成される導電膜４２０とが接続するのを防ぐことができる。開口部４１８を形成するためのマスクを、液滴吐出法または印刷法で形成することができる。また絶縁膜４１７自体を、液滴吐出法または印刷法で形成することもできる。

【０３３３】

次いで、導電膜４１６及び絶縁膜４１７上に、ＥＬ層４１９及び導電膜４２０を、順に積層するように形成する。上記工程により、絶縁膜４１７の開口部４１８において導電膜４１６、ＥＬ層４１９及び導電膜４２０が順に積層された発光素子５１５を形成することができる。

【０３３４】

なお、発光素子５１５は、発光素子５１５からの光が基板４００の方向に向かうトップエミッション構造であっても、発光素子５１５からの光が基板４００と反対側の方向に向かうボトムエミッション構造であっても良い。或いは、発光素子５１５からの光が基板４００の方向と、基板４００と反対側の方向とに向かうデュアルエミッション構造であっても良い。上記３つの構造のうち、目的とする構造に合わせて、導電膜４１６、導電膜４２０の、ぞれぞれの材料及び膜厚を選択するようにする。

【０３３５】

具体的に導電膜４１６または導電膜４２０として、酸化インジウム、酸化インジウム－酸化スズ（ＩＴＯ：Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）、珪素若しくは酸化珪素を含有した酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛（Ｉｎｄｉｕｍ　Ｚｉｎｃ　Ｏｘｉｄｅ）、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、窒素を含ませたＡｌ－Ｚｎ系酸化物半導体、窒素を含ませたＺｎ系酸化物半導体、窒素を含ませたＳｎ－Ｚｎ系酸化物半導体、金（Ａｕ）、白金（Ｐｔ）、ニッケル（Ｎｉ）、タングステン（Ｗ）、クロム（Ｃｒ）、モリブデン（Ｍｏ）、鉄（Ｆｅ）、コバルト（Ｃｏ）、銅（Ｃｕ）、パラジウム（Ｐｄ）、チタン（Ｔｉ）の他、元素周期表の第１族または第２族に属する元素、すなわちリチウム（Ｌｉ）やセシウム（Ｃｓ）等のアルカリ金属、およびマグネシウム（Ｍｇ）、カルシウム（Ｃａ）、ストロンチウム（Ｓｒ）等のアルカリ土類金属、およびこれらを含む合金（ＭｇＡｇ、ＡｌＬｉ）、ユウロピウム（Ｅｕ）、イッテルビウム（Ｙｂ）等の希土類金属およびこれらを含む合金などを用いることができる。なお、導電膜４１６は、例えばスパッタリング法や蒸着法（真空蒸着法を含む）等により上記材料を用いて導電膜を形成した後、フォトリソグラフィ法を用いたエッチングにより当該導電膜を所望の形状に加工することで、形成することができる。

【０３３６】

なお、発光素子５１５を形成したら、発光素子５１５が外気に曝されないように、発光素子５１５を基板４００とカバー材の間に封入することが好ましい。

【０３３７】

なお、本実施の形態では、トランジスタ５１３がシングルゲート構造である場合を例示しているが、必要に応じて、電気的に接続された複数の導電膜４０７を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【０３３８】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０３３９】

（実施の形態９）

本発明の一態様に係る発光装置では、白色などの単色の光を発する発光素子と、カラーフィルタを組み合わせることで、フルカラー画像の表示を行う、カラーフィルタ方式を採用することができる。或いは、互いに異なる色相の光を発する複数の発光素子を用いて、フルカラー画像の表示を行う方式を採用することもできる。この方式は、発光素子が有する一対の電極間に設けられるＥＬ層を、対応する色ごとに塗り分けるため、塗り分け方式と呼ばれる。

【０３４０】

塗り分け方式の場合、ＥＬ層の塗り分けは、通常、メタルマスクなどのマスクを用いて、蒸着法で行われる。そのため、画素のサイズは蒸着法によるＥＬ層の塗り分け精度に依存する。一方、カラーフィルタ方式の場合、塗り分け方式とは異なり、ＥＬ層の塗り分けを行う必要がない。よって、塗り分け方式の場合よりも、画素サイズの縮小化が容易であり、高精細の画素部を実現することができる。

【０３４１】

また、発光装置には、トランジスタが形成された基板、所謂素子基板側から発光素子の光を取り出すボトムエミッション構造と、素子基板とは反対の側から発光素子の光を取り出すトップエミッション構造とがある。トップエミッション構造の場合、発光素子から発せられる光を、配線、トランジスタ、容量素子などの各種素子によって遮られることがないため、ボトムエミッション構造に比べて、画素からの光の取り出し効率を高めることができる。よって、トップエミッション構造は、発光素子に供給する電流値を低く抑えても、高い輝度を得ることができるため、発光素子の長寿命化に有利である。

【０３４２】

また、本発明の一態様に係る発光装置では、ＥＬ層から発せられる光を発光素子内で共振させる、マイクロキャビティ（微小光共振器）構造を有していても良い。マイクロキャビティ構造により、特定の波長の光について、発光素子からの取り出し効率を高めることができるので、画素部の輝度と色純度を向上させることができる。

【０３４３】

図３１に、画素の断面図を、一例として示す。なお、図３１では、赤に対応する画素の断面の一部、青に対応する画素の断面の一部と、緑に対応する画素の断面の一部とを示している。

【０３４４】

具体的に、図３１では、赤に対応した画素３４０ｒと、緑に対応した画素３４０ｇと、青に対応した画素３４０ｂとが示されている。画素３４０ｒ、画素３４０ｇ、画素３４０ｂは、それぞれ陽極７１５ｒ、陽極７１５ｇ、陽極７１５ｂを有する。上記陽極７１５ｒ、陽極７１５ｇ、陽極７１５ｂは、画素３４０ｒ、画素３４０ｇ、画素３４０ｂのそれぞれにおいて、基板７４０に形成された絶縁膜７５０の上に設けられている。

【０３４５】

そして、陽極７１５ｒ、陽極７１５ｇ、及び陽極７１５ｂ上には絶縁膜を有する隔壁７３０が設けられている。隔壁７３０は開口部を有し、上記開口部において、陽極７１５ｒ、陽極７１５ｇ、及び陽極７１５ｂが、それぞれ一部露出している。また、上記露出している領域を覆うように、隔壁７３０上に、ＥＬ層７３１と、可視光に対して透光性を有する陰極７３２とが、順に積層されている。

【０３４６】

陽極７１５ｒと、ＥＬ層７３１と、陰極７３２とが重なる部分が、赤に対応した発光素子７４１ｒに相当する。陽極７１５ｇと、ＥＬ層７３１と、陰極７３２とが重なる部分が、緑に対応した発光素子７４１ｇに相当する。陽極７１５ｂと、ＥＬ層７３１と、陰極７３２とが重なる部分が、青に対応した発光素子７４１ｂに相当する。

【０３４７】

また、基板７４２は、発光素子７４１ｒ、発光素子７４１ｇ、及び発光素子７４１ｂを間に挟むように、基板７４０と対峙している。基板７４２上には、画素３４０ｒに対応した着色層７４３ｒ、画素３４０ｇに対応した着色層７４３ｇ、画素３４０ｂに対応した着色層７４３ｂが設けられている。着色層７４３ｒは、赤に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層７４３ｇは、緑に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層７４３ｂは、青に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層である。

【０３４８】

さらに、基板７４２上には、着色層７４３ｒ、着色層７４３ｇ、着色層７４３ｂを覆うように、オーバーコート７４４が設けられている。オーバーコート７４４は、着色層７４３ｒ、着色層７４３ｇ、着色層７４３ｂを保護するための、可視光に対して透光性を有する層であり、平坦性の高い樹脂材料を用いるのが好ましい。着色層７４３ｒ、着色層７４３ｇ、及び着色層７４３ｂと、オーバーコート７４４とを合わせてカラーフィルタと見なしても良いし、着色層７４３ｒ、着色層７４３ｇ、及び着色層７４３ｂのそれぞれをカラーフィルタと見なしても良い。

【０３４９】

そして、図３１では、陽極７１５ｒに、可視光の反射率が高い導電膜７４５ｒと、可視光の透過率が上記導電膜７４５ｒよりも高い導電膜７４６ｒとを、順に積層して用いる。また、陽極７１５ｇに、可視光の反射率が高い導電膜７４５ｇと、可視光の透過率が上記導電膜７４５ｇよりも高い導電膜７４６ｇとを、順に積層して用いる。導電膜７４６ｇの膜厚は、導電膜７４６ｒの膜厚よりも小さいものとする。また、陽極７１５ｂに、可視光の反射率が高い導電膜７４５ｂを用いる。

【０３５０】

よって、図３１に示す発光装置では、発光素子７４１ｒにおいて、ＥＬ層７３１から発せられた光の光路長は、導電膜７４５ｒと陰極７３２の距離により調節することができる。また、発光素子７４１ｇにおいて、ＥＬ層７３１から発せられた光の光路長は、導電膜７４５ｇと陰極７３２の距離により調節することができる。また、発光素子７４１ｂにおいて、ＥＬ層７３１から発せられた光の光路長は、導電膜７４５ｂと陰極７３２の距離により調節することができる。

【０３５１】

本発明の一態様では、発光素子７４１ｒと、発光素子７４１ｇと、発光素子７４１ｂにそれぞれ対応する光の波長に合わせて、上記光路長を調整することで、ＥＬ層７３１から発せられた光を上記各発光素子内において共振させる、マイクロキャビティ構造としても良い。

【０３５２】

上記マイクロキャビティ構造を、本発明の一態様に係る発光装置に採用することで、発光素子７４１ｒから発せられる光において、赤に対応した波長を有する光の強度が、共振により高まる。よって、着色層７４３ｒを通して得られる赤の光の色純度及び輝度が高まる。また、発光素子７４１ｇから発せられる光において、緑に対応した波長を有する光の強度が、共振により高まる。よって、着色層７４３ｇを通して得られる緑の光の色純度及び輝度が高まる。また、発光素子７４１ｂから発せられる光において、青に対応した波長を有する光の強度が、共振により高まる。よって、着色層７４３ｂを通して得られる青の光の色純度及び輝度が高まる。

【０３５３】

なお、図３１では、赤、緑、青の３色に対応する画素を用いる構成について示したが、本発明の一態様では、当該構成に限定されない。本発明の一態様で用いる色の組み合わせは、例えば、赤、緑、青、黄の４色、または、シアン、マゼンタ、イエローの３色を用いていても良い。或いは、上記色の組み合わせは、淡色の赤、緑、及び青、並びに濃色の赤、緑、及び青の６色を用いていても良い。或いは、上記色の組み合わせは、赤、緑、青、シアン、マゼンタ、イエローの６色を用いていても良い。

【０３５４】
なお、例えば、赤、緑、及び青の画素を用いて表現できる色は、色度図上のそれぞれの発光色に対応する３点が描く三角形の内側に示される色に限られる。従って、赤、緑、青、黄の画素を用いた場合のように、色度図上の該三角形の外側に発光色が存在する発光素子を別途加えることで、当該発光装置において表現できる色域を拡大し、色再現性を豊かにすることができる。
【０３５５】
また、図３１では、発光素子７４１ｒ、発光素子７４１ｇ、発光素子７４１ｂのうち、光の波長λが最も短い発光素子７４１ｂにおいて、可視光の反射率が高い導電膜７４５ｂを陽極として用い、他の発光素子７４１ｒ、発光素子７４１ｇにおいては、膜厚が互いに異なる導電膜７４６ｒ及び導電膜７４６ｇを用いることにより、光路長を調整している。本発明の一態様では、波長λが最も短い発光素子７４１ｂにおいても、可視光の反射率が高い導電膜７４５ｂ上に、導電膜７４６ｒ及び導電膜７４６ｇのような、透過率の高い導電膜を設けていても良い。ただし、図３１に示すように、波長λが最も短い発光素子７４１ｂにおいて、可視光の反射率が高い導電膜７４５ｂで陽極を構成する場合、全ての発光素子において、陽極に透過率が高い導電膜を用いる場合よりも、陽極の作製工程が簡素化されるため、好ましい。
【０３５６】
なお、可視光の反射率が高い導電膜７４５ｂは、可視光の透過率が高い導電膜７４６ｒ及び導電膜７４６ｇに比べて、仕事関数が小さい場合が多い。よって、光の波長λが最も短い発光素子７４１ｂでは、発光素子７４１ｒ、発光素子７４１ｇに比べて、陽極７１５ｂからＥＬ層７３１への正孔注入が行われにくいため、発光効率が低い傾向にある。そこで、本発明の一態様では、光の波長λが最も短い発光素子７４１ｂにおいて、ＥＬ層７３１のうち、可視光の反射率が高い導電膜７４５ｂと接する層において、正孔輸送性の高い物質に、当該正孔輸送性の高い物質に対してアクセプター性（電子受容性）を示す物質を含有させた複合材料を用いることが好ましい。上記複合材料を、陽極７１５ｂに接して形成することにより、陽極７１５ｂからＥＬ層７３１への正孔注入が行われやすくなり、発光素子７４１ｂの発光効率を高めることができる。
【０３５７】
アクセプター性を示す物質としては、７，７，８，８－テトラシアノ－２，３，５，６－テトラフルオロキノジメタン（略称：Ｆ４－ＴＣＮＱ）、クロラニル等を挙げることができる。また、遷移金属酸化物を挙げることができる。また、元素周期表における第４族乃至第８族に属する金属の酸化物を挙げることができる。具体的には、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、酸化レニウムはアクセプター性が高いため好ましい。中でも特に、酸化モリブデンは大気中でも安定であり、吸湿性が低く、扱いやすいため好ましい。
【０３５８】
複合材料に用いる正孔輸送性の高い物質としては、芳香族アミン化合物、カルバゾール誘導体、芳香族炭化水素、高分子化合物（オリゴマー、デンドリマー、ポリマー等）など、種々の化合物を用いることができる。なお、複合材料に用いる有機化合物としては、正孔輸送性の高い有機化合物であることが好ましい。具体的には、10^{-6} ｃｍ^2／Ｖｓ以上の正孔移動度を有する物質であることが好ましい。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。
【０３５９】
また、可視光の反射率が高い導電膜７４５ｒ、導電膜７４５ｇ、導電膜７４５ｂとしては、例えば、アルミニウム、銀、または、これらの金属材料を含む合金等を、単層で、或いは積層することで、形成することができる。また、導電膜７４５ｒ、導電膜７４５ｇ、導電膜７４５ｂを、反射率の高い導電膜と、膜厚の薄い導電膜（好ましくは２０ｎｍ以下、更に好ましくは１０ｎｍ以下）とを積層させて、形成してもよい。例えば、反射率の高い導電膜上に、薄いチタン膜やモリブデン膜を積層して、導電膜７４５ｂを形成することに

より、反射率の高い導電膜（アルミニウム、アルミニウムを含む合金、または銀など）の表面に酸化膜が形成されるのを防ぐことができる。

【０３６０】

また、可視光の透過率が高い導電膜７４６ｒ及び導電膜７４６ｇには、例えば、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物などを用いることができる。

【０３６１】

また、陰極７３２は、例えば、光を透過する程度の薄い導電膜（好ましくは２０ｎｍ以下、更に好ましくは１０ｎｍ以下）と、導電性の金属酸化物で構成された導電膜とを積層することで、形成することができる。光を透過する程度の薄い導電膜は、銀、マグネシウム、またはこれらの金属材料を含む合金等を、単層で、或いは積層して形成することができる。導電性の金属酸化物としては、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物、またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【０３６２】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【０３６３】

（実施の形態１０）

次いで、本発明の一態様に係る発光装置のパネルの外観について、図３２を用いて説明する。図３２（Ａ）は、基板６００１と基板６００６とをシール材６００５によって接着させたパネルの上面図であり、図３２（Ｂ）は、図３２（Ａ）の一点鎖線Ｅ１－Ｅ２における断面図に相当する。

【０３６４】

基板６００１上に設けられた画素部６００２と、走査線駆動回路６００４とを囲むように、シール材６００５が設けられている。また、画素部６００２、走査線駆動回路６００４の上に基板６００６が設けられている。よって、画素部６００２と走査線駆動回路６００４は、基板６００１とシール材６００５と基板６００６とによって、充填材６００７と共に封止されている。

【０３６５】

充填材６００７としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができる。シール材６００５には、樹脂（紫外線硬化性樹脂、熱硬化性樹脂など）、またはガラスフリットなどを用いることができる。

【０３６６】

また、基板６００１上のシール材６００５によって囲まれている領域とは異なる領域に、信号線駆動回路６００３が形成された基板６０２１が、実装されている。図３２では、信号線駆動回路６００３に含まれるトランジスタ６００９を例示している。なお、本実施の形態では、走査線駆動回路６００４が画素部６００２と共に基板６００１上に形成されている場合を例示しているが、別の基板に形成された走査線駆動回路６００４が基板６００１に実装されていても良い。また、本実施の形態では、基板６０２１に形成された信号線駆動回路６００３が基板６００１に実装されている場合を例示しているが、信号線駆動回路６００３が画素部６００２と共に基板６００１上に形成されていても良い。或いは、信号線駆動回路６００３の一部、または走査線駆動回路６００４の一部が、画素部６００２と共に基板６００１上に形成されていても良い。

【０３６７】

また、基板６００１上に設けられた画素部６００２、走査線駆動回路６００４は、トランジスタを複数有している。図３２（Ｂ）では、画素部６００２に含まれるトランジスタ６００８及びトランジスタ６０１０を図示している。発光素子６０１１が有する画素電極６０３０は、トランジスタ６０１０に接続されている。画素電極６０３０と対向電極６０３１とＥＬ層６０２９とが重なっている部分が、発光素子６０１１に相当する。

【０３６８】

また、基板６００６に形成されている遮蔽膜６０４０は、トランジスタ６００８及びトランジスタ６０１０が形成されている領域と重なっている。また、基板６００６には、カラーフィルタとして機能する、特定の波長領域の可視光のみを優先的に透過する着色層６０４１が形成されており、着色層６０４１は、発光素子６０１１が形成されている領域と重なっている。

【０３６９】

赤、青、緑に対応する波長領域の光を、それぞれ優先的に透過するような着色層６０４１を画素ごとに設け、白の光が得られる発光素子６０１１を用いることで、フルカラーの画像を表示することができる。或いは、赤の光が得られる発光素子６０１１と赤に対応する着色層６０４１を組み合わせ、青の光が得られる発光素子６０１１と青に対応する着色層６０４１を組み合わせ、なおかつ、緑の光が得られる発光素子６０１１と緑に対応する着色層６０４１を組み合わせることで、色純度の高いフルカラーの画像を表示することができる。或いは、着色層６０４１を設けずに、赤、青、緑の光がそれぞれ得られる複数の発光素子６０１１を画素部６００２に設けることで、フルカラーの画像を表示することができる。

【０３７０】

なお、図３２では、遮蔽膜６０４０と着色層６０４１とを、基板６００６側に設けた場合を例示しているが、遮蔽膜６０４０または着色層６０４１を、基板６００１側に設けても良い。発光素子６０１１への光の入射方向と、発光素子６０１１を透過した光の射出方向とに合わせて、適宜、遮蔽膜６０４０と着色層６０４１の設ける位置を定めることができる。

【０３７１】

また、信号線駆動回路６００３、走査線駆動回路６００４、画素部６００２に与えられる各種信号及び電位は、引き回し配線６０１４及び６０１５を介して、接続端子６０１６から供給されている。接続端子６０１６は、ＦＰＣ６０１８が有する端子及び異方性導電膜６０１９を介して電気的に接続されている。

【０３７２】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０３７３】

（実施の形態１１）

図３３は、本発明の一態様に係る発光装置の斜視図の一例である。

【０３７４】

図３３に示す発光装置は、パネル２６０１と、回路基板２６０２と、ＣＯＦテープ２６０３と信号線駆動回路の形成されたチップ２６０４とを有している。信号線駆動回路の形成されたチップ２６０４は、ＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）法を用いてＣＯＦテープ２６０３に接続されている。回路基板２６０２には、パネル２６０１に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、回路基板２６０２から、ＣＯＦテープ２６０３を介して、各種信号及び電位がパネル２６０１に入力される。

【０３７５】

パネル２６０１は、画素が複数設けられた画素部２６０５と、走査線駆動回路２６０６とを有する。走査線駆動回路２６０６は、画素部２６０５が有する複数の画素を、行ごとに選択する。チップ２６０４に設けられた信号線駆動回路は、走査線駆動回路２６０６によって選択された行内の画素への、画像信号の入力を制御する。

【０３７６】

なお、ＣＯＦテープ２６０３の代わりに、ＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）などを用いて、回路基板２６０２とパネル２６０１を電気的に接続することも可能である。

【０３７７】

また、ＣＯＦテープ２６０３を用いる場合、回路基板２６０２内の一部の回路を別途用意

したチップに形成しておき、ＣＯＦ法を用いて当該チップをＣＯＦテープ２６０３に接続しておいても良い。また、走査線駆動回路２６０６の一部または全て、或いは信号線駆動回路の一部をチップに形成し、ＣＯＦ法を用いて当該チップをＣＯＦテープ２６０３に接続しておいても良い。

【０３７８】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０３７９】

（実施の形態１２）

本発明の一態様に係る液晶表示装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る液晶表示装置または発光装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１６に示す。

【０３８０】

図１６（Ａ）は携帯型ゲーム機であり、筐体５００１、筐体５００２、表示部５００３、表示部５００４、マイクロホン５００５、スピーカー５００６、操作キー５００７、スタイラス５００８等を有する。表示部５００３または表示部５００４に、本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高い携帯型ゲーム機を提供することができる。なお、図１６（Ａ）に示した携帯型ゲーム機は、２つの表示部５００３と表示部５００４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【０３８１】

図１６（Ｂ）は表示機器であり、筐体５２０１、表示部５２０２、支持台５２０３等を有する。表示部５２０２に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高い表示機器を提供することができる。なお、表示機器には、パーソナルコンピュータ用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

【０３８２】

図１６（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。表示部５４０２に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高いノート型パーソナルコンピュータを提供することができる。

【０３８３】

図１６（Ｄ）は携帯情報端末であり、第１筐体５６０１、第２筐体５６０２、第１表示部５６０３、第２表示部５６０４、接続部５６０５、操作キー５６０６等を有する。第１表示部５６０３は第１筐体５６０１に設けられており、第２表示部５６０４は第２筐体５６０２に設けられている。そして、第１筐体５６０１と第２筐体５６０２とは、接続部５６０５により接続されており、第１筐体５６０１と第２筐体５６０２の間の角度は、接続部５６０５により変更が可能となっている。第１表示部５６０３における映像の切り替えを、接続部５６０５における第１筐体５６０１と第２筐体５６０２との間の角度に従って、切り替える構成としても良い。また、第１表示部５６０３及び第２表示部５６０４の少なくとも一方に、位置入力装置としての機能が付加された液晶表示装置または発光装置を用いるようにしても良い。なお、位置入力装置としての機能は、液晶表示装置または発光装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を液晶表示装置または発光装置の画素部

に設けることでも、付加することができる。第１表示部５６０３または第２表示部５６０４に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高い携帯情報端末を提供することができる。

【０３８４】

図１６（Ｅ）はビデオカメラであり、第１筐体５８０１、第２筐体５８０２、表示部５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は第１筐体５８０１に設けられており、表示部５８０３は第２筐体５８０２に設けられている。そして、第１筐体５８０１と第２筐体５８０２とは、接続部５８０６により接続されており、第１筐体５８０１と第２筐体５８０２の間の角度は、接続部５８０６により変更が可能となっている。表示部５８０３における映像の切り替えを、接続部５８０６における第１筐体５８０１と第２筐体５８０２との間の角度に従って行う構成としても良い。表示部５８０３に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高いビデオカメラを提供することができる。

【０３８５】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【０３８６】

１０　画素部
１１　画素
１２　トランジスタ
１３　液晶素子
１４　容量素子
１００　トランジスタ
１０１　ゲート電極
１０２　ゲート絶縁膜
１０３　半導体膜
１０４　絶縁膜
１０５　導電膜
１０６ａ　導電膜
１０６ｂ　導電膜
１０７　絶縁膜
１０８　開口部
１０９　画素電極
１１０　開口部
１１１　導電膜
２０２　基板
２０３　導電膜
２０４　ゲート絶縁膜
２０５　半導体膜
２０６　絶縁膜
２０７　導電膜
２０８　導電膜
２１０　導電膜
２１１　導電膜
２１２　絶縁膜
２１３　開口部
２１３ａ　開口部
２１３ｂ　開口部
２１４　開口部
２１５　導電膜

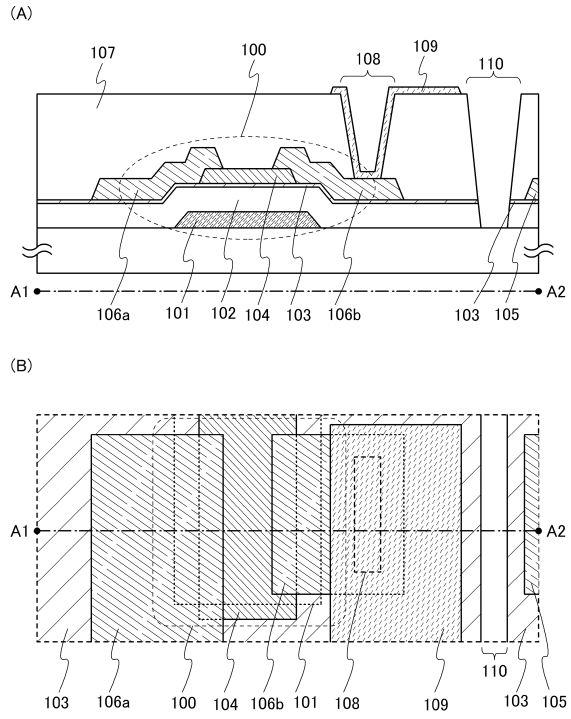
２１６　導電膜
２１７　絶縁膜
３００　トランジスタ
３０１　ゲート電極
３０２　ゲート絶縁膜
３０３　半導体膜
３０４　絶縁膜
３０５　導電膜
３０６ａ　導電膜
３０６ｂ　導電膜
３０７　絶縁膜
３０８　開口部
３０９　画素電極
３１０　開口部
３１１　導電膜
３２０　絶縁膜
３２１　開口部
３２２　ＥＬ層
３２３　対向電極
３２４　発光素子
３４０ｂ　画素
３４０ｇ　画素
３４０ｒ　画素
４００　基板
４０１　導電膜
４０２　ゲート絶縁膜
４０３　半導体膜
４０４　絶縁膜
４０５　導電膜
４０６　導電膜
４０７　導電膜
４０８　絶縁膜
４０９　導電膜
４１０　導電膜
４１１　絶縁膜
４１２　開口部
４１２ａ　開口部
４１２ｂ　開口部
４１３　開口部
４１４　開口部
４１５　導電膜
４１６　導電膜
４１７　絶縁膜
４１８　開口部
４１９　ＥＬ層
４２０　導電膜
５１０　画素部
５１１　画素
５１２　トランジスタ
５１３　トランジスタ

５１４　容量素子
５１５　発光素子
７１５ｂ　陽極
７１５ｇ　陽極
７１５ｒ　陽極
７３０　隔壁
７３１　ＥＬ層
７３２　陰極
７４０　基板
７４１ｂ　発光素子
７４１ｇ　発光素子
７４１ｒ　発光素子
７４２　基板
７４３ｂ　着色層
７４３ｇ　着色層
７４３ｒ　着色層
７４４　オーバーコート
７４５ｂ　導電膜
７４５ｇ　導電膜
７４５ｒ　導電膜
７４６ｇ　導電膜
７４６ｒ　導電膜
７５０　絶縁膜
１６０１　パネル
１６０２　拡散板
１６０３　プリズムシート
１６０４　拡散板
１６０５　導光板
１６０６　反射板
１６０７　光源
１６０８　回路基板
１６０９　ＣＯＦテープ
１６１０　ＦＰＣ
１６１１　基板
１６２０　バックライト
２６０１　パネル
２６０２　回路基板
２６０３　ＣＯＦテープ
２６０４　チップ
２６０５　画素部
２６０６　走査線駆動回路
４００１　基板
４００２　画素部
４００３　信号線駆動回路
４００４　走査線駆動回路
４００５　シール材
４００６　対向基板
４００７　液晶層
４００９　トランジスタ
４０１０　トランジスタ

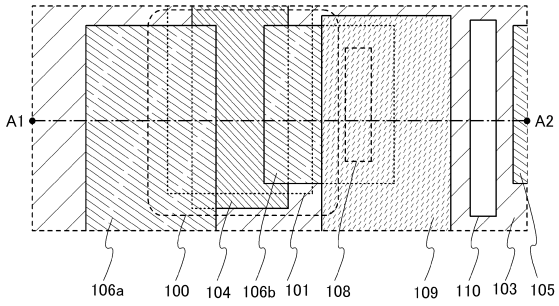
４０１１　液晶素子
４０１４　配線
４０１６　接続端子
４０１８　ＦＰＣ
４０１９　異方性導電膜
４０２１　基板
４０３０　画素電極
４０３１　対向電極
４０３５　スペーサ
４０４０　遮蔽膜
４０４１　着色層
５００１　筐体
５００２　筐体
５００３　表示部
５００４　表示部
５００５　マイクロホン
５００６　スピーカー
５００７　操作キー
５００８　スタイラス
５２０１　筐体
５２０２　表示部
５２０３　支持台
５４０１　筐体
５４０２　表示部
５４０３　キーボード
５４０４　ポインティングデバイス
５６０１　筐体
５６０２　筐体
５６０３　表示部
５６０４　表示部
５６０５　接続部
５６０６　操作キー
５８０１　筐体
５８０２　筐体
５８０３　表示部
５８０４　操作キー
５８０５　レンズ
５８０６　接続部
６００１　基板
６００２　画素部
６００３　信号線駆動回路
６００４　走査線駆動回路
６００５　シール材
６００６　基板
６００７　充填材
６００８　トランジスタ
６００９　トランジスタ
６０１０　トランジスタ
６０１１　発光素子
６０１４　配線

６０１６　接続端子
６０１８　ＦＰＣ
６０１９　異方性導電膜
６０２１　基板
６０２９　ＥＬ層
６０３０　画素電極
６０３１　対向電極
６０４０　遮蔽膜
６０４１　着色層

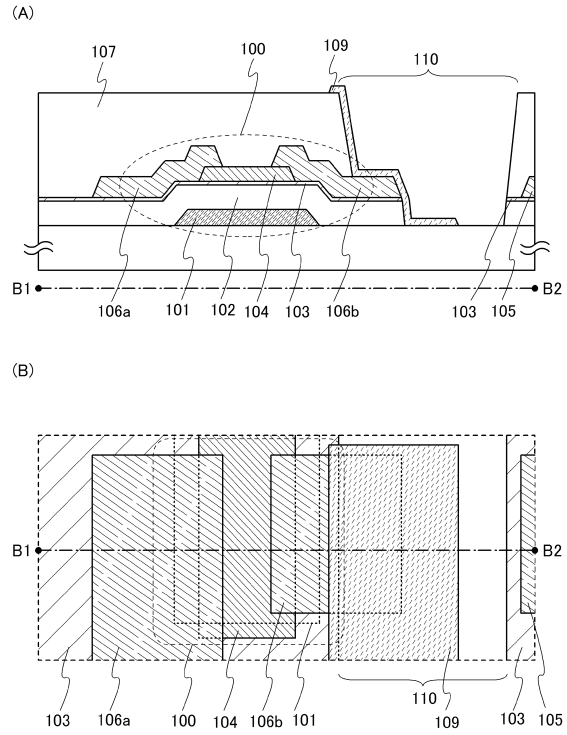
【図１】



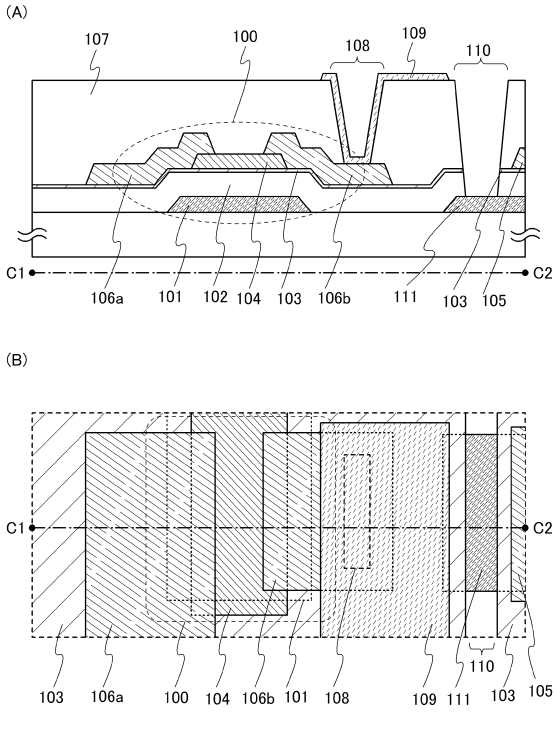
【図２】



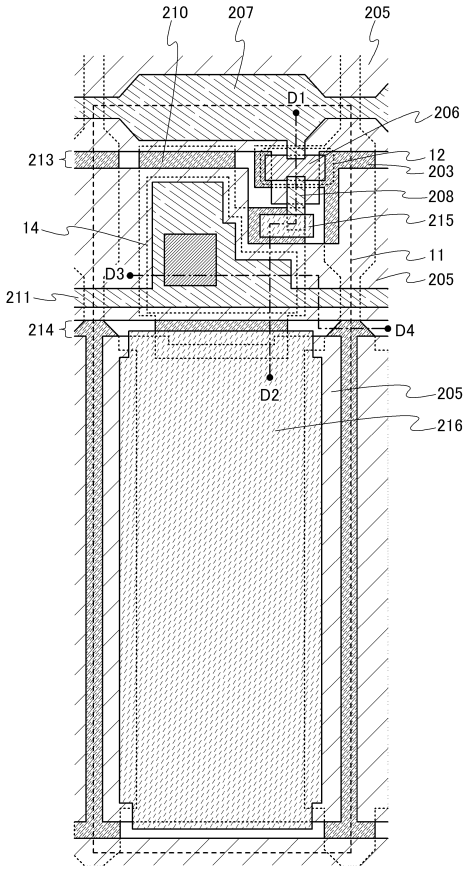
【図３】


(A)
107
100
109
110
B1
B2
106a
101
102
104
103
106b
103
105
(B)
B1
B2
103
106a
100
104
106b
101
110
109
103
105

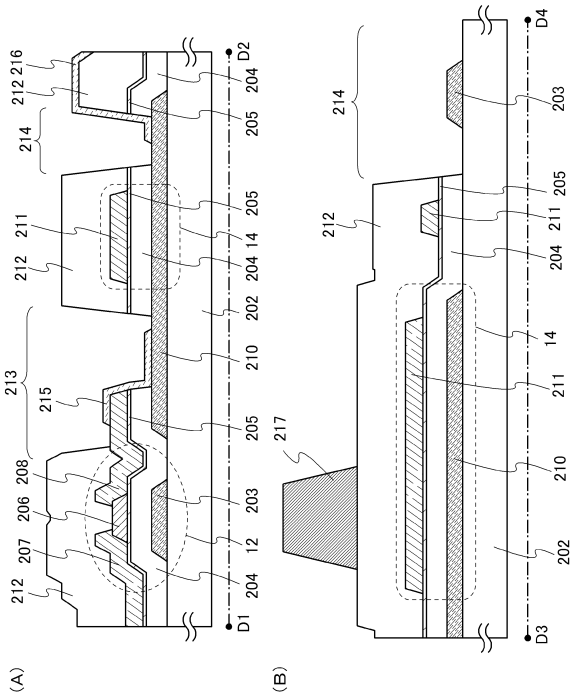
【図４】


(A)
107
100
108
109
110
C1
C2
106a
101
102
104
103
106b
111
103
105
(B)
C1
C2
103
106a
100
104
106b
101
108
110
109
111
103
105

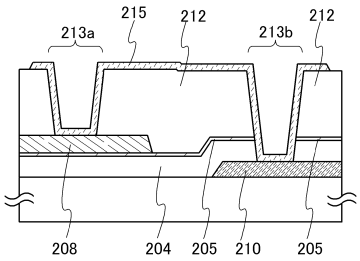
【図５】


210
207
205
D1
206
213
12
203
208
215
14
11
D3
205
211
214
D4
D2
205
216

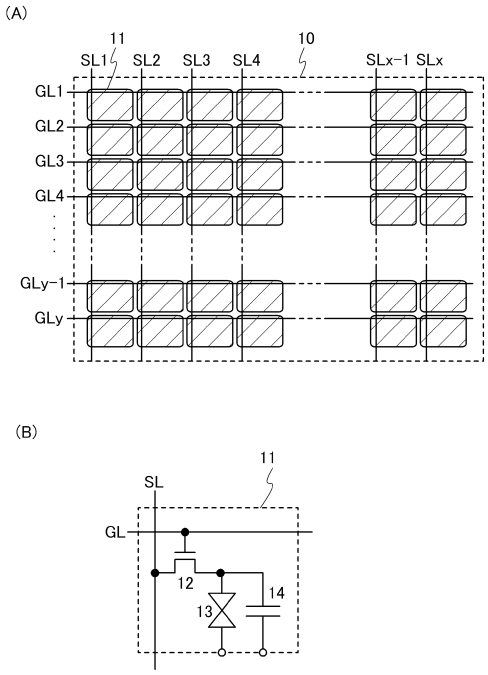
【図６】


(A)
(B)
D2
D1
D4
D3
216
212
214
211
213
215
208
206
207
204
205
14
202
210
203
12
217

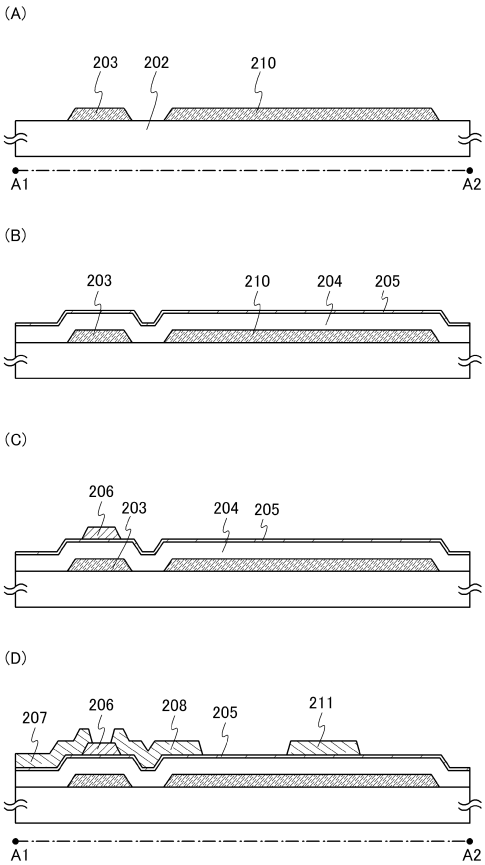
【図７】


213a
215
212
213b
212
208
204
205
210
205

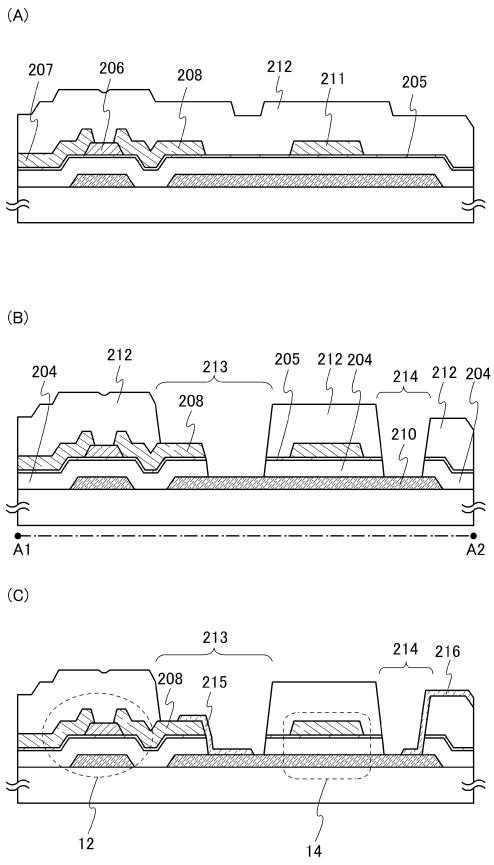
【図８】


(A)
11
10
SL1
SL2
SL3
SL4
SLx-1
SLx
GL1
GL2
GL3
GL4
GLy-1
GLy
(B)
11
SL
GL
12
13
14

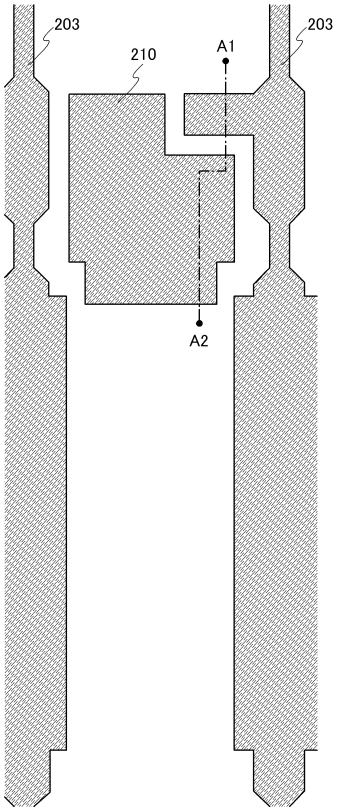
【図９】


(A)
203
202
210
A1
A2
(B)
203
210
204
205
(C)
206
203
204
205
(D)
207
206
208
205
211
A1
A2

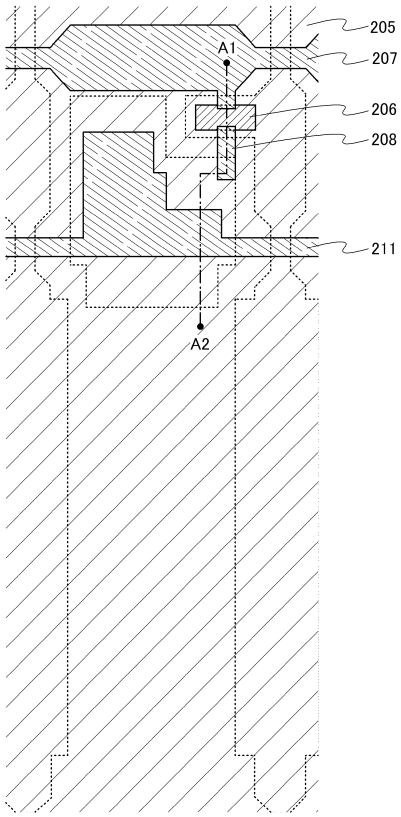
【図１０】


(A)
207
206
208
212
211
205
(B)
204
212
213
205
212
204
214
212
204
208
210
A1
A2
(C)
213
214
216
208
215
12
14

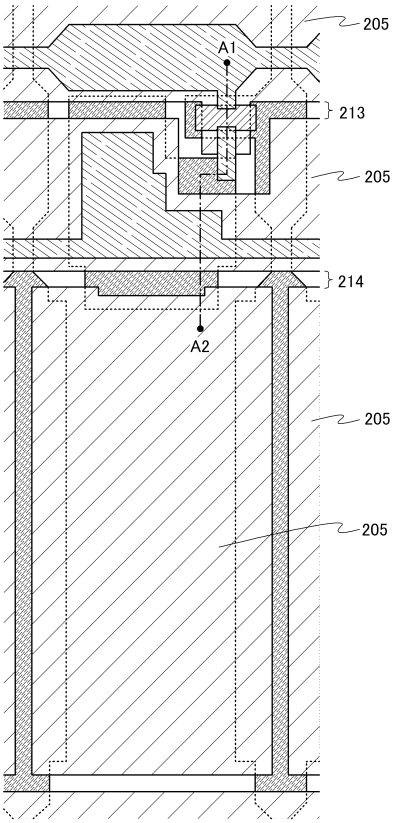
【図１１】



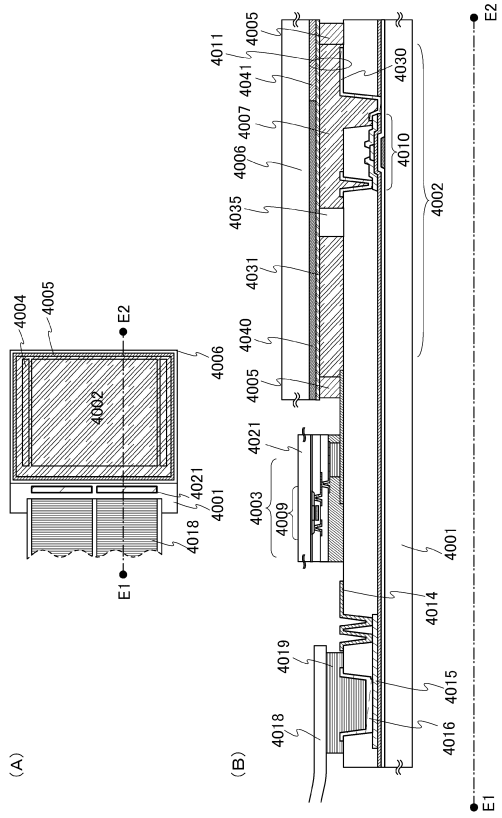
【図１２】



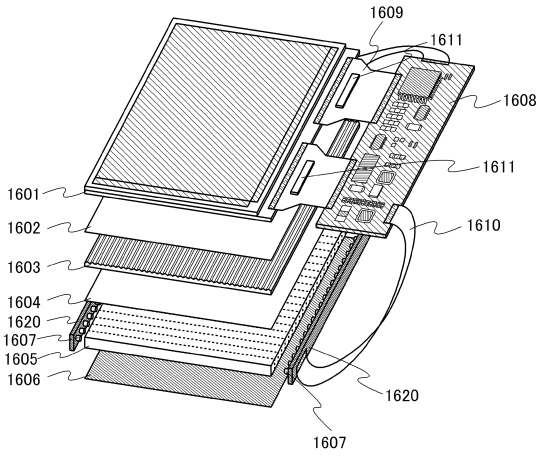
【図１３】



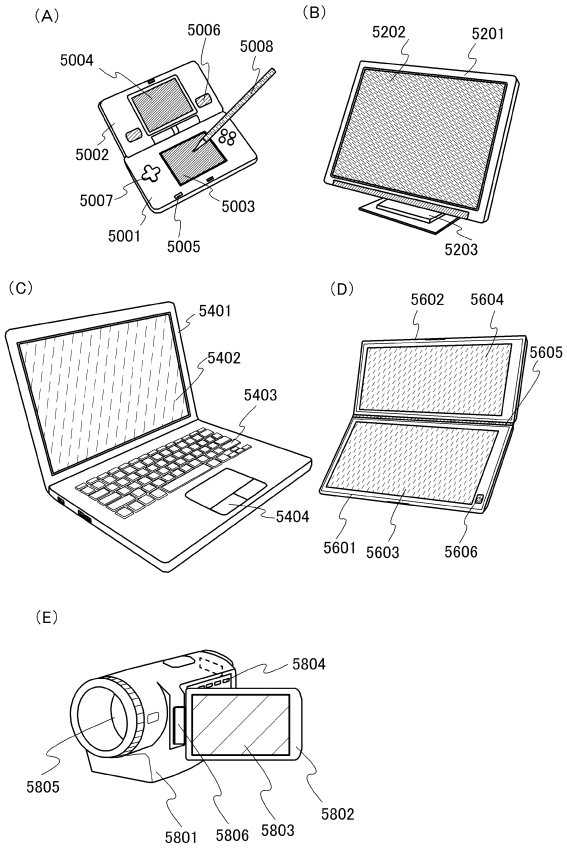
【図１４】



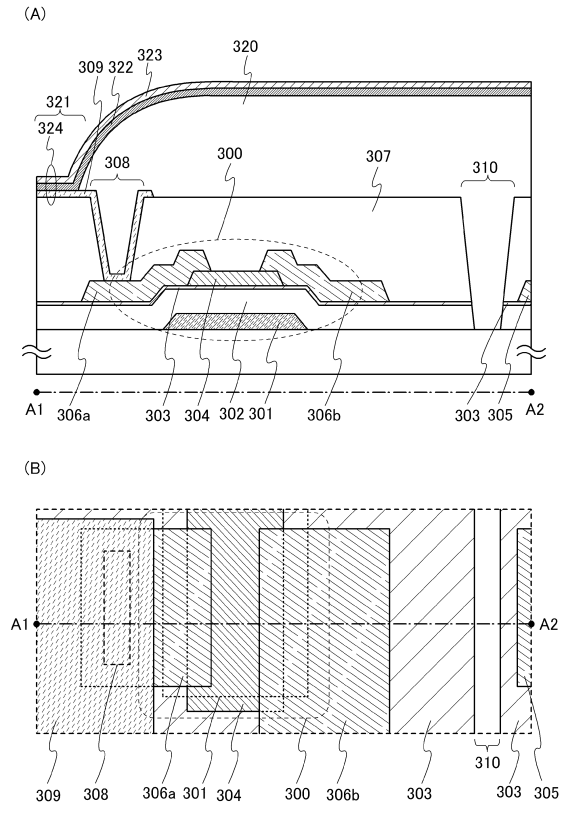
【図１５】



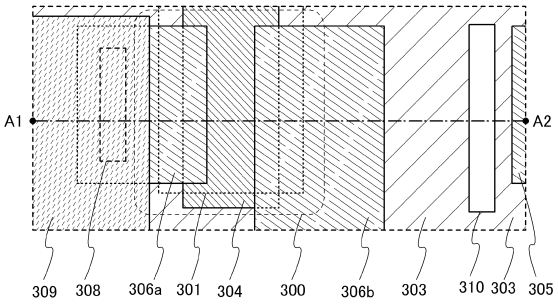
【図１６】



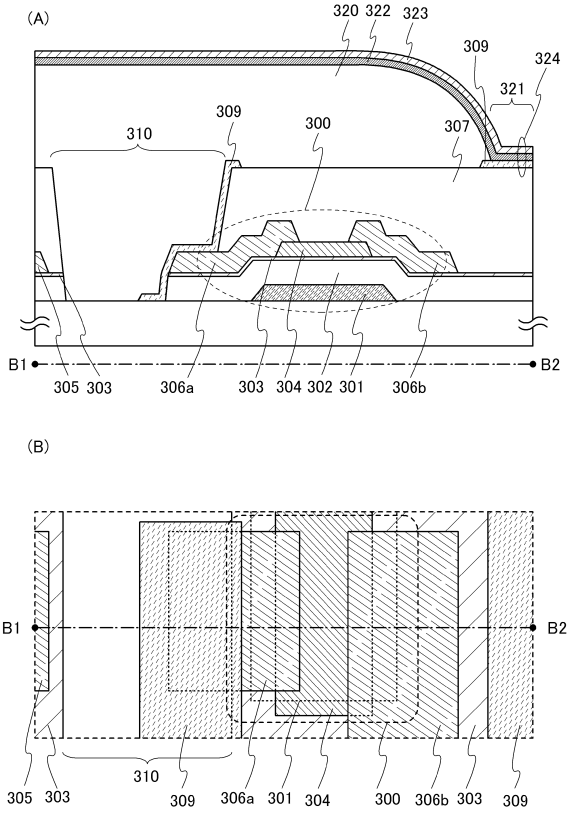
【図１７】



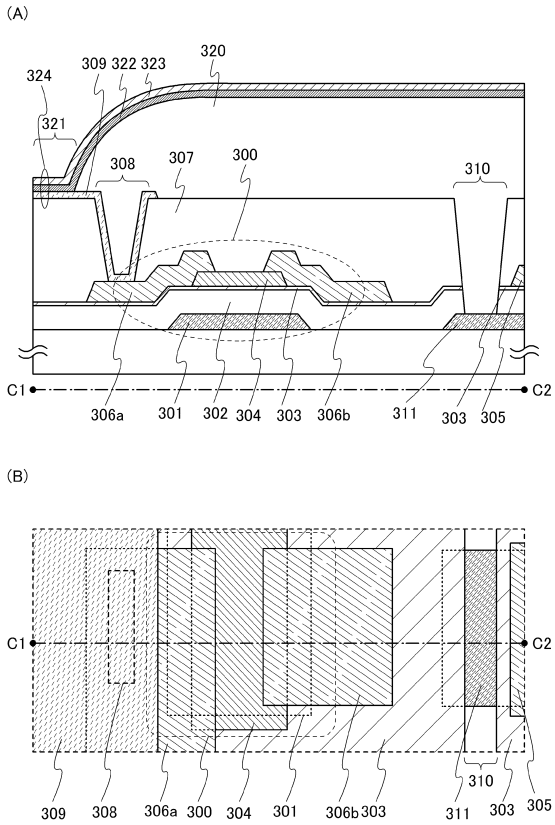
【図１８】



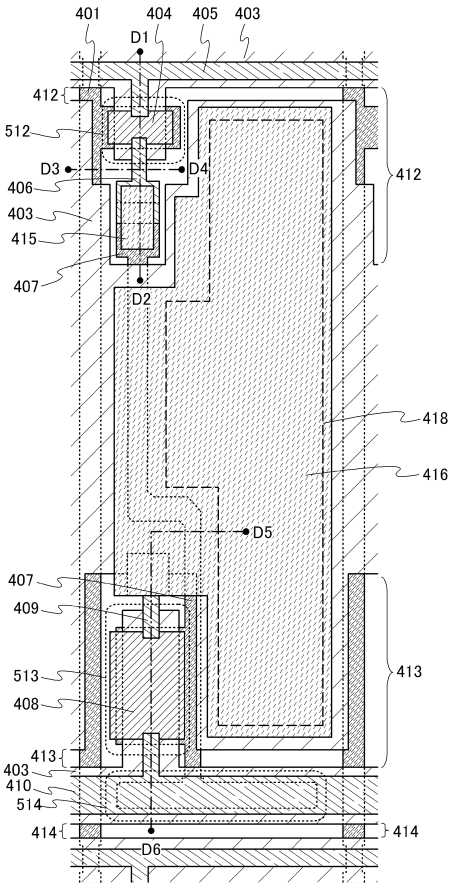
【図１９】



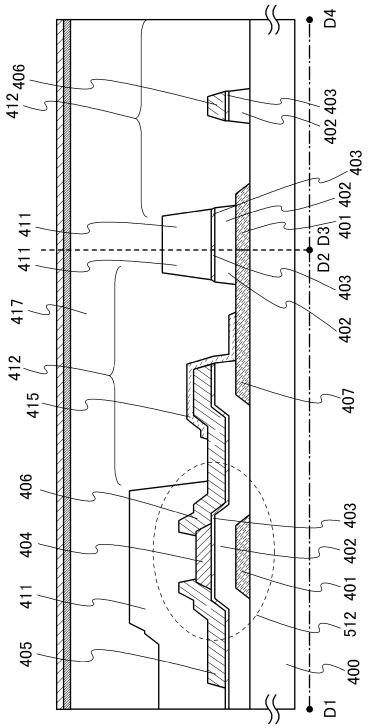
【図２０】



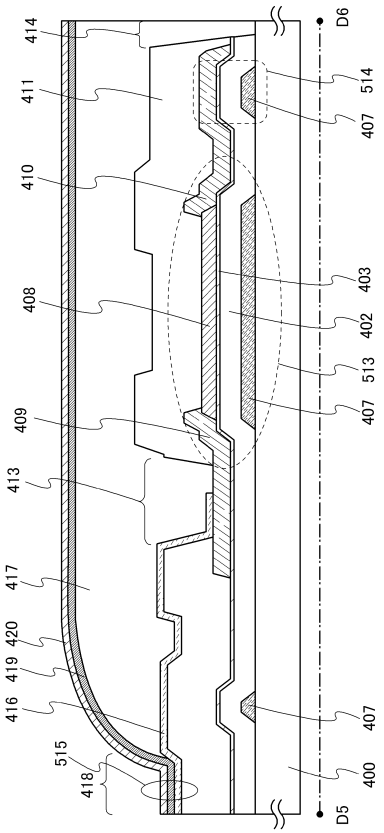
【図２１】



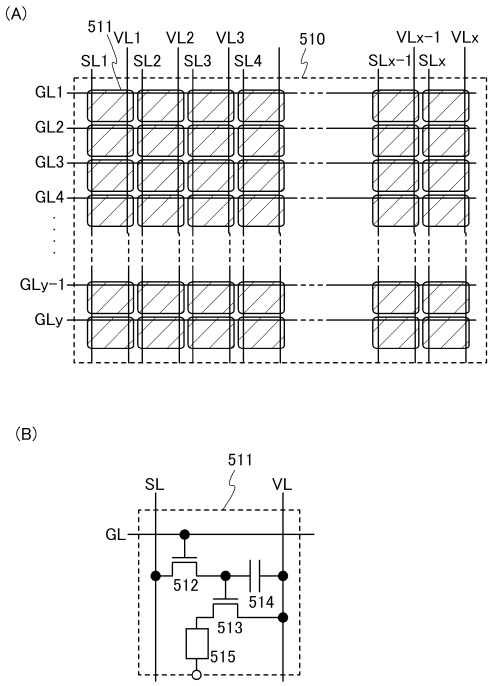
【図２２】



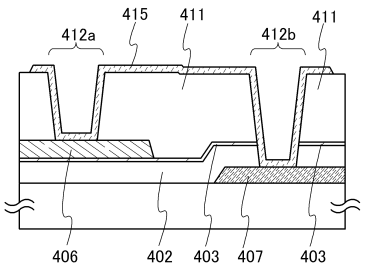
【図２３】



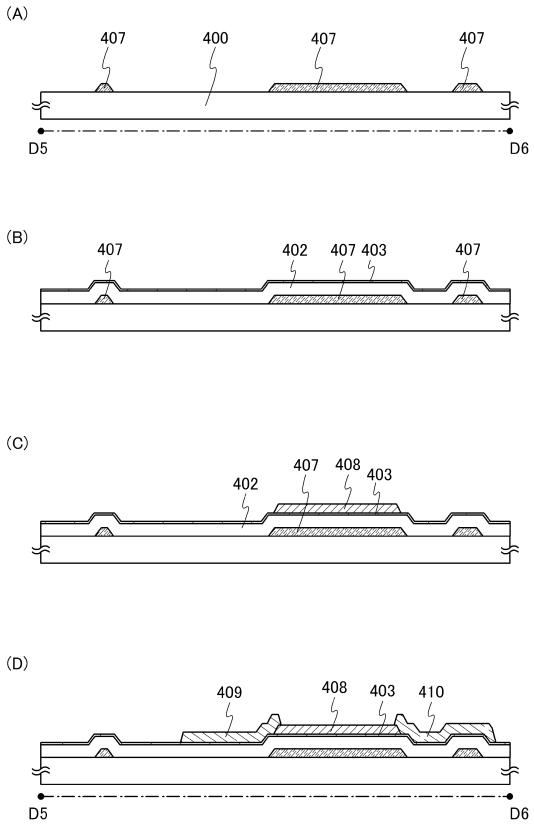
【図２４】



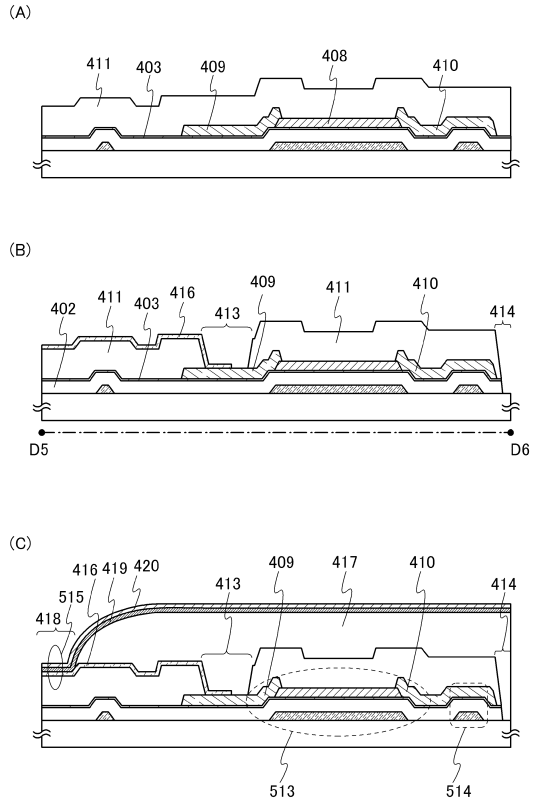
【図２５】



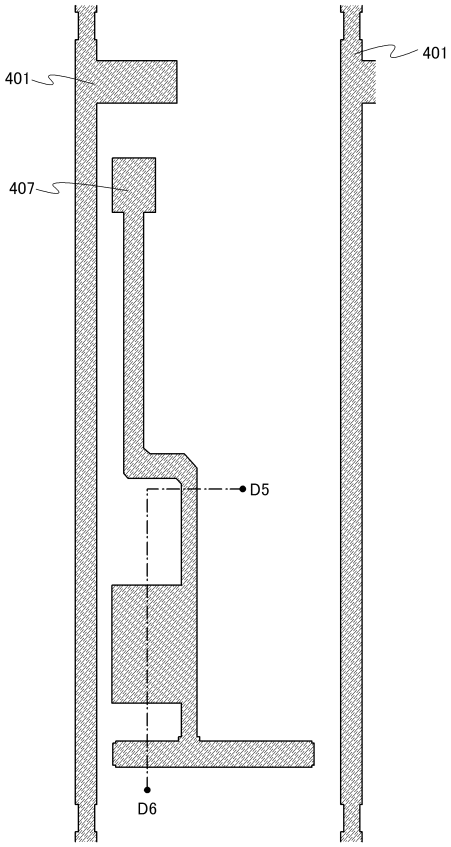
【図２６】



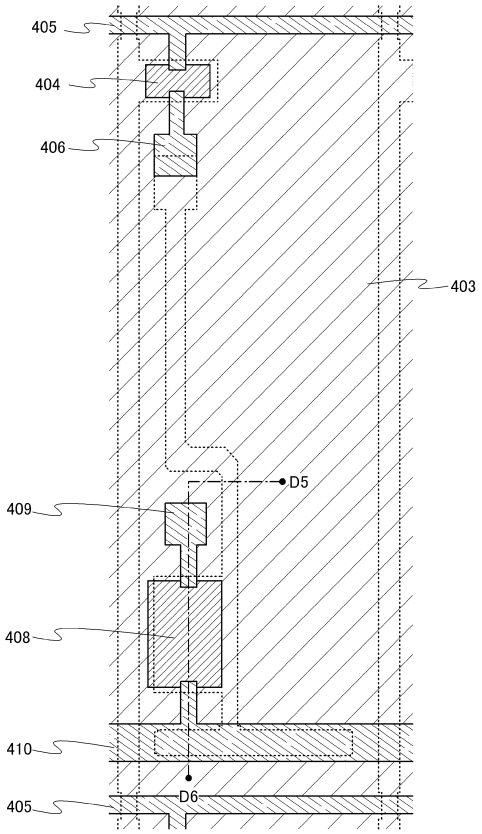
【図２７】



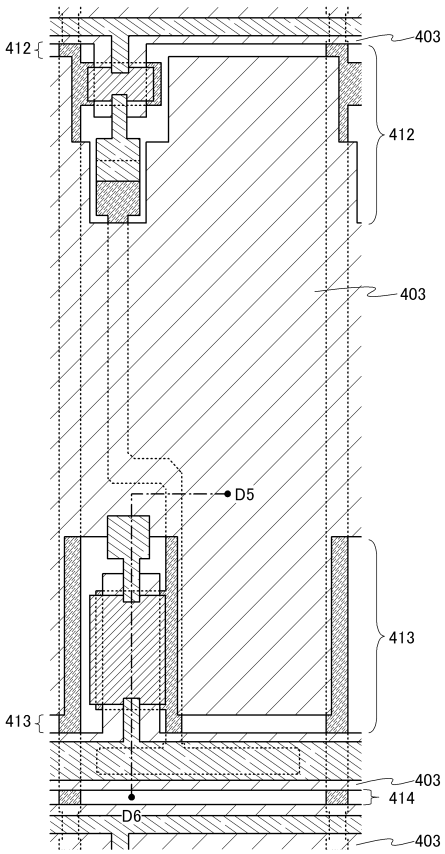
【図２８】



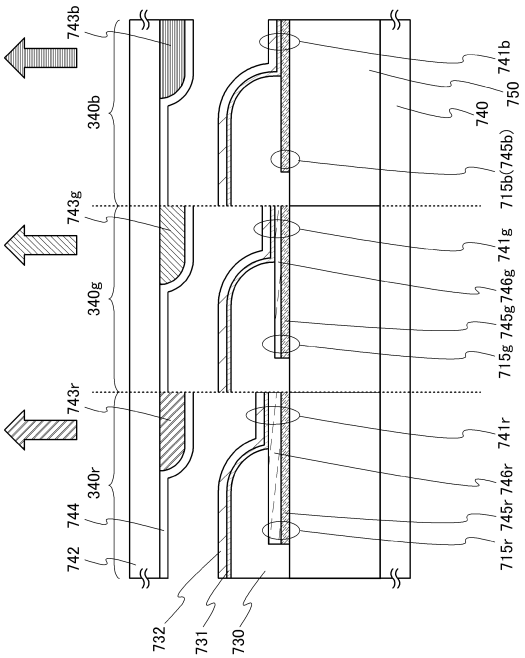
【図２９】



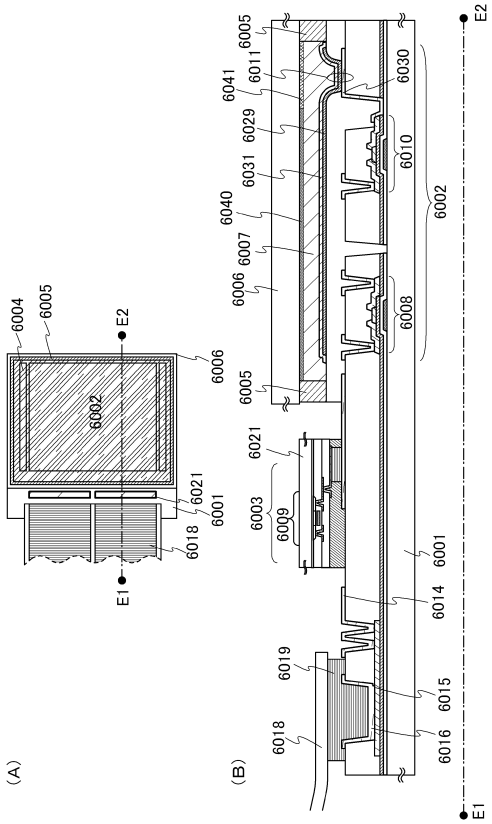
【図３０】



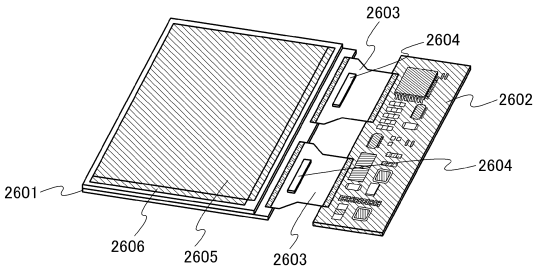
【図３１】


743b
340b
743g
340g
743r
340r
744
742
741b
740
750
715b(745b)
741g
746g
745g
715g
741r
746r
745r
715r
732
731
730

【図３２】


(A)
(B)
E1
E2
6004
6005
6002
6006
6021
6001
6018
6041
6011
6030
6029
6031
6010
6040
6007
6008
6003
6009
6014
6019
6015
6016

【図３３】


2603
2604
2602
2604
2601
2606
2605
2603

フロントページの続き

(51)Int.Cl.		FI		
H01L 27/32	*(2006.01)*	G02F	1/1368	
		H05B	33/14	A
		H01L	27/32	

(56)参考文献 特開２０００－１６４５８４（ＪＰ，Ａ）
特開２０００－１６２６４７（ＪＰ，Ａ）
特開平０９－２３６８２７（ＪＰ，Ａ）
特開２００６－０４９８８９（ＪＰ，Ａ）
特開２０１１－１３５０８６（ＪＰ，Ａ）
特開２０００－１９４００３（ＪＰ，Ａ）
特開２０１０－２５８１１８（ＪＰ，Ａ）
特開２００８－３１０００２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｆ　　９／３０
Ｇ０２Ｆ　　１／１３６８
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２７／３２
Ｈ０１Ｌ　２９／７８６
Ｈ０１Ｌ　５１／５０

专利名称(译)	表示装置		
公开(公告)号	JP6370435B2	公开(公告)日	2018-08-08
申请号	JP2017070406	申请日	2017-03-31
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G09F9/30 H01L29/786 H01L21/336 G02F1/1368 H01L51/50 H01L27/32		
CPC分类号	G02F1/1368 G02F2001/136231 H01L27/1225 H01L27/1255 H01L27/1259 G02F1/136227 H01L27/1248 H01L29/66969 H01L29/78606 H01L29/7869		
FI分类号	G09F9/30.338 H01L29/78.618.B H01L29/78.618.Z H01L29/78.612.C H01L29/78.613.Z G02F1/1368 H05B33/14.A H01L27/32		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC42 2H192/DA15 2H192/HA47 3K107/AA01 3K107/BB01 3K107/BB03 3K107/BB04 3K107/BB06 3K107/BB08 3K107/CC33 3K107/CC45 3K107/EE04 3K107/FF15 3K107/HH05 5C094/AA31 5C094/AA43 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/HA04 5C094/HA05 5C094/HA06 5C094/HA07 5C094/HA08 5C094/HA10 5F110/AA06 5F110/BB01 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE23 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF05 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG17 5F110/GG19 5F110/GG22 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK04 5F110/HK33 5F110/HK42 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL22 5F110/HL23 5F110/HM13 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN14 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN40 5F110/NN71 5F110/NN72 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP35 5F110/QQ01 5F110/QQ02 5F110/QQ06		
优先权	2011247258 2011-11-11 JP 2011247256 2011-11-11 JP		
其他公开文献	JP2017156754A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置和发光装置，其可以用少量掩模和高可靠性制造 位置。 解决方案：半导体器件包括栅电极，位于栅电极上的栅极绝缘膜， 一种半导体膜，其位于所述栅电极并与所述栅电极重叠，所述半导体膜位于所述半导体膜上并具有岛状 ，半导体膜上的第一绝缘膜，半导体膜上的第一导电膜，以及插入其间的第一绝缘膜，但 位于半导体膜上的一对第二导电膜，第一绝缘膜，第一导电膜和一对第二导电膜 第二绝缘膜，位于第二绝缘膜上并位于第二绝缘膜上; 像素电极连接到一对第二导电膜中的任一个，，第二个 绝缘膜和半导体膜设置有第一导电膜和一对第二导电膜中的一个或另一个 并且设置位于其间的第二开口部分。

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6370435号
(P6370435)
(45)発行日　平成30年8月8日(2018.8.8)　(24)登録日　平成30年7月20日(2018.7.20)

(51)Int.Cl.			F I		
G09F	9/30	(2006.01)	G09F	9/30	３３８
H01L	29/786	(2006.01)	H01L	29/78	６１８Ｂ
H01L	21/336	(2006.01)	H01L	29/78	６１８Ｚ
G02F	1/1368	(2006.01)	H01L	29/78	６１２Ｃ
H01L	51/50	(2006.01)	H01L	29/78	６１３Ｚ

請求項の数 4　(全 66 頁)　最終頁に続く

(21)出願番号　特願2017-70406(P2017-70406)
(22)出願日　平成29年3月31日(2017.3.31)
(62)分割の表示　特願2012-238463(P2012-238463)の分割
原出願日　平成24年10月30日(2012.10.30)
(65)公開番号　特開2017-156754(P2017-156754A)
(43)公開日　平成29年9月7日(2017.9.7)
審査請求日　平成29年4月21日(2017.4.21)
(31)優先権主張番号　特願2011-247258(P2011-247258)
(32)優先日　平成23年11月11日(2011.11.11)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2011-247256(P2011-247256)
(32)優先日　平成23年11月11日(2011.11.11)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
審査官　西島　篤宏

最終頁に続く

(54)【発明の名称】表示装置