

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6060142号
(P6060142)

(45) 発行日 平成29年1月11日(2017.1.11)

(24) 登録日 平成28年12月16日(2016.12.16)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 660U
G02F 1/133 (2006.01)	G09G 3/20 624D
	G09G 3/20 612U
	G09G 3/20 611A
請求項の数 2 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2014-256845 (P2014-256845)	(73) 特許権者	000153878
(22) 出願日	平成26年12月19日(2014.12.19)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2010-277006 (P2010-277006)		神奈川県厚木市長谷398番地
原出願日	平成22年12月13日(2010.12.13)	(72) 発明者	三宅 博之
(65) 公開番号	特開2015-64609 (P2015-64609A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成27年4月9日(2015.4.9)		半導体エネルギー研究所内
審査請求日	平成26年12月19日(2014.12.19)	審査官	波多江 進
(31) 優先権主張番号	特願2009-295608 (P2009-295608)	(56) 参考文献	特開2000-081606 (JP, A)
(32) 優先日	平成21年12月25日(2009.12.25)		)
(33) 優先権主張国	日本国(JP)		特開2008-070783 (JP, A)
前置審査			)
			特開2008-033297 (JP, A)
			)
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

画素を有し、

前記画素は、トランジスタと、表示素子と、容量素子と、を有し、

前記トランジスタのチャネル形成領域は、酸化物半導体を有し、

前記トランジスタのソース又はドレインの一方は、前記表示素子と電氣的に接続され、

前記容量素子の第1の電極は、前記表示素子と電氣的に接続される表示装置であって、

前記容量素子の第2の電極には、保持信号が供給され、

前記保持信号は、動画表示の際には一定であり、

前記保持信号の電位は、静止画表示の際には前記第1の電極の電位の変動が低減されるように変動し、

前記静止画表示の際のフレーム期間は、前記動画表示の際のフレーム期間よりも長いことを特徴とする表示装置。

【請求項2】

画素と、保持信号生成回路と、を有し、

前記画素は、トランジスタと、表示素子と、容量素子と、を有し、

前記トランジスタのチャネル形成領域は、酸化物半導体を有し、

前記トランジスタのソース又はドレインの一方は、前記表示素子と電氣的に接続され、

前記容量素子の第1の電極は、前記表示素子と電氣的に接続される表示装置であって、

前記保持信号生成回路は、前記容量素子の第2の電極に保持信号を供給する機能を有し

10

20

、
前記保持信号生成回路は、動画表示の際に、前記保持信号を一定にする機能を有し、
前記保持信号生成回路は、静止画表示の際に、前記第1の電極の電位の変動が低減されるように前記保持信号の電位を変動させる機能を有し、

前記静止画表示の際のフレーム期間は、前記動画表示の際のフレーム期間よりも長いことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に関する。または、液晶表示装置に関する。または、液晶表示装置を具備する電子機器に関する。

10

【背景技術】

【0002】

液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などの小型表示装置に至るまで、普及が進んでいる。今後は、より付加価値の高い製品が求められており開発が進められている。近年では、地球環境への関心の高まり、及びモバイル機器の利便性向上の点から、低消費電力型の液晶表示装置の開発が注目されている。

【0003】

非特許文献1では、液晶表示装置の低消費電力化を図るために、動画表示と静止画表示の際のリフレッシュレートを異ならせる構成について開示している。そして静止画表示の際の、休止期間と走査期間の信号切り替えに伴ってドレイン - コモン電圧の変動を伴い、フリッカが知覚されてしまうのを防ぐために、休止期間中にも信号線とコモン電極とに同位相の交流信号を印加してドレイン - コモン電圧の変動を防ぐ構成について開示している。

20

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】Kazuhiro Tsuda et al., IDW '02, pp 295 - 298

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

上記非特許文献1のように、リフレッシュレートを低減することで低消費電力化を図ることができる。しかしながら、画素トランジスタのオフ電流、及び/または液晶からの電流のリークにより画素電極の電位が変化するため、画素電極とコモン電極との間の電圧が一定に保持できないことがある。そのため、液晶に印加される電圧が変化することにより、表示する画像が劣化してしまうといった問題がある。

【0006】

具体的な例を図面に示して課題について詳述する。図14(A)には、液晶表示装置の表示パネルの概略図について示している。図14(A)に示す表示パネル1400は、画素部1401、ゲート線1402(走査線ともいう)、信号線1403(データ線ともいう)、画素1404、共通電極1405(コモン電極ともいう)、容量線1406、端子部1407を有する。

40

【0007】

図14(B)には、図14(A)の画素1404について抜き出して示したものである。画素1404は、画素トランジスタ1408、液晶素子1409、容量素子1410を有する。画素トランジスタ1408はゲートがゲート線1402に接続され、ソース又はドレインの一方となる第1端子が信号線1403に接続され、ソース又はドレインの他方となる第2端子が、液晶素子1409の一方の電極及び容量素子1410の第1の電極に接続される。なお液晶素子1409の他方の電極は、共通電極1405に接続されている。なお容量素子1410の第2の電極は、容量線1406に接続される。なお画素トランジ

50

スタ１４０８は、薄膜の半導体層を有する薄膜トランジスタ（ＴＦＴ）で構成される。

【０００８】

図１４（Ｃ）には、図１４（Ｂ）の画素１４０４における各配線及び素子について注目するため、書き換えたものである。各配線及び各素子の符号については、図１４（Ｂ）と同様である。なお図１４（Ｃ）では、説明のため、液晶素子１４０９について、画素トランジスタ１４０８の側の電極を画素電極１４１１、共通電極１４０５の側を対向電極１４１２、画素電極１４１１と対向電極１４１２に挟持される液晶１４１３について示している。

【０００９】

図１５（Ａ）には、図１４（Ｃ）と同じ図について示しているが、各配線の電位、電極間の電圧、及び素子を流れる電流について着目して示したものである。すなわち、信号線１４０３に供給される画像信号は電圧 V_{data} であり、画素電極１４１１で保持する電圧は V_{pix} であり、対向電極１４１２の電圧は V_{com} である。また、液晶１４１３に印加される電圧は、 V_{LC} となる。また図１５（Ａ）では、画素トランジスタのオフ電流 I_{TFT} 、及び液晶を流れる電流 I_{LC} についても図示している。

10

【００１０】

次いで図１５（Ｂ）では、図１５（Ａ）で示した各配線の電位、電極間の電圧について示すタイミングチャートの概略図について示したものである。図１５（Ｂ）に示すタイミングチャートでは、期間 F_1 乃至 F_4 に分けて示している。なお期間 F_1 乃至 F_4 において、表示する画像は、同じ画像、即ち静止画を表示することを想定して、以下に説明する。即ち、期間 F_1 乃至 F_4 では、液晶１４１３に印加される電圧 V_{LC} が一定の電圧 V_{data} （図１５（Ｂ）中、矢印１５０１）となるものである。また液晶素子１４０９では液晶１４１３に一方の電圧が印加されることで素子の劣化があることが知られており、通常液晶素子１４０９に印加する電圧の極性を一定期間毎に反転させる反転駆動を用いることが知られている。例えば期間 F_1 乃至 F_4 で反転駆動を行うと、図１５（Ｂ）の V_{LC} （反転駆動）のように同じ画像を表示する場合であっても一定期間毎に極性の異なる電圧を液晶素子１４０９に印加することとなる。

20

【００１１】

静止画を表示する際に、低消費電力化を図るようリフレッシュレートを低減する場合、期間 F_1 乃至 F_4 のそれぞれの期間が長くなることとなる。期間が長くなるにつれてオフ電流 I_{TFT} 、及び／または液晶を流れる電流 I_{LC} により、画素電極１４１１で保持する電圧（ V_{pix} ）は V_{data} から上昇又は下降して変動する（図１５（Ｂ）中、矢印１５０２、矢印１５０３）。一方で、対向電極１４１２の電圧 V_{com} は固定電圧であり、実際の液晶１４１３に印加される電圧 V_{LC} は、期間 F_1 乃至 F_4 の境（図１５（Ｂ）中、 $refresh$ ）で大きく変動し、これが静止画を表示する際の画像の劣化の一因となっている。

30

【００１２】

そこで、本発明の一態様は、静止画を表示する際にリフレッシュレートを低減しても、表示する画像の劣化を抑制することを課題の一とする。

【課題を解決するための手段】

40

【００１３】

本発明の一態様は、画素電極に電氣的に接続された画素トランジスタと、一方の電極が画素電極に電氣的に接続され、他方の電極が容量線に電氣的に接続された容量素子と、を有し、画素電極には、画素トランジスタを導通状態として画像信号に基づく電圧が供給され、その後、画素トランジスタを非導通状態にして画像信号に基づく電圧の保持を行う保持期間を有し、画素電極において画像信号に基づく電圧の保持期間での変動に応じた保持信号を容量線に供給して、画素電極の電位を一定にする液晶表示装置の駆動方法である。

【００１４】

本発明の一態様は、画素電極に電氣的に接続された画素トランジスタと、一方の電極が画素電極に電氣的に接続され、他方の電極が容量線に電氣的に接続された容量素子と、を有

50

し、画素電極には、画素トランジスタを導通状態として画像信号に基づく電圧が供給され、その後、画素トランジスタを非導通状態にして画像信号に基づく電圧の保持を行う保持期間を有し、画素電極において画像信号に基づく電圧の保持期間での変動が上昇の場合に、画像信号に基づく電圧が下降するよう制御する保持信号を容量線に供給して、画素電極の電位を一定にする液晶表示装置の駆動方法である。

【 0 0 1 5 】

本発明の一態様は、画素電極に電氣的に接続された画素トランジスタと、一方の電極が画素電極に電氣的に接続され、他方の電極が容量線に電氣的に接続された容量素子と、を有し、画素電極には、画素トランジスタを導通状態として画像信号に基づく電圧が供給され、その後、画素トランジスタを非導通状態にして画像信号に基づく電圧の保持を行う保持期間を有し、画素電極において画像信号に基づく電圧の保持期間での変動が下降の場合に、画像信号に基づく電圧が上昇するよう制御する保持信号を容量線に供給して、画素電極の電位を一定にする液晶表示装置の駆動方法である。

10

【 0 0 1 6 】

本発明の一態様において、画素トランジスタの半導体層は、酸化物半導体である液晶表示装置の駆動方法でもよい。

【 0 0 1 7 】

本発明の一態様において、保持期間は、60秒以上の期間である液晶表示装置の駆動方法でもよい。

【 0 0 1 8 】

本発明の一態様において、液晶表示装置は、1フレーム期間毎に、フレーム反転駆動、コモン反転駆動、ソースライン反転駆動、ゲートライン反転駆動、またはドット反転駆動で駆動する液晶表示装置の駆動方法でもよい。

20

【発明の効果】

【 0 0 1 9 】

本発明の一態様により、静止画を表示する際にリフレッシュレートを低減しても、表示する画像の劣化を抑制することができる。

【図面の簡単な説明】

【 0 0 2 0 】

【図1】本発明の一態様の回路図を説明するための図。

30

【図2】本発明の一態様のタイミングチャートを説明するための図。

【図3】本発明の一態様の液晶の特性の例を説明するための図。

【図4】本発明の一態様のブロック図を説明するための図。

【図5】本発明の一態様の回路図を説明するための図。

【図6】本発明の一態様の模式図を説明するための図。

【図7】本発明の一態様の回路図を説明するための図。

【図8】本発明の一態様のタイミングチャートを説明するための図。

【図9】本発明の一態様のトランジスタを説明するための図。

【図10】本発明の一態様の液晶表示装置を説明するための図。

【図11】本発明の一態様の液晶表示装置を説明するための図。

40

【図12】本発明の一態様の電子機器を説明するための図。

【図13】本発明の一態様の電子機器を説明するための図。

【図14】課題を説明するための図。

【図15】課題を説明するための図。

【発明を実施するための形態】

【 0 0 2 1 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発

50

明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【 0 0 2 2 】

なお、各実施の形態の図面等において示す各構成の大きさ、層の厚さ、領域、又は信号波形のなまりは、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 2 3 】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N（N は自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【 0 0 2 4 】

（実施の形態 1）

本実施の形態について説明するため、まず図 1（A）には、液晶表示装置の表示パネルの概略図について示している。図 1（A）に示す表示パネル 100 は、画素部 101、ゲート線 102（走査線ともいう）、信号線 103（データ線ともいう）、画素 104、共通電極 105（コモン電極ともいう）、容量線 106、端子部 107、ゲート線駆動回路 102D、信号線駆動回路 103D を有する。

【 0 0 2 5 】

なお図 1（A）では、表示パネル 100 上にゲート線駆動回路 102D、信号線駆動回路 103D を設ける構成について示したが、図 14（A）と同様に必ずしも表示パネル 100 上に設ける必要はない。表示パネル 100 上にゲート線駆動回路 102D、信号線駆動回路 103D を設けることで、端子部 107 の端子数を削減することができ、液晶表示装置の小型化を図ることができる。

【 0 0 2 6 】

なお、画素 104 は、マトリクス状に配置（配列）されている。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えば RGB）でフルカラー表示を行う場合に、ストライプ配列されている場合や、三つの色要素のドットがデルタ配列されている場合も含む。

【 0 0 2 7 】

図 1（B）には、図 1（A）の画素 104 について抜き出して示したものである。画素 104 は、画素トランジスタ 108、液晶素子 109、容量素子 110 を有する。画素トランジスタ 108 はゲートがゲート線 102 に接続され、ソース又はドレインの一方となる第 1 端子が信号線 103 に接続され、ソース又はドレインの他方となる第 2 端子が、液晶素子 109 の一方の電極及び容量素子 110 の第 1 の電極に接続される。なお液晶素子 109 の他方の電極は、共通電極 105 に接続されている。なお容量素子 110 の第 2 の電極は、容量線 106 に接続される。なお画素トランジスタ 108 は、薄膜の半導体層を有する薄膜トランジスタ（TFT）で構成される。

【 0 0 2 8 】

なお、A と B とが接続されている、と明示的に記載する場合は、A と B とが電氣的に接続されている場合と、A と B とが機能的に接続されている場合と、A と B とが直接接続されている場合とを含むものとする。

【 0 0 2 9 】

なお、画素トランジスタ 108 として、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコン、単結晶シリコンを有する薄膜トランジスタ（TFT）などを用いることができる。または、ZnO、a-InGaZnO、SiGe、GaAs などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。

【 0 0 3 0 】

なお、一画素は、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、RGB以外の色を用いても良い。例えば、イエロー、シアン、マゼンタの三画素から構成されるものであってもよい。

【0031】

なお、薄膜トランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

【0032】

図1（C）には、図1（B）の画素104における各配線及び素子について注目するため、書き換えたものである。各配線及び各素子の符号については、図1（B）と同様である。なお図1（C）では、説明のため、液晶素子109について、画素トランジスタ108の側の電極を画素電極111、共通電極105の側を対向電極112、画素電極111と対向電極112に挟持される液晶113について示している。なお図1（C）において、図14（C）と異なる点は、容量素子110の第2の電極に接続される容量線106に供給する電圧として固定電圧を供給する構成でなく、一定の周期で印加する電圧の異なる信号を容量素子110の第2の電極に印加する構成とする点にある。

【0033】

図2（A）には、図1（C）と同じ図について示しているが、図15（A）と同様にして、各配線の電位、電極間の電圧、及び素子を流れる電流について着目して示したものである。すなわち、信号線103に供給される画像信号は電圧 V_{data} であり、容量線106に供給される信号（保持信号）は電圧 V_{cap} であり、画素電極111で保持する電圧は V_{pix} であり、対向電極112の電圧は V_{com} である。また、液晶113に印加される電圧は、 V_{LC} となる。また図2（A）では、画素トランジスタのオフ電流 $I_{TF T}$ 、及び液晶113を流れる電流 I_{LC} についても図示している。

【0034】

なお具体的な動作としては、画像信号を画素に書き込むために、画素トランジスタを導通状態にして画像信号に基づく電圧 V_{data} を画素電極111に供給する期間（以下、書き込み期間という）を有し、画素電極111で保持する電圧は V_{pix} とするものである。電圧 V_{pix} は、画素トランジスタを非導通状態とすることで V_{pix} の保持を行う。なお V_{pix} を保持する期間（以下、保持期間という）では、オフ電流 $I_{TF T}$ 、及び/または電流 I_{LC} により変動し、上昇または下降の変動をすることとなり、定期的なリフレッシュ動作が必要となる。なお書き込み期間と保持期間を併せて1フレーム期間ともいう。

【0035】

なお本明細書において書き込み期間は、保持期間と比べて極端に短い。そのため、タイミングチャートでは特に書き込み期間について図示せず、保持期間を1フレーム期間として説明することもある。

【0036】

なお画素トランジスタとして半導体層に酸化物半導体を用いた薄膜トランジスタでは、オフ電流 $I_{TF T}$ を極端に低減することができる。そのため、電圧 V_{pix} の変動の要因を、液晶113を流れる電流 I_{LC} のみが大きく寄与するものとする構成とすることができ

10

20

30

40

50

る。その結果、前述の保持期間を60秒以上に大幅に延ばすことができ、リフレッシュレートを大幅に低減することができる。

【0037】

なお、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0038】

次いで図2(B)では、図15(B)と同様にして、図2(A)で示した各配線の電位、電極間の電圧について示すタイミングチャートの概略図について示したものである。図2(B)に示すタイミングチャートでは、期間F1乃至F4に分けて示している。なお期間F1乃至F4において、表示する画像は、同じ画像、即ち静止画を表示することを想定して説明するものである。即ち、期間F1乃至F4では、液晶113に印加される電圧 V_{LC} が一定の電圧 V_{data} （図2(B)中、矢印121）となるものである。また液晶素子109では液晶113に一方向の電圧が印加されることで素子の劣化があることが知られており、通常液晶素子に印加する電圧の極性を一定期間毎に反転させる反転駆動を用いることが知られている。例えば期間F1乃至F4のそれぞれの期間を1フレーム期間とし、1フレーム期間毎に反転駆動を行うとフレーム反転駆動となり、図2(B)の V_{LC} （反転駆動）のように同じ画像を表示する場合であっても一定期間毎に極性の異なる電圧を液晶素子に印加することとなる。

【0039】

静止画を表示する際に、低消費電力化を図るようリフレッシュレートを低減する場合、期間F1乃至F4のそれぞれの期間が長くなることとなる。期間が長くなるにつれてオフ電流 I_{TF} 、及び/または液晶を流れる電流 I_{LC} により、図15(B)を用いて説明したように、画素電極111で保持する電圧 V_{pix} が上昇又は下降して変動することとなる。

【0040】

本実施の形態の構成においては、保持信号 V_{cap} により、前述のオフ電流 I_{TF} 、及び/または液晶を流れる電流 I_{LC} により、画素電極111で保持する電圧（ V_{pix} ）が V_{data} から上昇又は下降した分の電圧を相殺することにより静止画を表示する際の画像の劣化を低減するものである。具体的には1フレーム期間である期間F1乃至F4毎に、上述の V_{pix} の電圧の変動分となるよう保持信号 V_{cap} の電圧を上昇または下降させる（図2(B)中の矢印122、矢印123）。言い換えれば、 V_{pix} の電圧の変動が上昇する変動であれば保持信号 V_{cap} の電圧を下降するようにし、 V_{pix} の電圧の変動が下降する変動であれば保持信号 V_{cap} の電圧を上昇するようにする。そして、固定電圧である対向電極112の電圧 V_{com} との間に印加される電圧 V_{LC} は、期間F1乃至F4の境（図2(B)中、refresh）で大きく変動することなく、静止画を表示する際の画像の劣化を低減することができる。なお V_{LC} （反転駆動）が期間F1乃至F4毎に反転した電圧となるため、電圧 V_{cap} の変動は、上昇と下降を交互に繰り返す信号となる。なお、以上の保持信号 V_{cap} の電圧の制御により、 V_{pix} すなわち V_{LC} の変動を低減することを、 V_{pix} すなわち V_{LC} の電圧を一定にすると言い換えることもあるが、この場合の一定とは、実施の表示にほとんど影響のない微小の電圧の変動について含むものであることを付記する。

【0041】

なお上述の電圧の変動分に応じた矢印122、矢印123は、画像信号に応じて変動するものである。特に画像信号がほとんど画素電極に供給されない場合、電圧の変動もほとんどないことになる。ここで、液晶113の印加電圧に対する透過率の関係について図3に示す。図3からもわかるように、印加電圧に応じた透過率は、画像信号がほとんど画素電極に供給されない場合、すなわち印加電圧が小さい場合には、印加電圧が少し変動しても透過率がほとんど変動しないため問題ない。

【0042】

10

20

30

40

50

次いで、保持信号 V_{cap} を出力する回路を含めた液晶表示装置のブロック図について図 4 に示す。図 4 に示す液晶表示装置は、表示パネル部 301 及び周辺回路部 302 を有する。表示パネル部 301 は、上記図 1 (A) の表示パネル 100 の構成と同様であり、説明を省略する。周辺回路部 302 は、動静画像切り替え回路 303、表示制御回路 304、及び保持信号生成回路 305 を有する。なお表示パネル部 301 と周辺回路部 302 とは別の基板に形成されることが望ましいが、同じ基板上に形成される構成であってもよい。

【0043】

動静画像切り替え回路 303 は、外部から供給される画像信号が動画像であるか静止画であるかを判定し画像を切り替える回路である。動静画像切り替え回路 303 は、外部から供給される画像信号をフレーム期間毎に比較して動画像であるか静止画であるかを自動的に判別する構成としてもよいし、外部からの信号に応じて動画像か静止画かを切り替える構成としてもよい。

10

【0044】

表示制御回路 304 は、動静画像切り替え回路 303 で動画像であれば動画像を表示するための信号、例えば画像信号及びクロック信号等を表示パネル部 301 に供給するための回路である。また表示制御回路 304 は、動静画像切り替え回路 303 で静止画であれば静止画を表示するための信号、例えばリフレッシュレートを低減して、所定のタイミングにより画像信号及びクロック信号等を表示パネル部 301 に供給するための回路である。

【0045】

保持信号生成回路 305 は、動静画像切り替え回路 303 で静止画であれば、容量線 106 に供給する保持信号 V_{cap} を生成するための回路である。なお、動静画像切り替え回路 303 で動画像であれば、一定の固定電圧、例えば共通電圧 V_{cm} と同じ信号を表示パネル部 301 に供給するための回路である。

20

【0046】

なお高電源電位 VDD は、基準電位より高い電位のことであり、低電源電位 VSS とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、薄膜トランジスタが動作できる程度の電位であることが望ましい。なお高電源電位 VDD 及び低電源電位 VSS を併せて、電源電圧と呼ぶこともある。

【0047】

保持信号生成回路 305 の構成の一例について図 5 を用いて説明する。図 5 に示す保持信号生成回路 305 の一例は、第 1 の電流源回路 501、第 1 のスイッチ 502、第 2 のスイッチ 503、第 2 の電流源回路 504、第 3 のスイッチ 505 を有する。図 5 に示す保持信号生成回路 305 は、静止画を表示する期間において、第 1 のスイッチ 502 と第 2 のスイッチ 503 とが切り替え端子 507 の制御によりオンまたはオフを交互に切り替えて動作することにより、第 1 の電流源回路 501 及び第 2 の電流源回路 504 によって容量線 106 の電圧の上昇または下降を制御するための回路である。なお容量線 106 の電圧を一定の固定電圧とする場合には、第 3 のスイッチ 505 をオンにし、共通電圧 V_{cm} が供給される端子 506 との接続を図ればよい。

30

【0048】

なお第 1 のスイッチ 502、第 2 のスイッチ 503、及び第 3 のスイッチ 505 はトランジスタで構成すればよく、第 1 のスイッチ 502、及び第 2 のスイッチ 503 は極性の異なるトランジスタで構成すればよい。

40

【0049】

以上説明したように本実施の形態で示す構成により、静止画を表示する際にリフレッシュレートを低減しても、表示する画像の劣化を抑制することができる。

【0050】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0051】

50

(実施の形態 2)

本実施の形態においては、上記実施の形態で説明した構成と異なる構成について説明する。

【0052】

上記実施の形態 1 で説明した構成では、図 6 (A) に示すフレーム反転駆動を行う構成について説明したが、図 6 (B) に示す信号線毎に異なる極性の反転駆動を行うソースライン反転駆動、図 6 (C) に示すゲート線毎に異なる極性の反転駆動を行うゲートライン反転駆動、図 6 (D) に示す隣り合う画素毎に異なる極性の反転駆動を行うドット反転駆動について、画素の回路構成等を用いて説明を行う。なお、実施の形態 1 と同じ説明の箇所については説明を省略する。また、コモン反転駆動については、フレーム反転駆動と同じ動作を行うので説明を省略するものである。なお図 6 で、 N (N は自然数) フレームと ($N+1$) フレームとで交互に極性の異なる画像信号 (図 6 中、プラス記号、またはマイナス記号) を供給する例を示しているが他の駆動法であってもよい。

10

【0053】

図 6 (B) 乃至図 6 (D) の反転駆動の方式で、上記実施の形態 1 の反転駆動の方式である図 6 (A) との違いは、1 フレーム期間において異なる極性の画像信号が供給される点にある。そのため、容量線に供給する電圧を画像信号の極性毎に変えるような構成とすることである。

【0054】

具体的に簡単な回路構成を交えて説明を行う。図 7 (A) には、図 6 (B) に対応させてソースライン反転駆動での画素の回路構成について示している。図 7 (A) では、ゲート線 102、信号線 103、画素 104、共通電極 105、第 1 の容量線 106A、第 2 の容量線 106B について示している。第 1 の容量線 106A、第 2 の容量線 106B は、図 6 (B) で説明した極性の異なる画像信号が供給される画素毎に接続される構成となる。また、図 7 (B) には、図 6 (C) に対応させてゲートライン反転駆動での画素の回路構成について示している。図 7 (B) では、ゲート線 102、信号線 103、画素 104、共通電極 105、第 1 の容量線 106A、第 2 の容量線 106B について示している。第 1 の容量線 106A、第 2 の容量線 106B は、図 6 (C) で説明した極性の異なる画像信号が供給される画素毎に接続される構成となる。また図 7 (C) には、図 6 (D) に対応させてドット反転駆動での画素の回路構成について示している。図 7 (C) では、ゲート線 102、信号線 103、画素 104、共通電極 105、第 1 の容量線 106A、第 2 の容量線 106B について示している。第 1 の容量線 106A、第 2 の容量線 106B は、図 6 (D) で説明した極性の異なる画像信号が供給される画素毎に接続される構成となる。以上説明した図 7 (A) 乃至 (C) の第 1 の容量線 106A、第 2 の容量線 106B には、異なる保持信号となる第 1 の保持信号 V_{cap1} 、第 2 の保持信号 V_{cap2} が供給されることとなる。

20

30

【0055】

図 8 (A) には、図 2 (A) と同じ図について示しており、各配線の電位、電極間の電圧、及び素子を流れる電流について着目して示したものである。なお図 2 (A) と異なる点として、図 7 (A) 乃至 (C) で説明した第 1 の保持信号 V_{cap1} 、第 2 の保持信号 V_{cap2} について示した点にある。

40

【0056】

次いで図 8 (B) では、図 2 (B) と同様にして、図 8 (A) で示した各配線の電位、電極間の電圧について示すタイミングチャートの概略図について示したものである。液晶素子 109 では極性の異なる画像信号が供給され、それぞれ液晶 113 にフレーム期間毎に反転する第 1 の電圧 V_{LC} 、第 2 の電圧 V_{LC} が印加されることとなる。そして、オフ電流 I_{TF} 、及び / または液晶を流れる電流 I_{LC} により画素電極 111 で保持する電圧 (V_{pix}) が V_{data} から上昇又は下降した分を相殺する第 1 の保持信号 V_{cap1} 、第 2 の保持信号 V_{cap2} を供給する。そして 1 フレーム期間である期間 F1 乃至 F4 毎に、極性の異なる画像信号が供給される画素での第 1 の V_{pix} 及び第 2 の V_{pix} は

50

、期間 F 1 乃至 F 4 の境（図 8（B）中、refresh）で大きく変動することなく、静止画を表示する際の画像の劣化を低減することができる。

【0057】

以上説明したように本実施の形態で示す構成により、静止画を表示する際にリフレッシュレートを低減しても、表示する画像の劣化を抑制することができる。

【0058】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0059】

（実施の形態 3）

本実施の形態では、本明細書に開示する液晶表示装置に適用できるトランジスタの例を示す。

【0060】

図 9（A）乃至（D）にトランジスタの断面構造の一例を示す。

【0061】

図 9（A）に示すトランジスタ 410 は、ボトムゲート構造の薄膜トランジスタの一つであり、逆スタガ型薄膜トランジスタともいう。

【0062】

トランジスタ 410 は、絶縁表面を有する基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース電極層 405a、及びドレイン電極層 405b を含む。また、トランジスタ 410 を覆い、酸化物半導体層 403 に積層する絶縁層 407 が設けられている。絶縁層 407 上にはさらに保護絶縁層 409 が形成されている。

【0063】

図 9（B）に示すトランジスタ 420 は、チャネル保護型（チャネルストップ型ともいう）と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0064】

トランジスタ 420 は、絶縁表面を有する基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、酸化物半導体層 403 のチャネル形成領域上に設けられたチャネル保護層として機能する絶縁層 427、ソース電極層 405a、及びドレイン電極層 405b を含む。また、トランジスタ 420 を覆い、保護絶縁層 409 が形成されている。

【0065】

図 9（C）に示すトランジスタ 430 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、ソース電極層 405a、ドレイン電極層 405b、及び酸化物半導体層 403 を含む。また、トランジスタ 430 を覆い、酸化物半導体層 403 に接する絶縁層 407 が設けられている。絶縁層 407 上にはさらに保護絶縁層 409 が形成されている。

【0066】

トランジスタ 430 においては、ゲート絶縁層 402 は基板 400 及びゲート電極層 401 上に接して設けられ、ゲート絶縁層 402 上にソース電極層 405a、ドレイン電極層 405b が接して設けられている。そして、ゲート絶縁層 402、及びソース電極層 405a、ドレイン電極層 405b 上に酸化物半導体層 403 が設けられている。

【0067】

図 9（D）に示すトランジスタ 440 は、トップゲート構造の薄膜トランジスタの一つである。トランジスタ 440 は、絶縁表面を有する基板 400 上に、絶縁層 447、酸化物半導体層 403、ソース電極層 405a、及びドレイン電極層 405b、ゲート絶縁層 402、ゲート電極層 401 を含み、ソース電極層 405a、ドレイン電極層 405b にそれぞれ配線層 446a、配線層 446b が接して設けられ電氣的に接続している。

【0068】

10

20

30

40

50

本実施の形態では、半導体層として酸化物半導体層 403 を用いる。

【0069】

酸化物半導体層 403 としては、四元系金属酸化物である In-Sn-Ga-Zn-O 膜や、三元系金属酸化物である In-Ga-Zn-O 膜、 In-Sn-Zn-O 膜、 In-Al-Zn-O 膜、 Sn-Ga-Zn-O 膜、 Al-Ga-Zn-O 膜、 Sn-Al-Zn-O 膜や、二元系金属酸化物である In-Zn-O 膜、 Sn-Zn-O 膜、 Al-Zn-O 膜、 Zn-Mg-O 膜、 Sn-Mg-O 膜、 In-Mg-O 膜や、 In-O 膜、 Sn-O 膜、 Zn-O 膜などの酸化物半導体層を用いることができる。また、上記酸化物半導体層に SiO_2 を含んでもよい。

【0070】

また、酸化物半導体層 403 は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体膜のうち、M として Ga を含む構造の酸化物半導体を、上記した In-Ga-Zn-O 酸化物半導体とよび、その薄膜を In-Ga-Zn-O 膜ともよぶこととする。

【0071】

なお本実施の形態の構成において酸化物半導体は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (i 型) とし、又は実質的に真性型としたものである。すなわち、不純物を添加して i 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された i 型 (真性半導体) 又はそれに近づくことを特徴としている。従って、薄膜トランジスタが有する酸化物半導体層は、高純度化及び電気的に i 型 (真性) 化された酸化物半導体層である。

【0072】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく (ゼロに近い)、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0073】

酸化物半導体中にキャリアが極めて少ないため、トランジスタのオフ電流を少なくすることができる。具体的には、上述の酸化物半導体層を具備する薄膜トランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) にすることが可能である。つまりトランジスタの非導通状態において、酸化物半導体は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、薄膜トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

【0074】

酸化物半導体層 403 を用いたトランジスタ 410、420、430、440 は、オフ状態における電流値 (オフ電流値) を低くすることができる。よって、画像イメージデータ等の電気信号の保持時間を長くすることができ、書き込み間隔も長く設定できる。よって、リフレッシュの頻度を少なくすることができるため、より消費電力を抑制する効果を高くできる。

【0075】

また、酸化物半導体層 403 を用いたトランジスタ 410、420、430、440 は、非晶質半導体を用いたものとしては比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、表示装置の高機能化及び高速応答化が実現できる。

【0076】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホ

10

20

30

40

50

ウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0077】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、実用的な耐熱ガラスである、酸化ホウ素(B_2O_3)より酸化バリウム(BaO)を多く含むガラス基板を用いてもよい。

【0078】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

10

【0079】

ボトムゲート構造のトランジスタ410、420、430において、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0080】

ゲート電極層401の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

20

【0081】

例えば、ゲート電極層401の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

【0082】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

30

【0083】

ゲート絶縁層402は、ゲート電極層側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、膜厚100nmのゲート絶縁層とする。ゲート絶縁層402の膜厚は、薄膜トランジスタに要求される特性によって適宜設定すればよく350nm乃至400nm程度でもよい。

40

【0084】

ソース電極層405a、ドレイン電極層405bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

50

【 0 0 8 5 】

ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b に接続する配線層 4 4 6 a、配線層 4 4 6 b のような導電膜も、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b と同様な材料を用いることができる。

【 0 0 8 6 】

また、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造などが挙げられる。

【 0 0 8 7 】

また、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b (これと同じ層で形成される配線層を含む) となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する)、酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3-\text{ZnO}$) または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【 0 0 8 8 】

絶縁層 4 0 7、4 2 7、4 4 7、保護絶縁層 4 0 9 としては、酸化絶縁層、又は窒化絶縁層などの無機絶縁膜を好適に用いることができる。

【 0 0 8 9 】

絶縁層 4 0 7、4 2 7、4 4 7 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【 0 0 9 0 】

保護絶縁層 4 0 9 は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【 0 0 9 1 】

また、保護絶縁層 4 0 9 上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low - k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【 0 0 9 2 】

このように、本実施の形態において、酸化物半導体層を含むトランジスタを用いることにより、さらに低消費電力化が達成された高機能な液晶表示装置を提供することができる。

【 0 0 9 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 0 9 4 】

(実施の形態 4)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する液晶表示装置を作製することができる。また、薄膜トランジスタを用いて駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【 0 0 9 5 】

なお液晶表示装置とは、コネクタ、例えば FPC (Flexible Printed Circuit) もしくは TAB (Tape Automated Bonding) テープもしくは TCP (Tape Carrier Package) が取り付けられたモジュール、TAB テープや TCP の先にプリント配線板が設けられたモジュール、また

10

20

30

40

50

は表示素子にCOG (Chip On Glass) 方式によりIC (集積回路) が直接実装されたモジュールも全て表示装置に含むものとする。

【0096】

液晶表示装置の外観及び断面について、図10を用いて説明する。図10(A1)(A2)は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図10(B)は、図10(A1)(A2)のM-Nにおける断面図に相当する。

【0097】

第1の基板4001上に設けられた画素部4002と、ゲート線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、ゲート線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、ゲート線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

10

【0098】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図10(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図10(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0099】

また第1の基板4001上に設けられた画素部4002と、ゲート線駆動回路4004は、薄膜トランジスタを複数有しており、図10(B)では、画素部4002に含まれる薄膜トランジスタ4010と、ゲート線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041a、4041b、4042a、4042b、4020、4021が設けられている。

【0100】

薄膜トランジスタ4010、4011は、酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

30

【0101】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT (Bias Temperature) 試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

40

【0102】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0103】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては

50

、FRP (Fiberglass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

【0104】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させることができる。

10

【0105】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0106】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

20

【0107】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

【0108】

薄膜トランジスタ4011は、チャネル保護層として機能する絶縁層4041aと、酸化物半導体層の積層の周縁部(側面を含む)を覆う絶縁層4041bとが形成されている。同様に薄膜トランジスタ4010は、チャネル保護層として機能する絶縁層4042aと、酸化物半導体層の積層の周縁部(側面を含む)を覆う絶縁層4042bとが形成されている。

30

【0109】

酸化物半導体層の積層の周縁部(側面を含む)を覆う酸化物絶縁層である絶縁層4041b、4042bは、ゲート電極層と、その上方または周辺に形成される配線層(ソース配線層や容量配線層など)との距離を大きくし、寄生容量の低減を図ることができる。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。ここでは、絶縁層4041a、4041b、4042a、4042bとして、一例としてスパッタ法により酸化珪素膜を形成する。

【0110】

また、絶縁層4041a、4041b、4042a、4042b上に絶縁層4020が形成されている。絶縁層4020は、一例としてRFスパッタ法により窒化珪素膜を形成する。

40

【0111】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

50

【0112】

本実施の形態では、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。絶縁層4020とゲート絶縁層とに窒化物絶縁膜を用いて、少なくともアクティブマトリクス基板の画素部の周縁を囲むように絶縁層4020とゲート絶縁層とが接する領域を設ける構成とすればよい。この製造プロセスでは、外部からの水分の侵入を防ぐことができる。また、液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【0113】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0114】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく液晶表示装置を作製することが可能となる。

【0115】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性の導電性材料を用いることができる。

【0116】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0117】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0118】

また別途形成された信号線駆動回路4003と、ゲート線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0119】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0120】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0121】

また図10においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。ゲート線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部またはゲート線駆動回路の一部のみを別途形成して実装しても良い。

【0122】

10

20

30

40

50

図 1 1 は、液晶表示装置を構成する一例を示している。

【 0 1 2 3 】

図 1 1 は液晶表示装置の一例であり、TFT基板 2 6 0 0 と対向基板 2 6 0 1 がシール材 2 6 0 2 により固着され、その間にTFT等を含む画素部 2 6 0 3、液晶層を含む表示素子 2 6 0 4、着色層 2 6 0 5 が設けられ表示領域を形成している。着色層 2 6 0 5 はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板 2 6 0 0 と対向基板 2 6 0 1 の外側には偏光板 2 6 0 6、偏光板 2 6 0 7、拡散板 2 6 1 3 が配設されている。光源は冷陰極管 2 6 1 0 と反射板 2 6 1 1 により構成され、回路基板 2 6 1 2 は、フレキシブル配線基板 2 6 0 9 によりTFT基板 2 6 0 0 の配線回路部 2 6 0 8 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

10

【 0 1 2 4 】

液晶表示装置の駆動方式には、TN (Twisted Nematic) モード、IPS (In - Plane - Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi - domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro - cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

20

【 0 1 2 5 】

以上の工程により、静止画表示を行う際、表示する画像の劣化を低減することができる液晶表示装置を作製することができる。

【 0 1 2 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 2 7 】

(実施の形態 5)

30

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【 0 1 2 8 】

図 1 2 (A) は携帯型遊技機であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、記録媒体読込部 9 6 7 2、等を有することができる。図 1 2 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 1 2 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 2 9 】

40

図 1 2 (B) はデジタルカメラであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、シャッターボタン 9 6 7 6、受像部 9 6 7 7、等を有することができる。図 1 2 (B) に示すデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図 1 2 (B) に示すデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 3 0 】

図 1 2 (C) はテレビ受像器であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3

50

、操作キー 9 6 3 5、接続端子 9 6 3 6、等を有することができる。図 1 2 (C) に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 1 2 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 3 1 】

図 1 2 (D) は、電子計算機 (パーソナルコンピュータ) 用途のモニター (P C モニターともいう) であり、筐体 9 6 3 0、表示部 9 6 3 1 等を有することができる。図 1 2 (D) に示すモニターは、ウインドウ型表示部 9 6 5 3 が表示部 9 6 3 1 にある例について示している。なお説明のために表示部 9 6 3 1 にウインドウ型表示部 9 6 5 3 を示したが、10
他のシンボル、例えばアイコン、画像等であってもよい。パーソナルコンピュータ用途のモニターでは、静止画の表示が多く、上記実施の形態における液晶表示装置の駆動方法を適用する際に好適である。なお、図 1 2 (D) に示すモニターが有する機能はこれに限定されず、様々な機能を有することができる。

【 0 1 3 2 】

図 1 3 (A) はコンピュータであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、ポインティングデバイス 9 6 8 1、外部接続ポート 9 6 8 0 等を有することができる。図 1 3 (A) に示すコンピュータは、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 1 3 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。20

【 0 1 3 3 】

次に、図 1 3 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8 等を有することができる。図 1 3 (B) に示した携帯電話は、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。なお、図 1 3 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。30

【 0 1 3 4 】

次に、図 1 3 (C) は電子ペーパー (E - b o o k ともいう) であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 2 等を有することができる。図 1 3 (C) に示した電子ペーパーは、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。なお、図 1 3 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。別の電子ペーパーの構成について図 1 3 (D) に示す。図 1 3 (D) に示す電子ペーパーは、図 1 3 (C) の電子ペーパーに太陽電池 9 6 5 1、及びバッテリー 9 6 5 2 を付加した構成について示している。表示部 9 6 3 1 として反射型の液晶表示装置を用いる場合、比較的明るい状況下での使用が予想され、太陽電池 9 6 5 1 による発電、及びバッテリー 9 6 5 2 での充電を効率よく行うことができ、好適である。なおバッテリー 9 6 5 2 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。40

【 0 1 3 5 】

本実施の形態において述べた電子機器は、静止画表示を行う際、表示する画像の劣化を低減することができる。

【 0 1 3 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能50

である。

【符号の説明】

【 0 1 3 7 】

1 0 0	表示パネル	
1 0 1	画素部	
1 0 2	ゲート線	
1 0 2 D	ゲート線駆動回路	
1 0 3	信号線	
1 0 3 D	信号線駆動回路	
1 0 4	画素	10
1 0 5	共通電極	
1 0 6	容量線	
1 0 6 A	第 1 の容量線	
1 0 6 B	第 2 の容量線	
1 0 7	端子部	
1 0 8	画素トランジスタ	
1 0 9	液晶素子	
1 1 0	容量素子	
1 1 1	画素電極	
1 1 2	対向電極	20
1 1 3	液晶	
1 2 1	矢印	
1 2 2	矢印	
1 2 3	矢印	
3 0 1	表示パネル部	
3 0 2	周辺回路部	
3 0 3	動静画像切り替え回路	
3 0 4	表示制御回路	
3 0 5	保持信号生成回路	
4 0 0	基板	30
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	絶縁層	
4 0 9	保護絶縁層	
4 1 0	トランジスタ	
4 2 0	トランジスタ	
4 2 7	絶縁層	40
4 3 0	トランジスタ	
4 4 0	トランジスタ	
4 4 6 a	配線層	
4 4 6 b	配線層	
4 4 7	絶縁層	
5 0 1	第 1 の電流源回路	
5 0 2	第 1 のスイッチ	
5 0 3	第 2 のスイッチ	
5 0 4	第 2 の電流源回路	
5 0 5	第 3 のスイッチ	50

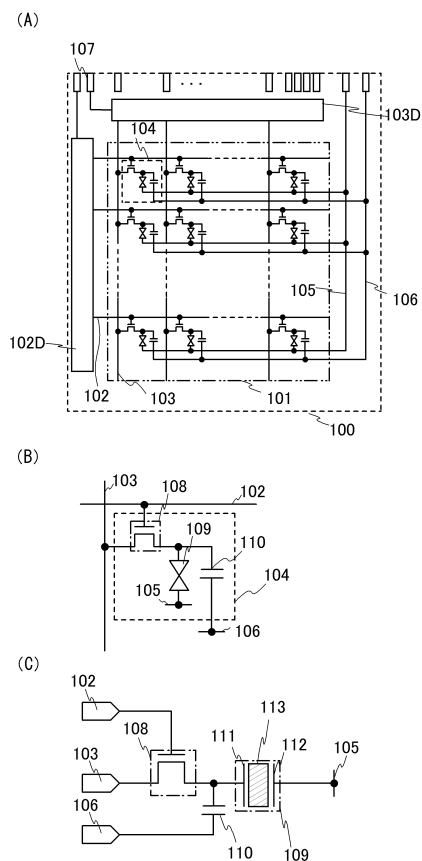
5 0 6	端子	
5 0 7	切り替え端子	
1 4 0 0	表示パネル	
1 4 0 1	画素部	
1 4 0 2	ゲート線	
1 4 0 3	信号線	
1 4 0 4	画素	
1 4 0 5	共通電極	
1 4 0 6	容量線	
1 4 0 7	端子部	10
1 4 0 8	画素トランジスタ	
1 4 0 9	液晶素子	
1 4 1 0	容量素子	
1 4 1 1	画素電極	
1 4 1 2	対向電極	
1 4 1 3	液晶	
1 5 0 1	矢印	
1 5 0 2	矢印	
1 5 0 3	矢印	
2 6 0 0	T F T 基板	20
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	30
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
4 0 0 1	第 1 の基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	ゲート線駆動回路	
4 0 0 5	シール材	
4 0 0 6	第 2 の基板	
4 0 0 8	液晶層	40
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	50

4 0 3 1	対向電極層
4 0 3 2	絶縁層
4 0 3 3	絶縁層
4 0 3 5	スペーサ
4 0 4 0	導電層
4 0 4 1 a	絶縁層
4 0 4 1 b	絶縁層
4 0 4 2 a	絶縁層
4 0 4 2 b	絶縁層
9 6 3 0	筐体
9 6 3 1	表示部
9 6 3 2	操作キー
9 6 3 3	スピーカ
9 6 3 5	操作キー
9 6 3 6	接続端子
9 6 3 8	マイクロフォン
9 6 5 1	太陽電池
9 6 5 2	バッテリー
9 6 5 3	ウインドウ型表示部
9 6 7 2	記録媒体読込部
9 6 7 6	シャッターボタン
9 6 7 7	受像部
9 6 8 0	外部接続ポート
9 6 8 1	ポインティングデバイス

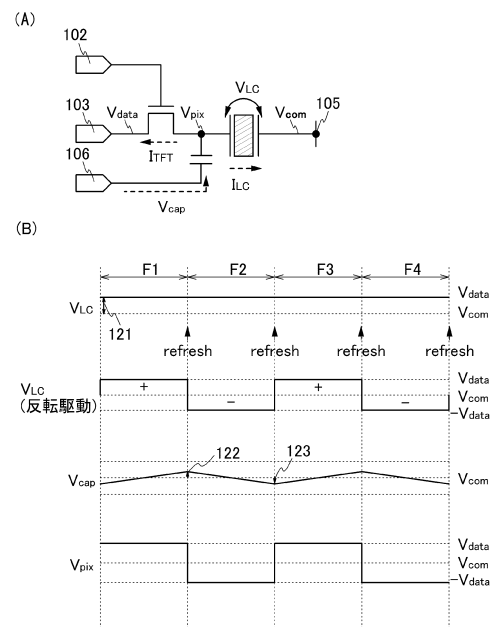
10

20

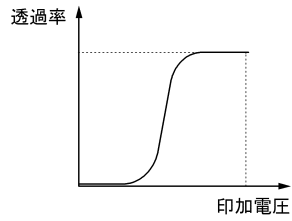
【図 1】



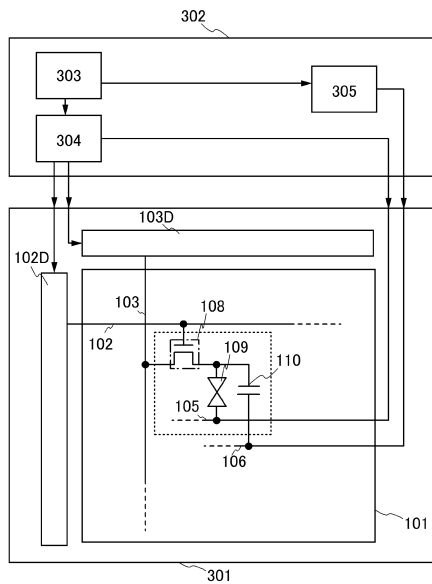
【図 2】



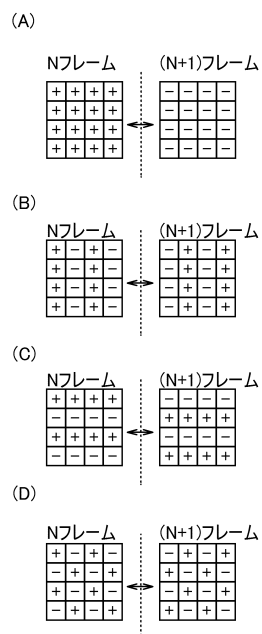
【図 3】



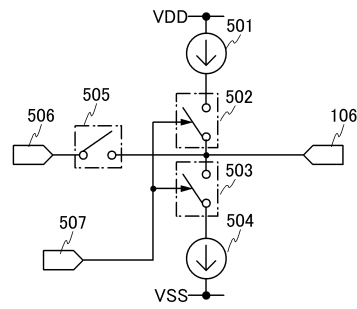
【図 4】



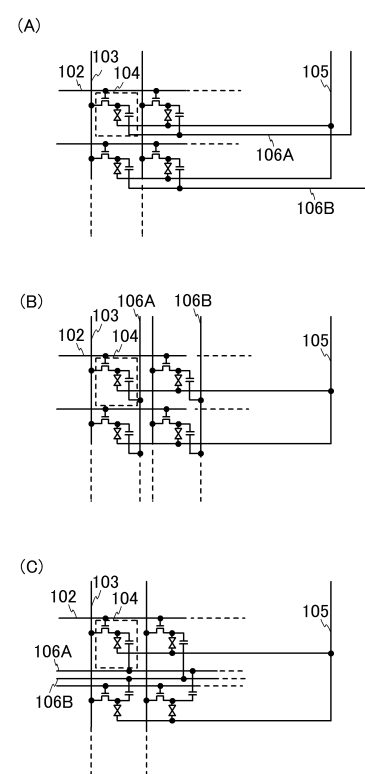
【図 6】



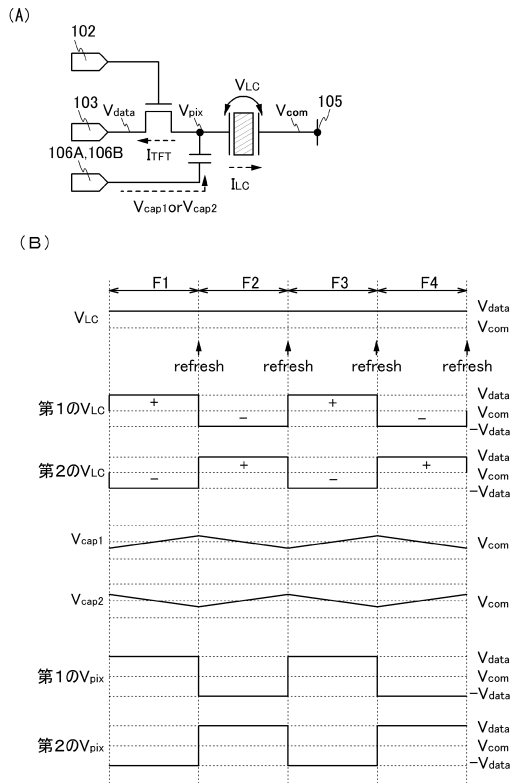
【図 5】



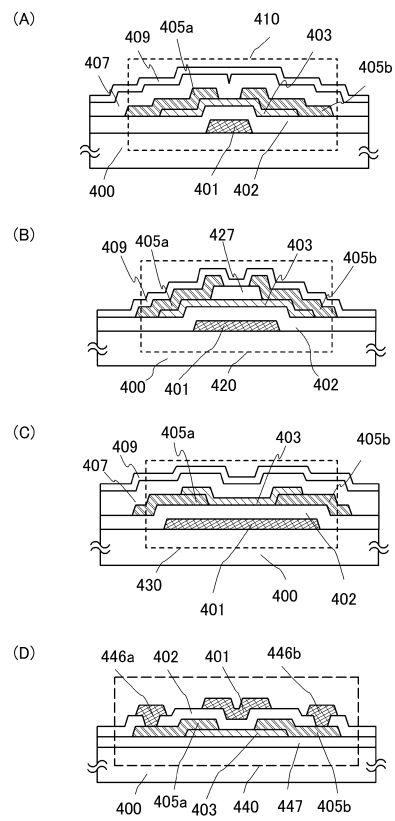
【図 7】



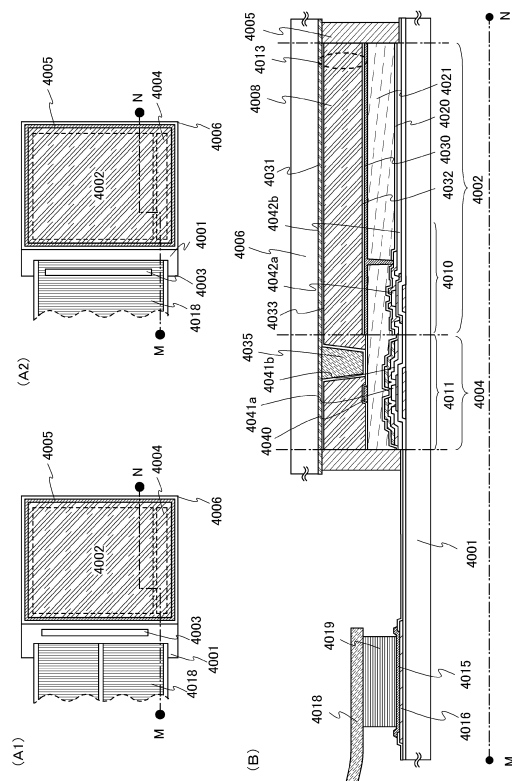
【図 8】



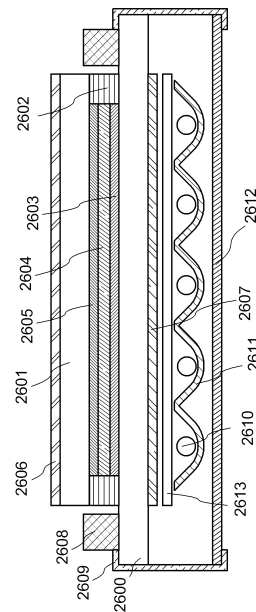
【図 9】



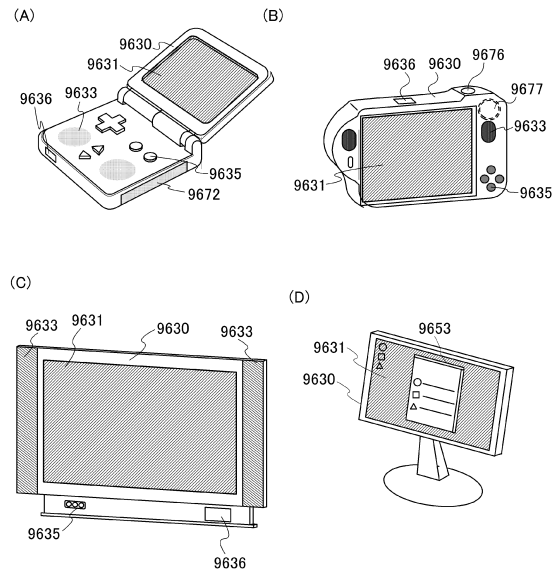
【図 10】



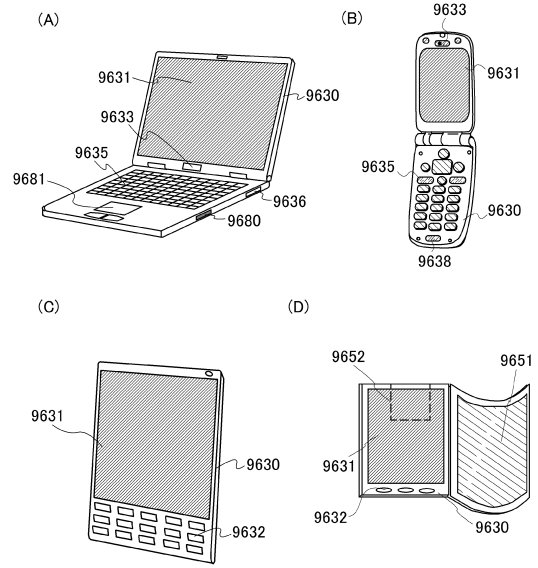
【図 11】



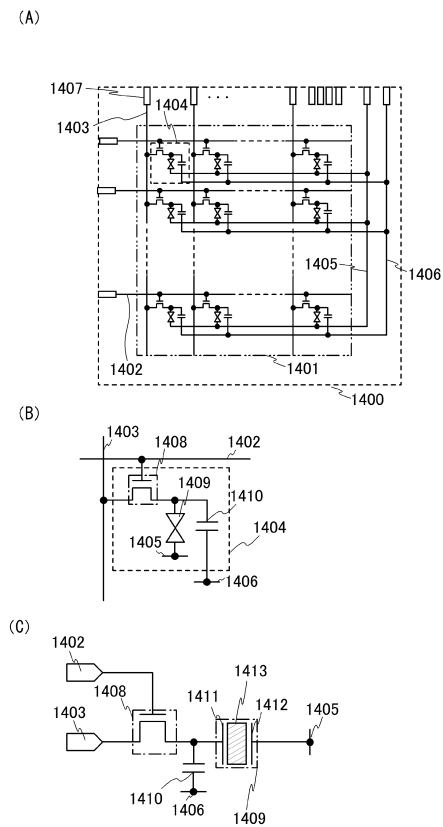
【図 12】



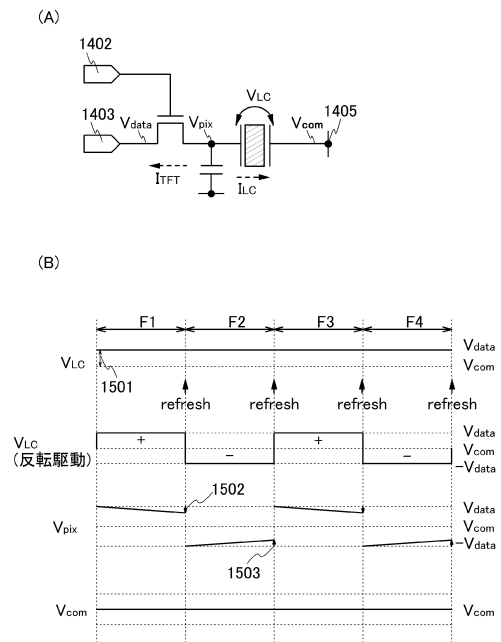
【図 13】



【図 14】



【図 15】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 E
	G 0 9 G	3/20	6 2 1 B
	G 0 2 F	1/133	5 5 0

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	表示装置		
公开(公告)号	JP6060142B2	公开(公告)日	2017-01-11
申请号	JP2014256845	申请日	2014-12-19
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	三宅博之		
发明人	三宅 博之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3614 G09G3/3655 G09G2300/0408 G09G2300/0426 G09G2300/0876 G09G2320/10 G02F1/13306 G02F1/136213 G02F1/1368 G09G5/18 G09G2300/0404		
FI分类号	G09G3/36 G09G3/20.660.U G09G3/20.624.D G09G3/20.612.U G09G3/20.611.A G09G3/20.611.E G09G3/20.621.B G02F1/133.550 G02F1/133.575 G09G3/20.611.J G09G3/20.650.J G09G3/20.660.V		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC16 2H193/ZD36 2H193/ZF60 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF03 5C006/AF04 5C006/AF19 5C006/AF21 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF45 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF69 5C006/AF71 5C006/BA12 5C006/BA13 5C006/BA15 5C006/BA16 5C006/BA19 5C006/BB16 5C006/BB21 5C006/BC08 5C006/BC20 5C006/BF02 5C006/BF14 5C006/BF24 5C006/BF42 5C006/BF45 5C006/FA04 5C006/FA16 5C006/FA23 5C006/FA36 5C006/FA38 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD25 5C080/DD26 5C080/EE01 5C080/EE19 5C080/EE26 5C080/EE29 5C080/FF02 5C080/FF03 5C080/FF11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK07 5C080/KK43		
优先权	2009295608 2009-12-25 JP		
其他公开文献	JP2015064609A		
外部链接	Espacenet		

摘要(译)

目的是即使当显示静止图像时刷新率降低时也抑制显示图像的劣化。液晶显示装置包括电连接到像素电极的像素晶体管和电容器，电容器具有电连接到像素电极的一个电极和电连接到电容器线的另一个电极。像素晶体管导通，基于图像信号的电压被提供给像素电极，然后，像素晶体管截止，从而开始像素电极保持基于图像信号的电压的保持时段。在保持周期中，与基于像素电极中的图像信号的电压的变化相对应的保持信号被提供给电容线，使得像素电极的电位恒定。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6060142号 (P6060142)
(45) 発行日 平成29年1月11日 (2017. 1. 11)		(24) 登録日 平成28年12月16日 (2016. 12. 16)	
(51) Int. Cl. G 0 9 G 3 / 3 6 (2 0 0 6 . 0 1) G 0 9 G 3 / 2 0 (2 0 0 6 . 0 1) G 0 2 F 1 / 1 3 3 (2 0 0 6 . 0 1)		F I G 0 9 G 3 / 3 6 G 0 9 G 3 / 2 0 6 6 0 U G 0 9 G 3 / 2 0 6 2 4 D G 0 9 G 3 / 2 0 6 1 2 U G 0 9 G 3 / 2 0 6 1 1 A 請求項の数 2 (全 25 頁) 最終頁に続く	
(21) 出願番号 特願2014-256845 (P2014-256845) (22) 出願日 平成26年12月19日 (2014. 12. 19) (62) 分割の表示 特願2010-277006 (P2010-277006) の分割 原出願日 平成22年12月13日 (2010. 12. 13) (65) 公開番号 特開2015-64609 (P2015-64609A) (43) 公開日 平成27年4月9日 (2015. 4. 9) 審査請求日 平成26年12月19日 (2014. 12. 19) (31) 優先権主張番号 特願2009-295608 (P2009-295608) (32) 優先日 平成21年12月25日 (2009. 12. 25) (33) 優先権主張国 日本国 (JP) 前置審査		(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 三宅 博之 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 波多江 遼 (66) 参考文献 特開2000-081606 (J P , A)) 特開2008-070783 (J P , A)) 特開2008-033297 (J P , A)) 最終頁に続く	
(54) 【発明の名称】 表示装置			