

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5852793号
(P5852793)

(45) 発行日 平成28年2月3日(2016.2.3)

(24) 登録日 平成27年12月11日(2015.12.11)

(51) Int.Cl.		F I	
GO2F	1/1368 (2006.01)	GO2F	1/1368
HO1L	29/786 (2006.01)	HO1L	29/78 618B
GO2F	1/133 (2006.01)	HO1L	29/78 614
GO9F	9/30 (2006.01)	GO2F	1/133 550
		GO9F	9/30 338

請求項の数 1 (全 47 頁)

(21) 出願番号 特願2011-110409 (P2011-110409)
 (22) 出願日 平成23年5月17日 (2011.5.17)
 (65) 公開番号 特開2012-8543 (P2012-8543A)
 (43) 公開日 平成24年1月12日 (2012.1.12)
 審査請求日 平成26年4月29日 (2014.4.29)
 (31) 優先権主張番号 特願2010-117300 (P2010-117300)
 (32) 優先日 平成22年5月21日 (2010.5.21)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 小林 俊久

最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと第2のトランジスタと第1の液晶素子と第2の液晶素子とを有する画素を有し、

前記第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、

前記第1のトランジスタの第2の端子は、前記第1の液晶素子と電気的に接続され、

前記第1のトランジスタのゲートは、第2の配線と電気的に接続され、

前記第2のトランジスタの第1の端子は、前記第1の配線と電気的に接続され、

前記第2のトランジスタの第2の端子は、前記第2の液晶素子と電気的に接続され、

前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第1のトランジスタと前記第2のトランジスタとは、酸化物半導体層を有し、

前記酸化物半導体層は、加熱処理を行う工程と、前記加熱処理の後の降温の過程において酸素を供給する工程と、を経て形成されたものであり、

前記酸化物半導体層は、Naの濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 以下である領域を有することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示装置、液晶表示装置、発光装置、それらの製造方法、または、それらの駆動方法に関する。特に、酸化物半導体を有する半導体膜を用いた薄膜トラン

ジスタで構成された回路を有する半導体装置、表示装置、液晶表示装置、発光装置、それらの作製方法、または、それらの駆動方法に関する。

【背景技術】

【0002】

現在、液晶表示装置に代表される表示装置のスイッチング素子として、アモルファスシリコン等のシリコン層をチャンネル層として用いた薄膜トランジスタ(TFT)が広く用いられている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の面積化に対応することができるという利点を有している。

【0003】

また、近年、半導体特性を示す金属酸化物を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、金属酸化物の中で、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などは半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャンネル形成領域とする薄膜トランジスタが開示されている(特許文献1)。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-165532号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一態様は、オフ電流の低い半導体装置などを提供することを課題とする。または、本発明の一態様は、耐圧の高い半導体装置などを提供することを課題とする。または、本発明の一態様は、正確な表示を行う半導体装置などを提供することを課題とする。または、本発明の一態様は、視野角の広い表示装置などを提供することを課題とする。または、本発明の一態様は、画面の焼き付きを低減した表示装置などを提供することを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0006】

上記課題を解決するために、酸化物半導体(OS:オキサイドセミコンダクター)を有するトランジスタ、特に、酸化物半導体を有する薄膜MOSトランジスタを用いて、回路を構成する。その酸化物半導体は、実質的に真性な半導体となっている。そのため、非常にオフ電流が低い。または、耐圧が高い。

【0007】

したがって、本発明の実施形態の一態様は、第1のトランジスタと第2のトランジスタと第1の液晶素子と第2の液晶素子とを有する画素を有し、前記第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、前記第1のトランジスタの第2の端子は、前記第1の液晶素子と電気的に接続され、前記第1のトランジスタのゲートは、第2の配線と電気的に接続され、前記第2のトランジスタの第1の端子は、第1の配線と電気的に接続され、前記第2のトランジスタの第2の端子は、前記第2の液晶素子と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、前記第1のトランジスタと前記第2のトランジスタとは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

【0008】

または、本発明の実施形態の一態様は、第1のトランジスタと第2のトランジスタと第1の液晶素子と第2の液晶素子とを有する画素を有し、前記第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、前記第1のトランジスタの第2の端子は、前記第

10

20

30

40

50

1の液晶素子と電氣的に接続され、前記第1のトランジスタのゲートは、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の液晶素子と電氣的に接続され、前記第2のトランジスタのゲートは、前記第2の配線と電氣的に接続され、前記第1のトランジスタと前記第2のトランジスタとは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

【0009】

または、本発明の実施形態の一態様は、第1のトランジスタと第2のトランジスタと第1の液晶素子と第2の液晶素子とを有する画素を有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、前記第1の液晶素子と電氣的に接続され、前記第1のトランジスタのゲートは、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、前記第1の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の液晶素子と電氣的に接続され、前記第2のトランジスタのゲートは、前記第2の配線と電氣的に接続され、前記第1のトランジスタと前記第2のトランジスタとは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

10

【0010】

または、本発明の実施形態の一態様は、トランジスタと第1の液晶素子と第2の液晶素子と容量素子とを有する画素を有し、前記トランジスタの第1の端子は、第1の配線と電氣的に接続され、前記トランジスタの第2の端子は、前記第1の液晶素子と電氣的に接続され、前記トランジスタのゲートは、第2の配線と電氣的に接続され、容量素子の第1の端子は、前記第1の液晶素子と電氣的に接続され、容量素子の第2の端子は、前記第2の液晶素子と電氣的に接続され、前記トランジスタは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

20

【0011】

または、本発明の実施形態の一態様は、第1のトランジスタと第2のトランジスタと第1の液晶素子と第2の液晶素子と容量素子とを有する画素を有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、前記第1の液晶素子と電氣的に接続され、前記第1のトランジスタのゲートは、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、前記第1の配線または前記第1のトランジスタの第2の端子と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の液晶素子と電氣的に接続され、前記第2のトランジスタのゲートは、前記第2の配線と電氣的に接続され、容量素子の第1の端子は、前記第1の液晶素子と電氣的に接続され、容量素子の第2の端子は、前記第2の液晶素子と電氣的に接続され、前記第1のトランジスタと前記第2のトランジスタとは、酸化物半導体を有することを特徴とする液晶表示装置が提供される。

30

【0012】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0013】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

40

【0014】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多い。ただし、発明の一態様は、専門用語によって、限定して解釈されるものではない。

【0015】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等

50

により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【発明の効果】

【0016】

開示する発明において、一例として、オフ電流の低い酸化物半導体を有するトランジスタを用いて、回路を構成する。そのため、不要な電流が漏れて入ってきてしまうことを防ぐことが出来る。よって、正確な表示を行うことが出来る。

【図面の簡単な説明】

【0017】

【図1】半導体装置を説明する回路図。

10

【図2】半導体装置を説明する回路図。

【図3】半導体装置を説明する回路図。

【図4】半導体装置を説明する回路図。

【図5】半導体装置を説明する回路図。

【図6】半導体装置を説明する回路図。

【図7】半導体装置を説明する回路図。

【図8】半導体装置を説明する回路図。

【図9】半導体装置を説明する回路図。

【図10】半導体装置を説明する回路図。

【図11】半導体装置を説明する回路図。

20

【図12】半導体装置を説明する回路図。

【図13】半導体装置を説明する回路図。

【図14】半導体装置を説明する回路図。

【図15】半導体装置を説明する回路図。

【図16】半導体装置を説明する回路図。

【図17】半導体装置を説明する回路図。

【図18】半導体装置を説明する回路図。

【図19】半導体装置を説明する回路図。

【図20】半導体装置を説明する回路図。

【図21】半導体装置を説明する回路図。

30

【図22】半導体装置を説明する回路図。

【図23】半導体装置を説明する断面図。

【図24】半導体装置の作製工程を説明する図。

【図25】半導体装置の動作方法を説明する図。

【図26】電子機器を説明する図。

【図27】電子機器を説明する図。

【発明を実施するための形態】

【0018】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【0019】

なお、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことが出来るものである。ここで、ソースとドレインとは、トランジスタの構造又は動作条件

50

等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばない場合がある。その場合、一例として、ソースとドレインとの一方を、第1端子、第1電極、又は第1領域と表記し、ソースとドレインとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。

【0020】

なお、本明細書等において、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

10

【0021】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数又は複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、 N 個（ N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、 N 個（ N は整数）の層を有して構成される断面図から、 M 個（ M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、 N 個（ N は整数）の要素を有して構成されるフローチャートから、 M 個（ M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。

20

【0022】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

30

【0023】

なお、本明細書等において、半導体装置とは、半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。ただし、半導体特性を利用することで機能しうる装置全般、又は半導体材料を有する装置のことを半導体装置と呼んでもよい。

【0024】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでも良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PCB）を含んでも良い。なお、表示装置は、偏光板または位相差板などの光

40

50

学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

【0025】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

【0026】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【0027】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【0028】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0029】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

【0030】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【0031】

（実施の形態1）

本実施の形態では、酸化物半導体を有するトランジスタ、特に、活性層に酸化物半導体を有する薄膜トランジスタを用いて構成された半導体装置など（表示装置、または、発光装置）の一例について、図面を参照して説明する。酸化物半導体を有するトランジスタは、オフ電流が低いいため、酸化物半導体を有する半導体装置などを用いることによって、オフ電流に起因して生じる不具合を低減することが出来る。そのため、より正確な表示を行うことが出来る。また、酸化物半導体を有するトランジスタは、耐圧が高い。よって、高い電圧が加えられても正常に動作し、高い電圧が加えられている時のオフ電流も、低くすることができるため、オフ電流に起因して生じる不具合を低減することが出来る。

【0032】

また、活性層にI型（真性）の酸化物半導体層を有する薄膜トランジスタはオフ電流が低減されているため、特に好適である。酸化物半導体層をI型（真性）とする方法としては、脱水化または脱水素化が有効である。

【0033】

図1に、本実施の形態で示す半導体装置などの一構成例を示す。本実施の形態の一態様は、画素100を有している。画素100が、1つの画素を構成している。

【0034】

なお、本明細書等において、一画素とは、明るさを制御できる要素一つ分を示すものとする。例えば、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素を有するカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成され

10

20

30

40

50

るものとする。ただし、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW(Wは白)としても可能である。または、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加することが可能である。または、RGBの中の少なくとも一色に類似した色を、RGBに追加することが可能である。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し波長が異なっている。同様に、R1、R2、G、Bとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することが出来る。

【0035】

なお、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることが可能である。例えば、面積階調を行う場合または副画素(サブ画素)を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現することがある。その場合、明るさを制御する領域の一つ分を一画素とすることが可能である。つまり、一つの色要素は、複数の画素で構成されることとなる。ただし、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を1画素としてもよい。その場合は、一つの色要素は、一つの画素で構成されることとなる。なお、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。なお、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【0036】

なお、一画素(三色分)と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素(一色分)と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0037】

画素100は、トランジスタ101a、トランジスタ101b、表示素子102a、表示素子102b、容量素子103a、容量素子103bを有している。トランジスタ101aのゲートは、配線104aに接続されている。トランジスタ101aの第1の端子は、配線105aに接続されている。トランジスタ101aの第2の端子は、表示素子102aの第1の端子に接続されている。表示素子102aの第2の端子は、配線107aに接続されている。容量素子103aの第1の端子は、表示素子102aの第1の端子に接続されている。容量素子103aの第2の端子は、配線106aに接続されている。トランジスタ101bのゲートは、配線104bに接続されている。トランジスタ101bの第1の端子は、配線105aに接続されている。トランジスタ101bの第2の端子は、表示素子102bの第1の端子に接続されている。表示素子102bの第2の端子は、配線107bに接続されている。容量素子103bの第1の端子は、表示素子102bの第1の端子に接続されている。容量素子103bの第2の端子は、配線106bに接続されている。

【0038】

なお、トランジスタ101aまたはトランジスタ101bは、表示素子102a(容量素子103a)、または、表示素子102b(容量素子103b)に信号を供給するかどうかを選択する機能を有することが可能である。したがって、トランジスタ101aまたはトランジスタ101bは、スイッチとしての機能を有することが出来る。または、トランジスタ101aまたはトランジスタ101bは、スイッチングトランジスタ、スイッチ用トランジスタ、選択用トランジスタとしての機能を有することが可能である。

【0039】

10

20

30

40

50

なお、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路又はカレントミラー回路などを実現することが出来る。

10

【0040】

なお、トランジスタの一例としては、チャンネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャンネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

【0041】

なお、トランジスタの一例としては、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、又はチャンネル領域が直列に接続する構造などのトランジスタを用いることができる。

20

【0042】

なお、トランジスタの一例としては、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

【0043】

なお、トランジスタの一例としては、LDD領域を設けた構造のトランジスタを適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

30

【0044】

なお、ここで、容量素子103aまたは容量素子103bは、表示素子102aまたは表示素子102bに供給された電圧を保持する機能を有している。または、容量素子103aまたは容量素子103bは、表示素子102aまたは表示素子102bが有する画素電極の電位を保持する機能を有している。したがって、容量素子103aまたは容量素子103bは、保持容量、または、付加容量としての機能を有することが出来る。

【0045】

ここで、配線104a、配線104bのように、左右方向に伸びて配置された配線は、各画素が有するトランジスタのゲートと接続される場合がある。したがって、配線104a、配線104bのように、左右方向に伸びて配置された配線は、ゲート信号線、ゲート配線、ゲート線などの機能を有することが出来る。または、配線104a、配線104bのように、左右方向に伸びて配置された配線には、1行ずつ選択する信号が供給され、その信号がスキャンされていく場合がある。したがって、配線104a、配線104bのように、左右方向に伸びて配置された配線は、スキャン信号線、スキャン配線、スキャン線などの機能を有することが出来る。

40

【0046】

または、配線105aのように、上下方向に伸びて配置された配線は、各画素が有するト

50

ランジスタのソースまたはドレインと接続される場合がある。したがって、配線 105 a のように、上下方向に伸びて配置された配線は、ソース信号線、ソース配線、ソース線などの機能を有することが出来る。または、配線 105 a のように、上下方向に伸びて配置された配線には、データ信号、ビデオ信号、ソース信号などが供給される場合がある。したがって、配線 105 a のように、上下方向に伸びて配置された配線は、データ信号線、データ配線、データ線などの機能を有することが出来る。

【0047】

ここで、配線 107 a および配線 107 b は、全ての画素において、互いに接続されていることが可能である。または、配線 107 a および配線 107 b は、左右方向に伸びて配置され、各画素が有する表示素子と接続されることが可能である。そして、所定の電圧が供給されている。または、少なくとも 1 行に信号が供給される場合がある。よって、配線 107 a および配線 107 b は、共通配線、対向電極などの機能を有することが可能である。

10

【0048】

ここで、配線 106 a および配線 106 b は、他の画素、例えば、左右の画素と、互いに接続されていることが可能である。そして、所定の電圧が供給されている。または、少なくとも 1 行に信号が供給される場合がある。よって、配線 106 a および配線 106 b は、共通配線、容量配線などの機能を有することが可能である。

【0049】

なお、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置の一例としては、EL (エレクトロルミネッセンス) 素子 (有機物及び無機物を含む EL 素子、有機 EL 素子、無機 EL 素子)、LED (白色 LED、赤色 LED、緑色 LED、青色 LED など)、トランジスタ (電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ (GLV)、デジタルマイクロミラーデバイス (DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。EL 素子を用いた表示装置の一例としては、EL ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ (FED) 又は SED 方式平面型ディスプレイ (SED: Surface-conduction Electron-emitter Display) などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ (透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ) などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

20

30

【0050】

EL 素子の一例としては、陽極と、陰極と、陽極と陰極との間に挟まれた EL 層と、を有する素子などがある。EL 層の一例としては、1 重項励起子からの発光 (蛍光) を利用するもの、3 重項励起子からの発光 (燐光) を利用するもの、1 重項励起子からの発光 (蛍光) を利用するものと 3 重項励起子からの発光 (燐光) を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料を含むもの、低分子の材料を含むもの、又は高分子の材料と低分子の材料とを含むもの、などがある。ただし、これに限定されず、EL 素子として様々なものを用いることができる。

40

【0051】

電子放出素子の一例としては、陰極に高電界を集中して電子を引き出す素子などがある。具体的には、電子放出素子の一例としては、スピント型、カーボンナノチューブ (CNT) 型、金属 絶縁体 金属を積層した MIM (Metal-Insulator-Metal) 型、金属 絶縁体 半導体を積層した MIS (Metal-Insulator-

50

Semiconductor)型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、金属絶縁体半導体-金属型等の薄膜型、HEED型、EL型、ポラスシリコン型、又は表面伝導(SCE)型などがある。ただし、これに限定されず、電子放出素子として様々なものを用いることができる。

【0052】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子是一对の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界(横方向の電界、縦方向の電界又は斜め方向の電界を含む)によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC)、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶(PALC)、バナナ型液晶などを挙げることができる。また液晶の駆動方法としては、TN(Twisted Nematic)モード、STN(Super Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、ECB(Electrically Controlled Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(Antiferroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、PNLC(Polymer Network Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

【0053】

電子ペーパーの表示方法の一例としては、分子により表示されるもの(光学異方性、染料分子配向など)、粒子により表示されるもの(電気泳動、粒子移動、粒子回転、相変化など)、フィルム的一端が移動することにより表示されるもの、分子の発色/相変化により表示されるもの、分子の光吸収により表示されるもの、又は電子とホールが結合して自発光により表示されるものなどを用いることができる。具体的には、電子ペーパーの表示方法の一例としては、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウエットイング、光散乱(透明/白濁変化)、コレステリック液晶/光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ELなどがある。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

【0054】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)、グレーティングライトバルブ(GLV)を用いた表示装置、デジタルマイクロミラーデバイス(DMD)を用いた表示装置などの光源の一例としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなど

10

20

30

40

50

を用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

【0055】

次に、画素100の動作の一例について述べる。配線104aおよび配線104bに、タイミングをずらして、信号を供給する。例えば、配線104aに選択信号を供給したあとで、配線104bに選択信号を供給する。すると、それらに応じて、トランジスタ101aまたはトランジスタ101bが導通状態になる。そのとき、配線105aに、表示素子102aおよび表示素子102bに応じた映像信号を供給する。その結果、表示素子102aおよび表示素子102bには、異なる大きさの電圧を供給することが出来る。そのため、表示素子102aおよび表示素子102bの状態が互いに異なる状態にすることが出来る。例えば、表示素子102aおよび表示素子102bが液晶分子を有する場合、液晶分子の配向状態が互いに異なる状態にすることが可能である。表示画像の明るさ(階調)に応じて、表示素子102aが有する液晶分子の配向状態と、表示素子102bが有する液晶分子の配向状態をそれぞれ適宜調整することにより、視野角特性を良くすることが出来る。

10

【0056】

なお、表示素子102aの面積と、表示素子102b面積とを、概ね等しくすることが望ましい。ただし、本発明の実施形態の一態様は、これに限定されず、表示素子102aの面積と、表示素子102b面積とを、大きく異なるようにすることも可能である。例えば、表示素子102aの面積と表示素子102b面積との比率を、概ね1:2にすることが可能である。これにより、視野角特性を適切に制御することが出来る。または、多階調化の方法の一つとして、面積階調法を適用することが可能となる。

20

【0057】

ここで、概ね等しいとは、製造誤差程度の相違、または、実質的に動作に影響を及ぼさない程度の相違を有する場合も含むものとする。一例としては、概ね等しいとは、双方の差が、10%未満、より望ましくは5%未満の場合を言うものとする。

【0058】

なお、表示素子102aの面積と、表示素子102b面積とが、概ね等しい場合には、一例としては、トランジスタ101aのチャンネル長またはゲート長は、トランジスタ101bのチャンネル長またはゲート長と概ね等しい。または、別の例としては、トランジスタ101aのチャンネル幅またはゲート幅は、トランジスタ101bのチャンネル幅またはゲート幅と概ね等しい。または、別の例としては、トランジスタ101aのチャンネル幅またはゲート幅とチャンネル長またはゲート長との比は、トランジスタ101bのチャンネル幅またはゲート幅とチャンネル長またはゲート長との比と概ね等しい。これらにより、各表示素子に、バランス良く信号を供給することが可能となるが、本発明の実施形態の一態様は、これらに限定されない。

30

【0059】

なお、表示素子102aの面積が、表示素子102b面積よりも大きい場合には、一例としては、トランジスタ101aのチャンネル長またはゲート長は、トランジスタ101bのチャンネル長またはゲート長よりも小さい。または、別の例としては、トランジスタ101aのチャンネル幅またはゲート幅は、トランジスタ101bのチャンネル幅またはゲート幅よりも大きい。または、別の例としては、トランジスタ101aのチャンネル幅またはゲート幅とチャンネル長またはゲート長との比は、トランジスタ101bのチャンネル幅またはゲート幅とチャンネル長またはゲート長との比よりも大きい。これらにより、各表示素子に、バランス良く信号を供給することが可能となるが、本発明の実施形態の一態様は、これらに限定されない。

40

【0060】

このように、画素100は、表示素子102aと表示素子102bとに分かれているため、画素100は、2個の副画素(サブピクセル)を有しているということが出来る。図1の場合は、1つの副画素は、トランジスタ101a、表示素子102a、および、容量素

50

子103aを有し、別の副画素は、トランジスタ101b、表示素子102b、および、容量素子103bを有しているということが出来る。

【0061】

なお、図1に示す画素100は、2個の副画素を有しているが、本発明の実施形態の一態様は、これに限定されず、3個以上の副画素を有することも可能である。

【0062】

ここで、トランジスタ101a、および、トランジスタ101bは、オフ電流の小さい酸化半導体を有して構成されることが可能である。したがって、画素100が、複数の副画素に分かれており、表示素子または容量素子の容量値が小さくなっていても、表示素子または容量素子が保持する電圧がトランジスタのオフ電流によって変化してしまうことを低減することが出来る。

10

【0063】

なお、図1に示す画素100は、配線104aおよび配線104bを用いて制御するため、1本当たりの選択時間が短くなる。そのため、すばやく信号を入力するため、トランジスタ101aのゲートおよびトランジスタ102bのゲートに加える電圧を高くすることが望ましい。ここで、トランジスタ101a、および、トランジスタ101bは、電圧の耐圧が高い酸化半導体を有して構成されることが可能である。そのため、トランジスタ101aのゲートおよびトランジスタ102bのゲートに加える電圧を高くしても、トランジスタが損傷されることなく、素早く信号を供給することが出来る。

【0064】

20

なお、容量素子103aまたは容量素子103bの少なくとも一つは、設けないようにすることも可能である。容量素子103aおよび容量素子103bを設けないようにした場合の回路図を図2に示す。このとき、トランジスタとして、オフ電流の低いトランジスタ、例えば、酸化半導体を有するトランジスタを用いることにより、容量素子103aおよび容量素子103bを設けなくても、表示素子102aおよび表示素子102bに加わる電圧を保持することが出来る。そして、容量素子103aおよび容量素子103bを省くことにより、開口率を向上させることが出来る。

【0065】

なお、副画素を有する画素回路は、図1および図2に限定されない。他の様々な構成をとることが出来る。副画素を有する画素回路の別の例を図3に示す。

30

【0066】

図3は、図1の回路に対して、配線104bを削除し、配線105bを追加したものに相当する。したがって、図1および図2において述べた内容は、図3に適用することが可能である。図3では、トランジスタ101bの第1の端子は、配線105bに接続されており、トランジスタ101bのゲートは、配線104aに接続されている。それ以外は、図1と同様である。

【0067】

ここで、配線105a、配線105bのように、上下方向に伸びて配置された配線は、各画素が有するトランジスタのソースまたはドレインと接続される場合がある。したがって、配線105a、配線105bのように、上下方向に伸びて配置された配線は、ソース信号線、ソース配線、ソース線などの機能を有することが出来る。または、配線105a、配線105bのように、上下方向に伸びて配置された配線には、データ信号、ビデオ信号、ソース信号などが供給される場合がある。したがって、配線105a、配線105bのように、上下方向に伸びて配置された配線は、データ信号線、データ配線、データ線などの機能を有することが出来る。

40

【0068】

次に、図3に示す画素100の動作の一例について述べる。まず、配線104aに選択信号を供給する。すると、それに応じて、トランジスタ101aおよびトランジスタ101bが導通状態になる。そのとき、配線105aに、表示素子102aに応じた映像信号を供給し、配線105bに、表示素子102bに応じた映像信号を供給する。その結果、表

50

示素子 102a および表示素子 102b には、異なる大きさの電圧を供給することが出来る。そのため、表示素子 102a および表示素子 102b の状態が互いに異なる状態にすることが出来る。例えば、表示素子 102a および表示素子 102b が液晶分子を有する場合、液晶分子の配向状態が互いに異なる状態にすることが可能である。その結果、視野角特性を良くすることが出来る。

【0069】

次に、副画素を有する画素回路のさらに別の例を図 4 に示す。

【0070】

図 4 は、図 1 の回路に対して、配線 104b を削除したものに相当する。または、図 4 は、図 3 の回路に対して、配線 105b を削除したものに相当する。したがって、図 1 乃至図 3 において述べた内容は、図 4 に適用することが可能である。図 4 では、トランジスタ 101b の第 1 の端子は、配線 105a に接続されており、トランジスタ 101b のゲートは、配線 104a に接続されている。それ以外は、図 1 または図 3 と同様である。

【0071】

次に、図 4 に示す画素 100 の動作の一例について述べる。まず、配線 104a に選択信号を供給する。すると、それに応じて、トランジスタ 101a およびトランジスタ 101b が導通状態になる。そのとき、配線 105a に、表示素子 102a および表示素子 102b に応じた映像信号を供給する。そして、配線 104a に非選択信号を供給する。すると、それに応じて、トランジスタ 101a およびトランジスタ 101b が非導通状態になる。その後、配線 106a および配線 106b にパルス状の信号を供給する。そして、配線 106a に供給する信号と、配線 106b に供給する信号の極性（または大小）を逆にしておく。例えば、配線 106a に高い電位の信号を供給している間は、配線 106b には、低い電位の信号を供給する。または、配線 106a に正の電位の信号を供給している間は、配線 106b には、負の電位の信号を供給する。そして、配線 106a および配線 106b に供給する信号を、所定の期間ごとに、変動させる。例えば、ある期間においては、配線 106a に正の電位の信号を供給し、配線 106b には、負の電位の信号を供給する。そして、次の期間には、配線 106a に負の電位の信号を供給し、配線 106b には、正の電位の信号を供給する。そして、それらの動作を繰り返す。その結果、表示素子 102a および表示素子 102b には、平均化された電圧が加わるため、異なる大きさの電圧を供給することが出来る。そのため、表示素子 102a および表示素子 102b の状態が互いに異なる状態にすることが出来る。例えば、表示素子 102a および表示素子 102b が液晶分子を有する場合、液晶分子の配向状態が互いに異なる状態にすることが可能である。その結果、視野角特性を良くすることが出来る。

【0072】

次に、副画素を有する画素回路のさらに別の例を図 5 に示す。

【0073】

図 5 は、図 1 の回路に対して、配線 104b、トランジスタ 101b を削除し、容量素子 503 を追加したものに相当する。または、図 5 は、図 3 の回路に対して、配線 105b、トランジスタ 101b を削除し、容量素子 503 を追加したものに相当する。または、図 5 は、図 4 の回路に対して、トランジスタ 101b を削除し、容量素子 503 を追加したものに相当する。したがって、図 1 乃至図 4 において述べた内容は、図 5 に適用することが可能である。図 5 では、表示素子 102b の第 1 の端子は、容量素子 503 の第 1 の端子に接続され、容量素子 503 の第 2 の端子は、トランジスタ 101a の第 2 の端子に接続されている。それら以外は、図 1、図 3、または、図 4 と同様である。

【0074】

次に、図 5 に示す画素 100 の動作の一例について述べる。まず、配線 104a に選択信号を供給する。すると、それに応じて、トランジスタ 101a が導通状態になる。そのとき、配線 105a に、表示素子 102a および表示素子 102b に応じた映像信号を供給する。すると、容量素子 503 が存在するため、容量分割によって、表示素子 102b には、表示素子 102a とは異なる大きさの電圧が供給される。そのため、表示素子 102

aおよび表示素子102bの状態が互いに異なる状態にすることが出来る。例えば、表示素子102aおよび表示素子102bが液晶分子を有する場合、液晶分子の配向状態が互いに異なる状態にすることが可能である。その結果、視野角特性を良くすることが出来る。

【0075】

次に、副画素を有する画素回路のさらに別の例を図6に示す。

【0076】

図6は、図5の回路に対して、トランジスタ501を追加したものに相当する。または、図6は、図1の回路に対して、配線104b、トランジスタ101bを削除し、容量素子503およびトランジスタ501を追加したものに相当する。または、図6は、図3の回路に対して、配線105b、トランジスタ101bを削除し、容量素子503およびトランジスタ501を追加したものに相当する。または、図6は、図4の回路に対して、トランジスタ101bを削除し、容量素子503およびトランジスタ501を追加したものに相当する。したがって、図1乃至図5において述べた内容は、図6に適用することが可能である。図6では、表示素子102bの第1の端子は、容量素子503の第1の端子に接続され、容量素子503の第2の端子は、トランジスタ101aの第2の端子に接続されている。トランジスタ501のゲートは、配線104aに接続されている。トランジスタ501の第1の端子は、配線105aに接続されている。トランジスタ501の第2の端子は、表示素子102bの第1の端子に接続されている。それら以外は、図1、図3、図4、または、図5と同様である。

【0077】

ここで、トランジスタ501は、導通状態のときには、抵抗として機能させることが可能である。したがって、トランジスタ501のオン抵抗は、トランジスタ101aのオン抵抗よりも高いことが好適であるが、本発明の実施形態の一態様は、これに限定されない。一例としては、トランジスタ501のチャンネル長またはゲート長は、トランジスタ101aのチャンネル長またはゲート長よりも長い。または、別の例としては、トランジスタ501のチャンネル幅またはゲート幅は、トランジスタ101aのチャンネル幅またはゲート幅よりも短い。または、別の例としては、トランジスタ501のチャンネル幅またはゲート幅とチャンネル長またはゲート長との比は、トランジスタ101aのチャンネル幅またはゲート幅とチャンネル長またはゲート長との比よりも小さい。

【0078】

次に、図6に示す画素100の動作の一例について述べる。まず、配線104aに選択信号を供給する。すると、それに応じて、トランジスタ101aおよびトランジスタ501が導通状態になる。そのとき、配線105aに、表示素子102aおよび表示素子102bに応じた映像信号を供給する。すると、容量素子503による容量分割と、トランジスタ501の高いオン抵抗とによって、表示素子102bには、表示素子102aとは異なる大きさの電圧が供給される。そのため、表示素子102aおよび表示素子102bの状態が互いに異なる状態にすることが出来る。例えば、表示素子102aおよび表示素子102bが液晶分子を有する場合、液晶分子の配向状態が互いに異なる状態にすることが可能である。その結果、視野角特性を良くすることが出来る。さらに、トランジスタ501を設けることによって、容量素子503の第1の端子、または、表示素子102bの第1の端子に、電荷がたまってしまふことを防止することが出来る。その結果、画面の焼き付きを低減することが出来る。

【0079】

なお、トランジスタ501の第1の端子は、配線105aに接続されているが、本発明の実施形態の一態様は、これに限定されない。例えば、図7に示すように、トランジスタ501の第1の端子は、容量素子503の第2の端子、または、トランジスタ101aの第2の端子に接続されることが可能である。

【0080】

なお、図1乃至図7において、ある配線と、別の配線とを1本にまとめて、配線を省略す

10

20

30

40

50

ることが可能である。その結果、配線の本数を減らすことが可能である。よって、開口率を向上させることが可能である。例えば、配線106aと配線106bとを1本にまとめることが可能である。つまり、配線106aと配線106bとを、配線106aにまとめて、配線106bを削除することが可能である。その場合、配線106bに接続されていたものは、配線106aに接続されるようになる。

【0081】

または、配線106aと、画素100以外の画素が有する別の配線（例えば、配線106b）とを1本にまとめて、配線を省略することが可能である。つまり、配線106aと、別の画素の配線106bとを、配線106aにまとめて、別の画素の配線106bを削除することが可能である。その場合、別の画素の配線106bに接続されていたものは、配線106aに接続されるようになる。

10

【0082】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0083】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

20

【0084】

なお、本明細書等において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

30

【0085】

（実施の形態2）

図8に、本実施の形態で示す半導体装置などの一構成例を示す。本実施の形態の一態様は、画素部801を有している。ただし、本発明の実施形態の一態様は、これに限定されない。

【0086】

画素部801は、複数の画素がマトリクス状に配置されている。例えば、画素100aおよび画素100bは、横方向に並んで配置されている。さらに、画素100aおよび画素100cは、縦方向に並んで配置されている。そして、各々の画素は、配線によって、互いに接続されている。縦方向に配置された画素は、上下方向に伸びる配線によって接続され、横方向に配置された画素は、左右方向に伸びる配線によって接続されている。例えば、画素100aおよび画素100bは、配線104aによって接続されている。さらに、画素100aおよび画素100cは、配線105aによって接続されている。なお、さらに別の配線、例えば、左右方向に伸びる配線（容量配線、別の副画素用のゲート線、別の副画素用のソース線）、全画素が接続されるような配線（共通配線、電源線など）などによって、画素が接続されることが可能である。なお、これら以外の画素についても、同様に配置され、同様に接続されている。

40

【0087】

50

ここで、画素100a、画素100b、画素100cなどは、一例としては、図1乃至図7に示した画素100に相当する。

【0088】

なお、本明細書等において、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含むものとする。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行うとすると、ストライプ配置されている場合、三つの色要素のドットがデルタ配置されている場合、ペイヤー配置されている場合、モザイク配列されている場合も含むものとする。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

10

【0089】

図9(A)に、画素部801、および、それらの周辺の回路の一例を示す。基板511上に、画素部801が配置されている。したがって、画素部801が有するトランジスタおよび配線は、同時に成膜され、同時にエッチングされ、同時にパターンが形成されている。つまり、画素部801が有するトランジスタおよび配線は、同じプロセス工程を経て、同時に形成され、同じ基板上に一緒に形成されている。そのため、トランジスタおよび配線が有する材料は、画素部801では、同じになる。

【0090】

図9(A)では、回路502、回路513、および、回路504は、基板511とは別の基板に設けられている。したがって、一例としては、回路502、回路513、または、回路504は、単結晶基板またはSOI基板を用いたICチップを有して構成されている。ただし、回路502、回路513、または/及び、回路504が、COG（チップオンガラス）実装を用いて、基板511の上に設けられている場合がある。

20

【0091】

ここで、回路502は、配線104aなどに信号を供給する機能を有している。したがって、回路502は、ゲート線駆動回路（スキャンドライバ）としての機能を有することが出来る。回路513は、配線105aなどに信号を供給する機能を有している。したがって、回路513は、信号線駆動回路（データドライバ）としての機能を有することが出来る。回路504は、回路502、または、回路513の制御を行う機能を有している。したがって、回路504は、コントローラ、パルス生成回路、クロック信号生成回路、コモン電圧生成回路、タイミングジェネレータ回路、画像処理回路、または、電源回路などの機能を有することが出来る。

30

【0092】

なお、図9(A)では、回路502、回路513、および、回路504は、基板511とは別の基板に設けられていたが、本発明の実施の形態の一態様は、これに限定されない。例えば、それらの回路の一部が基板511に設けられていることが可能である。一例として、回路502が基板511上に設けられている場合の例を図9(B)に示す。したがって、図9(B)では、画素部801が有するトランジスタおよび配線と、回路502が有するトランジスタおよび配線とは、同時に成膜され、同時にエッチングされ、同時にパターンが形成されている。つまり、画素部801と回路502とは、同じプロセス工程を経て、同時に形成され、同じ基板上に一緒に形成されている。そのため、トランジスタおよび配線が有する材料は、画素部801と回路502とは、同じになる。よって、画素部801のトランジスタが酸化物半導体を有している場合は、回路502のトランジスタも酸化物半導体を有していることとなる。

40

【0093】

このように、回路502を画素部801と一緒に形成することにより、コストを低くすることが出来る。特に、回路502は、ゲート線駆動回路として動作させる場合には、その動作速度は、あまり高くないため、例え、回路502が有するトランジスタの移動度が高くなくても、十分に動作させることが出来る。

50

【 0 0 9 4 】

なお、図 9 (B) とは別の場合の例として、回路 5 1 3、または回路 5 1 3 の一部も基板 5 1 1 に設けることも可能である。回路 5 1 3 の一部の回路の一例としては、配線 1 0 5 a などに、アナログスイッチ (トランスファークロスタック) を接続することが可能である。同様に、回路 5 0 4、または回路 5 0 4 の一部も基板 5 1 1 に設けることも可能である。

【 0 0 9 5 】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板 (例えば単結晶基板又はシリコン基板)、S O I 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート (P E T)、ポリエチレンナフタレート (P E N)、ポリエーテルサルホン (P E S) に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又は S O I 基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【 0 0 9 6 】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板 (天然繊維 (絹、綿、麻)、合成繊維 (ナイロン、ポリウレタン、ポリエステル) 若しくは再生繊維 (アセテート、キュブラ、レーヨン、再生ポリエステル) などを含む)、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【 0 0 9 7 】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板 (例えば、ガラス基板、プラスチック基板、単結晶基板、又は S O I 基板など) に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【 0 0 9 8 】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板 (又は S O I 基板) に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板 (I C チップともいう) を、C O G (C h i p O n G l a s s) によって、ガラス基板に接続して、ガラス基板にその I C チップを配置することが可能である。または、I C チップを、T A B (T a p e A u t o m a t e d B o n d i n g)、C O F (C h i p O n F i l m)、S M T (S u r f a c e M o u n t T e c h n o l o g y)、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成

10

20

30

40

50

されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

【0099】

酸化物半導体を有するトランジスタは、オフ電流が低いため、酸化物半導体を有する半導体装置などを用いることによって、オフ電流に起因して生じる不具合を低減することが出来る。そのため、より正確な表示を行うことが出来る。

10

【0100】

また、活性層にI型（真性）の酸化物半導体層を有する薄膜トランジスタはオフ電流が低減されているため、特に好適である。酸化物半導体層をI型（真性）とする方法としては、脱水化または脱水素化が有効である。

【0101】

（実施の形態3）

本実施の形態において、画素100の別の例を示す。

【0102】

図1乃至図7において示した画素100は、副画素を2つ有する場合について示したが、副画素の数は、2つに限定されない。一例として、図1に示す画素100において、副画素を3つ有する場合の例を、図10に示す。

20

【0103】

図10に示す画素100は、図1に示す画素100に対して、トランジスタ101c、表示素子102c、容量素子103c、をさらに有する場合に相当する。トランジスタ101cのゲートは、配線104cに接続されている。トランジスタ101cの第1の端子は、配線105aに接続されている。トランジスタ101cの第2の端子は、表示素子102cの第1の端子に接続されている。表示素子102cの第2の端子は、配線107cに接続されている。容量素子103cの第1の端子は、表示素子102cの第1の端子に接続されている。容量素子103cの第2の端子は、配線106cに接続されている。

【0104】

なお、図2乃至図4の場合も、同様に、副画素の数を増やして、回路を構成することが可能である。

30

【0105】

次に、図5に示す画素100において、副画素を3つ有する場合の例を、図11に示す。図11に示す画素100は、図5に示す画素100に対して、表示素子102c、容量素子503c、をさらに有する場合に相当する。図11における容量素子503bは、図5における容量素子503に相当する。表示素子102cの第1の端子は、容量素子503cの第1の端子に接続され、容量素子503cの第2の端子は、容量素子503bの第1の端子に接続されている。表示素子102cの第2の端子は、配線107cに接続されている。容量素子103cの第1の端子は、表示素子102cの第1の端子に接続されている。容量素子103cの第2の端子は、配線106cに接続されている。

40

【0106】

図12は、図11とは、接続の一部が異なる場合の例を示す。図12では、容量素子503cの第2の端子は、トランジスタ101aの第2の端子に接続されている。それ以外は、図11と同様である。

【0107】

次に、図6に示す画素100において、副画素を3つ有する場合の例を、図13に示す。図13に示す画素100は、図6に示す画素100に対して、表示素子102c、容量素子503c、トランジスタ501cをさらに有する場合に相当する。図13における容量素子503bは、図6における容量素子503に相当する。図13におけるトランジスタ

50

501bは、図6におけるトランジスタ501に相当する。または、図13は、図11に示す画素100に、トランジスタ501bおよびトランジスタ501cを追加したのものにも相当する。図13では、表示素子102cの第1の端子は、容量素子503cの第1の端子に接続され、容量素子503cの第2の端子は、容量素子503bの第1の端子に接続されている。トランジスタ501cのゲートは、配線104aに接続されている。トランジスタ501cの第1の端子は、配線105aに接続されている。トランジスタ501cの第2の端子は、表示素子102cの第1の端子に接続されている。表示素子102cの第2の端子は、配線107cに接続されている。容量素子103cの第1の端子は、表示素子102cの第1の端子に接続されている。容量素子103cの第2の端子は、配線106cに接続されている。

10

【0108】

なお、トランジスタ501bの第1の端子は、配線105aに接続されているが、本発明の実施形態の一態様は、これに限定されない。例えば、トランジスタ501bの第1の端子は、容量素子503cの第1の端子、または、容量素子503bの第2の端子などに接続されることも可能である。

【0109】

なお、トランジスタ501cの第1の端子は、配線105aに接続されているが、本発明の実施形態の一態様は、これに限定されない。例えば、トランジスタ501cの第1の端子は、容量素子503bの第1の端子、または、容量素子503bの第2の端子などに接続されることも可能である。

20

【0110】

容量素子503cの第2の端子は、容量素子503bの第1の端子に接続されているが、本発明の実施形態の一態様は、これに限定されない。例えば、容量素子503cの第2の端子は、容量素子503bの第2の端子などに接続されることも可能である。

【0111】

酸化物半導体を有するトランジスタは、オフ電流が低いため、酸化物半導体を有する半導体装置などを用いることによって、オフ電流に起因して生じる不具合を低減することが出来る。そのため、より正確な表示を行うことが出来る。

【0112】

また、活性層にI型（真性）の酸化物半導体層を有する薄膜トランジスタはオフ電流が低減されているため、特に好適である。酸化物半導体層をI型（真性）とする方法としては、脱水化または脱水素化が有効である。

30

【0113】

（実施の形態4）

本実施の形態において、画素100の別の例を示す。

【0114】

図14に示す画素100は、図4に示す画素100に対して、トランジスタ901、容量素子903、をさらに有する場合に相当する。トランジスタ901のゲートは、配線904に接続されている。トランジスタ901の第1の端子は、表示素子102bの第1の端子に接続されている。トランジスタ901の第2の端子は、容量素子903の第1の端子に接続されている。容量素子903の第2の端子は、配線906に接続されている。

40

【0115】

なお、ここで、容量素子903は、表示素子102bまたは容量素子103bに供給された電荷量を制御する機能を有している。または、容量素子903は、表示素子102bが有する画素電極の電位を保持する機能を有している。

【0116】

ここで、配線904は、各画素が有するトランジスタのゲートと接続される場合がある。したがって、配線904は、ゲート信号線、ゲート配線、ゲート線などの機能を有することが出来る。または、配線904は、1行ずつ選択する信号が供給され、その信号がスキャンされていく場合がある。したがって、配線904は、スキャン信号線、スキャン配線

50

、スキャン線などの機能を有することが出来る。または、配線 9 0 4 は、容量素子 9 0 3 の電荷を制御する機能を有することが出来る。

【 0 1 1 7 】

ここで、配線 9 0 6 は、他の画素、例えば、左右の画素と、互いに接続されていることが可能である。そして、所定の電圧が供給されている。または、少なくとも 1 行に信号が供給される場合がある。よって、配線 9 0 6 は、共通配線、容量配線などの機能を有することが可能である。

【 0 1 1 8 】

次に、図 1 4 に示す画素 1 0 0 の動作の一例について述べる。まず、配線 1 0 4 a に選択信号を供給する。すると、それに応じて、トランジスタ 1 0 1 a およびトランジスタ 1 0 1 b が導通状態になる。そのとき、配線 1 0 5 a に、表示素子 1 0 2 a および表示素子 1 0 2 b 応じた映像信号を供給する。そして、配線 1 0 4 a に非選択信号を供給する。すると、それに応じて、トランジスタ 1 0 1 a およびトランジスタ 1 0 1 b が非導通状態になる。その後、配線 9 0 4 に選択信号を供給する。すると、容量素子 9 0 3、容量素子 1 0 3 b、および、表示素子 1 0 2 b において、電荷の再配分が行われる。つまり、容量素子 9 0 3、容量素子 1 0 3 b、および、表示素子 1 0 2 b において、各々の電荷が移動する。そして、配線 9 0 4 に非選択信号を供給する。これらの結果、表示素子 1 0 2 b に加わる電圧が変化する。その結果、表示素子 1 0 2 a および表示素子 1 0 2 b には、異なる大きさの電圧を供給することが出来る。そのため、表示素子 1 0 2 a および表示素子 1 0 2 b の状態が互いに異なる状態にすることが出来る。例えば、表示素子 1 0 2 a および表示素子 1 0 2 b が液晶分子を有する場合、液晶分子の配向状態が互いに異なる状態にすることが可能である。その結果、視野角特性を良くすることが出来る。

【 0 1 1 9 】

なお、容量素子 9 0 3 の面積または容量値は、容量素子 1 0 3 b の面積または容量値よりも、小さいことが望ましい。これにより、表示素子 1 0 2 b の電圧と表示素子 1 0 2 a の電圧との差を、大きくしすぎないようにすることが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【 0 1 2 0 】

なお、トランジスタ 1 0 1 a (またはトランジスタ 1 0 1 b) のチャンネル長またはゲート長は、トランジスタ 9 0 1 のチャンネル長またはゲート長と概ね等しい。または、別の例としては、トランジスタ 1 0 1 a のチャンネル幅またはゲート幅は、トランジスタ 1 0 1 b のチャンネル幅またはゲート幅と概ね等しい。または、別の例としては、トランジスタ 1 0 1 a のチャンネル幅またはゲート幅とチャンネル長またはゲート長との比は、トランジスタ 1 0 1 b のチャンネル幅またはゲート幅とチャンネル長またはゲート長との比よりも小さい。これらにより、各表示素子に、バランス良く信号を供給することが可能となるが、本発明の実施形態の一態様は、これらに限定されない。

【 0 1 2 1 】

なお、一例としては、トランジスタ 1 0 1 a (またはトランジスタ 1 0 1 b) のチャンネル長またはゲート長は、トランジスタ 9 0 1 のチャンネル長またはゲート長よりも小さい。または、別の例としては、トランジスタ 1 0 1 a (またはトランジスタ 1 0 1 b) のチャンネル幅またはゲート幅は、トランジスタ 9 0 1 のチャンネル幅またはゲート幅よりも大きい。または、別の例としては、トランジスタ 1 0 1 a (またはトランジスタ 1 0 1 b) のチャンネル幅またはゲート幅とチャンネル長またはゲート長との比は、トランジスタ 9 0 1 のチャンネル幅またはゲート幅とチャンネル長またはゲート長との比よりも大きい。トランジスタ 9 0 1 では、あまり多くの電流を流す必要がないため、電流能力を小さくすることが出来る。これらにより、開口率を向上させることが出来る。ただし、本発明の実施形態の一態様は、これらに限定されない。

【 0 1 2 2 】

ここで、トランジスタ 1 0 1 a、トランジスタ 1 0 1 b、および、トランジスタ 9 0 1 は、オフ電流の小さい酸化物半導体を有して構成されることが可能である。したがって、画

10

20

30

40

50

素 100 が、複数の副画素に分かれており、表示素子または容量素子の容量値が小さくなっていても、表示素子または容量素子が保持する電圧がトランジスタのオフ電流によって変化してしまうことを低減することが出来る。

【0123】

なお、ある配線と、別の配線とを 1 本にまとめて、配線を省略することが可能である。その結果、配線の本数を減らすことが可能である。よって、開口率を向上させることが可能である。例えば、配線 906 と配線 106b とを 1 本にまとめることが可能である。つまり、配線 906 と配線 106b とを、配線 106b にまとめて、配線 906 を削除することが可能である。その場合、配線 906 に接続されていたものは、配線 106b に接続されるようになる。

10

【0124】

または、配線 106a と配線 106b とを 1 本にまとめることが可能である。つまり、配線 106a と配線 106b とを、配線 106b にまとめて、配線 106a を削除することが可能である。その場合、配線 106a に接続されていたものは、配線 106b に接続されるようになる。

【0125】

または、配線 906 (または配線 106a、配線 106b) と、画素 100 以外の画素が有する別の配線 (例えば、配線 106b) とを 1 本にまとめて、配線を省略することが可能である。つまり、配線 906 (または配線 106a、配線 106b) と、別の画素の配線 106b とを、配線 906 (または配線 106a、配線 106b) にまとめて、別の画素の配線 106b を削除することが可能である。その場合、別の画素の配線 106b に接続されていたものは、配線 906 (または配線 106a、配線 106b) に接続されるようになる。

20

【0126】

または、配線 904 と、画素 100 以外の画素が有する別の配線 (例えば、配線 104a) とを 1 本にまとめて、配線を省略することが可能である。つまり、配線 904 と、別の画素の配線 104a とを、配線 104a にまとめて、配線 904 を削除することが可能である。その場合、配線 904 に接続されていたものは、別の画素の配線 104a に接続されるようになる。

【0127】

なお、トランジスタ 101b の第 2 の端子は、トランジスタ 901 を介して、さらに、容量素子 903 を介して、配線 906 と接続されているが、トランジスタ 901 と容量素子 903 の接続の順序を変更することが可能である。例えば、図 15 に示すように、トランジスタ 101b の第 2 の端子は、容量素子 903 を介して、さらに、トランジスタ 901 を介して、配線 906 と接続されることが可能である。

30

【0128】

なお、容量素子 903 の第 1 の端子、または、トランジスタ 901 の第 2 の端子に、容量素子 913 を接続することが可能である。一例として、図 16 に示すように、図 14 の画素 100 に対して容量素子 913 を追加し、容量素子 913 の第 1 の端子は、容量素子 903 の第 1 の端子、または、トランジスタ 901 の第 2 の端子に接続されている。容量素子 913 の第 2 の端子は、トランジスタ 101b の第 2 の端子に接続されている。

40

【0129】

このように容量素子 913 を設けることにより、容量素子 903 に加わる電圧を調整することが出来る。

【0130】

なお、一例として、容量素子 913 の面積または容量値は、容量素子 903 の面積または容量値よりも、小さいことが望ましい。これにより、容量素子 903 に加わる電圧を小さくすることが出来る。その結果、表示素子 102b の電圧を効果的に変化させることが可能となる。ただし、本発明の実施形態の一態様は、これに限定されない。

【0131】

50

なお、図 15 に示す画素 100 に対して容量素子 913 を追加した場合を図 17 に示す。容量素子 913 の第 2 の端子は、配線 906 に接続されている。なお、容量素子 913 の第 2 の端子は、配線 106 a または配線 106 b に接続されることが可能である。

【0132】

なお、容量素子 913 の第 2 の端子は、さまざまな場所に接続させることが可能である。例えば、図 16 に示す画素 100 に対して、容量素子 913 の第 2 の端子をトランジスタ 101 a の第 2 の端子に接続した場合の例を図 18 に示す。同様に、図 17 に示す画素 100 に対して、容量素子 913 の第 2 の端子をトランジスタ 101 a の第 2 の端子に接続した場合の例を図 19 に示す。

【0133】

なお、容量素子 103 a または容量素子 103 b を削除することが可能である。例えば、図 17 に示す画素 100 において、容量素子 103 b を有さない場合の例を図 20 に示す。

【0134】

なお、図 14 乃至図 20 において示した画素 100 では、副画素が 2 個の場合を示したが、本発明の実施形態の一態様は、これに限定されず、副画素の数を 3 以上にすることが可能である。

【0135】

一例として、図 14 に示した画素 100 について、副画素を 3 個にした場合の一例を、図 21 に示す。図 21 では、トランジスタ 101 c のゲートは、配線 104 a に接続されている。トランジスタ 101 c の第 1 の端子は、配線 105 a に接続されている。トランジスタ 101 c の第 2 の端子は、表示素子 102 b の第 1 の端子に接続されている。表示素子 102 c の第 1 の端子は、容量素子 103 c の第 1 の端子に接続され、容量素子 103 c の第 2 の端子は、配線 106 c に接続されている。トランジスタ 901 c のゲートは、配線 904 c に接続されている。トランジスタ 901 c の第 1 の端子は、表示素子 102 c の第 1 の端子に接続されている。トランジスタ 901 c の第 2 の端子は、容量素子 903 c の第 1 の端子に接続されている。容量素子 903 c の第 2 の端子は、配線 906 c に接続されている。

【0136】

なお、図 14 におけるトランジスタ 901、容量素子 903、配線 906、配線 904 は、図 21 におけるトランジスタ 901 b、容量素子 903 b、配線 906 b、配線 904 b に相当する。

【0137】

なお、一例として、容量素子 903 b の面積または容量値は、容量素子 903 c の面積または容量値とは、異なることが望ましい。または、容量素子 103 b の面積または容量値は、容量素子 103 c の面積または容量値とは、異なることが望ましい。または、表示素子 102 b の面積または容量値は、表示素子 102 c の面積または容量値とは、異なることが望ましい。これらにより、複数の副画素において、各表示素子の電圧が、適切に異なる大きさにすることが出来る。ただし、本発明の実施形態の一態様は、これに限定されない。

【0138】

図 14 に例示する画素 100 から、図 16 に例示する画素 100 に変形する場合と同様に、図 21 に示す画素 100 に対して、容量素子 913 b、及び容量素子 913 c を追加した場合を図 22 に示す。容量素子 913 b は、トランジスタ 901 b の第 1 の端子と第 2 の端子との間に設けられ、容量素子 913 c は、トランジスタ 901 c の第 1 の端子と第 2 の端子との間に設けられている。

【0139】

なお、3 個以上の副画素を有する場合にも、ある配線と、別の配線とを 1 本にまとめて、配線を省略することが可能である。その結果、配線の本数を減らすことが可能である。よって、開口率を向上させることが可能である。

10

20

30

40

50

【0140】

酸化物半導体を有するトランジスタは、オフ電流が低いため、酸化物半導体を有する半導体装置などを用いることによって、オフ電流に起因して生じる不具合を低減することが出来る。そのため、より正確な表示を行うことが出来る。

【0141】

また、活性層にI型（真性）の酸化物半導体層を有する薄膜トランジスタはオフ電流が低減されているため、特に好適である。酸化物半導体層をI型（真性）とする方法としては、脱水化または脱水素化が有効である。

【0142】

（実施の形態5）

本実施の形態は、実施の形態1乃至4で説明した表示装置に用いることができる酸化物半導体層を含むトランジスタ、及び作製方法の一例を、図23及び図24を用いて詳細に説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

10

【0143】

なお、本明細書等において、Xの上にYが形成されている、あるいは、X上にYが形成されている、と明示的に記載する場合は、Xの上にYが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、XとYと間に別の対象物が介在する場合も含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0144】

従って例えば、層Xの上に（もしくは層X上に）、層Yが形成されている、と明示的に記載されている場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Zなど）が形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Zなど）は、単層でもよいし、複層（積層）でもよい。

【0145】

さらに、Xの上方にYが形成されている、と明示的に記載されている場合についても同様であり、Xの上にYが直接接していることに限定されず、XとYとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Xの上方に、層Yが形成されている、という場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Zなど）が形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Zなど）は、単層でもよいし、複層（積層）でもよい。

30

【0146】

なお、Xの上にYが形成されている、X上にYが形成されている、又はXの上方にYが形成されている、と明示的に記載する場合、Xの斜め上にYが形成される場合も含むこととする。

【0147】

<トランジスタの構成例>

実施の形態1乃至4で説明した表示装置に用いることができる酸化物半導体層を含むトランジスタとしては、例えばトップゲート構造、又はボトムゲート構造のトランジスタなどを用いることができる。また、トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。また、チャネル領域の上下にゲート絶縁層を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。酸化物半導体層を含むトランジスタの一例として図23に、ボトムゲート型のトランジスタの構成の一例を示す。

40

【0148】

トランジスタ510は基板505上にゲート電極層512を有し、ゲート電極層512上

50

にゲート絶縁層 507 を有し、ゲート絶縁層 507 を介してゲート電極層 512 と重なる島状の酸化物半導体層 531 を有する。加えて、ソース電極層、及びドレイン電極層 (515a、及び 515b) が島状の酸化物半導体層 531 に接して設けられている。さらに、ソース電極層、及びドレイン電極層 (515a、及び 515b) が接する領域に挟まれ、ゲート電極層 512 に重なる酸化物半導体層 531 にチャンネルが形成される。

【0149】

<トランジスタの作製工程例>

図 24 (A) 乃至 (E) にトランジスタの断面構造の一例を示す。図 24 (A) 乃至 (E) に示すトランジスタ 510 は、図 23 に示すトランジスタ 510 と同様なボトムゲート構造の逆スタガ型トランジスタである。

10

【0150】

以下、図 24 (A) 乃至 (E) を用い、基板 505 上にトランジスタ 510 を作製する工程を説明する。

【0151】

まず、絶縁表面を有する基板 505 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 521 を含む配線層を形成する。なお、レジストをインクジェット法で形成してもよい。レジストをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0152】

本実施の形態では絶縁表面を有する基板 505 としてガラス基板を用いる。

20

【0153】

下地膜となる絶縁膜を基板 505 とゲート電極層 521 との間に設けてもよい。下地膜は、基板 505 からの不純物元素 (例えば、Li、Na などのアルカリ金属、及び Ca などのアルカリ土類金属など) の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0154】

また、ゲート電極層 521 は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

30

【0155】

次いで、ゲート電極層 521 上にゲート絶縁層 507 を形成する。ゲート絶縁層 507 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

【0156】

本実施の形態の酸化物半導体は、不純物を除去され、I 型化又は実質的に I 型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位密度、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

40

【0157】

例えば、 μ 波 (例えば周波数 2.45 GHz) を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位密度を低減して界面特性を良好なものとすることができるからである。

【0158】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層とし

50

ての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0159】

また、ゲート絶縁層507、酸化物半導体膜530に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜530の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層521が形成された基板505、又はゲート絶縁層507までが形成された基板505を予備加熱し、基板505に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層516の成膜前に、ソース電極層515a及びドレイン電極層515bまで形成した基板505にも同様に行ってもよい。

10

【0160】

次いで、ゲート絶縁層507上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する(図24(A)参照)。

【0161】

なお、酸化物半導体膜530をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層507の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずにアルゴン雰囲気下で基板にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

20

【0162】

酸化物半導体膜530に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-Ga-O系酸化物半導体や、一元系金属酸化物であるIn-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体層に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素(SiO_x ($X > 0$))を含ませることで、製造プロセス中において酸化物半導体膜の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比はとくに問わない。また、InとGaとZn以外の元素を含ませてもよい。また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In:Zn = 50:1 \sim 1:2$ (モル数比に換算すると $In_2O_3:ZnO = 25:1 \sim 1:4$)、好ましくは $In:Zn = 20:1 \sim 1:1$ (モル数比に換算すると $In_2O_3:ZnO = 10:1 \sim 1:2$)、さらに好ましくは $In:Zn = 15:1 \sim 1.5:1$ (モル数比に換算すると $In_2O_3:ZnO = 15:2 \sim 3:4$)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $In:Zn:O = X:Y:Z$ のとき、 $Z > 1.5X + Y$ とする。

30

40

【0163】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型(真性)とするため、脱水または脱水素化は有効である。本実施の形態では、酸化物半導体膜530としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図24(A)に相当する。

50

【0164】

酸化物半導体膜530をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の酸化物ターゲットを用い、 In-Ga-Zn-O 膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]、又は $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol数比]の組成比を有する酸化物ターゲットを用いてもよい。

【0165】

また、酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。また、ターゲットの純度は99.99%以上が好ましく、特にNa、Li等のアルカリ金属及びCaなどのアルカリ土類金属などの不純物は低減されているものが好ましい。

10

【0166】

酸化物半導体膜530を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0167】

減圧状態に保持された成膜室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、排気ポンプを用いて成膜室内の残留水分を除去しつつ、水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板505上に酸化物半導体膜530を成膜する。成膜室内の残留水分及び成膜室の外部から侵入する水素や水分(リークに伴い浸入する水素や水分)を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

20

30

【0168】

スパッタリング法を行う雰囲気は、希ガス(代表的にはアルゴン)、酸素、または希ガスと酸素の混合雰囲気とすればよい。

【0169】

成膜条件の一例としては、基板とターゲットとの間の距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0170】

また、スパッタリング装置の成膜室のリークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。

40

【0171】

また、排気系として吸着型の真空ポンプを用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

【0172】

なお、酸化物半導体層中に含まれる、Li、Naなどのアルカリ金属、及びCaなどのアルカリ土類金属などの不純物は低減されていることが好ましい。具体的には、酸化物半導体層中に含まれるこれらの不純物濃度は、SIMSを用いてLiが $5 \times 10^{-15} \text{ cm}^{-3}$

50

以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、Na が $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、K は $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下であることが好ましい。

【0173】

アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Na は酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 Na^+ となる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリーオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

10

【0174】

次いで、酸化物半導体膜530を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストをインクジェット法で形成してもよい。レジストをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0175】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530の加工時に同時に行うことができる。

20

【0176】

なお、ここでの酸化物半導体膜530のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜530のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0177】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、または400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層531を得る（図24（B）参照）。

30

【0178】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Annealing）装置、LRTA（Lamp Rapid Thermal Annealing）装置等のRTA（Rapid Thermal Annealing）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

40

【0179】

例えば、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0180】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガス

50

に、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999%) 以上好ましくは7 N (99.99999%) 以上 (即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下) とすることが好ましい。

【0181】

また、第1の加熱処理で酸化物半導体層を加熱した後、その加熱温度を維持しながら又はその加熱温度から降温する過程で、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア (露点が-40 以下、好ましくは-60 以下) を導入してもよい。酸素ガスまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6 N以上好ましくは7 N以上 (即ち、酸素ガスまたはN₂Oガス中の不純物濃度を1 ppm以下、好ましくは0.1 ppm以下) とすることが好ましい。酸素ガス又はN₂Oガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電氣的にI型 (真性) 化する。

10

【0182】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜530に行うこともできる。その場合には、第1の加熱処理後に、加熱処理装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0183】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれで行っても良い。

20

【0184】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530に第1の加熱処理を行う前でも行った後に行ってもよい。

【0185】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域、即ち、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3 nm以上15 nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450 以上850 以下、好ましくは550 以上750 以下の第1の加熱処理を行い、表面を含む領域に結晶領域 (板状結晶を含む) を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450 以上850 以下、好ましくは600 以上700 以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

30

【0186】

次いで、ゲート絶縁層507、及び酸化物半導体層531上に、ソース電極層及びドレイン電極層 (これと同じ層で形成される配線を含む) となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜 (窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) 等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜 (窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) を積層させた構成としても良い。特に酸化物半導体層と接する側にチタンを含む導電膜を設けることが好ましい。

40

【0187】

第3のフォトリソグラフィ工程により導電膜上にレジストを形成し、選択的にエッチング

50

を行ってソース電極層515a、ドレイン電極層515bを形成した後、レジストを除去する(図24(C)参照)。

【0188】

第3のフォトリソグラフィ工程でのレジスト形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層531上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジスト形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

10

【0189】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0190】

なお、導電膜のエッチングの際に、酸化物半導体層531がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層531を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層531は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0191】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層531にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いることにより選択的に導電膜をエッチングすることができる。

30

【0192】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層516を形成する。

【0193】

絶縁層516は、少なくとも1nm以上の膜厚とし、スパッタ法など、絶縁層516に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層516に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャンネルが低抵抗化(N型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁層516はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

40

【0194】

本実施の形態では、絶縁層516として膜厚200nmの酸化シリコン膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンター

50

ゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して形成する絶縁層 516 は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0195】

酸化物半導体膜 530 の成膜時と同様に、絶縁層 516 の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層 516 に含まれる不純物の濃度を低減できる。また、絶縁層 516 の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

10

【0196】

絶縁層 516 を、成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0197】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャンネル形成領域）が絶縁層 516 と接した状態で加熱される。

20

【0198】

以上の工程を経ることによって、酸化物半導体膜に対して第 1 の加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。よって、酸化物半導体層は高純度化及び電氣的に I 型（真性）化する。

【0199】

以上の工程でトランジスタ 510 が形成される（図 24（D）参照）。

【0200】

また、絶縁層 516 に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化シリコン層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

30

【0201】

また、絶縁層 516 に酸素を過剰に含む酸化シリコン層を用いると、絶縁層 516 形成後の加熱処理によって絶縁層 516 中の酸素が酸化物半導体層 531 に移動し、酸化物半導体層 531 の酸素濃度を向上させ、高純度化する効果を奏する。

【0202】

絶縁層 516 上にさらに保護絶縁層 506 を形成してもよい。保護絶縁層 506 は、例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、窒化シリコン膜を用いて保護絶縁層 506 を形成する（図 24（E）参照）。

40

【0203】

本実施の形態では、保護絶縁層 506 として、絶縁層 516 まで形成された基板 505 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層 516 と同様に、成膜室内の残留水分を除去しつつ保護絶縁層 506 を成膜することが好ましい。

50

【0204】

保護絶縁層の形成後、さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

【0205】

また、酸素ドーブ処理（酸素プラズマドーブ処理）を酸化物半導体膜530、及び/又はゲート絶縁層507に施してもよい。「酸素ドーブ」とは、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）をバルクに添加することを言う。なお、当該「バルク」の用語は、酸素を、薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、「酸素ドーブ」には、プラズマ化した酸素をバルクに添加する「酸素プラズマドーブ」が含まれる。

10

【0206】

酸素プラズマドーブ処理は、誘導結合プラズマ（ICP：Inductively Coupled Plasma）方式を用いてプラズマ化した酸素を添加する方法であっても、周波数が1GHz以上のμ波（例えば周波数2.45GHz）を用いてプラズマ化した酸素を添加する方法であってもよい。

【0207】

本実施の形態で例示したトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に酸化物半導体層を含むトランジスタを用いることで、高画質な画像を提供することができる。また、酸化物半導体層を含むトランジスタによって、同一基板上に駆動回路部および画素部を作製することができるため、液晶表示装置の部品点数を削減することができる。

20

【0208】

酸化物半導体を有するトランジスタは、オフ電流が低いため、酸化物半導体を有する半導体装置などを用いることによって、オフ電流に起因して生じる不具合を低減することが出来る。そのため、より正確な表示を行うことが出来る。

【0209】

（実施の形態6）

次に、表示装置の別の構成例およびその駆動方法について説明する。本実施の形態においては、表示装置の外部から入力される画像（入力画像）の動きを補間する画像を、複数の入力画像を基にして表示装置の内部で生成し、当該生成された画像（生成画像）と、入力画像とを順次表示させる方法について説明する。なお、生成画像を、入力画像の動きを補間するような画像とすることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。ここで、動画の補間について、以下に説明する。動画の表示は、理想的には、個々の画素の輝度をリアルタイムに制御することで実現されるものであるが、画素のリアルタイム個別制御は、制御回路の数が膨大なものとなる問題、配線スペースの問題、および入力画像のデータ量が膨大なものとなる問題等が存在し、実現が困難である。したがって、表示装置による動画の表示は、複数の静止画を一定の周期で順次表示することで、表示が動画に見えるようにして行なわれている。この周期（本実施の形態においては入力画像信号周期と呼び、 T_{in} と表す）は規格化されており、例として、NTSC規格では1/60秒、PAL規格では1/50秒である。この程度の周期でも、インパルス型表示装置であるCRTにおいては動画表示に問題は起こらなかった。しかし、ホールド型表示装置においては、これらの規格に準じた動画をそのまま表示すると、ホールド型であることに起因する残像等により表示が不鮮明となる不具合（ホールドぼけ：hold blur）が発生してしまう。ホールドぼけは、人間の目の追従による無意識的な動きの補間と、ホールド型の表示との不一致（discrepancy）で認識されるものであるため、従来の規格よりも入力画像信号周期を短くする（画素のリアルタイム個別制御に近づける）ことで低減させることができるが、入力画像信号周期を短くすることは規格の変更を伴い、さらに、データ量も増大

30

40

50

することになるので、困難である。しかしながら、規格化された入力画像信号を基にして、入力画像の動きを補間するような画像を表示装置内部で生成し、当該生成画像によって入力画像を補間して表示することで、規格の変更またはデータ量の増大なしに、ホールドぼけを低減できる。このように、入力画像信号を基にして表示装置内部で画像信号を生成し、入力画像の動きを補間することを、動画の補間と呼ぶこととする。

【0210】

本実施の形態における動画の補間方法によって、動画ぼけを低減させることができる。本実施の形態における動画の補間方法は、画像生成方法と画像表示方法に分けることができる。そして、特定のパターンの動きについては別の画像生成方法および/または画像表示方法を用いることで、効果的に動画ぼけを低減させることができる。図25(A)および(B)は、本実施の形態における動画の補間方法の一例を説明するための模式図である。図25(A)および(B)において、横軸は時間であり、横方向の位置によって、それぞれの画像が扱われるタイミングを表している。「入力」と記された部分は、入力画像信号が入力されるタイミングを表している。ここでは、時間的に隣接する2つの画像として、画像5121および画像5122に着目している。入力画像は、周期 T_{in} の間隔で入力される。なお、周期 T_{in} 1つ分の長さを、1フレームもしくは1フレーム期間と記すことがある。「生成」と記された部分は、入力画像信号から新しく画像が生成されるタイミングを表している。ここでは、画像5121および画像5122を基にして生成される生成画像である、画像5123に着目している。「表示」と記された部分は、表示装置に画像が表示されるタイミングを表している。なお、着目している画像以外の画像については破線で記しているのみであるが、着目している画像と同様に扱うことによって、本実施の形態における動画の補間方法の一例を実現できる。

【0211】

本実施の形態における動画の補間方法の一例は、図25(A)に示されるように、時間的に隣接した2つの入力画像を基にして生成された生成画像を、当該2つの入力画像が表示されるタイミングの間隙に表示させることで、動画の補間を行うことができる。このとき、表示画像の表示周期は、入力画像の入力周期の $1/2$ とすることが好ましい。ただし、これに限定されず、様々な表示周期とすることができる。例えば、表示周期を入力周期の $1/2$ より短くすることで、動画をより滑らかに表示できる。または、表示周期を入力周期の $1/2$ より長くすることで、消費電力を低減できる。なお、ここでは、時間的に隣接した2つの入力画像を基にして画像を生成しているが、基にする入力画像は2つに限定されず、様々な数を用いることができる。例えば、時間的に隣接した3つ(3つ以上でも良い)の入力画像を基にして画像を生成すれば、2つの入力画像を基にする場合よりも、精度の良い生成画像を得ることができる。なお、画像5121の表示タイミングを、画像5122の入力タイミングと同時刻、すなわち入力タイミングに対する表示タイミングを1フレーム遅れとしているが、本実施の形態における動画の補間方法における表示タイミングはこれに限定されず、様々な表示タイミングを用いることができる。例えば、入力タイミングに対する表示タイミングを1フレーム以上遅らせることができる。こうすることで、生成画像である画像5123の表示タイミングを遅くすることができるので、画像5123の生成にかかる時間に余裕を持たせることができ、消費電力および製造コストの低減につながる。なお、入力タイミングに対する表示タイミングをあまりに遅くすると、入力画像を保持しておく期間が長くなり、保持にかかるメモリ容量が増大してしまうので、入力タイミングに対する表示タイミングは、1フレーム遅れから2フレーム遅れ程度が好ましい。

【0212】

ここで、画像5121および画像5122を基にして生成される画像5123の、具体的な生成方法の一例について説明する。動画を補間するためには入力画像の動きを検出する必要があるが、本実施の形態においては、入力画像の動きの検出のために、ブロックマッチング法と呼ばれる方法を用いることができる。ただし、これに限定されず、様々な方法(画像データの差分をとる方法、フーリエ変換を利用する方法等)を用いることができる

10

20

30

40

50

。ブロックマッチング法においては、まず、入力画像1枚分の画像データ（ここでは画像5121の画像データ）を、データ記憶手段（半導体メモリ、RAM等の記憶回路等）に記憶させる。そして、次のフレームにおける画像（ここでは画像5122）を、複数の領域に分割する。なお、分割された領域は、図25（A）のように、同じ形状の矩形とすることができるが、これに限定されず、様々なもの（画像によって形状または大きさを変える等）とすることができる。その後、分割された領域毎に、データ記憶手段に記憶させた前のフレームの画像データ（ここでは画像5121の画像データ）とデータの比較を行い、画像データが似ている領域を探索する。図25（A）の例においては、画像5122における領域5124とデータが似ている領域を画像5121の中から探索し、領域5126が探索されたものとしている。なお、画像5121の中を探索するとき、探索範囲は限定されることが好ましい。図25（A）の例においては、探索範囲として、領域5124の面積の4倍程度の大きさである、領域5125を設定している。なお、探索範囲をこれより大きくすることで、動きの速い動画においても検出精度を高くすることができる。ただし、あまりに広く探索を行なうと探索時間が膨大なものとなってしまう、動きの検出の実現が困難となるため、領域5125は、領域5124の面積の2倍から6倍程度の大きさであることが好ましい。その後、探索された領域5126と、画像5122における領域5124との位置の違いを、動きベクトル5127として求める。動きベクトル5127は領域5124における画像データの1フレーム期間の動きを表すものである。そして、動きの中間状態を表す画像を生成するため、動きベクトルの向きはそのまま大きさを変えた画像生成用ベクトル5128を作り、画像5121における領域5126に含まれる画像データを、画像生成用ベクトル5128に従って移動させることで、画像5123における領域5129内の画像データを形成させる。これらの一連の処理を、画像5122における全ての領域について行なうことで、画像5123が生成される。そして、画像5121、画像5123、画像5122を順次表示することで、動画を補間することができる。なお、画像中の物体5130は、画像5121および画像5122において位置が異なっている（つまり動いている）が、生成された画像5123は、画像5121および画像5122における物体の中間点となっている。このような画像を表示することで、動画の動きを滑らかにすることができ、残像等による動画の不鮮明さを改善できる。

【0213】

なお、画像生成用ベクトル5128の大きさは、画像5123の表示タイミングに従って決めることができる。図25（A）の例においては、画像5123の表示タイミングは画像5121および画像5122の表示タイミングの中間点（1/2）としているため、画像生成用ベクトル5128の大きさは動きベクトル5127の1/2としているが、他にも、例えば、表示タイミングが1/3の時点であれば、大きさを1/3とし、表示タイミングが2/3の時点であれば、大きさを2/3とすることができる。

【0214】

なお、このように、様々な動きベクトルを持った複数の領域をそれぞれ動かして新しい画像を作る場合は、移動先の領域内に他の領域が既に移動している部分（重複）や、どこの領域からも移動されてこない部分（空白）が生じることもある。これらの部分については、データを補正することができる。重複部分の補正方法としては、例えば、重複データの平均をとる方法、動きベクトルの方向等で優先度をつけておき、優先度の高いデータを生成画像内のデータとする方法、色（または明るさ）はどちらかを優先させるが明るさ（または色）は平均をとる方法、等を用いることができる。空白部分の補正方法としては、画像5121または画像5122の当該位置における画像データをそのまま生成画像内のデータとする方法、画像5121または画像5122の当該位置における画像データの平均をとる方法、等を用いることができる。そして、生成された画像5123を、画像生成用ベクトル5128の大きさに従ったタイミングで表示させることで、動画の動きを滑らかにすることができ、さらに、ホールド駆動による残像等によって動画の品質が低下する問題を改善できる。

【0215】

本実施の形態における動画の補間方法の他の例は、図25(B)に示されるように、時間的に隣接した2つの入力画像を基にして生成された生成画像を、当該2つの入力画像が表示されるタイミングの間隙に表示させる際に、それぞれの表示画像をさらに複数のサブ画像に分割して表示することで、動画の補間を行うことができる。この場合、画像表示周期が短くなることによる利点だけでなく、暗い画像が定期的に表示される(表示方法がインパルス型に近づく)ことによる利点も得ることができる。つまり、画像表示周期が画像入力周期に比べて1/2の長さにするだけの場合よりも、残像等による動画の不鮮明さをさらに改善できる。図25(B)の例においては、「入力」および「生成」については図25(A)の例と同様な処理を行なうことができるので、説明を省略する。図25(B)の例における「表示」は、1つの入力画像または/および生成画像を複数のサブ画像に分割して表示を行うことができる。具体的には、図25(B)に示すように、画像5121をサブ画像5121aおよびサブ画像5121bに分割して順次表示することで、人間の目には画像5121が表示されたように知覚させ、画像5123をサブ画像5123aおよびサブ画像5123bに分割して順次表示することで、人間の目には画像5123が表示されたように知覚させ、画像5122をサブ画像5122aおよびサブ画像5122bに分割して順次表示することで、人間の目には画像5122が表示されたように知覚させる。すなわち、人間の目に知覚される画像としては図25(A)の例と同様なものとしつつ、表示方法をインパルス型に近づけることができるので、残像等による動画の不鮮明さをさらに改善できる。なお、サブ画像の分割数は、図25(B)においては2つとしているが、これに限定されず様々な分割数を用いることができる。なお、サブ画像が表示されるタイミングは、図25(B)においては等間隔(1/2)としているが、これに限定されず様々な表示タイミングを用いることができる。例えば、暗いサブ画像(5121b、5122b、5123b)の表示タイミングを早くする(具体的には、1/4から1/2のタイミング)ことで、表示方法をよりインパルス型に近づけることができるため、残像等による動画の不鮮明さをさらに改善できる。または、暗いサブ画像の表示タイミングを遅くする(具体的には、1/2から3/4のタイミング)ことで、明るい画像の表示期間を長くすることができるので、表示効率を高めることができ、消費電力を低減できる。

【0216】

本実施の形態における動画の補間方法の他の例は、画像内で動いている物体の形状を検出し、動いている物体の形状によって異なる処理を行なう例である。図25(C)に示す例は、図25(B)の例と同様に表示のタイミングを表しているが、表示されている内容が、動く文字(スクロールテキスト、字幕、テロップ等とも呼ばれる)である場合を示している。なお、「入力」および「生成」については、図25(B)と同様としても良いため、図示していない。ホールド駆動における動画の不鮮明さは、動いているものの性質によって程度が異なることがある。特に、文字が動いている場合に顕著に認識されることが多い。なぜならば、動く文字を読む際にはどうしても視線を文字に追従させてしまうので、ホールドぼけが発生しやすくなるためである。さらに、文字は輪郭がはっきりしていることが多いため、ホールドぼけによる不鮮明さがさらに強調されてしまうこともある。すなわち、画像内を動く物体が文字かどうかを判別し、文字である場合はさらに特別な処理を行なうことは、ホールドぼけの低減のためには有効である。具体的には、画像内を動いている物体に対し、輪郭検出または/およびパターン検出等を行なって、当該物体が文字であると判断された場合は、同じ画像から分割されたサブ画像同士であっても動き補間を行い、動きの中間状態を表示するようにして、動きを滑らかにすることができる。当該物体が文字ではないと判断された場合は、図25(B)に示すように、同じ画像から分割されたサブ画像であれば動いている物体の位置は変えずに表示することができる。図25(C)の例では、文字であると判断された領域5131が、上方向に動いている場合を示しているが、サブ画像5121aとサブ画像5121bとで、領域5131の位置を異ならせている。サブ画像5123aとサブ画像5123b、サブ画像5122aとサブ画像5122bについても同様である。こうすることで、ホールドぼけが特に認識されやすい動く文字については、通常の動き補償倍速駆動よりもさらに動きを滑らかにすることができる

10

20

30

40

50

ので、残像等による動画の不鮮明さをさらに改善できる。

【0217】

(実施の形態7)

本実施の形態においては、電子機器の例について説明する。図26(A)乃至図26(H)、図27(A)乃至図27(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(電源スイッチ、又は操作スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

10

【0218】

図26(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図26(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図26(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図26(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図26(E)はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有することができる。図26(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図26(G)はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図26(H)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図27(A)はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図27(B)はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図27(C)はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5021、等を有することができる。図27(D)は携帯電話機であり、上述したものの他に、アンテナ5014、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

20

30

【0219】

図26(A)乃至図26(H)、図27(A)乃至図27(D)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図26(A)乃至図26(H)、図27(A)乃至図27(D)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

40

【0220】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有する

50

ことを特徴とする。このような電子機器において、オフ電流の低い酸化物半導体を有するトランジスタを用いて、回路を構成することにより、不要な電流が漏れて入ってしまうことを防ぐことが出来る。よって、回路の誤動作が減り、正確な表示を行うことが出来る。

【0221】

また、活性層にI型（真性）の酸化物半導体層を有する薄膜トランジスタはオフ電流が低減されているため、特に好適である。酸化物半導体層をI型（真性）とする方法としては、脱水化または脱水素化が有効である。

【0222】

次に、半導体装置の応用例を説明する。

10

【0223】

図27（E）に、半導体装置を、建造物と一体にして設けた例について示す。図27（E）は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0224】

図27（F）に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

【0225】

20

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【0226】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【0227】

図27（G）は、半導体装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【0228】

30

図27（H）は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図27（H）は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

【0229】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

40

【0230】

酸化物半導体を有するトランジスタは、オフ電流が低いいため、酸化物半導体を有する半導体装置などを用いることによって、オフ電流に起因して生じる不具合を低減することが出来る。そのため、より正確な表示を行うことが出来る。

【0231】

また、活性層にI型（真性）の酸化物半導体層を有する薄膜トランジスタはオフ電流が低減されているため、特に好適である。酸化物半導体層をI型（真性）とする方法としては、脱水化または脱水素化が有効である。

【符号の説明】

【0232】

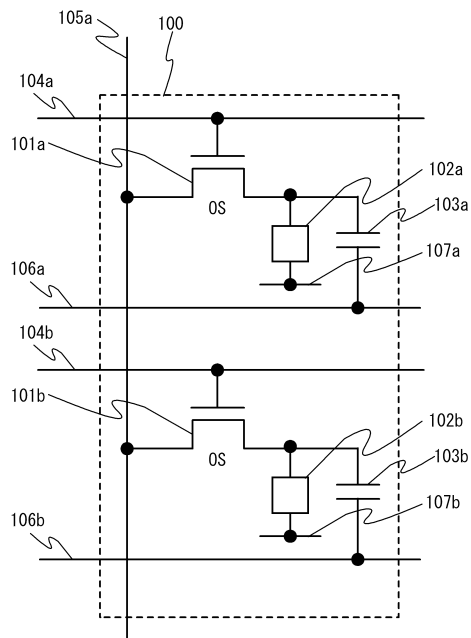
50

1 0 0	画素	
1 0 0 a	画素	
1 0 0 b	画素	
1 0 0 c	画素	
1 0 1 a	トランジスタ	
1 0 1 b	トランジスタ	
1 0 1 c	トランジスタ	
1 0 2 a	表示素子	
1 0 2 b	表示素子	
1 0 2 c	表示素子	10
1 0 3 a	容量素子	
1 0 3 b	容量素子	
1 0 3 c	容量素子	
1 0 4 a	配線	
1 0 4 b	配線	
1 0 4 c	配線	
1 0 5 a	配線	
1 0 5 b	配線	
1 0 6 a	配線	
1 0 6 b	配線	20
1 0 6 c	配線	
1 0 7 a	配線	
1 0 7 b	配線	
1 0 7 c	配線	
5 0 1	トランジスタ	
5 0 1 b	トランジスタ	
5 0 1 c	トランジスタ	
5 0 2	回路	
5 0 3	容量素子	
5 0 3 b	容量素子	30
5 0 3 c	容量素子	
5 0 4	回路	
5 0 5	基板	
5 0 6	保護絶縁層	
5 0 7	ゲート絶縁層	
5 1 0	トランジスタ	
5 1 1	基板	
5 1 2	ゲート電極層	
5 1 3	回路	
5 1 5 a	ソース電極層	40
5 1 5 b	ドレイン電極層	
5 1 6	絶縁層	
5 3 0	酸化物半導体膜	
5 3 1	酸化物半導体層	
8 0 1	画素部	
9 0 1	トランジスタ	
9 0 1 b	トランジスタ	
9 0 1 c	トランジスタ	
9 0 3	容量素子	
9 0 3 b	容量素子	50

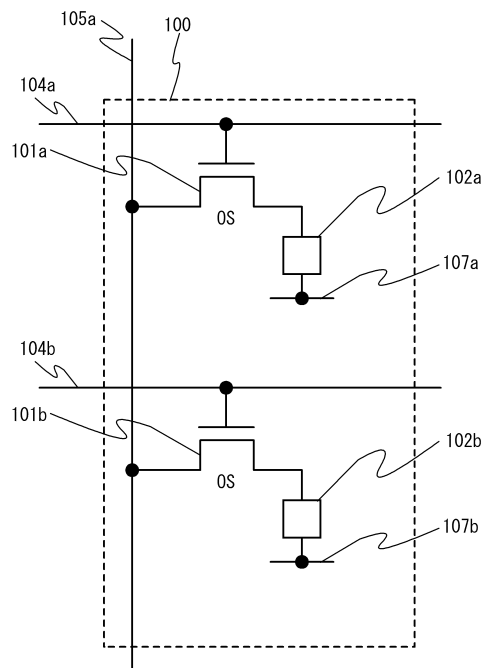
9 0 3 c	容量素子	
9 0 4	配線	
9 0 4 b	配線	
9 0 4 c	配線	
9 0 6	配線	
9 0 6 b	配線	
9 0 6 c	配線	
9 1 3	容量素子	
9 1 3 b	容量素子	
9 1 3 c	容量素子	10
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	20
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	30
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダー/ライター	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	40
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 1 2 1	画像	
5 1 2 1 a	サブ画像	
5 1 2 1 b	画像	
5 1 2 2	画像	
5 1 2 2 a	サブ画像	50

- 5 1 2 2 b サブ画像
- 5 1 2 3 画像
- 5 1 2 3 a サブ画像
- 5 1 2 3 b サブ画像
- 5 1 2 4 領域
- 5 1 2 5 領域
- 5 1 2 6 領域
- 5 1 2 7 ベクトル
- 5 1 2 8 画像生成用ベクトル
- 5 1 2 9 領域
- 5 1 3 0 物体
- 5 1 3 1 領域

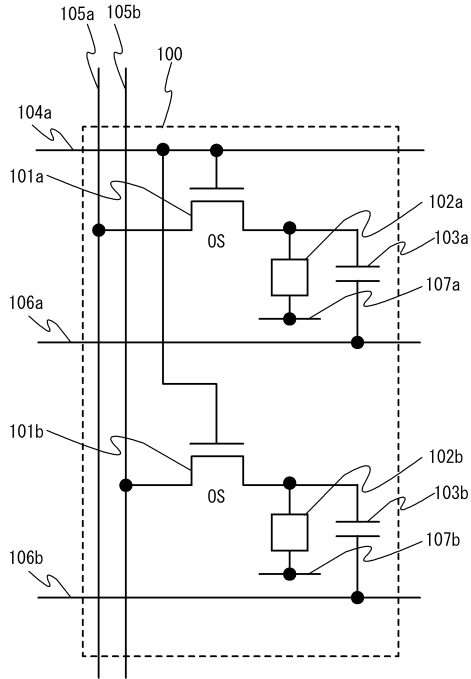
【図 1】



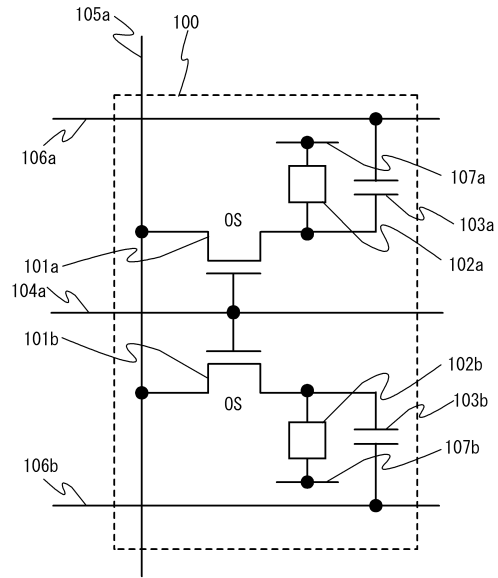
【図 2】



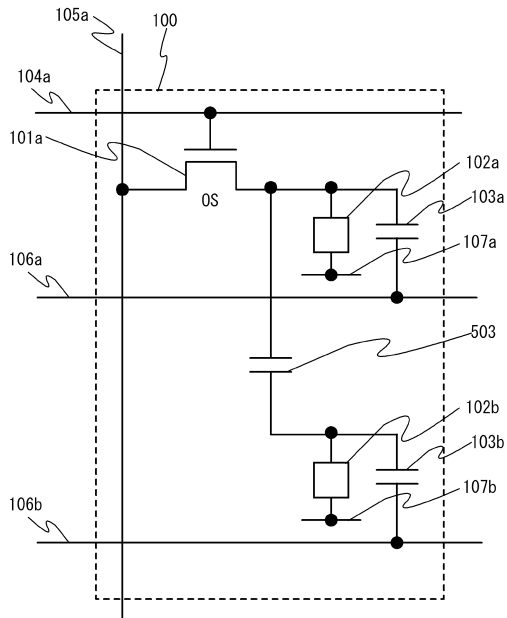
【図3】



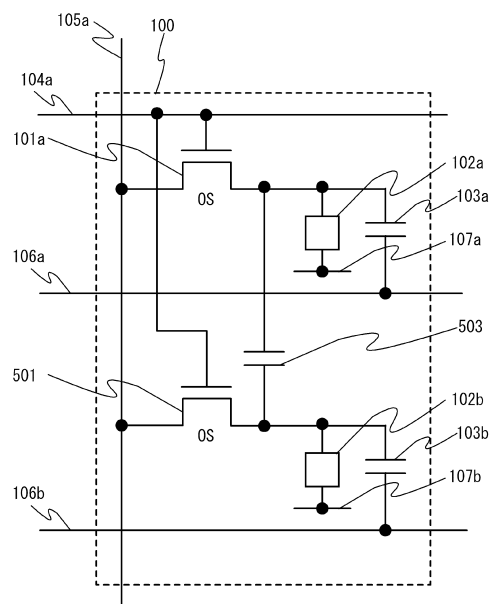
【図4】



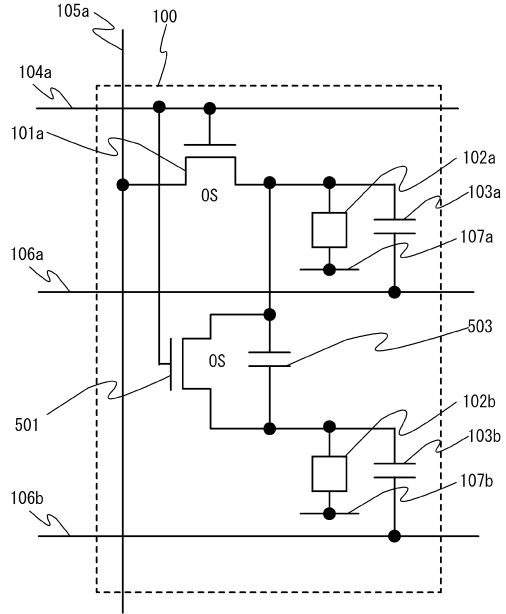
【図5】



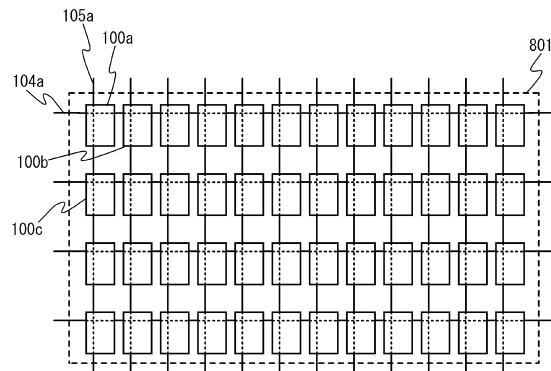
【図6】



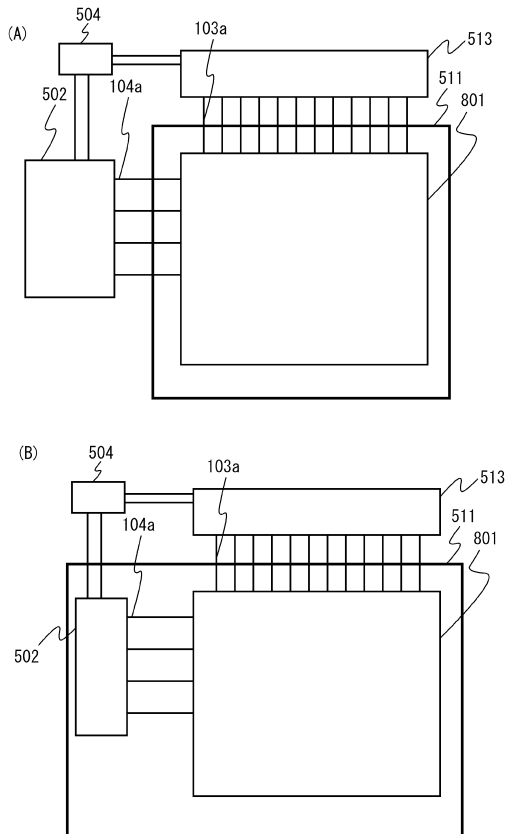
【図 7】



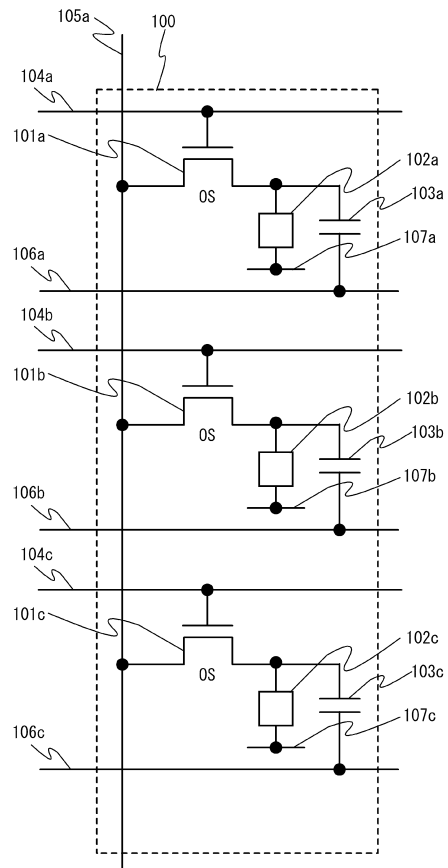
【図 8】



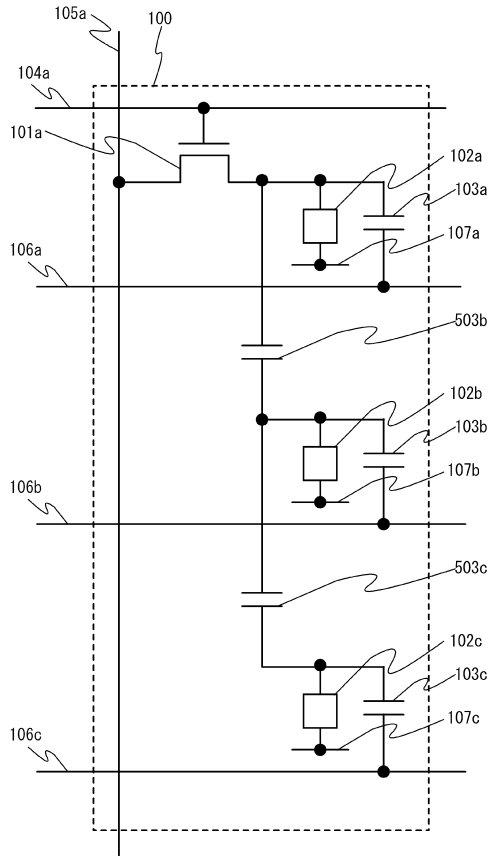
【図 9】



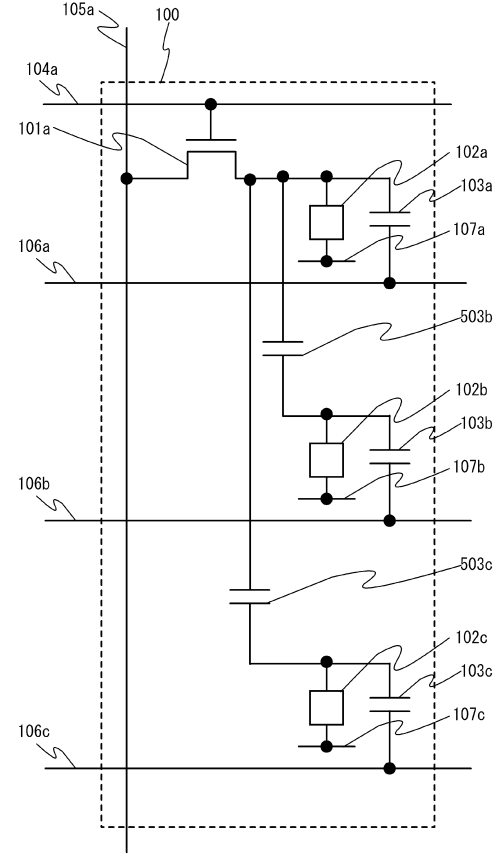
【図 10】



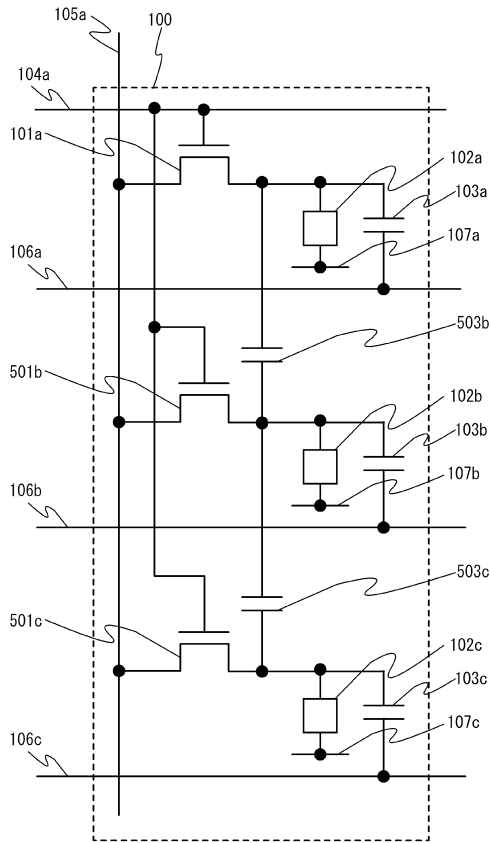
【図 1 1】



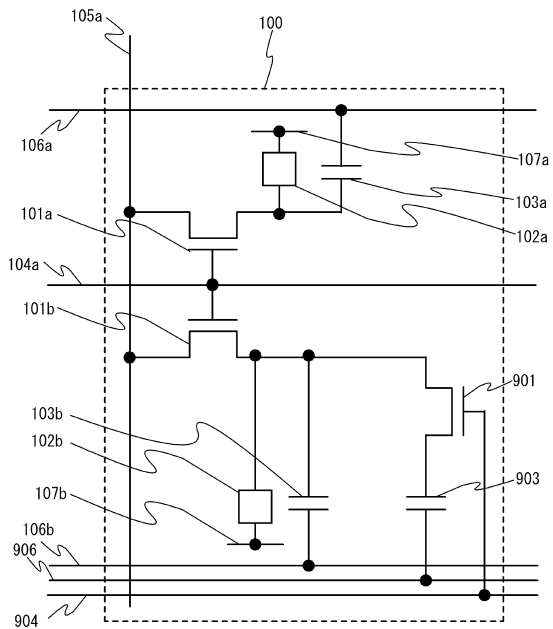
【図 1 2】



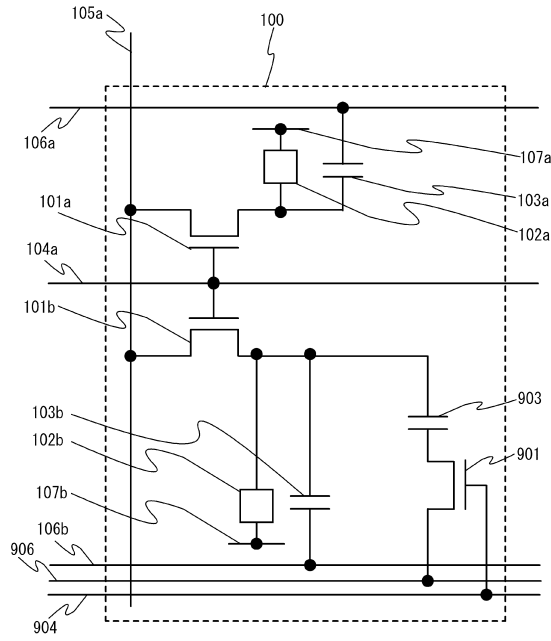
【図 1 3】



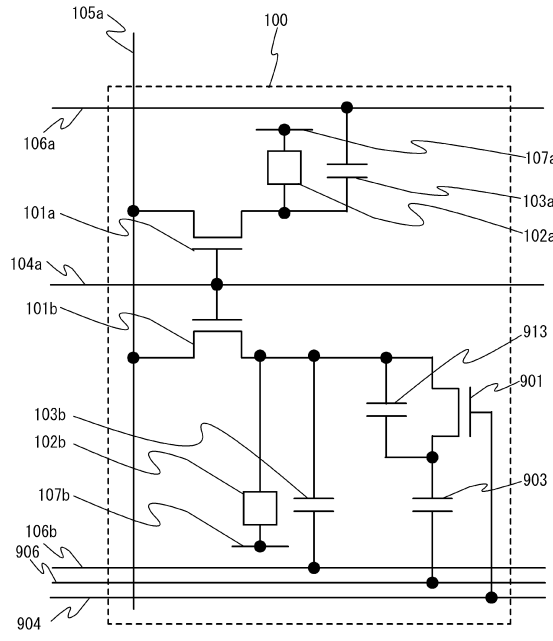
【図 1 4】



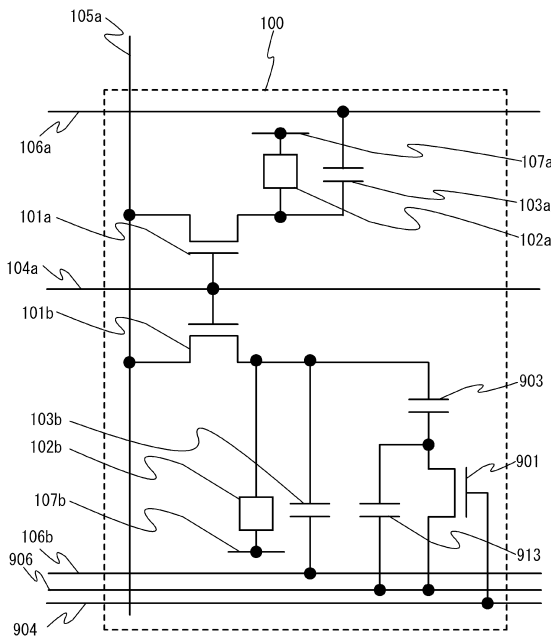
【図15】



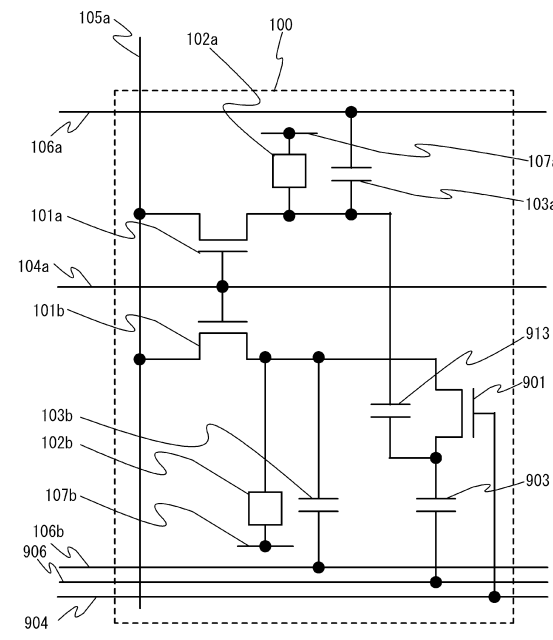
【図16】



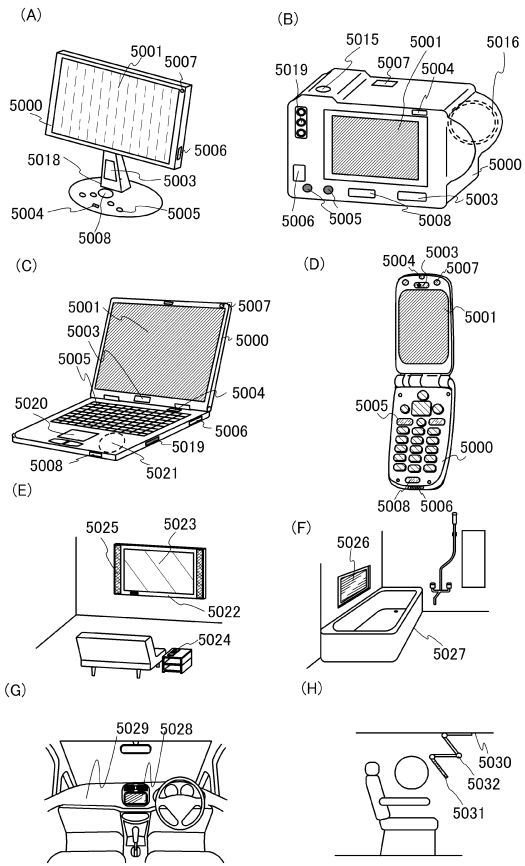
【図17】



【図18】



【 図 27 】



フロントページの続き

- (56)参考文献 特開2009-033145(JP,A)
国際公開第2008/133456(WO,A1)
特開2006-330634(JP,A)
特開2006-126842(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345
G02F 1/135 - 1/1368

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP5852793B2	公开(公告)日	2016-02-03
申请号	JP2011110409	申请日	2011-05-17
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 梅崎敦司 山崎舜平		
发明人	木村肇 梅崎敦司 山崎舜平		
IPC分类号	G02F1/1368 H01L29/786 G02F1/133 G09F9/30		
CPC分类号	G09G3/3648 G09G2300/0426 G09G2300/0447 G09G2320/0214 H01L27/1225		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.614 G02F1/133.550 G09F9/30.338		
F-TERM分类号	2H092/GA20 2H092/GA26 2H092/GA59 2H092/GA60 2H092/JA26 2H092/JA31 2H092/JA32 2H092/JB23 2H092/JB32 2H092/JB42 2H092/JB46 2H092/JB69 2H092/KA08 2H092/KA12 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA27 2H092/NA05 2H092/NA22 2H092/QA07 2H092/QA08 2H092/QA09 2H092/QA10 2H092/QA11 2H092/QA13 2H092/QA14 2H092/QA15 2H092/RA05 2H192/AA24 2H192/BC12 2H192/BC23 2H192/BC24 2H192/BC26 2H192/CB05 2H192/CB12 2H192/CB22 2H192/CB37 2H192/DA12 2H192/EA74 2H192/FB02 2H192/GD61 2H192/JA06 2H192/JB02 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZD11 2H193/ZD21 2H193/ZE04 2H193/ZF13 2H193/ZF19 2H193/ZF43 2H193/ZF44 2H193/ZQ06 2H193/ZQ07 2H193/ZQ09 2H193/ZQ10 2H193/ZQ11 2H193/ZQ13 2H193/ZQ14 2H193/ZQ16 2H193/ZQ17 2H193/ZQ22 2H193/ZQ26 2H193/ZR02 2H193/ZR07 5C094/AA12 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5F110/AA06 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE27 5F110/EE30 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG13 5F110/GG19 5F110/GG22 5F110/GG24 5F110/GG25 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK21 5F110/HK22 5F110/HM15 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN34 5F110/NN40 5F110/NN71 5F110/NN72 5F110/NN73 5F110/PP10 5F110/PP22 5F110/PP36 5F110/QQ02		
优先权	2010117300 2010-05-21 JP		
其他公开文献	JP2012008543A		
外部链接	Espacenet		

摘要(译)

要解决的问题提供具有低截止电流的半导体器件等。本发明的另一个目的是提供一种执行精确显示的半导体器件等。本发明的另一个目的是提供一种具有宽视角等的显示装置。本发明的另一个目的是提供一种显示装置等，其中减少了图像老化。为了解决上述问题，使用包括氧化物半导体（OS：氧化物半导体）晶体管的电路，特别是包括氧化物半导体的薄膜MOS晶体管。氧化物半导体是基本上本征的半导体。因此，断态电流非常低。点域1

(21) 出願番号	特願2011-110409 (P2011-110409)	(73) 特許権者	000153878
(22) 出願日	平成23年5月17日 (2011. 5. 17)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-8543 (P2012-8543A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年1月12日 (2012. 1. 12)	(72) 発明者	木村 肇
審査請求日	平成26年4月29日 (2014. 4. 29)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-117300 (P2010-117300)		半導体エネルギー研究所内
(32) 優先日	平成22年5月21日 (2010. 5. 21)	(72) 発明者	梅崎 敦司
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	小林 俊久
			最終頁に続く