

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5802015号  
(P5802015)

(45) 発行日 平成27年10月28日(2015.10.28)

(24) 登録日 平成27年9月4日(2015.9.4)

(51) Int.Cl.	F I	
<b>GO2F 1/1368 (2006.01)</b>	GO2F	1/1368
<b>HO1L 29/786 (2006.01)</b>	HO1L	29/78 618B
<b>HO1L 21/336 (2006.01)</b>	HO1L	29/78 616V
<b>HO1L 21/28 (2006.01)</b>	HO1L	29/78 618Z
<b>HO1L 51/50 (2006.01)</b>	HO1L	29/78 613Z
請求項の数 5 (全 50 頁) 最終頁に続く		

(21) 出願番号 特願2011-11798 (P2011-11798)  
 (22) 出願日 平成23年1月24日(2011.1.24)  
 (65) 公開番号 特開2011-170345 (P2011-170345A)  
 (43) 公開日 平成23年9月1日(2011.9.1)  
 審査請求日 平成25年12月20日(2013.12.20)  
 (31) 優先権主張番号 特願2010-12665 (P2010-12665)  
 (32) 優先日 平成22年1月24日(2010.1.24)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 小林 俊久

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、  
 マトリクス状に配置された複数のピクセルと、を有し、  
 前記第1のトランジスタのソース電極又はドレイン電極の一方は、共通電位が供給される機能を有し、  
 前記複数のピクセルの各々は、一又は複数のユニットを有し、  
 前記一又は複数のユニットの各々は、複数のサブユニットを有し、  
 前記複数のサブユニットの各々は、  
 第2のトランジスタと、  
 液晶素子と、を有し、  
 前記液晶素子は、前記第1のトランジスタのソース電極又はドレイン電極の他方と、前記第2のトランジスタのソース電極又はドレイン電極の一方と、に電氣的に接続されており、  
 前記第1のトランジスタのチャンネル形成領域、及び前記第2のトランジスタのチャンネル形成領域の各々は、高純度化され、真性化または実質的に真性化されたIn-Ga-Zn-O系の酸化物半導体層を有し、  
 前記酸化物半導体層は、前記酸化物半導体層の表面に垂直になるようにc軸配向した結晶領域を有し、

前記第1のトランジスタ及び前記第2のトランジスタの各々において、単位チャンネル幅

あたりのオフ電流は、室温において  $10^{-8}$  A /  $\mu\text{m}$  未満であることを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの各々において、ゲート電極は、ゲート絶縁層を介して、前記酸化物半導体層の上方又は下方もしくは両側に配置されていることを特徴とする表示装置。

【請求項 3】

請求項 1 又は 2 において、

前記第 1 のトランジスタの前記ソース電極及び前記ドレイン電極は、金属窒化物を有することを特徴とする表示装置。

10

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記第 2 のトランジスタの前記ソース電極及び前記ドレイン電極は、金属窒化物を有することを特徴とする表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの各々は、オン状態において電界効果移動度が、 $10\text{ cm}^2 / \text{V s e c}$  以上  $150\text{ cm}^2 / \text{V s e c}$  以下であることを特徴とする表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、酸化物半導体を用いた電界効果型トランジスタにより構成される表示装置に関する。

【背景技術】

【0002】

アモルファスシリコンを用いた薄膜トランジスタを液晶の駆動用素子として用いた液晶表示パネルは、コンピュータのモニターや液晶テレビなどの市販製品で広く用いられている。アモルファスシリコンを用いた薄膜トランジスタの製造技術はすでに確立され、60インチを超える液晶パネルも生産されている。

30

【0003】

しかし、アモルファスシリコンを用いた薄膜トランジスタは動作速度が遅く、これ以上の高性能化が望めないことから、ポリシリコンを用いた薄膜トランジスタの開発も進められてきた。しかし、ポリシリコンを作製するには結晶化工程が必要となり、これがトランジスタの特性バラツキの要因や、パネルサイズの大面積化に対する阻害要因となっていた。

【0004】

これに対し、シリコン系以外のトランジスタ材料として酸化物半導体材料の注目が高まっている。酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とするものが知られている。そして、電子キャリア濃度が  $10^{18} / \text{cm}^3$  未満である非晶質酸化物（酸化物半導体）なるもので形成された薄膜トランジスタが開示されている（特許文献 1 乃至 3）。

40

【0005】

液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などの小型表示装置に至るまで普及している。そのため、液晶表示装置の開発としては、視野角の拡大や高画質化を図りつつ、低コスト化又は高付加価値化を目的とした開発が行われている。また、表示装置の高付加価値化として、低消費電力化に向けた開発も進められている。

【0006】

液晶表示装置の視野角特性を向上させるために、液晶分子を傾斜配向または放射状傾斜配向して表示を行う液晶表示装置において、ひとつの画素を複数の独立した画素領域に分け

50

、各分割された画素領域に加える信号を任意の期間毎に異なるようにすることが開示されている（例えば、特許文献4参照）。

【0007】

また、明るさ、コントラストなどの基本的な表示品位を満たした上で十分な低消費電力化を図るための方法として、走査期間と、該走査期間よりも長い非走査期間を設定する表示装置の駆動方法が開示されている（特許文献5参照）。具体的には、全ての走査線及びデータ信号線を非選択状態とする休止期間に、全データ信号線を電氣的にデータ信号ドライバから切り離してハイインピーダンス状態とする表示装置の駆動方法である。

【先行技術文献】

【特許文献】

10

【0008】

【特許文献1】特開2006-165527号公報

【特許文献2】特開2006-165528号公報

【特許文献3】特開2006-165529号公報

【特許文献4】特開2008-287042号公報

【特許文献5】特開2001-312253号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満としても、酸化物半導体においては実質的にはn型であり、上記特許文献に開示される薄膜トランジスタのオンオフ比は $10^3$ しか得られていない。このような薄膜トランジスタのオンオフ比が低い理由はオフ電流が高いことによるものである。

20

【0010】

例えば、液晶パネルでは、各画素に液晶を駆動する画素電極と並列に保持容量が設けられている。そしてトランジスタをオン状態にして、画素電極及び保持容量に画像信号を印加することにより、液晶に電位が印加され保持容量が所定の電位に充電される。そして、この書き込み動作が終了すると、次の画像信号が印加されるまでトランジスタはオフ状態となる。このとき、トランジスタのオフ電流が高いと、液晶に印加された電位は変動し、保持容量に蓄えられた電荷は放電してしまう。

30

【0011】

ある画素において、トランジスタのオフ電流*i*と、静電容量*C*、電圧変動*V*及び保持時間*T*の関係は、 $CV = iT$ で表すことができる。例えば、トランジスタのオフ電流を0.1 pA、保持容量の静電容量を0.1 pF、1フレーム期間を16.6 msとすると、1フレーム中の画素の電圧変動*V*は次のようになる。

$$0.1 [\text{pF}] \times V = 0.1 [\text{pA}] \times 16.6 [\text{ms}]$$

$$V = 16.6 [\text{mV}]$$

【0012】

液晶の最大駆動電圧を5 Vとして256階調の表示を行おうとする場合、1階調分の階調電圧は約20 mVとなる。上記のように、画素の電圧変動が16.6 mVもある場合、これは約1階調分の階調電圧に相当する。また、画像表示を1024階調で行う場合には、1階調分の階調電圧は約5 mVであるので、画素の電圧変動が16.6 mVである場合には、4階調分の階調電圧に相当することになり、オフ電流による電圧変動の影響を無視することはできない。

40

このように、表示パネルに用いるトランジスタは、オン状態の特性（オン電流や電界効果移動度など）ばかりでなく、オフ電流の影響も考慮されたものでなければならない。

【0013】

特許文献1で開示される液晶表示装置では、休止期間において、画素部に含まれる各画素に対して画像信号が入力されない。すなわち、各画素内に画像信号を保持したまま、画像信号の入力を制御するトランジスタがオフ状態を維持する期間が長期化する。そのため、

50

当該トランジスタを介した画像信号のリークが各画素の表示に対して与える影響が顕在化する。具体的には、液晶素子に印加される電圧が低下し、当該液晶素子を有する画素の表示の劣化（変化）が顕在化する。

【0014】

さらに当該トランジスタを介した画像信号のリークは、トランジスタの動作温度によって変動する。具体的には、動作温度の上昇に伴い、トランジスタを介した画像信号のリークが増加する。そのため、特許文献1で開示される液晶表示装置は、環境の変動が大きい屋外などにおいて使用した際に、表示品質を一定に保つことが困難である。

【0015】

上記のように、単に酸化物半導体によるトランジスタを用いることのみでは、視野角向上を含めた高画質化と低消費電力化を図ることは困難な状況である。そこで、本発明の一態様は、表示装置の高画質化を図りつつ、消費電力を低減すること及び表示の劣化（表示品質の低下）を抑制することを課題の一とする。

【課題を解決するための手段】

【0016】

本発明の一形態は、オフ電流を極めて低いレベルにまで低減したトランジスタを用いることによって、高画質で低消費電力の表示装置を提供するものである。本発明の一形態は、トランジスタを形成するための半導体材料としてシリコン半導体よりも禁制帯幅（バンドギャップ）の広い半導体材料を用い、好ましくは、かかる半導体材料のキャリア供与体となる不純物の濃度を低減することで、オフ電流の低減を図っている。そのために、トランジスタの半導体層（チャンネル領域を形成する層）としてエネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上の酸化物半導体を用い、該酸化物半導体に含まれるキャリア供与体となる不純物の濃度を低減させている。それにより、トランジスタのオフ電流を、室温にてチャンネル幅1 μm当たり10 zA / μm未満、85にて100 zA / μm未満と極めて低いレベルにまで低減させることを可能としている。

【0017】

酸化物半導体を用いたトランジスタの一態様としては、上記のような酸化物半導体層の他に、ソース電極及びドレイン電極の一部を金属窒化物で形成したものをを用いる。トランジスタのゲート電極は、絶縁層を介して酸化物半導体層の下側（基板側）又は上側（基板側とは反対側）若しくは両側に設けられていれば良い。また、トランジスタの特性としてオフ状態の特性ばかりでなく、オン状態の特性として、電界効果移動度の最大値が5 cm<sup>2</sup> / V s e c以上、好ましくは10 cm<sup>2</sup> / V s e c ~ 150 cm<sup>2</sup> / V s e cのものをを用いる。トランジスタの動作を高速化することで、画素を高密度化したときにも、余裕をもって書き込み動作等ができるようにするためである。

【0018】

本発明の一態様は、酸化物半導体層がゲート絶縁層を介してゲート電極と重畳するように設けられたトランジスタと、トランジスタのソース側又はドレイン側に接続された液晶を駆動する画素電極と、画素電極と対向するように設けられた対向電極と、画素電極と対向電極との間に設けられた液晶層とを有するサブユニットを複数有するユニットが、一又は複数設けられたピクセルがマトリクス状に配置されて画像を表示する表示パネルを有する表示装置である。

【0019】

本発明の一態様は、酸化物半導体層がゲート絶縁層を介してゲート電極と重畳するように設けられたトランジスタと、トランジスタのソース側又はドレイン側に接続された液晶を駆動する画素電極と、画素電極と対向するように設けられた対向電極と、画素電極と対向電極との間に設けられた液晶層とを有するサブユニットを複数有するユニットが、一又は複数設けられたピクセルがマトリクス状に配置されて画像を表示する画素部と、画素部を駆動して画面に画像を表示する駆動回路部とを有する表示パネルを備えた表示装置である。そして、駆動回路部は、選択されたピクセルに逐次、画像信号を書き込んで画像を画面

10

20

30

40

50

に表示する書込動作を行なう機能を設ける。このような機能は、上記トランジスタを用いることにより実現される。

【0020】

本発明の一態様は、酸化物半導体層がゲート絶縁層を介してゲート電極と重畳するように設けられたトランジスタと、トランジスタのソース側又はドレイン側に接続された液晶を駆動する画素電極と、画素電極と対向するように設けられた対向電極と、画素電極と対向電極との間に設けられた液晶層とを有するサブユニットを複数有するユニットが、一又は複数設けられたピクセルがマトリクス状に配置されて画像を表示する画素部と、画素部を駆動して画面に画像を表示する駆動回路部とを有する表示パネルを備えた表示装置である。そして駆動回路部に、選択されたピクセルに逐次、画像信号を書き込んで画像を画面に表示する書込動作を行なう動作モードと、同一画像を画面に表示する場合には、画像信号を書き込む動作を停止させ画面に書き込まれた画像をそのまま保持させておく動作モードとを選択する機能を設ける。このような機能は、上記トランジスタを用いることにより実現される。

10

【発明の効果】

【0021】

本発明の一形態によれば、オフ電流が十分に低減されたトランジスタを用いることで、画素に印加した信号電圧を安定的に保持することが可能となる。それにより、画素に入力された信号を一定の状態（画像信号が書き込まれた状態）で保持することが可能となるので、安定した画像表示を行うことができる。

20

【0022】

本発明の一形態によれば、各画素に設けられるトランジスタとして、チャネル形成領域が酸化物半導体層によって構成されるトランジスタを適用する。当該酸化物半導体層を高純度化することで、当該トランジスタの室温におけるオフ電流値をチャネル幅1 $\mu\text{m}$ 当たり10zA/ $\mu\text{m}$ 未満、85にて100zA/ $\mu\text{m}$ 未満とすることが可能である。そのため、当該トランジスタを介した画像信号のリークを低減することができる。すなわち、当該トランジスタを有する画素への画像信号の書き込み頻度を低減した場合における表示の劣化（変化）を抑制することができる。その結果、当該液晶表示装置の消費電力を低減すること及び表示の劣化（表示品質の低下）を抑制することが可能になる。

30

【0023】

また、オフ電流が極めて低いトランジスタを用いた画素は、一定の状態（画像信号が書き込まれた状態）を保持することが可能となるので、静止画を表示する場合にも安定した動作をすることができる。その場合に、当該トランジスタは、動作温度の上昇に伴うオフ電流値の増加が著しく小さいため、温度などの外部因子が当該画素における画像信号のリークに与える影響を低減することができる。つまり、当該液晶表示装置は、環境の変動が大きい屋外などにおいて、画像信号が書き込まれた状態を保持して静止画を表示した場合においても、表示の劣化（表示品質の低下）を抑制することが可能になる。

【図面の簡単な説明】

【0024】

【図1】実施の形態1に係る液晶表示装置の各構成を説明するブロック図。

40

【図2】実施の形態1に係る液晶表示装置の各構成を説明するブロック図。

【図3】実施の形態1に係る液晶表示装置の駆動回路と画素の構成を説明する図。

【図4】実施の形態1に係る液晶表示装置の動作を説明するタイミングチャート。

【図5】実施の形態1に係る液晶表示装置の表示制御回路の動作を説明するタイミングチャート。

【図6】動画を表示する期間と静止画を表示する期間における画像信号の書き込み頻度を模式的に示す図。

【図7】実施の形態1に係る液晶表示装置の各構成を説明するブロック図。

【図8】実施の形態2に係るテレビ受像機の構成を説明する図。

【図9】実施の形態2に係るモニターの構成を説明する図。

50

【図10】液晶表示装置のバックライト構成例を説明する図。

【図11】液晶表示装置のバックライト構成例を説明する図。

【図12】液晶表示装置に適用できるトランジスタの一例を説明する図。

【図13】酸化物半導体層を含むトランジスタ及びその作製方法の一例を説明する図。

【図14】酸化物半導体によって作製されたトランジスタの $V_g - I_d$ 特性の一例を示すグラフ。

【図15】酸化物半導体によって作製されたトランジスタの $V_g - I_d$ 特性の内、オフ状態の特性を説明するためのグラフ。

【図16】ソース・ドレイン電圧 $V$ とオフ電流 $I$ との関係を表すグラフ。

【図17】表示装置の映像と同期する専用の眼鏡を用いて動画または静止画である3D映像を視認する装置の一例を説明する図。

【図18】本発明に係る電子書籍の一例を説明する図。

【図19】本発明に係るコンピュータの一例を説明する図。

【図20】液晶表示装置の画素の一例を示す平面図。

【図21】液晶表示装置の画素の一例を示す断面図。

【発明を実施するための形態】

【0025】

発明の実施の形態について図面を用いて以下に説明する。但し、本明細書で開示される発明は以下の説明に限定されず、その発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、本明細書で開示される発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0026】

実施の形態において図面を参照して説明をする場合には、同じ構成要素を指す符号を異なる図面間で共通して用いる場合がある。なお、図面において示す構成要素、すなわち層や領域等の厚さ幅、相対的な位置関係等は、実施の形態において説明する上で明確性のために誇張して示される場合がある。

【0027】

(実施の形態1)

本実施の形態では、液晶表示装置、及び液晶表示装置の駆動方法の一形態を、図1乃至図7を用いて説明する。

【0028】

本実施の形態で例示する液晶表示装置100の各構成を、図1のブロック図を用いて説明する。液晶表示装置100は、電源116、表示制御回路113、表示パネル120を有する。透過型液晶表示装置、又は半透過型液晶表示装置の場合、さらに光源として照明手段の一つであるバックライト部を設けるとよい。

【0029】

液晶表示装置100は、接続された外部機器から画像信号(画像信号Data)が供給されている。なお、電源電位(高電源電位 $V_{dd}$ 、低電源電位 $V_{ss}$ 、及び共通電位 $V_{com}$ )は液晶表示装置の電源116をオン状態として電力供給を開始することによって供給され、制御信号(スタートパルスSP、及びクロック信号CK)は表示制御回路113によって供給される。

【0030】

なお高電源電位 $V_{dd}$ とは、基準電位より高い電位のことであり、低電源電位 $V_{ss}$ とは基準電位以下の電位のことをいう。なお高電源電位 $V_{dd}$ 及び低電源電位 $V_{ss}$ ともに、トランジスタが動作できる程度の電位であることが望ましい。なお高電源電位 $V_{dd}$ 及び低電源電位 $V_{ss}$ を併せて、電源電圧と呼ぶこともある。

【0031】

共通電位 $V_{com}$ は、画素電極に供給される画像信号の電位に対して基準となる固定電位であればよく、一例としてはグラウンド電位であってもよい。

10

20

30

40

50

## 【0032】

画像信号 Data は、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等に応じて適宜反転させて液晶表示装置 100 に供給される構成とすればよい。また、画像信号がアナログの信号の場合には、A/Dコンバータ等を介してデジタルの信号に変換して、液晶表示装置 100 に供給する構成とすればよい。

## 【0033】

本実施の形態では、共通電極 128 及び容量素子の一方の電極には、電源 116 より表示制御回路 113 を介して固定電位である共通電位 Vcom が与えられている。

## 【0034】

表示制御回路 113 は、表示パネル 120 に表示パネル画像信号 (Data)、並びに制御信号 (具体的にはスタートパルス SP、及びクロック信号 CK 等の制御信号の供給または停止の切り替えを制御するための信号)、電源電位 (高電源電位 Vdd、低電源電位 Vss、及び共通電位 Vcom) を供給する回路である。

10

## 【0035】

表示パネル 120 は液晶素子 215a、215b を一対の基板 (第1の基板と第2の基板) 間に挟持する構成を有し、第1の基板には駆動回路部 121、画素部 122 が設けられている。また、第2の基板には共通接続部 (コモンコンタクトともいう)、及び共通電極 128 (コモン電極、または対向電極ともいう) が設けられている。なお、共通接続部は第1の基板と第2の基板とを電気的に接続するものであって、共通接続部は第1の基板上に設けられていてもよい。

20

## 【0036】

画素部 122 には、複数のゲート線 124 (124a、124b) (走査線)、及びソース線 125 (信号線) が設けられており、複数の画素 (ピクセル) がゲート線 124 及びソース線 125 に環囲されてマトリクス状に設けられている。なお、本実施の形態で例示する表示パネルにおいては、ゲート線 124 (124a、124b) はゲート線側駆動回路 121A から延在し、ソース線 125 はソース線側駆動回路 121B から延在している。

## 【0037】

本明細書の開示する液晶表示装置は、一画素 (ピクセル) に複数のユニットを有し、さらに各ユニットに複数のサブユニットを有する構造である。画素内のユニット、及びサブユニットの数は少なくとも2つであればよく、より多数であってもよい。本実施の形態は、画素 (ピクセル) は複数のユニット 123 を有し、ユニット 123 はさらに複数のサブユニット 123a、123b を有する例である。一画素 (ピクセル) に設けられるユニットの例としては、一画素 (ピクセル) に、R (赤) のユニット、G (緑) のユニット、B (青) の3つのユニットを設ける構成などがある。

30

## 【0038】

微細化された複数のサブユニットを用いて表示を行うことにより、表示画像の高精細化が可能となる。またサブユニットごとに液晶配向をそれぞれ独自に制御することができるため視野角の向上も可能となる。

## 【0039】

液晶素子 215a、液晶素子 215b は、液晶の光学的変調作用によって光の透過又は非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界によって制御される。液晶にかかる電界方向は液晶材料、駆動方法、及び電極構造によって異なり、適宜選択することができる。例えば、液晶の厚さ方向 (いわゆる縦方向) に電界をかける駆動方法を用いる場合は液晶を挟持するように第1の基板に画素電極を、第2の基板に共通電極をそれぞれ設ける構成とすればよい。また、液晶に基板面内方向 (いわゆる横電界) に電界をかける駆動方法を用いる場合は、液晶に対して同一面に、画素電極と共通電極を設ける構成とすればよい。また画素電極及び共通電極は、多様な開口パターンを有する形状としてもよい。本実施の形態においては光学的変調作用によって光の透過又は非透過を制御する素子であれば、液晶材料、駆動方法、及び電極構造は特に限定されない。

40

50

## 【0040】

ユニット123に設けられたサブユニット123aはスイッチング素子としてトランジスタ214a、該トランジスタ214aに接続された容量素子210a、及び液晶素子215aを有し、サブユニット123bはスイッチング素子としてトランジスタ214b、該トランジスタ214bに接続された容量素子210b、及び液晶素子215bを有している。

## 【0041】

本実施の形態では、サブユニット123aと、サブユニット123bにおいて液晶素子215aと液晶素子215bに印加する電圧を異ならせることで液晶の配向をそれぞれ制御し、高視野角化を図っている。

10

## 【0042】

サブユニット123aにおいて、トランジスタ214aは、画素部122に設けられたゲート線124aとゲート電極が接続され、ソース電極またはドレイン電極の一方がソース線125と接続され、ソース電極またはドレイン電極の他方が容量素子210aの一方の電極、及び液晶素子215aの一方の電極（画素電極）と接続される。サブユニット123bにおいて、トランジスタ214bは、画素部122に設けられたゲート線124bとゲート電極が接続され、ソース電極またはドレイン電極の一方がソース線125と接続され、ソース電極またはドレイン電極の他方が容量素子210bの一方の電極、及び液晶素子215bの一方の電極（画素電極）と接続される。本実施の形態では、液晶素子215a、液晶素子215bの共通電極（画素電極と対向する電極）と容量素子210a、容量素子210bの他方の電極は電源116より表示制御回路113を介して固定電位である共通電位Vcomが与えられている。

20

## 【0043】

本実施の形態のサブユニット123a及びサブユニット123bにおいて、トランジスタ214aとトランジスタ214bとは異なるゲート線124a、ゲート線124bによってそれぞれ異なる電位を供給される。よって、容量素子210aと容量素子210bに蓄積される容量も大きさが異なり、液晶素子215aと液晶素子215bに印加される電圧も異なる。従って、サブユニット123aとサブユニット123bとでは、それぞれの液晶素子215a、液晶素子215bにおいて、液晶の配向を別々に制御することができるため、視野角を向上させることができる。

30

## 【0044】

このようなサブユニットごとに液晶素子へ印加する電圧を異ならせるには、トランジスタ214aとトランジスタ214bの大きさを異ならせる、また容量素子210aと容量素子210bとを別な電位を与える容量線にそれぞれ接続する、などの方法によっても可能である。

## 【0045】

トランジスタ214a、トランジスタ214bは、オフ電流が低減されたトランジスタを用いることが好ましい。トランジスタ214a、トランジスタ214bがオフ状態のとき、オフ電流が低減されたトランジスタ214a、トランジスタ214bに接続された液晶素子215a、液晶素子215b、及び容量素子210a、容量素子210bに蓄えられた電荷は、トランジスタ214a、トランジスタ214bを介して漏れ難く、トランジスタ214a、トランジスタ214bがオフ状態になる前に書き込まれた状態を、次に信号が書き込まれるまで安定して保持できる。従って、オフ電流が低減されたトランジスタ214a、トランジスタ214bに接続された容量素子210a、容量素子210bを用いることなくサブユニット123a、サブユニット123bを構成することもできる。

40

## 【0046】

このような構成とすることで、容量素子210a、容量素子210bは液晶素子215a、液晶素子215bに加える電圧を保持することができる。また、容量素子210a、容量素子210bの電極は、別途設けた容量線に接続する構成としてもよい。この場合、容量素子210aと容量素子210bとは同じ容量線に接続してもよいし、別々の容量線に

50

接続してもよい。

【0047】

駆動回路部121は、ゲート線側駆動回路121A、ソース線側駆動回路121Bを有する。ゲート線側駆動回路121A、ソース線側駆動回路121Bは、複数の画素（ピクセル）を有する画素部122を駆動するための駆動回路であり、シフトレジスタ回路（シフトレジスタともいう）を有する。

【0048】

なお、ゲート線側駆動回路121A、及びソース線側駆動回路121Bは、画素部122と同じ基板に形成されるものでもよいし、別の基板に形成されるものであってもよい。

【0049】

なお駆動回路部121には、表示制御回路113によって制御された高電源電位V<sub>dd</sub>、低電源電位V<sub>ss</sub>、スタートパルスSP、クロック信号CK、画像信号Dataが供給される。

【0050】

端子部126は、表示制御回路113が出力する所定の信号（高電源電位V<sub>dd</sub>、低電源電位V<sub>ss</sub>、スタートパルスSP、クロック信号CK、画像信号Data、共通電位V<sub>com</sub>等）等を駆動回路部121に供給する入力端子である。

【0051】

共通電極128は、表示制御回路113に制御された共通電位V<sub>com</sub>を与える共通電位線と、共通接続部において電氣的に接続する。

【0052】

共通接続部の具体的な一例としては、絶縁性球体に金属薄膜が被覆された導電粒子を間に介することにより共通電極128と共通電位線との電氣的な接続を図ることができる。なお、共通接続部は、表示パネル120内に複数箇所設けられる構成としてもよい。

【0053】

また、液晶表示装置は、測光回路を有していてもよい。測光回路を設けた液晶表示装置は当該液晶表示装置がおかれている環境の明るさを検知できる。その結果、測光回路が接続された表示制御回路113は、測光回路から入力される信号に応じて、バックライト、サイドライト等の光源の駆動方法を制御することができる。

【0054】

なお、カラー表示を行う場合は、カラーフィルタを用いることで表示が可能である。また、他の光学フィルム（偏光フィルム、位相差フィルム、反射防止フィルムなど）も用いることができる。透過型液晶表示装置、又は半透過型液晶表示装置の場合に用いられるバックライト等の光源は、液晶表示装置100の用途に応じて用いればよく、発光ダイオード（LED）などを用いることができる。また複数のLED光源、または複数のエレクトロルミネセンス（EL）光源などを用いて面光源を構成してもよい。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。なお、バックライトにRGBの発光ダイオード等を配置し、時分割によりカラー表示する継時加法混色法（フィールドシーケンシャル法）を採用するときには、カラーフィルタを設けない。

【0055】

次に、上述の液晶表示装置100とは異なる構成を有し、さらなる低消費電力化を図れる液晶表示装置200について、その構成と駆動方法について、図2を用いて説明する。なお、液晶表示装置100と同一部分又は同様な機能を有する部分、及び工程は、液晶表示装置100と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0056】

液晶表示装置200の各構成を、図2のブロック図に示す。液晶表示装置200は、液晶表示装置100の構成に画像処理回路110を加えた構成を有する。なお、透過型液晶表示装置、又は半透過型液晶表示装置の場合、光源としてバックライト部130を設ける。

【0057】

10

20

30

40

50

画像処理回路 110 は、入力される画像信号（画像信号 Data）を解析、演算、乃至加工し、処理した画像信号を制御信号と共に表示制御回路 113 に出力する。

【0058】

具体的には画像処理回路 110 は、入力される画像信号 Data を解析し動画であるか静止画であるかを判断し、判断結果を含む制御信号を表示制御回路 113 に出力する。また、画像処理回路 110 は、動画または静止画を含む画像信号 Data から 1 フレームの静止画を切り出し、静止画であることを意味する制御信号と共に表示制御回路 113 に出力する。また、画像処理回路 110 は、入力される画像信号 Data を上述の制御信号と共に表示制御回路 113 に出力する。なお、上述した機能は画像処理回路 110 が有する機能の一例であり、表示装置の用途に応じて種々の画像処理機能を選択して適用すればよい。

10

【0059】

なお、デジタル信号に変換された画像信号は演算（例えば画像信号の差分を検出する等）が容易であるため、入力される画像信号（画像信号 Data）がアナログの信号の場合には、A/Dコンバータ等を画像処理回路 110 に設ける。

【0060】

バックライト部 130 はバックライト制御回路 131、及びバックライト 132 を有する。バックライト 132 は、液晶表示装置 200 の用途に応じて用いればよく、発光ダイオード（LED）などを用いることができる。バックライト 132 には例えば白色の発光素子（例えば白色 LED）を配置することができる。バックライト制御回路 131 には、表示制御回路 113 からバックライトを制御するバックライト信号、及び電源電位が供給される。

20

【0061】

次に、図 2 に例示した液晶表示装置の駆動方法について、図 3 乃至図 6 を用いて説明する。本実施の形態で説明する液晶表示装置の駆動方法は、表示する画像の特性に応じて、表示パネルの書き換え頻度（または周波数）を変える表示方法である。具体的には、連続するフレームの画像信号が異なる画像（動画）の場合は、フレーム毎に画像信号が書き込まれる表示モードを用いる。一方、連続するフレームの画像信号が同一な画像（静止画）の場合は、同一な画像を表示する期間に新たに画像信号は書き込まれないか、書き込む頻度を極めて少なくし、液晶素子に電圧を印加する画素電極及び共通電極の電位を浮遊状態（フローティング）にして液晶素子にかかる電圧を保持し、新たに電位を供給することなく静止画の表示を行う表示モードを用いる。

30

【0062】

液晶表示装置は動画と静止画を組み合わせて画面に表示する。動画は、複数のフレームに時分割した複数の異なる画像を高速に切り替えることで人間の目に動く画像として認識される画像をいう。具体的には、1 秒間に 60 回（60 フレーム）以上画像を切り替えることで、人間の目にはちらつきが少なく動画と認識されるものとなる。一方、静止画は、動画及び部分動画と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させていても、連続するフレーム期間、例えば n フレーム目と、(n+1) フレーム目とで変化しない画像のことをいう。

40

【0063】

本発明に係る液晶表示装置は、画像が動く動画表示の時と画像が静止している静止画表示の時とにおいて、それぞれ動画表示モード、静止画表示モードという異なる表示モードを用いることができる。なお本明細書では、静止画表示モードの時に表示される画像を静止画像ともよぶ。

【0064】

本実施の形態の表示パネル 120 と表示制御回路 113 の接続を図 3 に示す。

【0065】

本実施の形態では、表示パネル 120 は画素部 122 の他に、スイッチング素子 127 を有する。本実施の形態では、表示パネル 120 は第 1 の基板と、第 2 の基板を有し、第 1

50

の基板には駆動回路部 1 2 1、画素部 1 2 2、及びスイッチング素子 1 2 7 が設けられている。

【 0 0 6 6 】

また、ユニット 1 2 3 はサブユニット 1 2 3 a、サブユニット 1 2 3 b を含み、サブユニット 1 2 3 a はスイッチング素子としてトランジスタ 2 1 4 a、該トランジスタ 2 1 4 a に接続された容量素子 2 1 0 a、及び液晶素子 2 1 5 a を有し、サブユニット 1 2 3 b はスイッチング素子としてトランジスタ 2 1 4 b、該トランジスタ 2 1 4 b に接続された容量素子 2 1 0 b、及び液晶素子 2 1 5 b を有している（図 3 参照）。

【 0 0 6 7 】

トランジスタ 2 1 4 a、トランジスタ 2 1 4 b は、オフ電流が低減されたトランジスタを用いることが好ましい。トランジスタ 2 1 4 a、トランジスタ 2 1 4 b がオフ状態のとき、オフ電流が低減されたトランジスタ 2 1 4 a、トランジスタ 2 1 4 b に接続された液晶素子 2 1 5 a、液晶素子 2 1 5 b、及び容量素子 2 1 0 a、容量素子 2 1 0 b に蓄えられた電荷は、トランジスタ 2 1 4 a、トランジスタ 2 1 4 b を介して漏れ難く、トランジスタ 2 1 4 a、トランジスタ 2 1 4 b がオフ状態になる前に書き込まれた状態を、次に信号が書き込まれるまで安定して保持できる。

【 0 0 6 8 】

本実施の形態では、液晶は、第 1 の基板に設けられた画素電極と対向する第 2 の基板に設けられた共通電極によって形成された縦方向の電界によって制御される。

【 0 0 6 9 】

液晶素子に適用する液晶の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子分散型液晶（P D L C）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、バナナ型液晶などを挙げることができる。

【 0 0 7 0 】

また液晶の駆動方法の一例としては、T N ( T w i s t e d N e m a t i c ) モード、S T N ( S u p e r T w i s t e d N e m a t i c ) モード、O C B ( O p t i c a l l y C o m p e n s a t e d B i r e f r i n g e n c e ) モード、E C B ( E l e c t r i c a l l y C o n t r o l l e d B i r e f r i n g e n c e ) モード、F L C ( F e r r o e l e c t r i c L i q u i d C r y s t a l ) モード、A F L C ( A n t i F e r r o e l e c t r i c L i q u i d C r y s t a l ) モード、P D L C ( P o l y m e r D i s p e r s e d L i q u i d C r y s t a l ) モード、P N L C ( P o l y m e r N e t w o r k L i q u i d C r y s t a l ) モード、ゲストホストモードなどがある。

【 0 0 7 1 】

スイッチング素子 1 2 7 は、表示制御回路 1 1 3 が出力する制御信号に応じて、共通電位 V c o m を共通電極 1 2 8 に供給する。スイッチング素子 1 2 7 としては、トランジスタを用いることができる。トランジスタのゲート電極及びソース電極またはドレイン電極の一方を表示制御回路 1 1 3 に接続し、ソース電極またはドレイン電極の一方に、端子部 1 2 6 を介して表示制御回路 1 1 3 から共通電位 V c o m が供給されるようにし、他方を共通電極 1 2 8 に接続すればよい。なお、スイッチング素子 1 2 7 は駆動回路部 1 2 1 及び画素部 1 2 2 と同じ基板に形成されるものでもよいし、別の基板に形成されるものでもよい。

【 0 0 7 2 】

スイッチング素子 1 2 7 としてオフ電流が低減されたトランジスタを用いることにより、液晶素子 2 1 5 a、液晶素子 2 1 5 b の両端子に加わる電圧が経時的に低下する現象を抑制できる。

【 0 0 7 3 】

共通接続部は、スイッチング素子 1 2 7 のソース電極またはドレイン電極と接続された端子と、共通電極 1 2 8 を電氣的に接続する。

## 【0074】

スイッチング素子の一態様であるトランジスタを用いるスイッチング素子127のソース電極またはドレイン電極の一方は、端子126Bに接続され、スイッチング素子127のソース電極またはドレイン電極の他方は、トランジスタ214a、トランジスタ214bと接続されていない容量素子210a、容量素子210bの他方の電極、及び液晶素子215a、液晶素子215bの他方の電極に共通接続部を介して接続される。また、スイッチング素子127のゲート電極は端子126Aに接続される。

## 【0075】

次に、画素に供給する信号の様子を、図3に示す液晶表示装置の等価回路図、及び図4に示すタイミングチャートを用いて説明する。

10

## 【0076】

図4に、表示制御回路113がゲート線側駆動回路121Aに供給するクロック信号GCK、及びスタートパルスGSPを示す。また、表示制御回路113がソース線側駆動回路121Bに供給するクロック信号SCK、及びスタートパルスSSPを示す。なお、クロック信号の出力のタイミングを説明するために、図4ではクロック信号の波形を単純な矩形波で示す。

## 【0077】

また図4に、高電源電位Vdd、ソース線125の電位(Data lineの電位)、画素電極の電位、端子126Aの電位、端子126Bの電位、並びに共通電極の電位を示す。

20

## 【0078】

図4において期間1401は、動画を表示するための画像信号を書き込む期間に相当する。期間1401では画像信号、共通電位が画素部122の各画素、共通電極に供給されるように動作する。

## 【0079】

また、期間1402は、静止画を表示する期間に相当する。期間1402では、画素部122の各画素への画像信号、共通電極への共通電位を停止することとなる。なお図4に示す期間1402では、駆動回路部の動作を停止するよう各信号を供給する構成について示したが、期間1402の長さ及びリフレッシュレートによって、定期的に画像信号を書き込むことで静止画の画像の劣化を防ぐ構成とすることが好ましい。

30

## 【0080】

まず、期間1401におけるタイミングチャートを説明する。期間1401では、クロック信号GCKとして、常時クロック信号が供給され、スタートパルスGSPとして、垂直同期周波数に応じたパルスが供給される。また、期間1401では、クロック信号SCKとして、常時クロック信号が供給され、スタートパルスSSPとして、1ゲート選択期間に応じたパルスが供給される。

## 【0081】

また、各行の画素に画像信号Dataがソース線125を介して供給され、ゲート線124の電位に応じて画素電極にソース線125の電位が供給される。

## 【0082】

また、表示制御回路113がスイッチング素子127の端子126Aにスイッチング素子127を導通状態とする電位を供給し、端子126Bを介して共通電極に共通電位を供給する。

40

## 【0083】

一方、期間1402は、静止画を表示する期間である。次に、期間1402におけるタイミングチャートを説明する。期間1402では、クロック信号GCK、スタートパルスGSP、クロック信号SCK、及びスタートパルスSSPは共に停止する。また、期間1402において、ソース線125に供給していた画像信号Dataは停止する。クロック信号GCK及びスタートパルスGSPが共に停止する期間1402では、トランジスタ214a、トランジスタ214bが非導通状態となり画素電極の電位が浮遊状態となる。

50

## 【 0 0 8 4 】

また、表示制御回路 1 1 3 がスイッチング素子 1 2 7 の端子 1 2 6 A にスイッチング素子 1 2 7 を非導通状態とする電位を供給し、共通電極の電位を浮遊状態にする。

## 【 0 0 8 5 】

期間 1 4 0 2 では、液晶素子 2 1 5 a、液晶素子 2 1 5 b の両端子の電極、即ち画素電極及び共通電極の電位を浮遊状態にして、新たに電位を供給することなく、静止画の表示を行うことができる。

## 【 0 0 8 6 】

また、ゲート線側駆動回路 1 2 1 A、及びソース線側駆動回路 1 2 1 B に供給するクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。

10

## 【 0 0 8 7 】

特に、トランジスタ 2 1 4 a、トランジスタ 2 1 4 b 及びスイッチング素子 1 2 7 にオフ電流が低減されたトランジスタを用いることにより、液晶素子 2 1 5 a、液晶素子 2 1 5 b の両端子に加わる電圧が経時的に低下する現象を抑制できる。

## 【 0 0 8 8 】

次に、動画から静止画に切り替わる期間（図 4 中の期間 1 4 0 3）、及び静止画から動画に切り替わる期間（図 4 中の期間 1 4 0 4）における表示制御回路の動作を、図 5（A）、（B）を用いて説明する。図 5（A）、（B）は表示制御回路が出力する、高電源電位  $V_{dd}$ 、クロック信号（ここでは  $GCK$ ）、スタートパルス信号（ここでは  $GSP$ ）、及び端子 1 2 6 A の電位を示す。

20

## 【 0 0 8 9 】

動画から静止画に切り替わる期間 1 4 0 3 の表示制御回路の動作を図 5（A）に示す。表示制御回路は、スタートパルス  $GSP$  を停止する（図 5（A）の E 1、第 1 のステップ）。次いで、パルス出力がシフトレジスタの最終段まで達した後に、複数のクロック信号  $GCK$  を停止する（図 5（A）の E 2、第 2 のステップ）。次いで、電源電圧を高電源電位  $V_{dd}$  から低電源電位  $V_{ss}$  にする（図 5（A）の E 3、第 3 のステップ）。次いで、端子 1 2 6 A の電位を、スイッチング素子 1 2 7 が非導通状態となる電位にする（図 5（A）の E 4、第 4 のステップ）。

## 【 0 0 9 0 】

以上の手順をもって、駆動回路部 1 2 1 の誤動作を引き起こすことなく、駆動回路部 1 2 1 に供給する信号を停止できる。動画から静止画に切り替わる際の誤動作はノイズを生じ、ノイズは静止画として保持されるため、誤動作が少ない表示制御回路を搭載した液晶表示装置は画像の劣化が少ない静止画を表示できる。

30

## 【 0 0 9 1 】

次に静止画から動画に切り替わる期間 1 4 0 4 の表示制御回路の動作を図 5（B）に示す。表示制御回路は、端子 1 2 6 A の電位をスイッチング素子 1 2 7 が導通状態となる電位にする（図 5（B）の S 1、第 1 のステップ）。次いで、電源電圧を低電源電位  $V_{ss}$  から高電源電位  $V_{dd}$  にする（図 5（B）の S 2、第 2 のステップ）。次いで、先にハイの電位を与えた後、複数のクロック信号  $GCK$  を供給する（図 5（B）の S 3、第 3 のステップ）。次いでスタートパルス信号  $GSP$  を供給する（図 5（B）の S 4、第 4 のステップ）。

40

## 【 0 0 9 2 】

以上の手順をもって、駆動回路部 1 2 1 の誤動作を引き起こすことなく駆動回路部 1 2 1 に駆動信号の供給を再開できる。各配線の電位を適宜順番に動画表示時に戻すことで、誤動作なく駆動回路部の駆動を行うことができる。

## 【 0 0 9 3 】

また、図 6 に、動画を表示する期間 6 0 1 及び静止画を表示する期間 6 0 2 における画像信号の書き込み頻度を模式的に示す。図 6 中、「W」は画像信号の書き込み期間であることをあらわし、「H」は画像信号を保持する期間であることを示している。また、図 6 中、期間 6 0 3 は 1 フレーム期間を表したものであるが、別の期間であってもよい。

50

## 【 0 0 9 4 】

このように、本実施の形態の液晶表示装置の構成において、期間 6 0 2 で表示される静止画の画像信号は期間 6 0 4 に書き込まれ、期間 6 0 4 で書き込まれた画像信号は、期間 6 0 2 の他の期間で保持される。

## 【 0 0 9 5 】

次に、画像処理回路 1 1 0 の構成、及び画像処理回路 1 1 0 が信号を処理する手順について、図 7 に一例を示して説明する。なお、図 7 に示す画像処理回路 1 1 0 は、本実施の形態の一態様であり、本実施の形態はこの構成に限定されない。

## 【 0 0 9 6 】

図 7 に例示する画像処理回路 1 1 0 は、連続して入力される画像信号を解析し、動画と静止画を判別する。また、入力される画像信号（画像信号 Data）が動画から静止画に移行する際に、静止画を切り出し、静止画であることを意味する制御信号と共に表示制御回路 1 1 3 に出力する。また、入力される画像信号（画像信号 Data）が静止画から動画に移行する際に、動画を含む画像信号を、動画であることを意味する制御信号と共に表示制御回路 1 1 3 に出力する。

10

## 【 0 0 9 7 】

図 7 に例示する画像処理回路 1 1 0 は、記憶回路 1 1 1、比較回路 1 1 2、及び選択回路 1 1 5 を有する。画像処理回路 1 1 0 は、入力されたデジタル画像信号 Data から表示パネル画像信号とバックライト信号を生成する。表示パネル画像信号は、表示パネル 1 2 0 を制御する画像信号であり、バックライト信号はバックライト部 1 3 0 を制御する信号である。

20

## 【 0 0 9 8 】

記憶回路 1 1 1 は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリを有する。記憶回路 1 1 1 が有するフレームメモリの数には特に限定されるものではなく、複数のフレームに関する画像信号を記憶できる素子であればよい。なおフレームメモリは、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等の記憶素子を用いて構成すればよい。

## 【 0 0 9 9 】

なおフレームメモリは、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。またフレームメモリの画像信号は、比較回路 1 1 2 及び表示制御回路 1 1 3 により選択的に読み出されるものである。なお図中のフレームメモリ 1 1 1 b は、1 フレーム分のメモリ領域を概念的に図示するものである。

30

## 【 0 1 0 0 】

比較回路 1 1 2 は、記憶回路 1 1 1 に記憶された連続するフレーム期間の画像信号を選択的に読み出して、当該画像信号の連続するフレーム間での比較を画素毎に行い、差分を検出するための回路である。

## 【 0 1 0 1 】

なお、本実施の形態では連続するフレーム間の画像信号の差分の有無により、表示制御回路 1 1 3 及び選択回路 1 1 5 の動作を決定する。当該比較回路 1 1 2 がフレーム間のいずれかの画素で差分を検出した場合（差分「有」の場合）、比較回路 1 1 2 は画像信号が静止画ではないと判断し、差分を検出した連続するフレーム期間を動画であると判断する。

40

## 【 0 1 0 2 】

一方、比較回路 1 1 2 での画像信号の比較により、全ての画素で差分が検出されない場合（差分「無」の場合）、当該差分を検出しなかった連続するフレーム期間は、静止画であると判断する。すなわち比較回路 1 1 2 は、連続するフレーム期間の画像信号の差分の有無を検出することによって、動画を表示するための画像信号であるか、または静止画を表示するための画像信号であるかの判断をするものである。

## 【 0 1 0 3 】

50

なお、当該比較により「差分が有る」と検出される基準は、差分の大きさが一定のレベルを超えたときに、差分有りとして検出したと判断されるように設定してもよい。なお比較回路 1 1 2 の検出する差分は、差分の絶対値によって判断をする設定とすればよい。

【 0 1 0 4 】

また、本実施の形態においては、液晶表示装置 2 0 0 内部に設けられた比較回路 1 1 2 が連続するフレーム期間の画像信号の差分を検出することにより当該画像が動画又は静止画のいずれであるか判断を行う構成について示したが、外部から動画であるか静止画であるかを示す信号を供給する構成としてもよい。

【 0 1 0 5 】

選択回路 1 1 5 は、例えばトランジスタで形成される複数のスイッチを設ける構成とする。比較回路 1 1 2 が連続するフレーム間に差分を検出した場合、すなわち画像が動画の際、記憶回路 1 1 1 内のフレームメモリから動画の画像信号を選択して表示制御回路 1 1 3 に出力する。

10

【 0 1 0 6 】

なお選択回路 1 1 5 は、比較回路 1 1 2 が連続するフレーム間に差分を検出しない場合、すなわち画像が静止画の際、記憶回路 1 1 1 内のフレームメモリから表示制御回路 1 1 3 に画像信号を出力しない。画像信号をフレームメモリより表示制御回路 1 1 3 に出力しない構成とすることにより、液晶表示装置の消費電力を削減できる。

【 0 1 0 7 】

なお、本実施の形態の液晶表示装置において、比較回路 1 1 2 が画像を静止画と判断しておこなう動作が静止画表示モード、比較回路 1 1 2 が画像を動画と判断しておこなう動作が動画表示モードとなる。

20

【 0 1 0 8 】

以上のように、図 7 に例示する画像処理回路 1 1 0 を用いれば、入力される画像信号 Data が動画であるか静止画であるかを判断し、判断結果を含む制御信号を表示制御回路 1 1 3 に出力できる。また、動画または静止画を含む画像信号 Data から 1 フレームの静止画を切り出し、静止画であることを意味する制御信号と共に表示制御回路 1 1 3 に出力できる。また、入力される画像信号 Data を上述の制御信号と共に表示制御回路 1 1 3 に出力できる。

【 0 1 0 9 】

また、静止画であることを意味する制御信号を画像処理回路 1 1 0 から受け取った表示制御回路 1 1 3 は、静止画を表示する期間において画像信号の書き込み頻度を低減する。その結果、静止画を表示する際の低消費電力化を図ることができる。

30

【 0 1 1 0 】

また、同一の画像を複数回書き換えて静止画を表示する場合、画像の切り替わりが視認できると、人間は目に疲労を感じることもあり得る。本実施の形態の液晶表示装置は、画像信号の書き込み頻度が削減されているため、目の疲労を減らすといった効果もある。

【 0 1 1 1 】

特に、本実施の形態の液晶表示装置は、オフ電流が低減されたトランジスタを各画素、並びに共通電極のスイッチング素子に適用することにより、保持容量で電圧を保持できる期間（時間）を長く取ることができる。その結果、画像信号の書き込み頻度を画期的に低減することが可能になり、静止画を表示する際の低消費電力化、及び目の疲労の低減に、顕著な効果を有する。

40

【 0 1 1 2 】

（実施の形態 2）

本実施の形態においては、上記実施の形態 1 で説明した液晶表示装置を具備する電子機器の例について説明する。

【 0 1 1 3 】

図 8（A）には、電子機器であるテレビ受像機の外觀図について示したものである。図 8（A）では、上記実施の形態で述べた表示パネルを用いて作製された表示モジュール 7 0

50

1 が納められた筐体 700 に、スピーカ 702、操作キー 703、外部接続端子 704、照度センサ 705などを有する構成について示している。

【0114】

図8(A)に示すテレビ受像機は、動画の他、文字情報または静止画表示を行うことができる。また、表示部の一部の領域のみを動画表示とし、その他の領域を静止画表示とすることもできる。なお静止画の表示は、文字、図形、記号、写真、模様若しくは絵画若しくはこれらの結合又はこれらと色彩の結合を含むものである。

【0115】

図8(B)には、テレビ受像機の主要な構成についてのブロック図を示す。図8(B)に示すテレビ受像機 710は、チューナ 711、デジタル復調回路 712、映像信号処理回路 713、音声信号処理回路 714、表示調節回路 715、表示制御回路 716、表示パネル 717、ゲート線側駆動回路 718、ソース線側駆動回路 719、スピーカ 720、画像処理回路 724を有する。

10

【0116】

チューナ 711はアンテナ 721より映像信号と音声信号を受信する。デジタル復調回路 712は、チューナ 711からの信号を、デジタル信号の映像信号と音声信号に復調する回路である。映像信号処理回路 713は、デジタル信号の映像信号を赤、緑、青の各色に対応した色信号に変換する等の処理を行うための回路である。音声信号処理回路 714は、デジタル信号の音声信号を、スピーカ 720で音声として出力するための信号に変換する等の処理を行うための回路である。表示調節回路 715は受信局(受信周波数)及び音量の制御情報を外部入力部 722から受け、チューナ 711又は音声信号処理回路 714に信号を送信するための回路である。

20

【0117】

また、表示制御回路 716、表示パネル 717、ゲート線側駆動回路 718、ソース線側駆動回路 719、画像処理回路 724は、それぞれ上記実施の形態で説明した表示制御回路 113、表示パネル 120、ソース線側駆動回路 121B、ゲート線側駆動回路 121A、画像処理回路 110に相当する。すなわち、点線部 723が、上記実施の形態で述べた液晶表示装置 200に相当する構成となる。なお、表示制御回路 716及び画像処理回路 724の機能は、上述の映像信号処理回路 713で兼ねる構成であってもよい。そのため、画像信号の書き換え回数を削減する構成とすることができるため、書き換えによるちらつきを緩和させ、目の疲労を減らすといった効果もある。

30

【0118】

次いで図9(A)には、電子機器である電子計算機(パーソナルコンピュータ)用途のモニター(PCモニターともいう)の外観図について示したものである。図9(A)では、上記実施の形態で述べた表示パネルを用いて作製された表示モジュール 801が納められた筐体 800に、スピーカ 802、外部接続端子 803などを有する構成について示している。なお図9(A)には、PCモニターであることを理解するために、ウィンドウ型表示部 804を示している。

【0119】

なお、図9(A)では、いわゆるデスクトップ型のPCモニターの構成について示しているが、他にもノート型パーソナルコンピュータ用途のPCモニターであってもよい。なおPCモニターの表示は、動画の他、文字、図形、記号、写真、模様若しくは絵画若しくはこれらの結合又はこれらと色彩の結合を含む静止画を含むものである。

40

【0120】

図9(B)には、PCモニターの主要な構成についてのブロック図を示す。図9(B)に示すPCモニター 810は、映像信号処理回路 813、音声信号処理回路 814、表示制御回路 816、表示パネル 817、ゲート線側駆動回路 818、ソース線側駆動回路 819、スピーカ 820、画像処理回路 824を有する。

【0121】

映像信号処理回路 813は、CPU等の外部演算回路 821からの映像信号を赤、緑、青

50

の各色に対応した色信号に変換する等の処理を行うための回路である。音声信号処理回路 8 1 4 は、CPU等の外部演算回路 8 2 1 からの音声信号を、スピーカ 8 2 0 で音声として出力するための信号に変換する等の処理を行うための回路である。また映像信号処理回路 8 1 3 及び音声信号処理回路 8 1 4 は、キーボード等の外部操作手段 8 2 2 による操作に応じて、出力する信号を可変する。

#### 【 0 1 2 2 】

また、表示制御回路 8 1 6、表示パネル 8 1 7、ゲート線側駆動回路 8 1 8、ソース線側駆動回路 8 1 9、画像処理回路 8 2 4 は、それぞれ上記実施の形態で説明した表示制御回路 1 1 3、表示パネル 1 2 0、ソース線側駆動回路 1 2 1 B、ゲート線側駆動回路 1 2 1 A、画像処理回路 1 1 0 に相当する。すなわち、点線部 8 2 3 が、上記実施の形態で述べた液晶表示装置 2 0 0 に相当する構成となる。なお、表示制御回路 8 1 6 及び画像処理回路 8 2 4 の機能は、上述の映像信号処理回路 8 1 3 で兼ねる構成であってもよい。そのため、画像信号の書き換え回数を削減する構成とすることができるため、書き換えによるちらつきを緩和させ、目の疲労を減らすといった効果もある。

10

#### 【 0 1 2 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

#### 【 0 1 2 4 】

(実施の形態 3)

本実施の形態では、本明細書に開示する液晶表示装置に用いることのできるバックライト (バックライト部、バックライトユニット) の構成の例について図 1 0 及び図 1 1 を用いて説明する。

20

#### 【 0 1 2 5 】

図 1 0 (A) は、エッジライト方式と呼ばれるバックライト部 5 2 0 1 と、表示パネル 5 2 0 7 とを有している液晶表示装置の一例を示す。エッジライト式とは、バックライト部の端部に光源を配置し、その光源の光を発光面全体から放射する方式である。

#### 【 0 1 2 6 】

バックライト部 5 2 0 1 は、拡散板 5 2 0 2 (拡散シートともいう)、導光板 5 2 0 3、反射板 5 2 0 4、ランプリフレクタ 5 2 0 5 及び光源 5 2 0 6 によって構成される。なおバックライト部 5 2 0 1 は他にも輝度向上フィルム等を設ける構成としてもよい。

30

#### 【 0 1 2 7 】

光源 5 2 0 6 は必要に応じて発光する機能を有している。例えば、光源 5 2 0 6 としては冷陰極管 (CCFL: Cold Cathode Fluorescent Lamp)、発光ダイオード、又は EL 素子などが用いられる。

#### 【 0 1 2 8 】

図 1 0 (B) は、エッジライト式のバックライト部の詳細な構成を示す図である。なお、拡散板、導光板及び反射板などはその説明を省略する。

#### 【 0 1 2 9 】

図 1 0 (B) に示すバックライト部 5 2 0 1 は、光源として発光ダイオード (LED) 5 2 2 3 を用いた構成である。例えば、白色に発する発光ダイオード (LED) 5 2 2 3 は所定の間隔に配置される。そして、発光ダイオード (LED) 5 2 2 3 からの光を効率よく反射させるため、ランプリフレクタ 5 2 2 2 が設けられている。なおフィールドシーケンシャル方式と組み合わせて表示を行う場合には、光源として各色 RGB の発光ダイオード (LED) を用いる構成としてもよい。

40

#### 【 0 1 3 0 】

図 1 0 (C) は、直下型と呼ばれるバックライト部と、液晶パネルとを有する液晶表示装置の一例を示す。直下型とは、発光面の直下に光源を配置することで、その光源の光を発光面全体から放射する方式である。

#### 【 0 1 3 1 】

バックライト部 5 2 9 0 は、拡散板 5 2 9 1、遮光部 5 2 9 2、ランプリフレクタ 5 2 9

50

3、光源5294及び液晶パネル5295によって構成される。

【0132】

光源5294は、必要に応じて発光する機能を有している。例えば、光源5294としては、冷陰極管、発光ダイオード、又は発光素子であるEL素子（例えば有機エレクトロルミネッセンス素子）などが用いられる。

【0133】

なお、直下型と呼ばれるバックライト部において、光源に発光素子であるEL素子を用いることによりバックライト部の薄型化をはかることができる。EL素子を用いたバックライト部の一例を図11(A)に示す。

【0134】

図11(A)で示すバックライト部5290は、基板1020上に設けられたEL素子1025を含む。EL素子1025は、一对の電極（陽極1001、陰極1002）間に発光領域を含むEL層1003が挟まれた構造を有する。なお、EL素子1025を覆うように基板やフィルム、保護膜などを設け、EL素子1025を封止する構成としてもよい。

【0135】

本実施の形態では、陽極1001を通過してEL層1003からの光を表示パネル5207に照射する構成であるので、陽極1001として光を透過する材料、例えば酸化インジウムスズ（ITO）等の材料を用いて構成すればよい。また陰極1002としては光を反射する材料、例えばアルミニウム膜等の材料を用いて構成すればよい。陽極1001および陰極1002のうち、少なくとも一方が透光性を有すればよい。

【0136】

図11(A)のEL素子1025の素子構造の例を図11(B)(C)に示す。

【0137】

EL層1003は、少なくとも発光層1013を含んで形成されていればよく、発光層1013以外の機能層を含む積層構造であっても良い。発光層1013以外の機能層としては、正孔注入性の高い物質、正孔輸送性の高い物質、電子輸送性の高い物質、電子注入性の高い物質、パイポーラ性（電子及び正孔の輸送性の高い物質）の物質等を含む層を用いることができる。具体的には、正孔注入層1011、正孔輸送層1012、発光層1013、電子輸送層1014、電子注入層1015等の機能層を適宜組み合わせる用いることができる。

【0138】

次に、上述したEL素子1025に用いることができる材料について、具体的に説明する。

【0139】

陽極1001としては、仕事関数の大きい（具体的には4.0eV以上が好ましい。）金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることが好ましい。具体的には、例えば、酸化インジウム - 酸化スズ（ITO: Indium Tin Oxide）、珪素若しくは酸化珪素を含有した酸化インジウム - 酸化スズ、酸化インジウム - 酸化亜鉛（IZO: Indium Zinc Oxide）、酸化タングステン及び酸化亜鉛を含有した酸化インジウム等の導電性金属酸化物が挙げられる。

【0140】

これらの導電性金属酸化物膜は、通常スパッタにより成膜されるが、ゾル - ゲル法などを応用して作製しても構わない。例えば、酸化インジウム - 酸化亜鉛（IZO）は、酸化インジウムに対し1~20wt%の酸化亜鉛を加えたターゲットを用いてスパッタリング法により形成することができる。また、酸化タングステン及び酸化亜鉛を含有した酸化インジウムは、酸化インジウムに対し酸化タングステンを0.5~5wt%、酸化亜鉛を0.1~1wt%含有したターゲットを用いてスパッタリング法により形成することができる。

【0141】

10

20

30

40

50

この他、陽極 1001 に用いられる材料としては、金 (Au)、白金 (Pt)、ニッケル (Ni)、タングステン (W)、クロム (Cr)、モリブデン (Mo)、鉄 (Fe)、コバルト (Co)、銅 (Cu)、パラジウム (Pd)、チタン (Ti)、または金属材料の窒化物 (例えば、窒化チタン等)、モリブデン酸化物、バナジウム酸化物、ルテニウム酸化物、タングステン酸化物、マンガン酸化物、チタン酸化物等が挙げられる。

【0142】

陰極 1002 としては、仕事関数の小さい (具体的には 3.8 eV 以下であることが好ましい) 金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。このような陰極材料の具体例としては、元素周期表の第 1 族または第 2 族に属する元素、すなわちリチウム (Li) やセシウム (Cs) 等のアルカリ金属、およびマグネシウム (Mg)、カルシウム (Ca)、ストロンチウム (Sr) 等のアルカリ土類金属、およびこれらを含む合金 (MgAg、AlLi)、ユウロピウム (Eu)、イッテルビウム (Yb) 等の希土類金属およびこれらを含む合金等が挙げられる。なお、アルカリ金属、アルカリ土類金属、これらを含む合金の膜は、真空蒸着法を用いて形成することができる。また、アルカリ金属またはアルカリ土類金属を含む合金はスパッタリング法により形成することも可能である。また、銀ペーストなどをインクジェット法などにより成膜することも可能である。

10

【0143】

この他、アルカリ金属化合物、アルカリ土類金属化合物、または希土類金属の化合物 (例えば、フッ化リチウム (LiF)、酸化リチウム (LiOx)、フッ化セシウム (CsF)、フッ化カルシウム (CaF<sub>2</sub>)、フッ化エルビウム (ErF<sub>3</sub>) など) の薄膜と、アルミニウム等の金属膜とを積層することによって、陰極 1002 を形成することも可能である。

20

【0144】

次に、EL 層 1003 を構成する各層に用いる材料について、以下に具体例を示す。

【0145】

正孔注入層 1011 は、正孔注入性の高い物質を含む層である。正孔注入性の高い物質としては、例えば、モリブデン酸化物やバナジウム酸化物、ルテニウム酸化物、タングステン酸化物、マンガン酸化物等を用いることができる。この他、フタロシアニン (略称: H<sub>2</sub>Pc) や銅フタロシアニン (CuPc) 等のフタロシアニン系の化合物、4,4'-ビス [N-(4-ジフェニルアミノフェニル)-N-フェニルアミノ] ビフェニル (略称: DPAB)、N,N'-ビス [4-[ビス(3-メチルフェニル)アミノ]フェニル]-N,N'-ジフェニル-[1,1'-ビフェニル]-4,4'-ジアミン (略称: DNTPD) 等の芳香族アミン化合物、或いはポリ(3,4-エチレンジオキシチオフェン)/ポリ(スチレンスルホン酸) (PEDOT/PSS) 等の高分子等によっても正孔注入層 1011 を形成することができる。さらに、トリス(p-エナミン置換-アミノフェニル)アミン化合物、2,7-ジアミノ-9-フルオレニリデン化合物、トリ(p-N-エナミン置換-アミノフェニル)ベンゼン化合物、アリール基が少なくとも 1 つ置換したエテニル基が一つ又は 2 つ置換したピレン化合物、N,N'-ジ(ビフェニル-4-イル)-N,N'-ジフェニルビフェニル-4,4'-ジアミン、N,N,N',N'-テトラ(ビフェニル-4-イル)ビフェニル-4,4'-ジアミン、N,N,N',N'-テトラ(ビフェニル-4-イル)-3,3'-ジエチルビフェニル-4,4'-ジアミン、2,2'-(メチレンジ-4,1-フェニレン)ビス[4,5-ビス(4-メトキシフェニル)-2H-1,2,3-トリアゾール]、2,2'-(ビフェニル-4,4'-ジイル)ビス(4,5-ジフェニル-2H-1,2,3-トリアゾール)、2,2'-(3,3'-ジメチルビフェニル-4,4'-ジイル)ビス(4,5-ジフェニル-2H-1,2,3-トリアゾール)、ビス[4-(4,5-ジフェニル-2H-1,2,3-トリアゾール-2-イル)フェニル](メチル)アミン等を用いて正孔注入層 1011 を形成することができる。

30

40

【0146】

50

また、正孔注入層 1011 として、有機化合物と無機化合物（好ましくは、有機化合物に対して電子受容性を示す無機化合物）とを複合してなる正孔注入性複合材料を用いることができる。正孔注入性複合材料は、有機化合物と無機化合物との間で電子の授受が行われ、キャリア密度が増大するため、正孔注入性、正孔輸送性に優れている。

【0147】

また、正孔注入層 1011 として正孔注入性複合材料を用いた場合、陽極 1001 とオーム接触をすることが可能となるため、仕事関数に関わらず陽極 1001 を形成する材料を選ぶことができる。

【0148】

正孔注入性複合材料に用いる無機化合物としては、遷移金属の酸化物であることが好ましい。また元素周期表における第 4 族乃至第 8 族に属する金属の酸化物を挙げることができる。具体的には、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、酸化レニウムは電子受容性が高いため好ましい。中でも特に、酸化モリブデンは大気中で安定であり、吸湿性が低く、扱いやすいため好ましい。

10

【0149】

正孔注入性複合材料に用いる有機化合物としては、芳香族アミン化合物、カルバゾール誘導体、芳香族炭化水素、高分子化合物（オリゴマー、 dendroliマー、ポリマー等）など、種々の化合物を用いることができる。なお、正孔注入性複合材料に用いる有機化合物としては、正孔輸送性の高い有機化合物であることが好ましい。具体的には、 $10^{-6} \text{ cm}^2 / \text{Vs}$  以上の正孔移動度を有する物質であることが好ましい。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。以下では、正孔注入性複合材料に用いることのできる有機化合物を具体的に列挙する。

20

【0150】

例えば、芳香族アミン化合物としては、N, N' - ジ ( p - トリル ) - N, N' - ジフェニル - p - フェレンジアミン ( 略称 : DTDPPA )、4, 4' - ビス [ N - ( 4 - ジフェニルアミノフェニル ) - N - フェニルアミノ ] ビフェニル ( 略称 : DPAB )、N, N' - ビス [ 4 - [ ビス ( 3 - メチルフェニル ) アミノ ] フェニル ] - N, N' - ジフェニル - [ 1, 1' - ビフェニル ] - 4, 4' - ジアミン ( 略称 : DNTPD )、1, 3, 5 - トリス [ N - ( 4 - ジフェニルアミノフェニル ) - N - フェニルアミノ ] ベンゼン ( 略称 : DPA3B ) 等を挙げることができる。

30

【0151】

正孔注入性複合材料に用いることのできるカルバゾール誘導体としては、具体的には、3 - [ N - ( 9 - フェニルカルバゾール - 3 - イル ) - N - フェニルアミノ ] - 9 - フェニルカルバゾール ( 略称 : PCzPCA1 )、3, 6 - ビス [ N - ( 9 - フェニルカルバゾール - 3 - イル ) - N - フェニルアミノ ] - 9 - フェニルカルバゾール ( 略称 : PCzPCA2 )、3 - [ N - ( 1 - ナフチル ) - N - ( 9 - フェニルカルバゾール - 3 - イル ) アミノ ] - 9 - フェニルカルバゾール ( 略称 : PCzPCN1 ) 等を挙げることができる。

【0152】

また、4, 4' - ジ ( N - カルバゾリル ) ビフェニル ( 略称 : CBP )、1, 3, 5 - トリス [ 4 - ( N - カルバゾリル ) フェニル ] ベンゼン ( 略称 : TCPB )、9 - [ 4 - ( N - カルバゾリル ) ] フェニル - 10 - フェニルアントラセン ( 略称 : CzPA )、1, 4 - ビス [ 4 - ( N - カルバゾリル ) フェニル ] - 2, 3, 5, 6 - テトラフェニルベンゼン等を用いることができる。

40

【0153】

また、正孔注入性複合材料に用いることのできる芳香族炭化水素としては、例えば、2 - tert - ブチル - 9, 10 - ジ ( 2 - ナフチル ) アントラセン ( 略称 : t - BuDNA )、2 - tert - ブチル - 9, 10 - ジ ( 1 - ナフチル ) アントラセン、9, 10 - ビス ( 3, 5 - ジフェニルフェニル ) アントラセン ( 略称 : DPPA )、2 - tert - ブ

50

チル - 9, 10 - ビス (4 - フェニルフェニル) アントラセン (略称: t - BuDBA)、9, 10 - ジ (2 - ナフチル) アントラセン (略称: DNA)、9, 10 - ジフェニルアントラセン (略称: DPAnth)、2 - tert - ブチルアントラセン (略称: t - BuAnth)、9, 10 - ビス (4 - メチル - 1 - ナフチル) アントラセン (略称: DMNA)、2 - tert - ブチル - 9, 10 - ビス [2 - (1 - ナフチル) フェニル] アントラセン、9, 10 - ビス [2 - (1 - ナフチル) フェニル] アントラセン、2, 3, 6, 7 - テトラメチル - 9, 10 - ジ (1 - ナフチル) アントラセン、2, 3, 6, 7 - テトラメチル - 9, 10 - ジ (2 - ナフチル) アントラセン、9, 9' - ビアントリル、10, 10' - ジフェニル - 9, 9' - ビアントリル、10, 10' - ビス (2 - フェニルフェニル) - 9, 9' - ビアントリル、10, 10' - ビス [(2, 3, 4, 5, 6 - ペンタフェニル) フェニル] - 9, 9' - ビアントリル、アントラセン、テトラセン、ルブレン、ペリレン、2, 5, 8, 11 - テトラ (tert - ブチル) ペリレン等が挙げられる。また、この他、ペンタセン、コロネン等も用いることができる。このように、 $1 \times 10^{-6} \text{ cm}^2 / \text{Vs}$  以上の正孔移動度を有し、炭素数 14 ~ 42 である芳香族炭化水素を用いることがより好ましい。

10

## 【0154】

なお、正孔注入性複合材料に用いることのできる芳香族炭化水素は、ビニル骨格を有していてもよい。ビニル基を有している芳香族炭化水素としては、例えば、4, 4' - ビス (2, 2 - ジフェニルビニル) ビフェニル (略称: DPVBi)、9, 10 - ビス [4 - (2, 2 - ジフェニルビニル) フェニル] アントラセン (略称: DPVPA) 等が挙げられる。

20

## 【0155】

また、ポリ (N - ビニルカルバゾール) (略称: PVK) やポリ (4 - ビニルトリフェニルアミン) (略称: PVTPA) 等の高分子化合物を用いることもできる。

## 【0156】

正孔輸送層 1012 は、正孔輸送性の高い物質を含む層である。正孔輸送性の高い物質としては、例えば、芳香族アミン (すなわち、ベンゼン環 - 窒素の結合を有するもの) の化合物であることが好ましい。広く用いられている材料として、4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニルアミノ] ビフェニル、その誘導体である 4, 4' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニル (以下、NPB と記す)、4, 4', 4'' - トリス (N, N - ジフェニル - アミノ) トリフェニルアミン、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニルアミノ] トリフェニルアミンなどのスターバースト型芳香族アミン化合物が挙げられる。ここに述べた物質は、主に  $10^{-6} \text{ cm}^2 / \text{Vs}$  以上の正孔移動度を有する物質である。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。なお、正孔輸送層 1012 は、単層のものだけでなく、上記物質の混合層、あるいは二層以上積層したものであってもよい。

30

## 【0157】

また、PMMA のような電氣的に不活性な高分子化合物に、正孔輸送性材料を添加してもよい。

40

## 【0158】

また、ポリ (N - ビニルカルバゾール) (略称: PVK) やポリ (4 - ビニルトリフェニルアミン) (略称: PVTPA)、ポリ [N - (4 - {N' - [4 - (4 - ジフェニルアミノ) フェニル] フェニル - N' - フェニルアミノ} フェニル) メタクリルアミド] (略称: PTPDMA) ポリ [N, N' - ビス (4 - ブチルフェニル) - N, N' - ビス (フェニル) ベンジジン] (略称: Poly - TPD) などの高分子化合物を用いてもよく、さらに上記高分子化合物に上記正孔輸送性材料を適宜添加してもよい。さらに、トリス (p - エナミン置換 - アミノフェニル) アミン化合物、2, 7 - ジアミノ - 9 - フルオレニリデン化合物、トリ (p - N - エナミン置換 - アミノフェニル) ベンゼン化合物、アリール基が少なくとも 1 つ置換したエテニル基が一つ又は 2 つ置換したビレン化合物、N, N

50

' - ジ ( ビフェニル - 4 - イル ) - N , N ' - ジフェニルビフェニル - 4 , 4 ' - ジアミン、N , N , N ' , N ' - テトラ ( ビフェニル - 4 - イル ) ビフェニル - 4 , 4 ' - ジアミン、N , N , N ' , N ' - テトラ ( ビフェニル - 4 - イル ) - 3 , 3 ' - ジエチルビフェニル - 4 , 4 ' - ジアミン、2 , 2 ' - ( メチレンジ - 4 , 1 - フェニレン ) ビス [ 4 , 5 - ビス ( 4 - メトキシフェニル ) - 2 H - 1 , 2 , 3 - トリアゾール ]、2 , 2 ' - ( ビフェニル - 4 , 4 ' - ジイル ) ビス ( 4 , 5 - ジフェニル - 2 H - 1 , 2 , 3 - トリアゾール )、2 , 2 ' - ( 3 , 3 ' - ジメチルビフェニル - 4 , 4 ' - ジイル ) ビス ( 4 , 5 - ジフェニル - 2 H - 1 , 2 , 3 - トリアゾール )、ビス [ 4 - ( 4 , 5 - ジフェニル - 2 H - 1 , 2 , 3 - トリアゾール - 2 - イル ) フェニル ] ( メチル ) アミン等も正孔輸送層 1 0 1 2 に用いることができる。

10

## 【 0 1 5 9 】

発光層 1 0 1 3 は、発光性の物質を含む層であり、種々の材料を用いることができる。例えば、発光性の物質としては、蛍光を発光する蛍光性化合物や燐光を発光する燐光性化合物を用いることができる。以下に、発光層に用いることのできる有機化合物材料を説明する。ただし、E L 素子 1 0 2 5 に適用可能な材料はこれらに限定されるものではない。

## 【 0 1 6 0 】

青色～青緑色の発光は、例えば、ペリレン、2 , 5 , 8 , 1 1 - テトラ - t - ブチルペリレン ( 略称 : T B P )、9 , 1 0 - ジフェニルアントラセンなどをゲスト材料として用い、適当なホスト材料に分散させることによって得られる。また、4 , 4 ' - ビス ( 2 , 2 - ジフェニルビニル ) ビフェニル ( 略称 : D P V B i ) などのスチリルアリーレン誘導体や、9 , 1 0 - ジ - 2 - ナフチルアントラセン ( 略称 : D N A )、9 , 1 0 - ビス ( 2 - ナフチル ) - 2 - t - ブチルアントラセン ( 略称 : t - B u D N A ) などのアントラセン誘導体から得ることができる。また、ポリ ( 9 , 9 - ジオクチルフルオレン ) 等のポリマーを用いても良い。また、青色発光のゲスト材料としては、スチリルアミン誘導体が好ましく、N , N ' - ビス [ 4 - ( 9 H - カルバゾール - 9 - イル ) フェニル ] - N , N ' - ジフェニルスチルベン - 4 , 4 ' - ジアミン ( 略称 : Y G A 2 S ) や、N , N ' - ジフェニル - N , N ' - ビス ( 9 - フェニル - 9 H - カルバゾール - 3 - イル ) スチルベン - 4 , 4 ' - ジアミン ( 略称 : P C A 2 S ) などが挙げられる。特に Y G A 2 S は、4 5 0 n m 付近にピークを有しており好ましい。また、ホスト材料としては、アントラセン誘導体が好ましく、9 , 1 0 - ビス ( 2 - ナフチル ) - 2 - t - ブチルアントラセン ( 略称 : t - B u D N A ) や、9 - [ 4 - ( 1 0 - フェニル - 9 - アントリル ) フェニル ] - 9 H - カルバゾール ( 略称 : C z P A ) が好適である。特に、C z P A は電気化学的に安定であるため好ましい。

20

30

## 【 0 1 6 1 】

青緑色～緑色の発光は、例えば、クマリン 3 0、クマリン 6 などのクマリン系色素や、ビス [ 2 - ( 2 , 4 - ジフルオロフェニル ) ピリジナト ] ピコリナトイリジウム ( 略称 : F I r p i c )、ビス ( 2 - フェニルピリジナト ) アセチルアセトナトイリジウム ( I r ( p p y ) <sub>2</sub> ( a c a c ) ) などをゲスト材料として用い、適当なホスト材料に分散させることによって得られる。また、上述のペリレンや T B P を 5 w t % 以上の高濃度で適当なホスト材料に分散させることによっても得られる。また、B A l q、Z n ( B T Z ) <sub>2</sub>、ビス ( 2 - メチル - 8 - キノリノラト ) クロロガリウム ( G a ( m q ) <sub>2</sub> C l ) などの金属錯体からも得ることができる。また、ポリ ( p - フェニレンビニレン ) 等のポリマーを用いても良い。また、青緑色～緑色の発光層のゲスト材料としては、アントラセン誘導体が効率の高い発光が得られるため好ましい。例えば、9 , 1 0 - ビス { 4 - [ N - ( 4 - ジフェニルアミノ ) フェニル - N - フェニル ] アミノフェニル } - 2 - t e r t - ブチルアントラセン ( 略称 : D P A B P A ) を用いることにより、高効率な青緑色発光が得られる。また、2 位にアミノ基が置換されたアントラセン誘導体は高効率な緑色発光が得られるため好ましく、N - ( 9 , 1 0 - ジフェニル - 2 - アントリル ) - N , 9 - ジフェニル - 9 H - カルバゾール - 3 - アミン ( 略称 : 2 P C A P A ) が特に長寿命であり好適である。これらのホスト材料としてはアントラセン誘導体が好ましく、先に述べた C z P A が

40

50

電気化学的に安定であるため好ましい。また、緑色発光と青色発光を組み合わせ、青色から緑色の波長領域に2つのピークを持つEL素子1025を作製する場合、青色発光層のホストにCzPAのような電子輸送性のアントラセン誘導体を用い、緑色発光層のホストにNPBのようなホール輸送性の芳香族アミン化合物を用いると、青色発光層と緑色発光層との界面で発光が得られるため好ましい。すなわちこの場合、2PCAPAのような緑色発光材料のホストとしては、NPBの如き芳香族アミン化合物が好ましい。

#### 【0162】

黄色～橙色の発光は、例えば、ルブレン、4-(ジシアノメチレン)-2-[p-(ジメチルアミノ)スチリル]-6-メチル-4H-ピラン(略称:DCM1)、4-(ジシアノメチレン)-2-メチル-6-(9-ジュロリジル)エテニル-4H-ピラン(略称:DCM2)、ビス[2-(2-チエニル)ピリジナト]アセチルアセトナトイリジウム( $\text{Ir}(\text{thp})_2(\text{acac})$ )、ビス(2-フェニルキノリナト)アセチルアセトナトイリジウム( $\text{Ir}(\text{pq})_2(\text{acac})$ )などをゲスト材料として用い、適当なホスト材料に分散させることによって得られる。特に、ゲスト材料としてルブレンのようなテトラセン誘導体が、高効率かつ化学的に安定であるため好ましい。この場合のホスト材料としては、NPBのような芳香族アミン化合物が好ましい。他のホスト材料としては、ビス(8-キノリナト)亜鉛(II)(略称: $\text{Znq}_2$ )やビス[2-シンナモイル-8-キノリナト]亜鉛(略称: $\text{Znsq}_2$ )などの金属錯体を用いることができる。また、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)等のポリマーを用いても良い。

#### 【0163】

橙色～赤色の発光は、例えば、4-(ジシアノメチレン)-2,6-ビス[p-(ジメチルアミノ)スチリル]-4H-ピラン(略称:BiSDCM)、4-(ジシアノメチレン)-2,6-ビス[2-(ジュロリジン-9-イル)エテニル]-4H-ピラン(略称:BiSDCJ)、4-(ジシアノメチレン)-2-メチル-6-(9-ジュロリジル)エテニル-4H-ピラン(略称:DCM2)、ビス[2-(2-チエニル)ピリジナト]アセチルアセトナトイリジウム(略称: $\text{Ir}(\text{thp})_2(\text{acac})$ )、などをゲスト材料として用い、適当なホスト材料に分散させることによって得られる。ビス(8-キノリナト)亜鉛(II)(略称: $\text{Znq}_2$ )やビス[2-シンナモイル-8-キノリナト]亜鉛(略称: $\text{Znsq}_2$ )などの金属錯体からも得ることができる。また、ポリ(3-アルキルチオフェン)等のポリマーを用いても良い。赤色発光を示すゲスト材料としては、4-(ジシアノメチレン)-2,6-ビス[p-(ジメチルアミノ)スチリル]-4H-ピラン(略称:BiSDCM)、4-(ジシアノメチレン)-2,6-ビス[2-(ジュロリジン-9-イル)エテニル]-4H-ピラン(略称:BiSDCJ)、4-(ジシアノメチレン)-2-メチル-6-(9-ジュロリジル)エテニル-4H-ピラン(略称:DCM2)、{2-イソプロピル-6-[2-(2,3,6,7-テトラヒドロ-1,1,7,7-テトラメチル-1H,5H-ベンゾ[ij]キノリジン-9-イル)エテニル]-4H-ピラン-4-イリデン}プロパンジニトリル(略称:DCJTI)、{2,6-ビス[2-(2,3,6,7-テトラヒドロ-8-メトキシ-1,1,7,7-テトラメチル-1H,5H-ベンゾ[ij]キノリジン-9-イル)エテニル]-4H-ピラン-4-イリデン}プロパンジニトリル(略称:BiSDCJTM)のような4H-ピラン誘導体が高効率であり、好ましい。特に、DCJTI、BiSDCJTMは、620nm付近に発光ピークを有するため好ましい。

#### 【0164】

なお、発光層1013としては、上述した発光性の物質(ゲスト材料)を他の物質(ホスト材料)に分散させた構成としてもよい。発光性の高い物質を分散させるための物質としては、各種のものを用いることができ、発光性の高い物質よりも最低空軌道準位(LUMO準位)が高く、最高被占有軌道準位(HOMO準位)が低い物質を用いることが好ましい。

#### 【0165】

10

20

30

40

50

発光性の物質を分散させるための物質としては、具体的には、トリス(8-キノリノラト)アルミニウム(III)(略称: Alq)、トリス(4-メチル-8-キノリノラト)アルミニウム(III)(略称: Almq<sub>3</sub>)、ビス(10-ヒドロキシベンゾ[h]キノリナト)ベリリウム(II)(略称: BeBq<sub>2</sub>)、ビス(2-メチル-8-キノリノラト)(4-フェニルフェノラト)アルミニウム(III)(略称: BA1q)、ビス(8-キノリノラト)亜鉛(II)(略称: Znq<sub>2</sub>)、ビス[2-(2-ベンゾオキサゾリル)フェノラト]亜鉛(II)(略称: ZnPBO)、ビス[2-(2-ベンゾチアゾリル)フェノラト]亜鉛(II)(略称: ZnBTZ)などの金属錯体、2-(4-ピフェニル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(略称: PBD)、1,3-ビス[5-(p-tert-ブチルフェニル)-1,3,4-オキサジアゾール-2-イル]ベンゼン(略称: OXD-7)、3-(4-ピフェニル)-4-フェニル-5-(4-tert-ブチルフェニル)-1,2,4-トリアゾール(略称: TAZ)、2,2',2''-(1,3,5-ベンゼントリイル)トリス(1-フェニル-1H-ベンゾイミダゾール)(略称: TPBI)、パソフェナントロリン(略称: BPhen)、パソキュープロイン(略称: BCP)などの複素環化合物や、9-[4-(10-フェニル-9-アントリル)フェニル]-9H-カルバゾール(略称: CzPA)、3,6-ジフェニル-9-[4-(10-フェニル-9-アントリル)フェニル]-9H-カルバゾール(略称: DP CzPA)、9,10-ビス(3,5-ジフェニルフェニル)アントラセン(略称: DPPA)、9,10-ジ(2-ナフチル)アントラセン(略称: DNA)、2-tert-ブチル-9,10-ジ(2-ナフチル)アントラセン(略称: t-BuDNA)、9,9'-ピアントリル(略称: BANT)、9,9'-(スチルベン-3,3'-ジイル)ジフェナントレン(略称: DPNS)、9,9'-(スチルベン-4,4'-ジイル)ジフェナントレン(略称: DPNS2)、3,3',3''-(ベンゼン-1,3,5-トリイル)トリピレン(略称: TPB3)、9,10-ジフェニルアントラセン(略称: DPAnth)、6,12-ジメトキシ-5,11-ジフェニルクリセンなどの縮合芳香族化合物、N,N-ジフェニル-9-[4-(10-フェニル-9-アントリル)フェニル]-9H-カルバゾール-3-アミン(略称: CzA1PA)、4-(10-フェニル-9-アントリル)トリフェニルアミン(略称: DPhPA)、N,9-ジフェニル-N-[4-(10-フェニル-9-アントリル)フェニル]-9H-カルバゾール-3-アミン(略称: PCAPA)、N,9-ジフェニル-N-{4-[4-(10-フェニル-9-アントリル)フェニル]フェニル}-9H-カルバゾール-3-アミン(略称: PCAPBA)、N-(9,10-ジフェニル-2-アントリル)-N,9-ジフェニル-9H-カルバゾール-3-アミン(略称: 2PCAPA)、NPB(または-NPD)、TPD、DFLDPBi、BSPBなどの芳香族アミン化合物などを用いることができる。

#### 【0166】

また、発光性の物質を分散させるための物質は複数種用いることができる。例えば、結晶化を抑制するためにルブレイン等の結晶化を抑制する物質をさらに添加してもよい。また、発光性の物質へのエネルギー移動をより効率良く行うためにNPB、あるいはAlq等をさらに添加してもよい。

#### 【0167】

発光性の物質を他の物質に分散させた構成とすることにより、発光層1013の結晶化を抑制することができる。また、発光性の物質の濃度が高いことによる濃度消光を抑制することができる。

#### 【0168】

電子輸送層1014は、電子輸送性の高い物質を含む層である。電子輸送性の高い物質としては、例えば、トリス(8-キノリノラト)アルミニウム(III)(略称: Alq)、トリス(4-メチル-8-キノリノラト)アルミニウム(III)(略称: Almq<sub>3</sub>)、ビス(10-ヒドロキシベンゾ[h]キノリナト)ベリリウム(略称: BeBq<sub>2</sub>)、ビス(2-メチル-8-キノリノラト)(4-フェニルフェノラト)アルミニウム(略

10

20

30

40

50

称：BA1q)など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる層である。また、この他ビス[2-(2-ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛(略称：Zn(BOX)<sub>2</sub>)、ビス[2-(2-ヒドロキシフェニル)ベンゾチアゾラト]亜鉛(略称：Zn(BTZ)<sub>2</sub>)などのオキサゾール系、チアゾール系配位子を有する金属錯体なども用いることができる。さらに、金属錯体以外にも、2-(4-ピフェニル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(略称：PBD)や、1,3-ビス[5-(p-tert-ブチルフェニル)-1,3,4-オキサジアゾール-2-イル]ベンゼン(略称：OXD-7)、3-(4-ピフェニル)-4-フェニル-5-(4-tert-ブチルフェニル)-1,2,4-トリアゾール(略称：TAZ)、バソフェナントロリン(略称：BPhen)、バソキュプロイン(略称：BCP)、ビス[3-(1H-ベンゾイミダゾール-2-イル)フルオレン-2-オラト]亜鉛(II)、ビス[3-(1H-ベンゾイミダゾール-2-イル)フルオレン-2-オラト]ベリリウム(II)、ビス[2-(1H-ベンゾイミダゾール-2-イル)ジベンゾ[b,d]フラン-3-オラト](フェノラト)アルミニウム(III)、ビス[2-(ベンゾオキサゾール-2-イル)-7,8-メチレンジオキシジベンゾ[b,d]フラン-3-オラト](2-ナフトラト)アルミニウム(III)なども用いることができる。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の電子移動度を有する物質である。なお、正孔よりも電子の輸送性の高い物質であれば、上記以外の物質を電子輸送層1014として用いても構わない。また、電子輸送層1014は、単層のものだけでなく、上記物質からなる層が二層以上積層したものとしてもよい。

10

20

## 【0169】

電子注入層1015は、電子注入性の高い物質を含む層である。電子注入性の高い物質としては、フッ化リチウム(LiF)、フッ化セシウム(CsF)、フッ化カルシウム(CaF<sub>2</sub>)等のアルカリ金属、アルカリ土類金属、またはこれらの化合物が挙げられる。また、有機化合物(好ましくは、電子輸送性を有する有機化合物)と無機化合物(好ましくは、アルカリ金属、アルカリ土類金属、希土類金属、またはそれらの化合物)とを複合してなる電子注入性複合材料を用いることもできる。電子注入性複合材料としては、例えばAlq中にマグネシウム(Mg)を含有させたもの等を用いることができる。この様な構造とすることにより、陰極1002からの電子注入効率をより高めることができる。

## 【0170】

なお、電子注入層1015として、上述した電子注入性複合材料を用いた場合には、仕事関数に関わらずAl、Ag、ITO、珪素若しくは酸化珪素を含有したITO等様々な導電性材料を陰極1002の材料として用いることができる。

30

## 【0171】

以上の層を適宜組み合わせせて積層することにより、EL層1003を形成することができる。なお、発光層1013を2層以上の積層構造としても良い。発光層1013を2層以上の積層構造とし、各々の発光層に用いる発光物質の種類を変えることにより様々な発光色を得ることができる。また、発光物質として発光色の異なる複数の発光物質を用いることにより、ブロードなスペクトルの発光や白色発光を得ることもできる。特に、高輝度が必要とされるバックライト用途には、発光層を積層させた構造が好適である。

40

## 【0172】

また、EL層1003の形成方法としては、用いる材料に応じて種々の方法(例えば、乾式法や湿式法等)適宜選択することができる。例えば、真空蒸着法、スパッタリング法、インクジェット法、スピコート法、等を用いることができる。また、各層で異なる方法を用いて形成してもよい。

## 【0173】

また、本実施の形態に示すEL素子1025の作製方法としては、ドライプロセス(例えば、真空蒸着法、スパッタリング法)、ウェットプロセス(例えば、インクジェット法、スピコート法等)を問わず、種々の方法を用いて形成することができる。

## 【0174】

50

なお、本実施の形態に示す E L 素子 1 0 2 5 の構成は、図 1 1 ( C ) に示すように一対の電極間に E L 層 1 0 0 3 が複数積層された構造、所謂、積層型素子の構成であってもよい。但し、E L 層 1 0 0 3 が、例えば  $n$  ( $n$  は 2 以上の自然数) 層の積層構造を有する場合には、 $m$  ( $m$  は自然数、 $m$  は 1 以上 ( $n - 1$ ) 以下) 番目の E L 層と、( $m + 1$ ) 番目の E L 層との間には、それぞれ中間層 1 0 0 4 が挟まれた構造を有する。

【 0 1 7 5 】

なお、中間層 1 0 0 4 とは、陽極 1 0 0 1 と陰極 1 0 0 2 に電圧を印加したときに、中間層 1 0 0 4 に接して形成される陽極 1 0 0 1 側の一方の E L 層 1 0 0 3 に対して電子を注入する機能を有し、陰極 1 0 0 2 側の他方の E L 層 1 0 0 3 に正孔を注入する機能を有する。

10

【 0 1 7 6 】

中間層 1 0 0 4 は、上述した有機化合物と無機化合物との複合材料 ( 正孔注入性複合材料や電子注入性複合材料 ) の他、金属酸化物等の材料を適宜組み合わせることで形成することができる。なお、正孔注入性複合材料とその他の材料とを組み合わせることで用いることがより好ましい。中間層 1 0 0 4 に用いるこれらの材料は、キャリア注入性、キャリア輸送性に優れているため、E L 素子 1 0 2 5 の低電流駆動、および低電圧駆動を実現することができる。

【 0 1 7 7 】

積層型素子の構成において、E L 層が 2 層積層された構成を有する場合において、第 1 の E L 層から得られる発光の発光色と第 2 の E L 層から得られる発光の発光色を補色の関係にすることによって、白色発光を外部に取り出すことができる。なお、第 1 の E L 層および第 2 の E L 層のそれぞれが補色の関係にある複数の発光層を有する構成としても、白色発光が得られる。補色の関係としては、青色と黄色、あるいは青緑色と赤色などが挙げられる。青色、黄色、青緑色、赤色に発光する物質としては、例えば、先に列挙した発光物質の中から適宜選択すればよい。

20

【 0 1 7 8 】

以下に、第 1 の E L 層および第 2 の E L 層のそれぞれが補色の関係にある複数の発光層を有し、白色発光が得られる構成の一例を示す。

【 0 1 7 9 】

例えば、第 1 の E L 層は、青色 ~ 青緑色の波長領域にピークを有する発光スペクトルを示す第 1 の発光層と、黄色 ~ 橙色の波長領域にピークを有する発光スペクトルを示す第 2 の発光層とを有し、第 2 の E L 層は、青緑色 ~ 緑色の波長領域にピークを有する発光スペクトルを示す第 3 の発光層と、橙色 ~ 赤色の波長領域にピークを有する発光スペクトルを示す第 4 の発光層とを有するものとする。

30

【 0 1 8 0 】

この場合、第 1 の E L 層からの発光は、第 1 の発光層および第 2 の発光層の両方からの発光を合わせたものであるため、青色 ~ 青緑色の波長領域および黄色 ~ 橙色の波長領域の両方にピークを有する発光スペクトルを示す。すなわち、第 1 の E L 層は 2 波長型の白色または白色に近い色の発光を呈する。

【 0 1 8 1 】

また、第 2 の E L 層からの発光は、第 3 の発光層および第 4 の発光層の両方からの発光を合わせたものであるため、青緑色 ~ 緑色の波長領域および橙色 ~ 赤色の波長領域の両方にピークを有する発光スペクトルを示す。すなわち、第 2 の E L 層は、第 1 の E L 層とは異なる 2 波長型の白色または白色に近い色の発光を呈する。

40

【 0 1 8 2 】

したがって、第 1 の E L 層からの発光および第 2 の E L 層からの発光を重ね合わせることで、青色 ~ 青緑色の波長領域、青緑色 ~ 緑色の波長領域、黄色 ~ 橙色の波長領域、橙色 ~ 赤色の波長領域をカバーする白色発光を得ることができる。

【 0 1 8 3 】

なお、上述した積層型素子の構成において、積層される E L 層の間に中間層を配置するこ

50

とにより、電流密度を低く保ったまま、高輝度領域での長寿命素子を実現することができる。また、電極材料の抵抗による電圧降下を小さくできるので、大面積での均一発光が可能となる。

【0184】

なお図10(A)乃至(C)、図11(A)乃至(C)で説明するバックライト部は、輝度を調整する構成としてもよい。例えば、液晶表示装置の周りの照度に応じて輝度を調整する構成としてもよいし、表示される画像信号に応じて輝度を調整する構成としてもよい。

【0185】

なお、カラー表示を行う場合は、カラーフィルタを組み合わせることで表示が可能である。また、他の光学フィルム(偏光フィルム、位相差フィルム、反射防止フィルムなど)も組み合わせて用いることができる。なお、バックライトにRGBの発光ダイオード等を配置し、時分割によりカラー表示する継時加法混色法(フィールドシーケンシャル法)を採用するときには、カラーフィルタを設けない場合もある。

【0186】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることが可能である。

【0187】

(実施の形態4)

本実施の形態では、本明細書に開示する液晶表示装置に適用できるトランジスタの例を示す。本明細書に開示する液晶表示装置に適用できるトランジスタの構造は特に限定されず、例えばゲート電極が、ゲート絶縁層を介して、酸化物半導体層の上側に配置されるトップゲート構造、又はゲート電極が、ゲート絶縁層を介して、酸化物半導体層の下側に配置されるボトムゲート構造のスタガ型及びプレーナ型などを用いることができる。また、トランジスタはチャンネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。また、チャンネル領域の上下にゲート絶縁層を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。なお、図12(A)乃至(D)にトランジスタの断面構造の一例を以下に示す。図12(A)乃至(D)に示すトランジスタは、半導体として酸化物半導体を用いるものである。酸化物半導体を用いることのメリットは、トランジスタのオン状態における電界効果移動度(最大値で $5\text{ cm}^2/\text{V sec}$ 以上、好ましくは $10\text{ cm}^2/\text{V sec}$ 以上 $150\text{ cm}^2/\text{V sec}$ 以下)と、トランジスタのオフ状態において低いオフ電流( $1\text{ aA}/\mu\text{m}$ 未満、さらに好ましくは室温にて $10\text{ zA}/\mu\text{m}$ 未満、且つ、 $85$ にて $100\text{ zA}/\mu\text{m}$ 未満)が得られることである。

【0188】

図12(A)に示すトランジスタ410は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

【0189】

トランジスタ410は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁層402、酸化物半導体層403、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ410を覆い、酸化物半導体層403に積層する絶縁膜407が設けられている。絶縁膜407上にはさらに保護絶縁層409が形成されている。

【0190】

図12(B)に示すトランジスタ420は、チャンネル保護型(チャンネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型トランジスタともいう。

【0191】

トランジスタ420は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁層402、酸化物半導体層403、酸化物半導体層403のチャンネル形成領域を覆うチャンネル保護層として機能する絶縁層427、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ420を覆い、保護絶縁層409が形成されてい

10

20

30

40

50

る。

【0192】

図12(C)示すトランジスタ430はボトムゲート型のトランジスタであり、絶縁表面を有する基板である基板400上に、ゲート電極層401、ゲート絶縁層402、ソース電極層405a、ドレイン電極層405b、及び酸化物半導体層403を含む。また、トランジスタ430を覆い、酸化物半導体層403に接する絶縁膜407が設けられている。絶縁膜407上にはさらに保護絶縁層409が形成されている。

【0193】

トランジスタ430においては、ゲート絶縁層402は基板400及びゲート電極層401上に接して設けられ、ゲート絶縁層402上にソース電極層405a、ドレイン電極層405bが接して設けられている。そして、ゲート絶縁層402、及びソース電極層405a、ドレイン電極層405b上に酸化物半導体層403が設けられている。

10

【0194】

図12(D)に示すトランジスタ440は、トップゲート構造のトランジスタの一つである。トランジスタ440は、絶縁表面を有する基板400上に、絶縁層437、酸化物半導体層403、ソース電極層405a、及びドレイン電極層405b、ゲート絶縁層402、ゲート電極層401を含み、ソース電極層405a、ドレイン電極層405bにそれぞれ配線層436a、配線層436bが接して設けられ電氣的に接続している。

【0195】

本実施の形態では、上述のとおり、半導体層として酸化物半導体層403を用いる。酸化物半導体層403に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にSiO<sub>2</sub>を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その化学量論比はとくに問わない。また、InとGaとZn以外の元素を含んでもよい。

20

30

【0196】

また、酸化物半導体層403は、化学式InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0、且つ、mは整数でない)で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

【0197】

酸化物半導体層403を用いたトランジスタ410、420、430、440は、オフ状態における電流値(オフ電流値)を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

40

【0198】

また、酸化物半導体層403を用いたトランジスタ410、420、430、440は、比較的高い電界効果移動度を得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に上記トランジスタを用いることで、色分離を抑制することができ、高画質な画像を提供することができる。また、上記トランジスタは、同一基板上に駆動回路部または画素部に作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。

50

## 【 0 1 9 9 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。

## 【 0 2 0 0 】

ボトムゲート構造のトランジスタ 4 1 0、4 2 0、4 3 0 において、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

## 【 0 2 0 1 】

ゲート電極層 4 0 1 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

10

## 【 0 2 0 2 】

ゲート絶縁層 4 0 2 は、プラズマ C V D 法又はスパッタリング法を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。例えば、第 1 のゲート絶縁層としてプラズマ C V D 法により膜厚 5 0 n m 以上 2 0 0 n m 以下の窒化シリコン層 ( $S i N_y$  ( $y > 0$ )) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 n m 以上 3 0 0 n m 以下の酸化シリコン層 ( $S i O_x$  ( $x > 0$ )) を積層して、合計膜厚 2 0 0 n m のゲート絶縁層とする。

20

## 【 0 2 0 3 】

ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜 (窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) 等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜 (窒化チタン膜、窒化モリブデン膜、窒化タングステン膜) を積層させた構成としても良い。

## 【 0 2 0 4 】

ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b に接続する配線層 4 3 6 a、配線層 4 3 6 b のような導電膜も、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b と同様な材料を用いることができる。

30

## 【 0 2 0 5 】

また、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b (これと同じ層で形成される配線層を含む) となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム ( $I n_2 O_3$ )、酸化スズ ( $S n O_2$ )、酸化亜鉛 ( $Z n O$ )、酸化インジウム酸化スズ合金 ( $I n_2 O_3$   $S n O_2$ 、I T O と略記する)、酸化インジウム酸化亜鉛合金 ( $I n_2 O_3$   $Z n O$ ) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

## 【 0 2 0 6 】

絶縁膜 4 0 7、4 2 7、4 3 7 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

40

## 【 0 2 0 7 】

また、酸化物半導体層の上方に設けられる保護絶縁層 4 0 9 は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

## 【 0 2 0 8 】

また、保護絶縁層 4 0 9 上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン

50

、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

#### 【0209】

このようなトランジスタを用いた液晶表示装置の画素の一例を図20と図21に示す。図20と図21で示す液晶表示装置の画素の構成はVA（Vertical Alignment）方式の液晶画素の一例を示す。VA方式とは、液晶パネルの液晶分子の配列を制御する方式の一種である。VA方式は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。

#### 【0210】

図20は画素の平面図を示し、当該図中に示すA-B切断線に対応する断面図を図21に示す。なお、図20はトランジスタ410が形成された基板400の平面図を示すものであり、図21はトランジスタ410が設けられた基板400側の構成に加え、対向基板416や液晶層414が設けられている構成を示す。以下の説明では図20と図21の両方を参照して説明する。

#### 【0211】

トランジスタ410a、410bの構成は図12（A）と同様であり、ゲート電極層401、ゲート絶縁層402、酸化物半導体層403を有している。トランジスタ410a、410bはゲート電極層401を共通に用いている。画素を構成する場合、ゲート電極層401は一方向に延在するように形成されている。酸化物半導体層403はゲート絶縁層402を介してゲート電極層401と重畳するように設けられている。ソース電極層405aとドレイン電極層405bは酸化物半導体層403の上層側に設けられている（なお、ここではソース電極層405aとドレイン電極層405bという呼び方は、トランジスタ410に接続される電極として区別するために便宜的に用いている）。ソース電極層405aはゲート電極層401と交差する方向に延在している。保護絶縁層409上には平坦化膜421が設けられ、その上に画素電極411a、411bが設けられている。画素電極411aはトランジスタ410aと接続し、画素電極411bはトランジスタ410bと接続している。画素電極411aはコンタクトホール412によってドレイン電極層405bと接続されている。画素電極411bの場合も同様である。画素電極411a、411bは酸化インジウムスズ、酸化亜鉛、酸化スズなどの透光性電極材料で形成されている。

#### 【0212】

また、保持容量419は適宜設ければ良く、これを設ける場合には、ゲート電極層401と同じ層で形成される容量配線層417a、417b、容量電極層418a、418bによって形成する。容量配線層417と容量電極層418の間には、誘電体としてゲート絶縁層402が延在しており、これにより保持容量419a、419bが形成される。

#### 【0213】

図20は、トランジスタと画素電極を含んで構成されるサブユニットを二つ合わせて一つのユニットを構成している。すなわち、画素電極411aと画素電極411bはそれぞれサブユニットを構成する。この場合、容量電極層417aと容量電極層417bとの電位を異ならせることで、画素電極411aと画素電極411bとの電位を異ならせることができる。すなわち、容量電極層417aと容量電極層417bとの電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げることができる。

#### 【0214】

図21は基板400と対向基板416を重ね合わせ、その間に液晶層414が設けられている態様を示している。対向基板416においてスペーサ422が形成される位置には、遮光層423、第1着色層424、第2着色層425、第3着色層426、対向電極415が形成されている。この構造により、液晶の配向を制御するための突起状のリブ428とスペーサ422の高さを異ならせている。画素電極411と対向電極415には配向膜413が形成されている。配向膜413の配向処理は光配向法又はラビング法で行っても

10

20

30

40

50

よい。

【0215】

なお、VA方式の他に、TN(Twisted Nematic)方式、MVA(Multi-domain Vertical Alignment)方式、IPS(In-Plane Switching)方式、CPA(Continuous Pinwheel Alignment)方式、PVA(Patterned Vertical Alignment)方式などを適用することもできる。また、液晶層414の液晶相は、ネマチック相、スメクチック相、コレステリック相、ブルー相などを用いることができる。

【0216】

このように、本実施の形態において、電界効果移動度が高く、オフ電流値が低い酸化半導体層を含むトランジスタを用いることにより、低消費電力の液晶表示装置を提供することができる。

10

【0217】

(実施の形態5)

本実施の形態は、酸化半導体層を含むトランジスタ、及び作製方法の一例を図13を用いて詳細に説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0218】

図13(A)乃至(E)にトランジスタの断面構造の一例を示す。図13(A)乃至(E)に示すトランジスタ510は、図12(A)に示すトランジスタ410と同様なボトムゲート構造の逆スタガ型トランジスタである。

20

【0219】

以下、図13(A)乃至(E)を用い、基板505上にトランジスタ510を作製する工程を説明する。

【0220】

まず、絶縁表面を有する基板505上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層511を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0221】

絶縁表面を有する基板505は、実施の形態4に示した基板400と同様な基板を用いることができる。本実施の形態では基板505としてガラス基板を用いる。

【0222】

下地膜となる絶縁膜を基板505とゲート電極層511との間に設けてもよい。下地膜は、基板505からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0223】

また、ゲート電極層511の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

40

【0224】

次いで、ゲート電極層511上にゲート絶縁層507を形成する。ゲート絶縁層507は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

【0225】

本実施の形態の酸化半導体は、不純物を除去され、I型化又は実質的にI型化された酸

50

化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

【0226】

例えば、 $\mu$ 波（例えば周波数2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとする事ができるからである。

【0227】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0228】

また、ゲート絶縁層507、酸化物半導体膜530に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜530の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層511が形成された基板505、又はゲート絶縁層507までが形成された基板505を予備加熱し、基板505に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層516の成膜前に、ソース電極層515a及びドレイン電極層515bまで形成した基板505にも同様に行ってもよい。

【0229】

次いで、ゲート絶縁層507上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する（図13(A)参照）。

【0230】

なお、酸化物半導体膜530をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層507の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0231】

酸化物半導体膜530に用いる酸化物半導体は、実施の形態4に示した酸化物半導体を用いることができる。また、上記酸化物半導体にSiO<sub>2</sub>を含んでもよい。本実施の形態では、酸化物半導体膜530としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図13(A)に相当する。また、酸化物半導体膜530は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタ法により形成することができる。

【0232】

酸化物半導体膜530をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol数比]の金属酸化物ターゲットを用い、In-Ga-Zn-O膜を成膜する。また、このターゲットの材料及び組成に限定されず、例えば、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2[mol数比]の金属酸化物ターゲットを用いてもよい。

【0233】

また、金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

10

20

30

40

50

## 【 0 2 3 4 】

酸化物半導体膜 5 3 0 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

## 【 0 2 3 5 】

減圧状態に保持された成膜室内に基板を保持し、基板温度を 1 0 0 以上 6 0 0 以下好ましくは 2 0 0 以上 4 0 0 以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板 5 0 5 上に酸化物半導体膜 5 3 0 を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 ( H <sub>2</sub> O ) など水素原子を含む化合物 ( より好ましくは炭素原子を含む化合物も ) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

## 【 0 2 3 6 】

成膜条件の一例としては、基板とターゲットの間との距離を 1 0 0 mm、圧力 0 . 6 Pa、直流 ( DC ) 電源 0 . 5 kW、酸素 ( 酸素流量比率 1 0 0 % ) 雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質 ( パーティクル、ごみともいう ) が軽減でき、膜厚分布も均一となるために好ましい。

20

## 【 0 2 3 7 】

次いで、酸化物半導体膜 5 3 0 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

## 【 0 2 3 8 】

また、ゲート絶縁層 5 0 7 にコンタクトホールを形成する場合、その工程は酸化物半導体膜 5 3 0 の加工時に同時に行うことができる。

## 【 0 2 3 9 】

なお、ここでの酸化物半導体膜 5 3 0 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜 5 3 0 のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、 I T O 0 7 N ( 関東化学社製 ) などを用いることができる。

30

## 【 0 2 4 0 】

次いで、酸化物半導体層に第 1 の加熱処理を行う。この第 1 の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第 1 の加熱処理の温度は、 4 0 0 以上 7 5 0 以下、または 4 0 0 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 4 5 0 において 1 時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 5 3 1 を得る ( 図 1 3 ( B ) 参照 ) 。

40

## 【 0 2 4 1 】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、 G R T A ( G a s R a p i d T h e r m a l A n n e a l ) 装置、 L R T A ( L a m p R a p i d T h e r m a l A n n e a l ) 装置等の R T A ( R a p i d T h e r m a l A n n e a l ) 装置を用いることができる。 L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 ( 電磁波 ) の輻射により、被処理物を加熱する装置である。 G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不

50

活性気体が用いられる。

【0242】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。

【0243】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0244】

また、第1の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度のN<sub>2</sub>Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下)を導入してもよい。酸素ガスまたはN<sub>2</sub>Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN<sub>2</sub>Oガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたはN<sub>2</sub>Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又はN<sub>2</sub>Oガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電氣的にI型(真性)化する。

20

【0245】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜530に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0246】

なお、第1の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれで行ってもよい。

【0247】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530に第1の加熱処理を行う前でも行った後に行ってもよい。

30

【0248】

また、酸化物半導体層を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域(非単結晶領域)、即ち、膜表面に垂直にc軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3nm以上15nm以下の第1の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で450以上850以下、好ましくは550以上750以下の第1の加熱処理を行い、表面を含む領域に結晶領域(板状結晶を含む)を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、450以上850以下、好ましくは600以上700以下の第2の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第2の酸化物半導体膜を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

40

【0249】

次いで、ゲート絶縁層507、及び酸化物半導体層531上に、ソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、実施の形態4に示したソース電極層405a、ドレイン電極層405bに用いる材料を用いることができる。

【0250】

50

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層515a、ドレイン電極層515bを形成した後、レジストマスクを除去する(図13(C)参照)。

【0251】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層531上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。

10

【0252】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0253】

なお、導電膜のエッチングの際に、酸化物半導体層531がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層531を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層531は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0254】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層531にはIn-Ga-Zn-O系酸化物半導体を用いたので、Ti膜のエッチャントとしてアンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いる。

30

【0255】

次いで、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層516を形成する。

【0256】

絶縁層516は、少なくとも1nmの膜厚とし、スパッタ法など、絶縁層516に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層516に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャンネルが低抵抗化(N型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁層516はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

40

【0257】

本実施の形態では、絶縁層516として膜厚200nmの酸化シリコン膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンター

50

ゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコンを形成することができる。酸化半導体層に接して形成する絶縁層 516 は、水分や、水素イオンや、 $\text{OH}^-$  などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0258】

酸化半導体膜 530 の成膜時と同様に、絶縁層 516 の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層 516 に含まれる不純物の濃度を低減できる。また、絶縁層 516 の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

10

【0259】

絶縁層 516 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0260】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。例えば、窒素雰囲気下で 250、1 時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化半導体層の一部（チャンネル形成領域）が絶縁層 516 と接した状態で加熱される。

20

【0261】

以上の工程を経ることによって、酸化半導体層に対して第1の加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化半導体を構成する主成分材料の一つである酸素を供給することができる。よって、酸化半導体層は高純度化及び電氣的に I 型（真性）化する。

【0262】

以上の工程でトランジスタ 510 が形成される（図 13（D）参照）。

【0263】

また、絶縁層 516 に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を拡散させ、酸化半導体層中に含まれる該不純物をより低減させる効果を奏する。

30

【0264】

絶縁層 516 上にさらに保護絶縁層 506 を形成してもよい。例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層 506 を、窒化シリコン膜を用いて形成する（図 13（E）参照）。

【0265】

本実施の形態では、保護絶縁層 506 として、絶縁層 516 まで形成された基板 505 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層 516 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 506 を成膜することが好ましい。

40

【0266】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

50

## 【0267】

このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタは、高い電界効果移動度が得られるため、高速駆動が可能である。よって、液晶表示装置の画素部に高純度化された酸化物半導体層を含むトランジスタを用いることで、色分離を抑制することができ、高画質な画像を提供することができる。また、高純度化された酸化物半導体層を含むトランジスタによって、同一基板上に駆動回路部または画素部を作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。

## 【0268】

高純度化された酸化物半導体を用いたトランジスタの電界効果移動度を求めた結果について説明する。

10

## 【0269】

上述した本実施の形態の作製方法に従って、高純度化された酸化物半導体（膜厚50nmのIn-Ga-Zn-O系酸化物半導体膜）を用いてトランジスタ（ $L/W = 10\mu\text{m}/50\mu\text{m}$ ）を作製し、基板温度を室温とし、ソース-ドレイン間電圧（以下、ドレイン電圧または $V_d$ という）を10Vとし、ソース-ゲート間電圧（以下、ゲート電圧または $V_g$ という）を-30V~+30Vまで変化させたときのソース-ドレイン電流（以下、ドレイン電流または $I_d$ という）の変化特性、すなわち $V_g-I_d$ 特性を測定した。なお、図14では、 $V_g$ を-5V~+30Vまでの範囲で示している。図14に示すように高純度化された酸化物半導体層を含むトランジスタの電界効果移動度は、 $10.7\text{cm}^2/\text{Vs}$

20

## 【0270】

また、高純度化された酸化物半導体を含むトランジスタを用いることにより、オフ状態における電流値（オフ電流値）をより低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度をより少なくすることができるため、消費電力を抑制する効果を高くできる。

## 【0271】

また、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結果について説明する。

30

## 【0272】

上述した本実施の形態の作製方法に従って、高純度化された酸化物半導体を用いてトランジスタを作製した。まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅 $W$ が1cmと十分に大きいトランジスタを用意してオフ電流の測定を行った。チャンネル幅 $W$ が1cmのトランジスタのオフ電流を測定した結果を図15に示す。図15において、横軸はゲート電圧 $V_g$ 、縦軸はドレイン電流 $I_d$ である。ドレイン電圧 $V_d$ が+1Vまたは+10Vの場合、ゲート電圧 $V_g$ が-5Vから-20Vの範囲では、トランジスタのオフ電流は、検出限界である $1 \times 10^{-13}\text{A}$ 以下であることがわかった。また、トランジスタのオフ電流（ここでは、単位チャンネル幅（ $1\mu\text{m}$ ）あたりの値）は $10\text{aA}/\mu\text{m}$ （ $1 \times 10^{-17}\text{A}/\mu\text{m}$ ）以下となることがわかった。

40

## 【0273】

次に、高純度化された酸化物半導体を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、測定器の検出限界である $1 \times 10^{-13}\text{A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について説明する。

## 【0274】

電流測定方法に用いた特性評価用素子について、以下に説明する。

## 【0275】

50

特性評価用素子は、3つ並列に接続された測定系を用いる。それぞれの測定系は、容量素子、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、及び第4のトランジスタを有する。第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、及び第4のトランジスタは、本実施の形態に従って作製し、図13(D)に示したトランジスタ510と同じ構造のものを使用した。

【0276】

一つの測定系は、第1のトランジスタのソース端子およびドレイン端子の一方と、容量素子の端子の一方と、第2のトランジスタのソース端子およびドレイン端子の一方は、電源(V2を与える電源)に接続する。また、第1のトランジスタのソース端子およびドレイン端子の他方と、第3のトランジスタのソース端子およびドレイン端子の一方と、容量素子の端子の他方と、第2のトランジスタのゲート端子とは、接続する。また、第3のトランジスタのソース端子およびドレイン端子の他方と、第4のトランジスタのソース端子およびドレイン端子の一方と、第4のトランジスタのゲート端子は、電源(V1を与える電源)に接続する。また、第2のトランジスタのソース端子およびドレイン端子の他方と、第4のトランジスタのソース端子およびドレイン端子の他方とを接続し、出力端子とする。

10

【0277】

なお、第1のトランジスタのゲート端子には、第1のトランジスタのオン状態と、オフ状態を制御する電位Vext\_b2が供給され、第3のトランジスタのゲート端子には、第3のトランジスタのオン状態と、オフ状態を制御する電位Vext\_b1が供給される。また、出力端子からは電位Voutが出力される。

20

【0278】

次に、上記の測定系を用いてオフ電流の測定を行う。

【0279】

オフ電流を測定するために初期化期間においてソースとドレインに電位差を付与し、測定期間が開始されると、時間の経過と共に第2のトランジスタのゲート端子の電位が変動する。従って、時間の経過と共に、出力端子の出力電位Voutの電位も変化することとなる。こうして得られた出力電位Voutから、オフ電流を算出することができる。

【0280】

第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、及び第4のトランジスタは、それぞれチャンネル長 $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 50 \mu\text{m}$ の、高純度化した酸化物半導体を用いたトランジスタである。また、並列された3つ測定系において、第1の測定系の容量素子の容量値を $100 \text{ fF}$ とし、第2の測定系の容量素子の容量値を $1 \text{ pF}$ とし、第3の測定系の容量素子の容量値を $3 \text{ pF}$ とした。

30

【0281】

なお、オフ電流の測定では、 $V_{dd} = 5 \text{ V}$ 、 $V_{ss} = 0 \text{ V}$ とした。また、測定期間においては、電位V1を原則として $V_{ss}$ とし、 $10 \sim 300 \text{ sec}$ ごとに、 $100 \text{ msec}$ の期間だけ $V_{dd}$ としてVoutを測定した。また、素子に流れる電流Iの算出に用いられる $t$ は、約 $30000 \text{ sec}$ とした。

【0282】

図16には、上記電流測定によって算出されたオフ電流を示す。なお、図16は、ソース-ドレイン電圧Vと、オフ電流Iとの関係を表すものである。図16から、ソース-ドレイン電圧が4Vの条件において、オフ電流は約 $40 \text{ zA} / \mu\text{m}$ であることが分かった。また、ソース-ドレイン電圧が $3.1 \text{ V}$ の条件において、オフ電流は $10 \text{ zA} / \mu\text{m}$ 以下であることが分かった。なお、 $1 \text{ zA}$ は $10^{-21} \text{ A}$ を表す。

40

【0283】

以上、本実施の形態により、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さくなることが確認された。

【0284】

(実施の形態6)

50

本実施の形態では、左目用の映像と右目の映像を高速で切り換える表示装置を用いて、表示装置の映像と同期する専用の眼鏡を用いて動画または静止画である3D映像を視認する例を図17を用いて示す。

【0285】

図17(A)は表示装置2711と、専用の眼鏡本体2701がケーブル2703で接続されている外觀図を示す。専用の眼鏡本体2701は、左目用パネル2702aと右目用パネル2702bに設けられているシャッターが交互に開閉することによって使用者が表示装置2711の画像を3Dとして認識することができる。

【0286】

また、表示装置2711と専用の眼鏡本体2701の主要な構成についてのブロック図を図17(B)に示す。

【0287】

図17(B)に示す表示装置2711は、表示制御回路2716、表示部2717、タイミング発生器2713、ソース線側駆動回路2718、外部操作手段2722及びゲート線側駆動回路2719を有する。なお、キーボード等の外部操作手段2722による操作に応じて、出力する信号を可変する。

【0288】

タイミング発生器2713では、スタートパルス信号などを形成するとともに、左目用映像と左目用パネル2702aのシャッターとを同期させるための信号、右目用映像と右目用パネル2702bのシャッターとを同期させるための信号などを形成する。

【0289】

左目用映像の同期信号2731aを表示制御回路2716に入力して表示部2717に表示すると同時に、左目用パネル2702aのシャッターを開ける同期信号2730aを左目用パネル2702aに入力する。また、右目用映像の同期信号2731bを表示制御回路2716に入力して表示部2717に表示すると同時に、右目用パネル2702bのシャッターを開ける同期信号2730bを右目用パネル2702bに入力する。

【0290】

また、左目用の映像と右目の映像を高速で切り換えるため、表示装置2711は、発光ダイオード(LED)を用いて、時分割によりカラー表示する継時加法混色法(フィールドシーケンシャル法)とすることが好ましい。

【0291】

また、フィールドシーケンシャル法を用いるため、タイミング発生器2713は、発光ダイオードのバックライト部にも同期信号2730a、2730bと同期する信号を入力することが好ましい。なお、バックライト部はR、G、及びBのLEDを有するものとする。

【0292】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0293】

(実施の形態7)

本明細書に開示する液晶表示装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【0294】

図18(A)は電子書籍(E-bookともいう)であり、筐体9630、表示部9631、操作キー9632、太陽電池9633、充放電制御回路9634を有することができ

10

20

30

40

50

る。図18(A)に示した電子書籍は、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能等を有することができる。なお、図18(A)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ(以下、コンバータと略記)9636を有する構成について示している。実施の形態1乃至6のいずれかで示した液晶表示装置を表示部9631に適用することにより低消費電力な電子書籍とすることができる。

#### 【0295】

図18(A)に示す構成とすることにより、表示部9631として半透過型、又は反射型の液晶表示装置を用いる場合、比較的明るい状況下での使用も予想され、太陽電池9633による発電、及びバッテリー9635での充電を効率よく行うことができ、好適である。なお太陽電池9633は、筐体9630の空きスペース(表面や裏面)に適宜設けることができるため、効率的なバッテリー9635の充電を行う構成とすることができるため好適である。なおバッテリー9635としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

#### 【0296】

また図18(A)に示す充放電制御回路9634の構成、及び動作について図18(B)にブロック図を示し説明する。図18(B)には、太陽電池9633、バッテリー9635、コンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、コンバータ9636、コンバータ9637、スイッチSW1乃至SW3が充放電制御回路9634に対応する箇所となる。

#### 【0297】

まず外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー9635を充電するための電圧となるようコンバータ9636で昇圧または降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧または降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

#### 【0298】

次いで外光により太陽電池9633により発電がされない場合の動作の例について説明する。バッテリー9635に蓄電された電力は、スイッチSW3をオンにすることでコンバータ9637により昇圧または降圧がなされる。そして、表示部9631の動作にバッテリー9635からの電力が用いられることとなる。

#### 【0299】

なお太陽電池9633については、充電手段の一例として示したが、他の手段によるバッテリー9635の充電を行う構成であってもよい。また他の充電手段を組み合わせる構成としてもよい。

#### 【0300】

図19は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。実施の形態1乃至6のいずれかで示した液晶表示装置を表示部3003に適用することにより、低消費電力なノート型のパーソナルコンピュータとすることができる。

#### 【0301】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

#### 【符号の説明】

#### 【0302】

100 液晶表示装置

10

20

30

40

50

1 1 0	画像処理回路	
1 1 1	記憶回路	
1 1 1 b	フレームメモリ	
1 1 2	比較回路	
1 1 3	表示制御回路	
1 1 5	選択回路	
1 1 6	電源	
1 2 0	表示パネル	
1 2 1	駆動回路部	
1 2 1 A	ゲート線側駆動回路	10
1 2 1 B	ソース線側駆動回路	
1 2 2	画素部	
1 2 3	ユニット	
1 2 3 a	サブユニット	
1 2 3 b	サブユニット	
1 2 4	ゲート線	
1 2 4 a	ゲート線	
1 2 4 b	ゲート線	
1 2 5	ソース線	
1 2 6	端子部	20
1 2 6 A	端子	
1 2 6 B	端子	
1 2 7	スイッチング素子	
1 2 8	共通電極	
1 3 0	バックライト部	
1 3 1	バックライト制御回路	
1 3 2	バックライト	
2 0 0	液晶表示装置	
2 1 0 a	容量素子	
2 1 0 b	容量素子	30
2 1 4 a	トランジスタ	
2 1 4 b	トランジスタ	
2 1 5 a	液晶素子	
2 1 5 b	液晶素子	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	40
4 0 7	絶縁膜	
4 0 9	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	画素電極	
4 1 2	コンタクトホール	
4 1 3	配向膜	
4 1 4	液晶層	
4 1 5	対向電極	
4 1 6	対向基板	
4 1 7	容量配線層	50

4 1 8	容量電極層	
4 1 9	保持容量	
4 2 0	トランジスタ	
4 2 1	平坦化膜	
4 2 2	スペーサ	
4 2 3	遮光層	
4 2 4	第1着色層	
4 2 5	第2着色層	
4 2 6	第3着色層	
4 2 7	絶縁層	10
4 2 8	リブ	
4 3 0	トランジスタ	
4 3 6 a	配線層	
4 3 6 b	配線層	
4 3 7	絶縁層	
4 4 0	トランジスタ	
5 0 5	基板	
5 0 6	保護絶縁層	
5 0 7	ゲート絶縁層	
5 1 0	トランジスタ	20
5 1 1	ゲート電極層	
5 1 5 a	ソース電極層	
5 1 5 b	ドレイン電極層	
5 1 6	絶縁層	
5 3 0	酸化物半導体膜	
5 3 1	酸化物半導体層	
6 0 1	期間	
6 0 2	期間	
6 0 3	期間	
6 0 4	期間	30
7 0 0	筐体	
7 0 1	表示モジュール	
7 0 2	スピーカ	
7 0 3	操作キー	
7 0 4	外部接続端子	
7 0 5	照度センサ	
7 1 0	テレビ受像機	
7 1 1	チューナ	
7 1 2	デジタル復調回路	
7 1 3	映像信号処理回路	40
7 1 4	音声信号処理回路	
7 1 5	表示調節回路	
7 1 6	表示制御回路	
7 1 7	表示パネル	
7 1 8	ゲート線側駆動回路	
7 1 9	ソース線側駆動回路	
7 2 0	スピーカ	
7 2 1	アンテナ	
7 2 2	外部入力部	
7 2 3	点線部	50

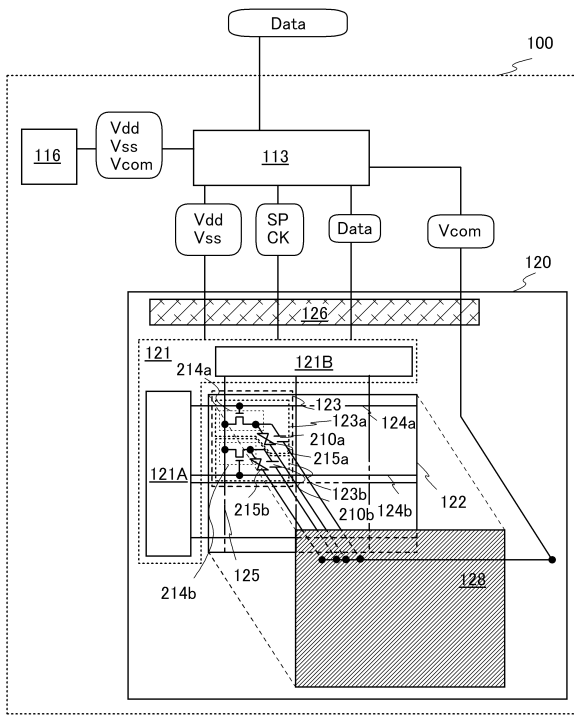
7 2 4	画像処理回路	
8 0 0	筐体	
8 0 1	表示モジュール	
8 0 2	スピーカ	
8 0 3	外部接続端子	
8 0 4	ウインドウ型表示部	
8 1 0	P C モニター	
8 1 3	映像信号処理回路	
8 1 4	音声信号処理回路	
8 1 6	表示制御回路	10
8 1 7	表示パネル	
8 1 8	ゲート線側駆動回路	
8 1 9	ソース線側駆動回路	
8 2 0	スピーカ	
8 2 1	外部演算回路	
8 2 2	外部操作手段	
8 2 3	点線部	
8 2 4	画像処理回路	
1 0 0 1	陽極	
1 0 0 2	陰極	20
1 0 0 3	E L 層	
1 0 0 4	中間層	
1 0 1 1	正孔注入層	
1 0 1 2	正孔輸送層	
1 0 1 3	発光層	
1 0 1 4	電子輸送層	
1 0 1 5	電子注入層	
1 0 2 0	基板	
1 0 2 5	E L 素子	
1 4 0 1	期間	30
1 4 0 2	期間	
1 4 0 3	期間	
1 4 0 4	期間	
2 7 0 1	眼鏡本体	
2 7 0 2 a	左目用パネル	
2 7 0 2 b	右目用パネル	
2 7 0 3	ケーブル	
2 7 1 1	表示装置	
2 7 1 3	タイミング発生器	
2 7 1 6	表示制御回路	40
2 7 1 7	表示部	
2 7 1 8	ソース線側駆動回路	
2 7 1 9	ゲート線側駆動回路	
2 7 2 2	外部操作手段	
2 7 3 0 a	同期信号	
2 7 3 0 b	同期信号	
2 7 3 1 a	同期信号	
2 7 3 1 b	同期信号	
3 0 0 1	本体	
3 0 0 2	筐体	50

- 3 0 0 3 表示部
- 3 0 0 4 キーボード
- 5 2 0 1 バックライト部
- 5 2 0 2 拡散板
- 5 2 0 3 導光板
- 5 2 0 4 反射板
- 5 2 0 5 ランプリフレクタ
- 5 2 0 6 光源
- 5 2 0 7 表示パネル
- 5 2 2 2 ランプリフレクタ
- 5 2 2 3 発光ダイオード ( L E D )
- 5 2 9 0 バックライト部
- 5 2 9 1 拡散板
- 5 2 9 2 遮光部
- 5 2 9 3 ランプリフレクタ
- 5 2 9 4 光源
- 5 2 9 5 液晶パネル
- 9 6 3 0 筐体
- 9 6 3 1 表示部
- 9 6 3 2 操作キー
- 9 6 3 3 太陽電池
- 9 6 3 4 充放電制御回路
- 9 6 3 5 バッテリー
- 9 6 3 6 コンバータ
- 9 6 3 7 コンバータ

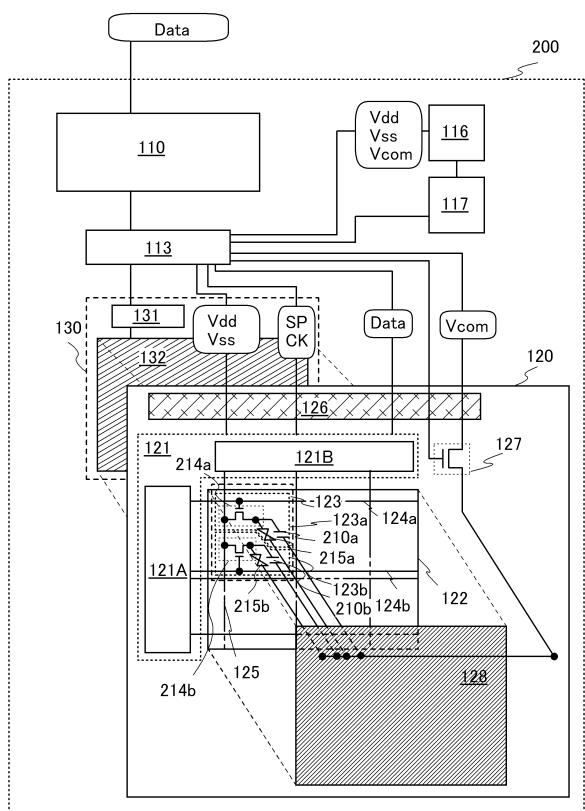
10

20

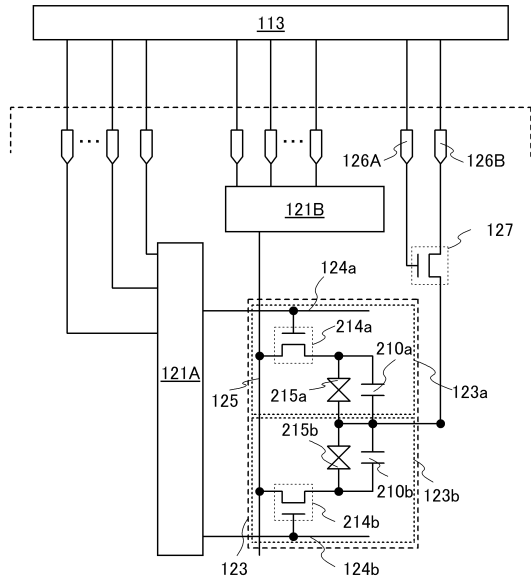
【 図 1 】



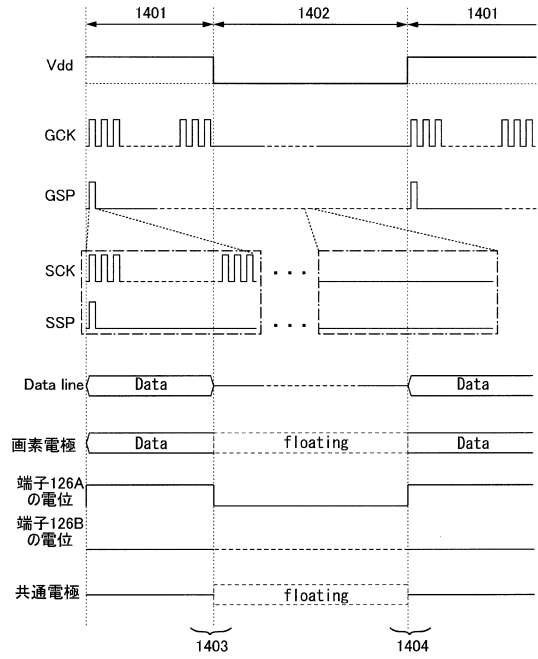
【 図 2 】



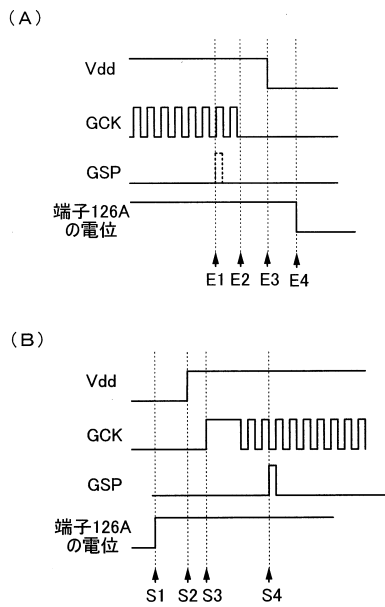
【図3】



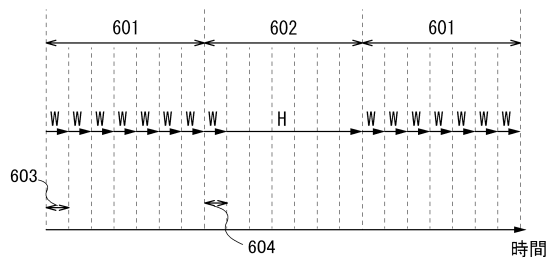
【図4】



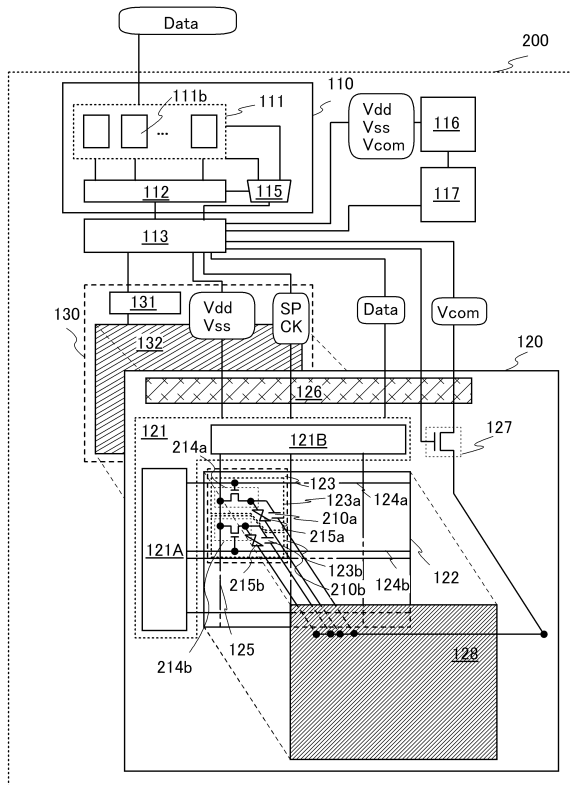
【図5】



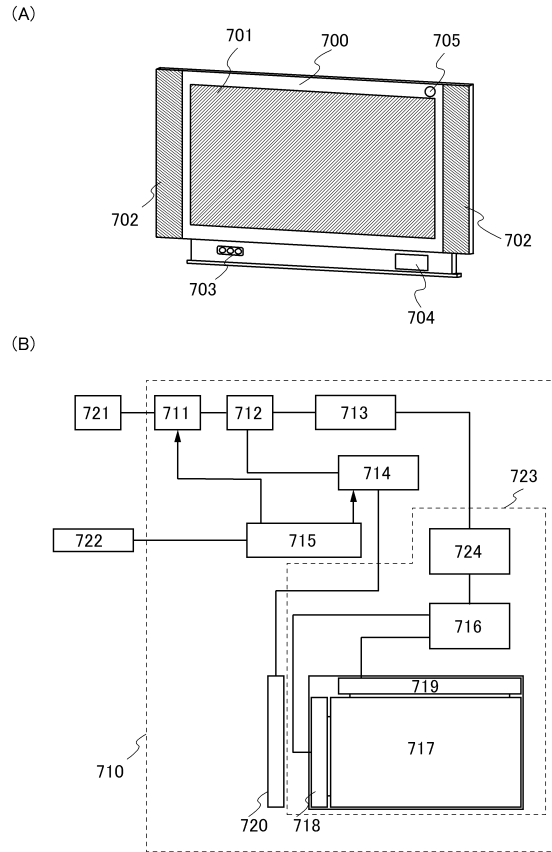
【図6】



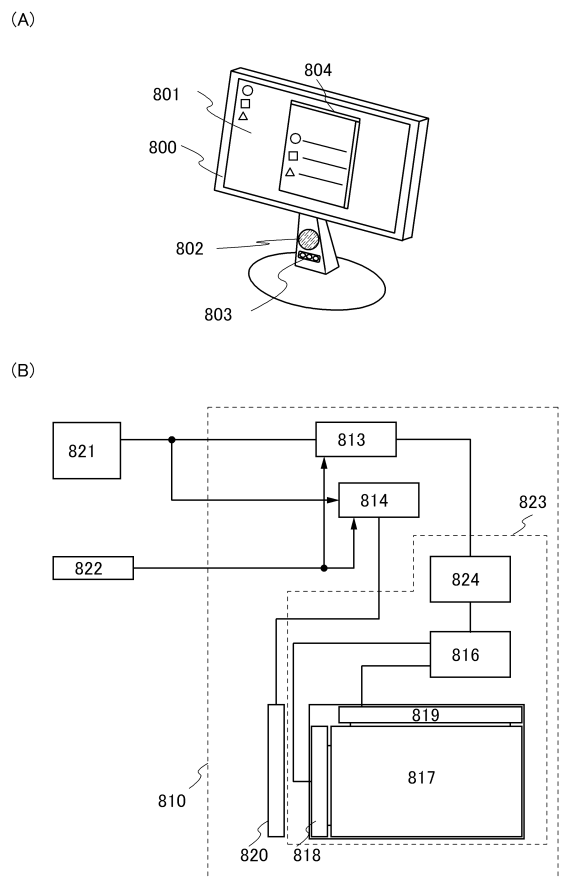
【図7】



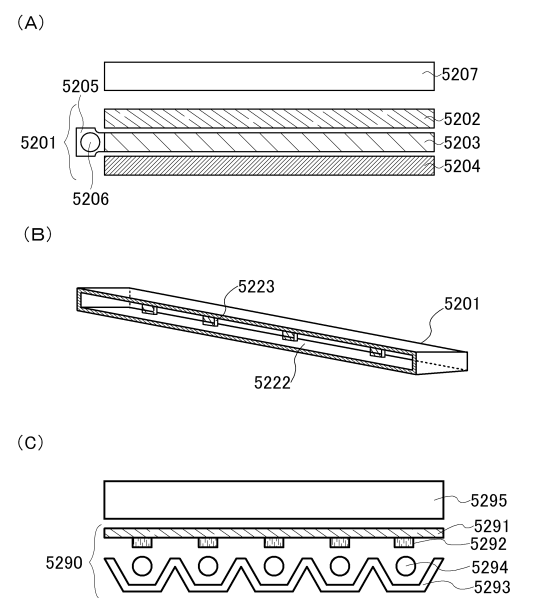
【図8】



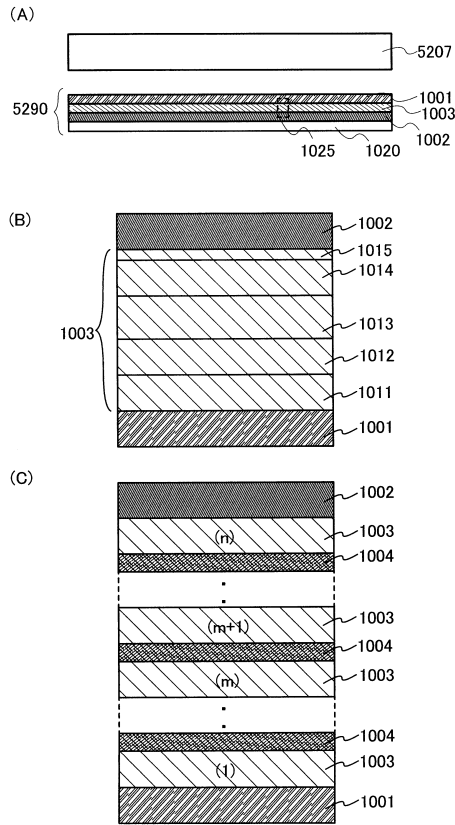
【図9】



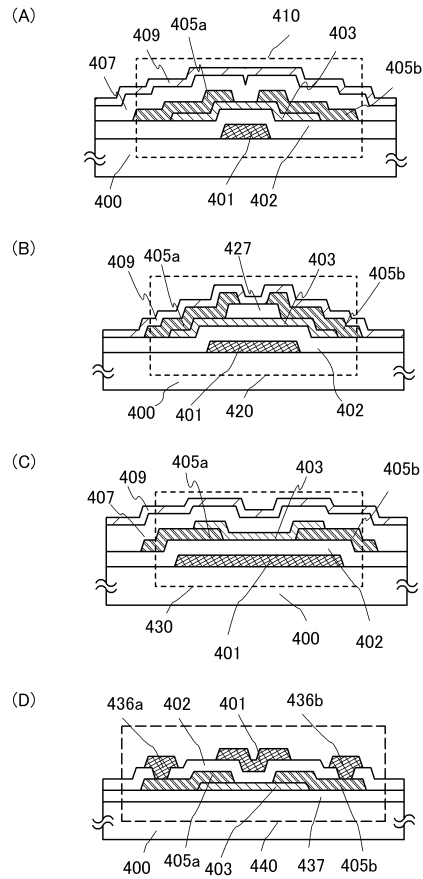
【図10】



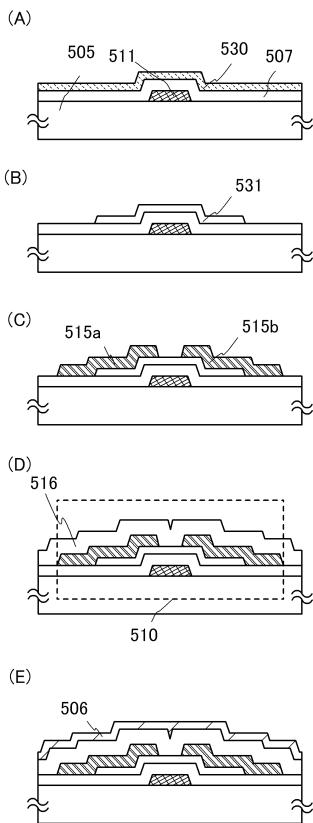
【 図 1 1 】



【 図 1 2 】

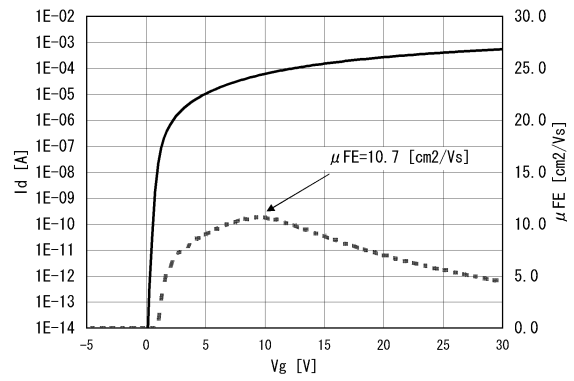


【 図 1 3 】

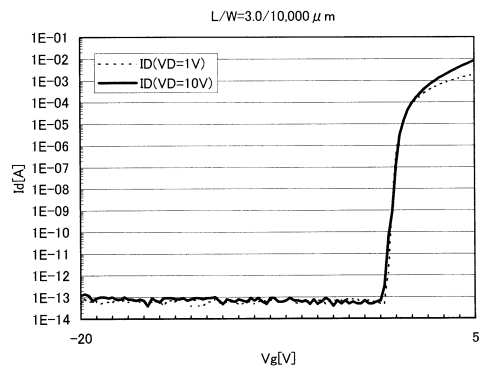


【 図 1 4 】

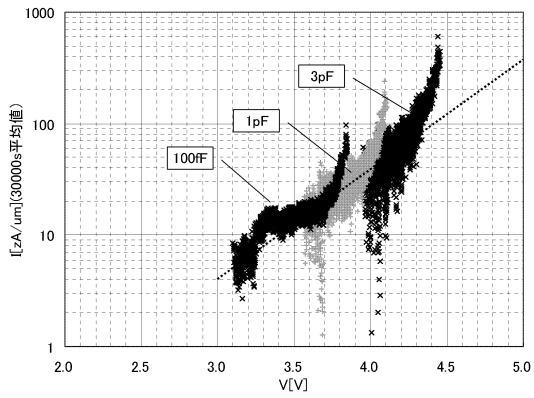
(n-ch, L/W= 10/ 50 [μm] , Tox= 100 [nm] , ε = 4.1)



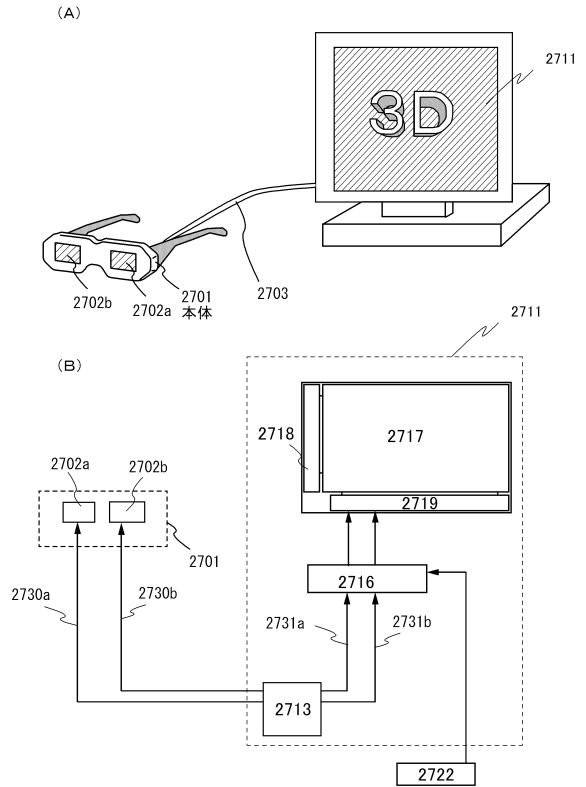
【 図 1 5 】



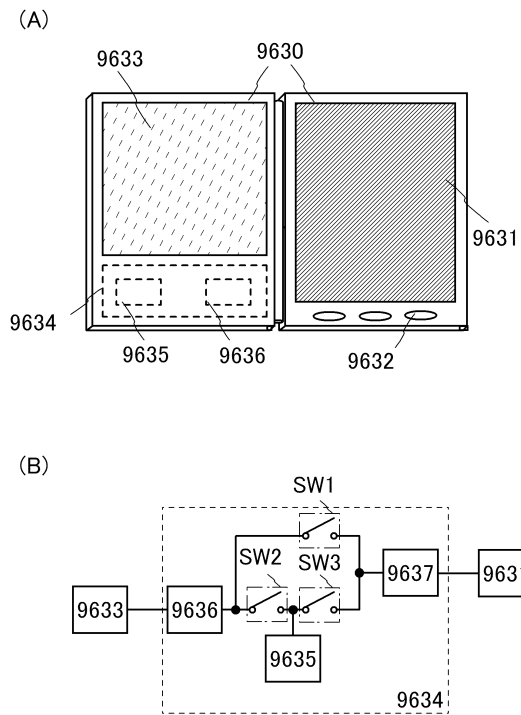
【図16】



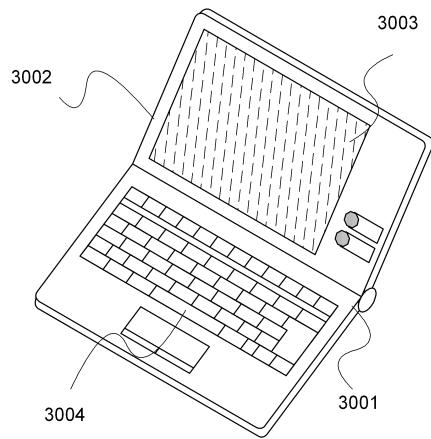
【図17】



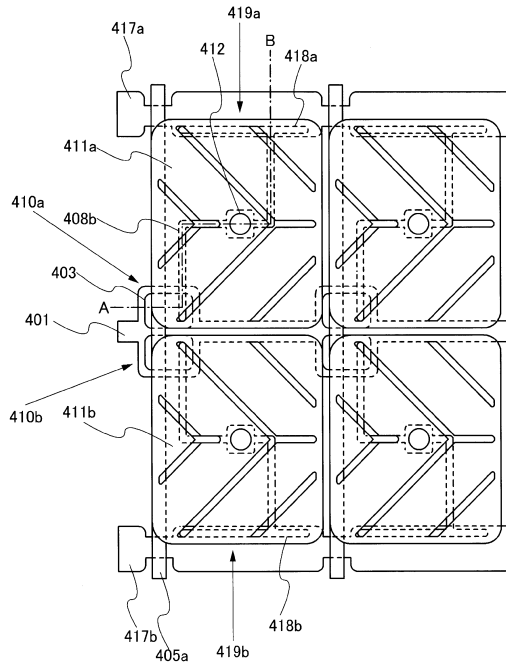
【図18】



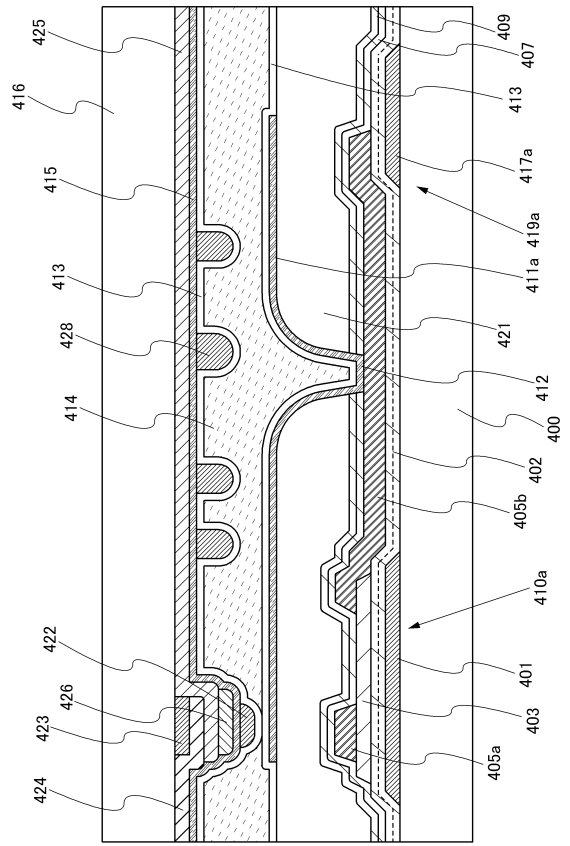
【図19】



【図 20】



【図 21】



## フロントページの続き

(51) Int.Cl.			F I		
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i>	<i>3 0 1 R</i>
<i>G 0 9 F</i>	<i>9/302</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/28</i>	<i>3 0 1 B</i>
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/14</i>	<i>A</i>
			<i>G 0 9 F</i>	<i>9/30</i>	<i>3 3 8</i>
			<i>G 0 9 F</i>	<i>9/302</i>	<i>Z</i>
			<i>H 0 1 L</i>	<i>29/50</i>	<i>M</i>

(56)参考文献 特開2009-033145(JP,A)  
 特開平05-224626(JP,A)  
 特表2009-528670(JP,A)  
 国際公開第2008/117739(WO,A1)  
 国際公開第2007/139009(WO,A1)  
 特開2002-278523(JP,A)  
 特開2010-003910(JP,A)

(58)調査した分野(Int.Cl., DB名)

*G 0 2 F* 1 / 1 3 6 8  
*H 0 1 L* 2 1 / 7 8 6

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP5802015B2</a>	公开(公告)日	2015-10-28
申请号	JP2011011798	申请日	2011-01-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平		
发明人	山崎 舜平		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/28 H01L51/50 G09F9/30 G09F9/302 H01L29/417		
CPC分类号	G02F1/13624 H01L27/1225 H01L27/3209 H01L51/5024 H01L51/5278 G02F1/133753 G02F1/136213 G02F1/1368 G02F2202/10 G09G3/3648 G09G2300/0809 G09G2310/08 H01L29/045 H01L29/7869		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.616.V H01L29/78.618.Z H01L29/78.613.Z H01L21/28.301.R H01L21/28.301.B H05B33/14.A G09F9/30.338 G09F9/302.Z H01L29/50.M G09F9/30.390.Z		
F-TERM分类号	2H092/JA26 2H092/JB13 2H092/KA08 2H092/KA19 2H092/NA22 2H092/PA06 2H092/PA13 2H092/QA06 2H092/QA07 2H092/QA09 2H192/AA24 2H192/BC24 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB71 2H192/CB81 2H192/DA12 2H192/GB72 2H192/GD14 2H192/GD47 2H192/GD61 2H192/HA01 2H192/HA14 2H192/JA13 2H192/JB04 3K107/AA01 3K107/BB03 4M104/AA03 4M104/AA09 4M104/BB01 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB30 4M104/BB31 4M104/BB33 4M104/BB36 4M104/CC01 4M104/FF13 4M104/GG08 4M104/GG14 5C094/AA02 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA20 5C094/DA09 5C094/EA04 5C094/FB02 5C094/FB12 5C094/FB14 5C094/JA02 5F110/AA01 5F110/AA06 5F110/AA09 5F110/BB02 5F110/CC01 5F110/CC03 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE27 5F110/EE30 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG19 5F110/GG22 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK21 5F110/HK42 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN34 5F110/NN40 5F110/NN71 5F110/NN72 5F110/NN73 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP29 5F110/PP35 5F110/QQ01 5F110/QQ02		
优先权	2010012665 2010-01-24 JP		
其他公开文献	JP2011170345A5 JP2011170345A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过获得显示设备的高图像质量来降低功耗并抑制显示器的劣化（降低显示质量）。解决方案：显示装置包括：显示面板，用于通过以矩阵形式排列像素来显示图像；每个像素包括一个或多个单元，每个单元具有多个子单元；每个子单元包括：晶体管，其中氧化物半导体层通过栅极绝缘层与栅电极重叠；像素电极，用于驱动连接到晶体管的源极侧或漏极侧的液晶；反电极，设置为面对像素电极和设置在像素电极和对电极之间的液晶层。显示装置使用晶体管，其中在室温下，每通道宽度的电流小于10zA/1μm，在85°C下小于100zA/μm。

(21) 出願番号	特願2011-11798 (P2011-11798)	(73) 特許権者	000153878
(22) 出願日	平成23年1月24日 (2011. 1. 24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-170345 (P2011-170345A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年9月1日 (2011. 9. 1)	(72) 発明者	山崎 舜平
審査請求日	平成25年12月20日 (2013. 12. 20)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-12665 (P2010-12665)		半導体エネルギー研究所内
(32) 優先日	平成22年1月24日 (2010. 1. 24)		
(33) 優先権主張国	日本国 (JP)	審査官	小林 俊久

最終頁に続く