

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5631391号
(P5631391)

(45) 発行日 平成26年11月26日 (2014.11.26)

(24) 登録日 平成26年10月17日 (2014.10.17)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G02F 1/133 (2006.01)
 G02F 1/1368 (2006.01)

G09G 3/36
 G09G 3/20 R
 G09G 3/20 611A
 G09G 3/20 611C
 G09G 3/20 622E

請求項の数 12 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2012-518281 (P2012-518281)
 (86) (22) 出願日 平成23年4月7日 (2011.4.7)
 (86) 国際出願番号 PCT/JP2011/058764
 (87) 国際公開番号 W02011/152120
 (87) 国際公開日 平成23年12月8日 (2011.12.8)
 審査請求日 平成24年9月4日 (2012.9.4)
 (31) 優先権主張番号 特願2010-125548 (P2010-125548)
 (32) 優先日 平成22年6月1日 (2010.6.1)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 鷲尾 一
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

m個 (mは正の整数) の画素の各々の画素領域内に設けられクロック信号に基づき入力データが順次に転送されるように直列に接続されたm個のフリップフロップからなるシフトレジスタと、

前記m個のフリップフロップと1対1で対応するように設けられ、第1電圧および第2電圧の2つだけの電圧から、各フリップフロップからの出力信号の論理値に応じて前記第1電圧または前記第2電圧のいずれかを選択するm個の電圧選択部と、

前記m個のフリップフロップと1対1で対応するように設けられ、前記電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるためのm個の表示素子部と

を備え、

前記m個の画素および前記m個のフリップフロップはi行×j列のマトリクス状に構成され、

各行において隣接するフリップフロップは互いに接続され、

連続する任意の2行に着目したとき、1行目のj列目のフリップフロップと2行目の1列目のフリップフロップとが接続されていることを特徴とする、表示装置。

【請求項 2】

各フリップフロップは、

入力信号を取り込んで転送用データとして保持する第1ラッチ部と、

10

20

前記転送用データを取り込んで出力用データとして保持するとともに前記出力用データに基づいて前記出力信号を出力する第2ラッチ部とを含むこと特徴とする、請求項1に記載の表示装置。

【請求項3】

前記第1ラッチ部は、

入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第1クロックインバータと、

入力端子が前記第1クロックインバータの出力端子に接続された第1インバータと、

入力端子が前記第1インバータの出力端子に接続され、出力端子が前記第1インバータの入力端子に接続された、前記クロック信号に基づいて動作する第2クロックインバータと

からなり、

前記第2ラッチ部は、

入力端子が前記第1インバータの出力端子に接続された、前記クロック信号に基づいて動作する第3クロックインバータと、

入力端子が前記第3クロックインバータの出力端子に接続された第2インバータと、

入力端子が前記第2インバータの出力端子に接続され、出力端子が前記第2インバータの入力端子に接続された、前記クロック信号に基づいて動作する第4クロックインバータと

からなり、

前記第2インバータの出力端子から前記出力信号が出力されることを特徴とする、請求項2に記載の表示装置。

【請求項4】

前記第1ラッチ部は、

入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第1クロックインバータと、

一端が前記第1クロックインバータの出力端子に接続され、他端に所定電位が与えられる容量と

からなり、

前記第2ラッチ部は、

入力端子が前記第1クロックインバータの出力端子に接続された、前記クロック信号に基づいて動作する第3クロックインバータと、

入力端子が前記第3クロックインバータの出力端子に接続された第2インバータと、

入力端子が前記第2インバータの出力端子に接続され、出力端子が前記第2インバータの入力端子に接続された、前記クロック信号に基づいて動作する第4クロックインバータと

からなり、

前記第2インバータの出力端子から前記出力信号が出力されることを特徴とする、請求項2に記載の表示装置。

【請求項5】

前記m個のフリップフロップに対応するm個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記m個のデータがそれぞれ対応するフリップフロップに含まれる前記第1ラッチ部に前記転送用データとして保持された後、前記クロック信号の動作が停止すること特徴とする、請求項2に記載の表示装置。

【請求項6】

各フリップフロップに対応するように設けられた白色表示機能部を更に備え、

前記 m 個のフリップフロップに対応する m 個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記白色表示機能部は、前記 m 個のデータがそれぞれ対応するフリップフロップに含まれる前記第 1 ラッチ部に前記転送用データとして保持されるまでの期間、各画素の表示状態を白色表示で維持すること特徴とする、請求項 2 に記載の表示装置。

【請求項 7】

前記 m 個のフリップフロップのうちの 1 段目のフリップフロップに入力される表示用データは、前記クロック信号に基づいて、後段のフリップフロップに順次に転送されることを特徴とする、請求項 1 に記載の表示装置。

【請求項 8】

制御信号に基づいて入力電圧の大きさを制御する電圧制御部を更に備え、

前記表示素子部において、画素の表示状態は、前記電圧選択部によって選択された電圧と所定の第 3 電圧との差に基づいて変化し、

前記電圧制御部は、前記入力電圧として前記第 1 電圧および前記第 2 電圧を受け取り、前記制御信号が予め定められたレベルになっている時に、前記第 1 電圧および前記第 2 電圧を前記第 3 電圧と同じ大きさにすることを特徴とする、請求項 1 に記載の表示装置。

【請求項 9】

各画素は、n 個 (n は 2 以上の整数) の副画素によって構成され、

前記フリップフロップは、各画素に含まれる n 個の副画素にそれぞれ対応するように設けられ、

各画素に対応する n 個のフリップフロップが互いに異なるシフトレジスタを構成するように、前記シフトレジスタは n 個設けられ、

前記 n 個のシフトレジスタには、前記入力データとして互いに異なるデータが与えられることを特徴とする、請求項 1 に記載の表示装置。

【請求項 10】

各画素に含まれる n 個の副画素を形成する n 個の画素電極の面積が互いに異なることを特徴とする、請求項 9 に記載の表示装置。

【請求項 11】

各画素は、赤色、緑色、および青色にそれぞれ対応する 3 個の副画素によって構成され、

前記 3 個の副画素にそれぞれ対応する 3 個のシフトレジスタには、前記入力データとして赤色用のデータ、緑色用のデータ、および青色用のデータがそれぞれ与えられることを特徴とする、請求項 9 に記載の表示装置。

【請求項 12】

前記 m 個のフリップフロップのうちの任意のフリップフロップは、前記 m 個のフリップフロップのうちの少なくとも 1 個の他のフリップフロップと直列に接続されていることを特徴とする、請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、各画素に対応するようにメモリ機能が設けられている表示装置に関する。

【背景技術】

【0002】

近年、液晶表示装置に関し、消費電力の低減を図るために各画素に対応するようにメモリ機能が設けられているものがある。このような装置は「メモリ液晶ディスプレイ」あるいは単に「メモリ液晶」などと呼ばれている。一般に、メモリ液晶ディスプレイにおいては、各画素につき 1 ビットのデータの保持が可能となっており、同じ内容の画像や変化の少ない画像が長時間表示される際に、メモリに保持されたデータを用いた画像表示が行われる。メモリ液晶ディスプレイでは、メモリへのデータの書き込みが一旦行われると、当

10

20

30

40

50

該メモリに書き込まれたデータの内容は次に書き換えられるまで保持される。このため、画像の内容が変化する前後の期間以外の期間には、ほとんど電力は消費されない。その結果、メモリ機能を有さない液晶表示装置と比較して消費電力が低減されている。

【0003】

図23は、従来のメモリ液晶ディスプレイの概略構成を示すブロック図である。このメモリ液晶ディスプレイは、画素メモリ部90と、画素メモリ部90を駆動するためのゲートドライバ92およびソースドライバ93と、外部から各種信号等を受け取るための端子部91とによって構成されている。画素メモリ部90、端子部91、ゲートドライバ92、およびソースドライバ93はパネル基板900上に形成されている。画素メモリ部90においては、上述したように、各画素につき1ビットのデータの保持が可能となっている。このような構成において、ゲートドライバ92およびソースドライバ93が動作することによって、画素メモリ部90内の各画素に対応するメモリに表示画像に応じたデータが格納される。そして、メモリに格納されたデータに基づいて画像が表示される。

10

【0004】

なお、本件発明に関連して、日本の特開2007-286237号公報には、図24に示す構成の画素メモリ回路を備えた表示装置の発明が開示されている。この表示装置においては、RGBのサブ画素毎ではなく、RGBの3つのサブ画素からなる画素ユニット毎に画素メモリ回路が設けられている。これにより、回路面積の増大を抑制しつつ、メモリを用いた駆動による低消費電力化が実現されている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】日本の特開2007-286237号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来のメモリ液晶ディスプレイは、メモリ機能を有さない一般的な液晶表示装置と同様、ゲートドライバやソースドライバを備えている。ゲートドライバ92やソースドライバ93は、図23に示したように、画素メモリ部90の周辺領域に形成されている。このため、装置の小型化を図ったとき、パネル全体のサイズに対する表示領域（画素メモリ部90が形成されている領域に相当する）の占める割合が比較的小さくなり、製品のデザイン性が損なわれてしまう。

30

【0007】

そこで、本発明は、パネル基板上の回路面積を低減しつつ、メモリを用いた駆動による低消費電力化を実現することのできる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の局面は、 m 個（ m は正の整数）の画素の各々の画素領域内に設けられクロック信号に基づき入力データが順次に転送されるように直列に接続された m 個のフリップフロップからなるシフトレジスタと、

40

前記 m 個のフリップフロップと1対1で対応するように設けられ、第1電圧および第2電圧の2つだけの電圧から、各フリップフロップからの出力信号の論理値に応じて前記第1電圧または前記第2電圧のいずれかを選択する m 個の電圧選択部と、

前記 m 個のフリップフロップと1対1で対応するように設けられ、前記電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるための m 個の表示素子部と

を備え、

前記 m 個の画素および前記 m 個のフリップフロップは i 行 $\times$ j 列のマトリクス状に構成され、

各行において隣接するフリップフロップは互いに接続され、

50

連続する任意の 2 行に着目したとき、1 行目の j 列目のフリップフロップと 2 行目の 1 列目のフリップフロップとが接続されていることを特徴とする。

【 0 0 0 9 】

本発明の第 2 の局面は、本発明の第 1 の局面において、
各フリップフロップは、
入力信号を取り込んで転送用データとして保持する第 1 ラッチ部と、
前記転送用データを取り込んで出力用データとして保持するとともに前記出力用データに基づいて前記出力信号を出力する第 2 ラッチ部と
を含むこと特徴とする。

【 0 0 1 0 】

本発明の第 3 の局面は、本発明の第 2 の局面において、
前記第 1 ラッチ部は、
入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第 1 クロックドインバータと、
入力端子が前記第 1 クロックドインバータの出力端子に接続された第 1 インバータと
、

入力端子が前記第 1 インバータの出力端子に接続され、出力端子が前記第 1 インバータの入力端子に接続された、前記クロック信号に基づいて動作する第 2 クロックドインバータと
からなり、

前記第 2 ラッチ部は、

入力端子が前記第 1 インバータの出力端子に接続された、前記クロック信号に基づいて動作する第 3 クロックドインバータと、

入力端子が前記第 3 クロックドインバータの出力端子に接続された第 2 インバータと
、

入力端子が前記第 2 インバータの出力端子に接続され、出力端子が前記第 2 インバータの入力端子に接続された、前記クロック信号に基づいて動作する第 4 クロックドインバータと
からなり、

前記第 2 インバータの出力端子から前記出力信号が出力されることを特徴とする。

【 0 0 1 1 】

本発明の第 4 の局面は、本発明の第 2 の局面において、
前記第 1 ラッチ部は、
入力端子に前記入力信号が与えられる、前記クロック信号に基づいて動作する第 1 クロックドインバータと、
一端が前記第 1 クロックドインバータの出力端子に接続され、他端に所定電位が与えられる容量と
からなり、

前記第 2 ラッチ部は、

入力端子が前記第 1 クロックドインバータの出力端子に接続された、前記クロック信号に基づいて動作する第 3 クロックドインバータと、

入力端子が前記第 3 クロックドインバータの出力端子に接続された第 2 インバータと
、

入力端子が前記第 2 インバータの出力端子に接続され、出力端子が前記第 2 インバータの入力端子に接続された、前記クロック信号に基づいて動作する第 4 クロックドインバータと
からなり、

前記第 2 インバータの出力端子から前記出力信号が出力されることを特徴とする。

【 0 0 1 2 】

本発明の第 5 の局面は、本発明の第 2 の局面において、

【 0 0 1 2 】

本発明の第 5 の局面は、本発明の第 2 の局面において、

前記 m 個のフリップフロップに対応する m 個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記 m 個のデータがそれぞれ対応するフリップフロップに含まれる前記第 1 ラッチ部に前記転送用データとして保持された後、前記クロック信号の動作が停止すること特徴とする。

【0013】

本発明の第 6 の局面は、本発明の第 2 の局面において、

各フリップフロップに対応するように設けられた白色表示機能部を更に備え、

前記 m 個のフリップフロップに対応する m 個のデータが前記入力データとして前記シフトレジスタに与えられ、

前記白色表示機能部は、前記 m 個のデータがそれぞれ対応するフリップフロップに含まれる前記第 1 ラッチ部に前記転送用データとして保持されるまでの期間、各画素の表示状態を白色表示で維持すること特徴とする。

【0014】

本発明の第 7 の局面は、本発明の第 1 の局面において、

前記 m 個のフリップフロップのうちの 1 段目のフリップフロップに入力される表示用データは、前記クロック信号に基づいて、後段のフリップフロップに順次に転送されることを特徴とする。

【0015】

本発明の第 8 の局面は、本発明の第 1 の局面において、

制御信号に基づいて入力電圧の大きさを制御する電圧制御部を更に備え、

前記表示素子部において、画素の表示状態は、前記電圧選択部によって選択された電圧と所定の第 3 電圧との差に基づいて変化し、

前記電圧制御部は、前記入力電圧として前記第 1 電圧および前記第 2 電圧を受け取り、前記制御信号が予め定められたレベルになっている時に、前記第 1 電圧および前記第 2 電圧を前記第 3 電圧と同じ大きさにすることを特徴とする。

【0018】

本発明の第 9 の局面は、本発明の第 1 の局面において、

各画素は、 n 個 (n は 2 以上の整数) の副画素によって構成され、

前記フリップフロップは、各画素に含まれる n 個の副画素にそれぞれ対応するように設けられ、

各画素に対応する n 個のフリップフロップが互いに異なるシフトレジスタを構成するように、前記シフトレジスタは n 個設けられ、

前記 n 個のシフトレジスタには、前記入力データとして互いに異なるデータが与えられることを特徴とする。

【0019】

本発明の第 10 の局面は、本発明の第 9 の局面において、

各画素に含まれる n 個の副画素を形成する n 個の画素電極の面積が互いに異なることを特徴とする。

【0020】

本発明の第 11 の局面は、本発明の第 9 の局面において、

各画素は、赤色、緑色、および青色にそれぞれ対応する 3 個の副画素によって構成され、

前記 3 個の副画素にそれぞれ対応する 3 個のシフトレジスタには、前記入力データとして赤色用のデータ、緑色用のデータ、および青色用のデータがそれぞれ与えられることを特徴とする。

本発明の第 12 の局面は、本発明の第 1 の局面において、

前記 m 個のフリップフロップのうちの任意のフリップフロップは、前記 m 個のフリップフロップのうちの少なくとも 1 個の他のフリップフロップと直列に接続されていることを特徴とする。

【発明の効果】

【0021】

本発明の第1の局面によれば、表示装置（画素およびフリップフロップがマトリクス状に配置されている表示装置）には、各画素の画素領域内に設けられたフリップフロップが直列に接続されることによって構成されたシフトレジスタと、各フリップフロップからの出力信号に応じて2つの電圧のいずれかを選択する電圧選択部と、電圧選択部によって選択された電圧を各フリップフロップに対応する画素の表示状態に反映させるための表示素子部とが設けられている。フリップフロップは1ビットのデータの保持が可能であるので、各フリップフロップにおいて、入力データを次段のフリップフロップに転送しつつ、当該入力データを電圧選択部に与えることにより対応する画素の表示状態を当該入力データに基づく表示状態にすることが可能となる。すなわち、従来の一般的な表示装置に設けられている駆動回路（走査信号線駆動回路、映像信号線駆動回路）を備えることなく、表示画像用のデータをシフトレジスタに与えることによって、シフトレジスタを構成する全てのフリップフロップ（すなわち各画素に対応するメモリ）に表示画像に対応するデータを与えることができる。ここで、各フリップフロップにおいてラッチされたデータの内容は次に書き換えられるまで保持されるので、不必要に電力が消費されることなく同じ内容の画像を表示し続けることが可能となる。以上より、従来と比較して回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な表示装置が実現される。

10

また、シフトレジスタに与えられたデータは全ての行で同じ方向に転送される。このため、各フリップフロップに保持されるべき表示画像用のデータの生成が容易となる。

20

【0022】

本発明の第2の局面によれば、本発明の第1の局面と同様、従来と比較して回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な表示装置が実現される。

【0023】

本発明の第3の局面によれば、本発明の第1の局面と同様、従来と比較して回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な表示装置が実現される。

【0024】

本発明の第4の局面によれば、各フリップフロップの第1ラッチ部は、1個のクロックドインバータと1個の容量とによって構成されている。このため、比較的少ない数のトランジスタでフリップフロップが実現されるので、パネル基板上の回路面積を効果的に低減することが可能となる。

30

【0025】

本発明の第5の局面によれば、シフトレジスタを構成する全てのフリップフロップに表示画像に対応するデータが保持された後、クロック信号の動作は停止する。このため、同じ内容の画像の表示が継続している期間中、クロック信号に起因する電力消費が無くなり、消費電力が効果的に低減される。

【0026】

本発明の第6の局面によれば、シフトレジスタを構成するフリップフロップの全てに表示画像に基づくデータが保持されるまでの期間、全ての画素の表示状態は白色表示となる。このため、画像が表示される際あるいは画像の内容が変化する際には、全画面白色表示が行われた後、表示すべき画像が表示される。これにより、ノイズが視認されにくくなる。

40

【0027】

本発明の第7の局面によれば、本発明の第1の局面と同様の効果が得られる。

【0028】

本発明の第8の局面によれば、シフトレジスタを構成するフリップフロップの全てに表示画像に基づくデータが保持されるまでの期間、制御信号を予め定められたレベルにしておくことによって、全ての画素の表示状態を白色表示（ノーマリーホワイト方式の場合）または黒色表示（ノーマリーブラック方式の場合）にすることができる。このため、画像が表示される際あるいは画像の内容が変化する際、全画面白色表示または全画面黒色表示

50

が行われた後に表示すべき画像を表示することが可能となる。これにより、ノイズが視認されにくくなる。

【0031】

本発明の第9の局面によれば、1つの画素は複数個の副画素によって構成され、副画素毎に表示状態を白色表示または黒色表示にすることができる。これにより、メモリを用いた駆動による低消費電力化が可能な表示装置において、中間調表示が可能となる。

【0032】

本発明の第10の局面によれば、n個の画素電極についての面積比を調整することによって、中間調の明るさを調整することができる。また、n個の画素電極の面積を同じにする場合と比較して、表示可能な階調の数が大きくなる。

【0033】

本発明の第11の局面によれば、3個の副画素にそれぞれ対応するようカラーフィルタや色表示機能を備えることによって、カラー表示が可能となる。これにより、メモリを用いた駆動による低消費電力化が可能なカラー表示装置が実現される。

本発明の第12局面によれば、本発明の第1の局面と同様の効果が得られる。

【図面の簡単な説明】

【0034】

【図1】本発明の一実施形態に係る液晶表示装置における画素メモリユニットの構成を示すブロック図である。

【図2】上記実施形態において、液晶表示装置の概略構成を示すブロック図である。

【図3】上記実施形態において、画素メモリ部の構成を示すブロック図である。

【図4】上記実施形態において、フリップフロップによって構成されるシフトレジスタについて説明するための図である。

【図5】上記実施形態において、フリップフロップの具体的な構成例を示す回路図である。

【図6】上記実施形態において、電圧選択部の具体的な構成例を示す回路図である。

【図7】上記実施形態において、画素メモリ部の駆動方法について説明するための信号波形図である。

【図8】上記実施形態において、画素メモリ部の駆動方法について説明するための信号波形図である。

【図9】上記実施形態において、液晶印加電圧と透過率との関係を示す図である。

【図10】上記実施形態における表示画像例を示す図である。

【図11】上記実施形態において、画素メモリ部の駆動方法について説明するための信号波形図である。

【図12】上記実施形態における表示画像例を示す図である。

【図13】上記実施形態の第1の変形例における画素メモリ部の構成を示すブロック図である。

【図14】上記実施形態の第2の変形例における画素メモリ部の構成を示すブロック図である。

【図15】上記実施形態の第3の変形例における画素メモリ部の構成を示すブロック図である。

【図16】AおよびBは、上記実施形態の第3の変形例において、2個の副画素の画素電極の面積を互いに異ならせる例を示す図である。

【図17】AおよびBは、上記実施形態の第3の変形例において、2個の副画素の画素電極の面積を互いに異ならせる例を示す図である。

【図18】上記実施形態の第4の変形例において、白色表示回路の具体的な構成例を示す回路図である。

【図19】上記実施形態の第5の変形例における画素メモリ部および電圧制御回路の構成を示すブロック図である。

10

20

30

40

50

【図 2 0】上記実施形態の第 5 の変形例において、電圧制御回路の具体的な構成例を示す回路図である。

【図 2 1】上記実施形態の第 5 の変形例において、電圧制御回路の動作について説明するための信号波形図である。

【図 2 2】上記実施形態の第 6 の変形例において、フリップフロップの具体的な構成例を示す回路図である。

【図 2 3】従来のメモリ液晶ディスプレイの概略構成を示すブロック図である。

【図 2 4】日本の特開 2 0 0 7 - 2 8 6 2 3 7 号公報に開示された表示装置における画素メモリ回路の構成を示す回路図である。

【発明を実施するための形態】

10

【 0 0 3 5 】

以下、添付図面を参照しつつ、本発明の一実施形態について説明する。

【 0 0 3 6 】

< 1 . 液晶表示装置の概略構成 >

図 2 は、本発明の一実施形態に係る液晶表示装置の概略構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、画素メモリ部 1 0 と端子部 1 9 とが形成されるパネル基板 1 0 0 と、パネル基板 1 0 0 の外部（例えばフレキシブル回路基板）に設けられる画素メモリ駆動部 2 0 0 とによって構成されている。画素メモリ部 1 0 には、 i 行 $\times$ j 列で構成された画素メモリユニット P M U が含まれている。なお、1 つの画素メモリユニット P M U が 1 画素分の構成要素となっている。画素メモリユニット P M U は 1 ビットのデータの保持が可能となっており、各画素メモリユニット P M U に保持されたデータの値に応じて画像が表示される。端子部 1 9 には、画素メモリ駆動部 2 0 0 からパネル基板 1 0 0 へと延びる信号配線とパネル基板 1 0 0 内に配設された信号配線とを接続するための端子が設けられている。画素メモリ駆動部 2 0 0 は、画素メモリユニット P M U を動作させるための信号等を画素メモリ部 1 0 に供給する。なお、以下においては、画素メモリ部 1 0 は 9 個（3 行 $\times$ 3 列）の画素メモリユニット P M U からなるものと仮定する。

20

【 0 0 3 7 】

図 3 は、画素メモリ部 1 0 の構成を示すブロック図である。図 3 に示すように、画素メモリ部 1 0 には 9 個の画素メモリユニット P M U (1) ~ P M U (9) が含まれている。それら全ての画素メモリユニット P M U (1) ~ P M U (9) には、共通的に、2 相のクロック信号 C K , C K B と、画素の表示状態を白色表示にするための白色表示用電圧 V W と、画素の表示状態を黒色表示にするための黒色表示用電圧 V B L とが与えられる。また、画素メモリユニット P M U (1) には、画素の表示状態を指定するための表示用データ D A T A が与えられる。

30

【 0 0 3 8 】

ところで、各画素メモリユニット P M U には、1 ビットのデータを保持することができるフリップフロップが含まれている。そして、画素メモリユニット P M U (1) ~ P M U (9) のそれぞれに含まれるフリップフロップ 1 1 (1) ~ 1 1 (9) が図 4 に示すように直列に接続されることによって、シフトレジスタ 1 1 0 が構成されている。従って、画素メモリユニット P M U (1) に与えられた表示用データ D A T A は、クロック信号 C K , C K B に基づいて、画素メモリユニット P M U (2) ~ P M U (9) に順次に転送される。

40

【 0 0 3 9 】

また、本実施形態においては、図 3 に示すように、1 行目の 3 列目の画素メモリユニット P M U (3) 内のフリップフロップと 2 行目の 3 列目の画素メモリユニット P M U (4) 内のフリップフロップとが接続され、2 行目の 1 列目の画素メモリユニット P M U (6) 内のフリップフロップと 3 行目の 1 列目の画素メモリユニット P M U (7) 内のフリップフロップとが接続されている。

【 0 0 4 0 】

< 2 . 画素メモリユニットの構成および動作概要 >

50

図1は、画素メモリユニットPMUの構成を示すブロック図である。図1に示すように、画素メモリユニットPMUは、フリップフロップ11と電圧選択部12と液晶容量13とを備えている。フリップフロップ11は、信号 Q_n （前段のフリップフロップ11からの出力信号）を入力信号として受け取り、クロック信号 CK 、 CKB に基づき「信号 Q_{n+1} 」と「信号 Q_{n+1} の論理反転信号」とを出力信号として出力する。なお、以下においては、「信号 Q_{n+1} の論理反転信号」のことを「信号 $Q_{n+1}B$ 」と表す。電圧選択部12は、信号 Q_{n+1} と信号 $Q_{n+1}B$ とに基づいて白色表示用電圧 VW または黒色表示用電圧 VB_L のいずれかを選択し、その選択した電圧を画素電極電圧 VL_C として出力する。液晶容量13は画素電極と共通電極とによって形成されており、画素電極電圧 VL_C と共通電極電圧 $VCOM$ との差に応じて画素の表示状態が変化する。

10

【0041】

図5は、フリップフロップ11の具体的な構成例を示す回路図である。このフリップフロップ11は、信号 Q_n を取り込んで転送用データとして保持するための第1ラッチ部111と、転送用データを取り込んで出力用データとして保持するとともに出力用データに基づいて信号 Q_{n+1} と信号 $Q_{n+1}B$ とを出力するための第2ラッチ部112とによって構成されている。

【0042】

第1ラッチ部111は、入力端子に信号 Q_n が与えられるクロックドインバータ（以下、「第1クロックドインバータ」という。）141と、入力端子が第1クロックドインバータ141の出力端子に接続されたインバータ（以下、「第1インバータ」という。）142と、入力端子が第1インバータ142の出力端子に接続されるとともに出力端子が第1インバータ142の入力端子に接続されたクロックドインバータ（以下、「第2クロックドインバータ」という。）143とによって構成されている。なお、第1インバータ142の出力端子は、後述する第3クロックドインバータ146の入力端子にも接続されている。

20

【0043】

第2ラッチ部112は、入力端子が第1インバータ142の出力端子に接続されたクロックドインバータ（以下、「第3クロックドインバータ」という。）146と、入力端子が第3クロックドインバータ146の出力端子に接続されたインバータ（以下、「第2インバータ」という。）147と、入力端子が第2インバータ147の出力端子に接続されるとともに出力端子が第2インバータ147の入力端子に接続されたクロックドインバータ（以下、「第4クロックドインバータ」という。）148とによって構成されている。なお、信号 Q_{n+1} は第2インバータ147の出力端子から出力され、信号 $Q_{n+1}B$ は第4クロックドインバータ148の出力端子から出力される。

30

【0044】

なお、第1クロックドインバータ141および第4クロックドインバータ148については、クロック信号 CK がハイレベルかつクロック信号 CKB がローレベルの時にはインバータとして機能し、クロック信号 CK がローレベルかつクロック信号 CKB がハイレベルの時には入力端子 - 出力端子間が電氣的に切り離される。また、第2クロックドインバータ143および第3クロックドインバータ146については、クロック信号 CK がハイレベルかつクロック信号 CKB がローレベルの時には入力端子 - 出力端子間が電氣的に切り離され、クロック信号 CK がローレベルかつクロック信号 CKB がハイレベルの時にはインバータとして機能する。

40

【0045】

以上のような構成により、このフリップフロップ11では、クロック信号 CK がハイレベルかつクロック信号 CKB がローレベルとなっている期間中に与えられる信号 Q_n の値が転送用データとして第1ラッチ部111に保持される。そして、クロック信号 CK がハイレベルからローレベルに変化し、かつ、クロック信号 CKB がローレベルからハイレベルに変化するタイミングで、転送用データとして第1ラッチ部111に保持されている信号 Q_n の値が信号 Q_{n+1} の波形として現れる。また、転送用データは第2ラッチ部11

50

2に保持されるため、信号 Q_{n+1} の波形は、次に、クロック信号 CK がハイレベルからローレベルに変化し、かつ、クロック信号 CKB がローレベルからハイレベルに変化する時点まで維持される。

【0046】

図6は、電圧選択部12の具体的な構成例を示す回路図である。この電圧選択部12には、P型TFTとN型TFTとからなるCMOSスイッチ121, 122が含まれている。CMOSスイッチ121については、入力端子には白色表示用電圧 VW が与えられ、出力端子は画素電極に接続されている。CMOSスイッチ121のN型TFTのゲート端子には信号 Q_{n+1} が与えられ、CMOSスイッチ121のP型TFTのゲート端子には信号 $Q_{n+1}B$ が与えられる。CMOSスイッチ122については、入力端子には黒色表示用電圧 VB_L が与えられ、出力端子は画素電極に接続されている。CMOSスイッチ122のN型TFTのゲート端子には信号 $Q_{n+1}B$ が与えられ、CMOSスイッチ122のP型TFTのゲート端子には信号 Q_{n+1} が与えられる。以上のような構成により、信号 Q_{n+1} がハイレベルかつ信号 $Q_{n+1}B$ がローレベルの時には、CMOSスイッチ121がオン状態かつCMOSスイッチ122がオフ状態となり、白色表示用電圧 VW が画素電極に与えられる。一方、信号 Q_{n+1} がローレベルかつ信号 $Q_{n+1}B$ がハイレベルの時には、CMOSスイッチ121がオフ状態かつCMOSスイッチ122がオン状態となり、黒色表示用電圧 VB_L が画素電極に与えられる。

【0047】

< 3. 駆動方法 >

【0048】

次に、図4および図7を参照しつつ、本実施形態における画素メモリ部10の駆動方法について説明する。なお、図7に示す信号波形図の先頭の波形に付した符号は、各時点に表示用データ $DATA$ によってフリップフロップ11(1)に入力されている1ビットのデータを本説明において識別するための符号である。図7では、例えば、時点 t_5 から時点 t_6 までの期間には表示用データ $DATA$ によって「データD5」がフリップフロップ11(1)に入力されることが示されている。

【0049】

時点 t_1 においては、表示用データ $DATA$ としてデータD1がフリップフロップ11(1)に入力されている。時点 t_1 には、クロック信号 CK がハイレベルからローレベルに変化し、かつ、クロック信号 CKB がローレベルからハイレベルに変化する。このため、データD1の値に基づいて、フリップフロップ11(1)の出力信号 Q_1 がハイレベルとなる。なお、出力信号 Q_1 は、電圧選択部12(図6参照)に与えられるとともに、フリップフロップ11(2)にも与えられる。

【0050】

時点 t_2 においては、表示用データ $DATA$ としてデータD2がフリップフロップ11(1)に入力されている。フリップフロップ11(1)からの出力信号 Q_1 はフリップフロップ11(2)に与えられているので、この時、データD1がフリップフロップ11(2)に入力されている。また、時点 t_2 には、時点 t_1 と同様、クロック信号 CK がハイレベルからローレベルに変化し、かつ、クロック信号 CKB がローレベルからハイレベルに変化する。これにより、データD2の値に基づいて、フリップフロップ11(1)の出力信号 Q_1 はハイレベルで維持され、データD1の値に基づいて、フリップフロップ11(2)の出力信号 Q_2 はハイレベルとなる。

【0051】

以上のようにして、時点 t_3 以降においても、表示用データ $DATA$ としてフリップフロップ11(1)に入力されたデータが順次にフリップフロップ11(2)~11(9)へと転送されていく。これにより、表示用データ $DATA$ としてのデータD1~D9のフリップフロップ11(1)への入力の終了後には、フリップフロップ11(1)の出力信号 Q_1 のレベルはデータD9に基づくレベルとなり、フリップフロップ11(2)の出力信号 Q_2 のレベルはデータD8に基づくレベルとなり、・・・、フリップフロップ11(

9) の出力信号 Q 9 のレベルはデータ D 1 に基づくレベルとなる。なお、表示用データ D A T A としてのデータ D 1 ~ D 9 の全てが、対応するフリップフロップ内の第 1 ラッチ部 1 1 1 に保持された後、クロック信号 C K , C K B の動作は停止する。

【 0 0 5 2 】

フリップフロップ 1 1 (1) ~ 1 1 (9) からは上記出力信号 Q 1 ~ Q 9 およびそれらの論理反転信号が出力される。それらの信号は、各フリップフロップ 1 1 に対応する電圧選択部 1 2 に与えられる。ここで、図 8 を参照しつつ、電圧選択部 1 2 に与えられる白色表示用電圧 V W および黒色表示用電圧 V B L の波形について説明する。共通電極電圧 V C O M については所定期間毎にハイレベルとローレベルとが交互に繰り返されている。白色表示用電圧 V W と共通電極電圧 V C O M とは位相が同じにされている。黒色表示用電圧 V B L と共通電極電圧 V C O M とは位相が 1 8 0 度ずらされている。白色表示用電圧 V W および黒色表示用電圧 V B L のハイレベル側の電位は共通電極電圧 V C O M のハイレベル側の電位とほぼ等しくされている。白色表示用電圧 V W および黒色表示用電圧 V B L のローレベル側の電位は共通電極電圧 V C O M のローレベル側の電位とほぼ等しくされている。以上より、白色表示用電圧 V W の電位と共通電極電圧 V C O M の電位との差はほぼ 0 で維持される。一方、黒色表示用電圧 V B L の電位と共通電極電圧 V C O M の電位との差は黒色表示用電圧 V B L の振幅にほぼ相当する大きさで維持される。

【 0 0 5 3 】

図 9 は、液晶印加電圧と透過率との関係を示す図である。なお、図 9 に示す関係は、ノーマリーホワイト方式が採用されている液晶表示装置におけるものである。図 9 より、液晶印加電圧が小さいほど透過率は大きくなって液晶印加電圧が大きいほど透過率が小さくなることが把握される。図 9 において、電圧 V a は白色表示用電圧 V W の電位と共通電極電圧 V C O M の電位との差に相当し、電圧 V b は黒色表示用電圧 V B L の電位と共通電極電圧 V C O M の電位との差に相当する。また、上述したように、信号 Q n + 1 がハイレベルかつ信号 Q n + 1 B がローレベルの時には白色表示用電圧 V W が画素電極に与えられ、信号 Q n + 1 がローレベルかつ信号 Q n + 1 B がハイレベルの時には黒色表示用電圧 V B L が画素電極に与えられる（図 6 参照）。画素電極に白色表示用電圧 V W が与えられた画素メモリユニット P M U においては画素の表示状態が白色表示とされる。画素電極に黒色表示用電圧 V B L が与えられた画素メモリユニット P M U においては画素の表示状態が黒色表示とされる。

【 0 0 5 4 】

以上より、図 7 に示したような波形の表示用データ D A T A が画素メモリ駆動部 2 0 0 から画素メモリ部 1 0 に与えられたときには、フリップフロップ 1 1 (1) , 1 1 (4) , 1 1 (5) , 1 1 (7) , 1 1 (8) , および 1 1 (9) の出力信号 Q 1 , Q 4 , Q 5 , Q 7 , Q 8 , および Q 9 はハイレベルとなり、フリップフロップ 1 1 (2) , 1 1 (3) , および 1 1 (6) の出力信号 Q 2 , Q 3 , および Q 6 はローレベルとなる。その結果、図 1 0 に示すように、画素メモリユニット P M U (1) , P M U (4) , P M U (5) , P M U (7) , P M U (8) , および P M U (9) に対応する画素の表示状態は白色表示となり、画素メモリユニット P M U (2) , P M U (3) , および P M U (6) に対応する画素の表示状態は黒色表示となる。

【 0 0 5 5 】

また、図 1 1 に示すような波形の表示用データ D A T A が画素メモリ駆動部 2 0 0 から画素メモリ部 1 0 に与えられたときには、フリップフロップ 1 1 (2) , 1 1 (4) , 1 1 (6) , および 1 1 (8) の出力信号 Q 2 , Q 4 , Q 6 , および Q 8 はハイレベルとなり、フリップフロップ 1 1 (1) , 1 1 (3) , 1 1 (5) , 1 1 (7) , および 1 1 (9) の出力信号 Q 1 , Q 3 , Q 5 , Q 7 , および Q 9 はローレベルとなる。その結果、図 1 2 に示すように、画素メモリユニット P M U (2) , P M U (4) , P M U (6) , および P M U (8) に対応する画素の表示状態は白色表示となり、画素メモリユニット P M U (1) , P M U (3) , P M U (5) , P M U (7) , および P M U (9) に対応する画素の表示状態は黒色表示となる。

【 0 0 5 6 】

< 4 . 効果 >

本実施形態によれば、各画素メモリユニットPMUに対応するように、画素メモリユニットPMU内のフリップフロップ11からの出力信号に応じて白色表示用電圧VWまたは黒色表示用電圧VBLのいずれかを選択する電圧選択部12と、電圧選択部12によって選択された電圧を各フリップフロップ11に対応する画素の表示状態に反映させるための液晶容量13とが設けられている。また、画素メモリ部10内の複数の画素メモリユニットPMUのそれぞれに含まれるフリップフロップ11が直列に接続されることによって、シフトレジスタ110が構成されている。フリップフロップ11は1ビットのデータの保持が可能であるので、各フリップフロップ11において、入力データを次段のフリップフロップ11に転送しつつ、対応する画素の表示状態を入力データに基づく表示状態にすることが可能となる。すなわち、ゲートドライバやソースドライバを備えることなく、シフトレジスタ110に表示用データDATAを与えることによって全ての画素メモリユニットPMU内のフリップフロップ11に表示画像に対応するデータを与えることができる。各フリップフロップ11においてラッチされたデータの内容は次に書き換えられるまで保持されるので、不必要に電力が消費されることなく同じ内容の画像を表示し続けることが可能となる。以上のように、従来と比較してパネル基板上の回路面積を低減しつつ、メモリを用いた駆動による低消費電力化が可能な液晶表示装置が実現される。

10

【 0 0 5 7 】

また、本実施形態によれば、全ての画素メモリユニットPMU内のフリップフロップ11に表示画像に対応するデータが保持された後、クロック信号CK, CKBの動作は停止する。このため、同じ内容の画像の表示が継続している期間中、クロック信号CK, CKBに起因する電力消費が無くなり、消費電力が効果的に低減される。

20

【 0 0 5 8 】

< 5 . 変形例 >

以下、上記実施形態の変形例について説明する。

【 0 0 5 9 】

< 5 . 1 第1の変形例 >

図13は、上記実施形態の第1の変形例における画素メモリ部10の構成を示すブロック図である。本変形例においては、1行目の3列目の画素メモリユニットPMU(13)内のフリップフロップ11と2行目の1列目の画素メモリユニットPMU(14)内のフリップフロップ11とが接続され、2行目の3列目の画素メモリユニットPMU(16)内のフリップフロップ11と3行目の1列目の画素メモリユニットPMU(17)内のフリップフロップ11とが接続されている。従って、表示用データDATAは全ての行で同じ方向に転送される。このため、奇数行目と偶数行目とで表示用データDATAの転送方向が異なる上記実施形態と比較して、表示用データDATAの生成が容易となる。

30

【 0 0 6 0 】

< 5 . 2 第2の変形例 >

図14は、上記実施形態の第2の変形例における画素メモリ部10の構成を示すブロック図である。本変形例においては、画素メモリ部10に含まれる全ての画素メモリユニットPMU内のフリップフロップ11によって1つのシフトレジスタが構成されるのではなく、各行の全ての画素メモリユニットPMU内のフリップフロップ11によって1つのシフトレジスタが構成されている。従って、本変形例においては、画素メモリ部10には3つのシフトレジスタが含まれている。また、本変形例においては、表示用データDATAをサンプリングするためのサンプリング回路15が画素メモリ部10内に設けられている。このサンプリング回路15は、画素メモリユニットPMU(21)~PMU(23)内のフリップフロップ11に保持されるべきデータが表示用データDATAとして与えられている時には当該表示用データDATAを画素メモリユニットPMU(21)に与え、画素メモリユニットPMU(24)~PMU(26)内のフリップフロップ11に保持されるべきデータが表示用データDATAとして与えられている時には当該表示用データDA

40

50

T Aを画素メモリユニットPMU(24)に与え、画素メモリユニットPMU(27)~PMU(29)内のフリップフロップ11に保持されるべきデータが表示用データDATAとして与えられている時には当該表示用データDATAを画素メモリユニットPMU(27)に与える。このようにして、本変形例によっても、表示画像に対応するデータを画素メモリ部10に含まれる全ての画素メモリユニットPMU内のフリップフロップ11に格納することができる。

【0061】

<5.3 第3の変形例>

図15は、上記実施形態の第3の変形例における画素メモリ部10の構成を示すブロック図である。本変形例においては、1つの画素は2つの副画素によって構成されている。なお、ここでは、一方の副画素に対応して設けられている画素メモリユニットのことを「第1画素メモリユニット」といい、他方の副画素に対応して設けられている画素メモリユニットのことを「第2画素メモリユニット」という。

【0062】

図15に示すように、画素メモリ部10には9個の第1画素メモリユニットPMU1(1)~PMU1(9)と9個の第2画素メモリユニットPMU2(1)~PMU2(9)とが含まれている。クロック信号CK,CKB,白色表示用電圧VW,および黒色表示用電圧VBLについては、第1画素メモリユニットPMU1(1)~PMU1(9)および第2画素メモリユニットPMU2(1)~PMU2(9)に共通的に与えられる。表示用データについては、第1画素メモリユニットPMU1(1)と第2画素メモリユニットPMU2(1)とに異なるデータが与えられる。図15においては、第1画素メモリユニットPMU1(1)に与えられる表示用データには符号DATA1を付し、第2画素メモリユニットPMU2(1)に与えられる表示用データには符号DATA2を付している。また、第1画素メモリユニットPMU1(1)~PMU1(9)に含まれるフリップフロップによって1つのシフトレジスタが構成され、第2画素メモリユニットPMU2(1)~PMU2(9)に含まれるフリップフロップによって別の1つのシフトレジスタが構成されている。すなわち、本変形例においては、2系統のシフトレジスタが設けられている。

【0063】

このような構成において、第1画素メモリユニットPMU1(1)~PMU1(9)内のフリップフロップおよび第2画素メモリユニットPMU2(1)~PMU2(9)内のフリップフロップに上記実施形態と同様にして1ビットのデータを保持させることによって、各画素について、第1画素メモリユニットPMU1に対応する副画素(以下、「第1副画素」という。)の表示状態と第2画素メモリユニットPMU2に対応する副画素(以下、「第2副画素」という。)の表示状態とを独立して制御することが可能となる。このため、本変形例によると、中間調表示が可能となる。

【0064】

ところで、第1副画素を形成する画素電極と第2副画素を形成する画素電極との面積比を様々な値にすることによって、面積階調による様々な中間調表示が可能となる。例えば、第1副画素を形成する画素電極E1と第2副画素を形成する画素電極E2とを図16Aに示すようにパネル基板上に形成することができる。このとき、画素電極E1については、第1画素メモリユニットPMU1内のフリップフロップに保持されたデータに基づく電圧が印加され、画素電極E2については、第2画素メモリユニットPMU2内のフリップフロップに保持されたデータに基づく電圧が印加される。画素電極E1に白色表示用電圧VWが印加され、画素電極E2に黒色表示用電圧VBLが印加された場合、画素の表示状態は図16Bに示すようなものとなる。ここで、画素電極E1および画素電極E2の双方に白色表示用電圧VWを印加することもできる。また、画素電極E1および画素電極E2の双方に黒色表示用電圧VBLを印加することもできる。さらに、画素電極E1に黒色表示用電圧VBLを印加して画素電極E2に白色表示用電圧VWを印加することもできる。このように、画素電極E1の面積と画素電極E2の面積とを異ならせることによって、4階調の階調表示が可能となる。

【 0 0 6 5 】

また、例えば、図 1 7 A に示すように、第 2 副画素を形成する画素電極 E 4 が第 1 副画素を形成する画素電極 E 3 に取り囲まれるよう、画素電極 E 3 と画素電極 E 4 とをパネル基板上に形成することもできる。ここで、画素電極 E 3 に白色表示用電圧 V W が印加され、画素電極 E 4 に黒色表示用電圧 V B L が印加された場合、画素の表示状態は図 1 7 B に示すようなものとなる。

【 0 0 6 6 】

なお、1つの画素内の副画素の構成については上述した例には限定されない。例えば、1つの画素が3個以上の副画素によって構成されていても良い。また、複数の副画素を形成する複数の画素電極について、面積比や位置関係をさまざまなものにすることができる。

10

【 0 0 6 7 】

さらに、カラーフィルタが形成されている表示装置や色表示機能を有する表示装置（例えば有機 E L 表示装置）において、1つの画素を3個の副画素によって構成し、それら3個の副画素に対応する3系統のシフトレジスタに R（赤色）、G（緑色）、および B（青色）のデータをそれぞれ与えるようにしても良い。これにより、カラー表示が可能となる。

【 0 0 6 8 】

< 5 . 4 第 4 の変形例 >

上記実施形態においては、表示用データ D A T A として 1 ビットのデータがフリップフロップ 1 1（1）に入力される毎に、9 個の画素によって表示される画像が変化する。このような画像の変化はノイズとして視認される。そこで、本変形例においては、全てのフリップフロップ内の第 1 ラッチ部 1 1 1 にそれぞれ対応するデータが保持されるまでの期間、全ての画素の表示状態を白色表示とする回路（以下、「白色表示回路」という。）が設けられている。なお、本変形例においては、この白色表示回路によって白色表示機能部が実現されている。

20

【 0 0 6 9 】

図 1 8 は、白色表示回路 1 6 の具体的な構成例を示す回路図である。この白色表示回路 1 6 は、P 型 T F T と N 型 T F T とからなる 2 個の C M O S スイッチ 1 6 1、1 6 2 と、1 個のインバータ 1 6 3 とによって構成されている。C M O S スイッチ 1 6 1 については、入力端子には白色表示用電圧 V W が与えられ、出力端子は画素電極に接続されている。C M O S スイッチ 1 6 1 の N 型 T F T のゲート端子には指示信号 S が与えられ、C M O S スイッチ 1 6 1 の P 型 T F T のゲート端子はインバータ 1 6 3 の出力端子に接続されている。C M O S スイッチ 1 6 2 については、入力端子には信号 Q n + 1 が与えられ、出力端子は画素電極に接続されている。C M O S スイッチ 1 6 2 の N 型 T F T のゲート端子はインバータ 1 6 3 の出力端子に接続され、C M O S スイッチ 1 6 2 の P 型 T F T のゲート端子には指示信号 S が与えられている。インバータ 1 6 3 については、入力端子には指示信号 S が与えられ、出力端子は C M O S スイッチ 1 6 1 の P 型 T F T のゲート端子および C M O S スイッチ 1 6 2 の N 型 T F T のゲート端子に接続されている。

30

【 0 0 7 0 】

以上のような構成において、指示信号 S がハイレベルであれば、C M O S スイッチ 1 6 1 はオン状態となり、C M O S スイッチ 1 6 2 はオフ状態となる。これにより、白色表示用電圧 V W が画素電極に与えられる。一方、指示信号 S がローレベルであれば、C M O S スイッチ 1 6 1 はオフ状態となり、C M O S スイッチ 1 6 2 はオン状態となる。これにより、信号 Q n + 1（各フリップフロップからの出力信号 Q 1 ~ Q 9）が画素電極に与えられる。

40

【 0 0 7 1 】

ここで、全てのフリップフロップ内の第 1 ラッチ部 1 1 1 にそれぞれ対応するデータが保持されるまでの期間（図 7 および図 1 1 の時点 t 1 から時点 t 9 までの期間）には指示信号はハイレベルとされ、それ以降の期間（図 7 および図 1 1 の時点 t 9 以降の期間）に

50

は指示信号はローレベルとされる。このため、画像が表示される際あるいは画像の内容が変化する際には、全画面白色表示が行われた後、表示すべき画像が表示される。これにより、ノイズが視認されにくくなる。

【0072】

< 5.5 第5の変形例 >

上記第4の変形例においては、各画素に対応するように画素メモリ部10内に白色表示回路16が設けられていた。これに対して、本変形例においては、図19に示すように、全ての画素の表示状態を白色表示にするための構成要素として、画素メモリ部10の外部に電圧制御回路17が設けられている。電圧制御回路17には、白色表示用電圧 V_{Win} 、黒色表示用電圧 V_{BLin} 、共通電極電圧 V_{COMin} 、および制御信号 S が入力される。そして、電圧制御回路17は、制御信号 S に基づき、白色表示用電圧 VW 、黒色表示用電圧 VB 、および共通電極電圧 $VCOM$ を出力する。

【0073】

図20は、電圧制御回路17の具体的な構成例を示す回路図である。この電圧制御回路17は、1個のインバータ171と、P型TFTとN型TFTとからなる4個のCMOSスイッチ172~175とによって構成されている。インバータ171については、入力端子には制御信号 S が与えられ、出力端子は、CMOSスイッチ172のN型TFTのゲート端子、CMOSスイッチ173のP型TFTのゲート端子、CMOSスイッチ174のN型TFTのゲート端子、およびCMOSスイッチ175のP型TFTのゲート端子に接続されている。CMOSスイッチ172については、入力端子には白色表示用電圧 VW が与えられ、出力端子は白色表示用電圧 VW を伝達するための配線に接続されている。CMOSスイッチ172のN型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSスイッチ172のP型TFTのゲート端子には制御信号 S が与えられている。CMOSスイッチ173については、入力端子には共通電極電圧 V_{COMin} が与えられ、出力端子は白色表示用電圧 VW を伝達するための配線に接続されている。CMOSスイッチ173のP型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSスイッチ173のN型TFTのゲート端子には制御信号 S が与えられている。CMOSスイッチ174については、入力端子には黒色表示用電圧 VB が与えられ、出力端子は黒色表示用電圧 VB を伝達するための配線に接続されている。CMOSスイッチ174のN型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSスイッチ174のP型TFTのゲート端子には制御信号 S が与えられている。CMOSスイッチ175については、入力端子には共通電極電圧 V_{COMin} が与えられ、出力端子は黒色表示用電圧 VB を伝達するための配線に接続されている。CMOSスイッチ175のP型TFTのゲート端子はインバータ171の出力端子に接続され、CMOSスイッチ175のN型TFTのゲート端子には制御信号 S が与えられている。

【0074】

以上のような構成において、制御信号 S がハイレベルであれば、CMOSスイッチ173、175はオン状態となり、CMOSスイッチ172、174はオフ状態となる。これにより、共通電極電圧 V_{COMin} が白色表示用電圧 VW として画素メモリ部10に与えられるとともに、共通電極電圧 V_{COMin} が黒色表示用電圧 VB として画素メモリ部10に与えられる。このとき、白色表示用電圧 VW 、黒色表示用電圧 VB 、および共通電極電圧 $VCOM$ の大きさ(電位)が同じになるので、ノーマリーホワイト方式が採用されている液晶表示装置においては、全ての画素の表示状態は白色表示となる。一方、制御信号 S がローレベルであれば、CMOSスイッチ172、174はオン状態となり、CMOSスイッチ173、175はオフ状態となる。これにより、白色表示用電圧 VW が白色表示用電圧 VW として画素メモリ部10に与えられるとともに、黒色表示用電圧 VB が黒色表示用電圧 VB として画素メモリ部10に与えられる。このとき、画素の表示状態は、フリップフロップに保持されたデータに基づくものとなる。なお、ノーマリーブラック方式が採用されている液晶表示装置においては、制御信号 S がハイレベルとなっている時、全ての画素の表示状態は黒色表示となる。

【 0 0 7 5 】

ここで、図 2 1 に示すように、全てのフリップフロップ内の第 1 ラッチ部 1 1 1 (図 5 参照) にそれぞれ対応するデータが保持されるまでの期間については制御信号 S をハイレベルとし、それ以降の期間については制御信号 S をローレベルとすれば良い。これにより、上記第 4 の変形例と同様、画像が表示される際あるいは画像の内容が変化するには、全画面白色表示が行われた後、表示すべき画像が表示される。これにより、ノイズが視認されにくくなる。さらに、本変形例においては、画素の表示状態を白色表示にするための回路を画素毎に備える必要はないので、比較的簡易な構成で画素の表示状態を制御することが可能となる。

【 0 0 7 6 】

10

< 5 . 6 第 6 の変形例 >

図 2 2 は、上記実施形態の第 6 の変形例におけるフリップフロップの具体的な構成例を示す回路図である。このフリップフロップは、上記実施形態と同様、信号 Q n を取り込んで転送用データとして保持するための第 1 ラッチ部 1 1 3 と、転送用データを取り込んで出力用データとして保持するとともに出力用データに基づいて信号 Q n + 1 と信号 Q n + 1 B とを出力するための第 2 ラッチ部 1 1 4 とによって構成されている。

【 0 0 7 7 】

第 1 ラッチ部 1 1 3 は、入力端子に信号 Q n が与えられる第 1 クロックインバータ 1 4 1 と、一端が第 1 クロックインバータ 1 4 1 の出力端子に接続され他端が接地された容量 1 4 4 とによって構成されている。なお、第 1 クロックインバータ 1 4 1 の出力端子は、後述する第 3 クロックインバータ 1 4 6 の入力端子にも接続されている。

20

【 0 0 7 8 】

第 2 ラッチ部 1 1 4 は、入力端子が第 1 クロックインバータ 1 4 1 の出力端子に接続された第 3 クロックインバータ 1 4 6 と、入力端子が第 3 クロックインバータ 1 4 6 の出力端子に接続された第 2 インバータ 1 4 7 と、入力端子が第 2 インバータ 1 4 7 の出力端子に接続されるとともに出力端子が第 2 インバータ 1 4 7 の入力端子に接続された第 4 クロックインバータ 1 4 8 とによって構成されている。なお、信号 Q n + 1 は第 3 クロックインバータ 1 4 6 の出力端子から出力され、信号 Q n + 1 B は第 2 インバータ 1 4 7 の出力端子から出力される。

【 0 0 7 9 】

30

以上のような構成により、このフリップフロップでは、クロック信号 C K がハイレベルかつクロック信号 C K B がローレベルとなっている期間中に与えられる信号 Q n の値に応じて容量 1 4 4 に電荷が蓄積される。本変形例においては、電荷の蓄積によって容量 1 4 4 の両端間に生じる電位差が転送用データとしての役割を果たす。そして、クロック信号 C K がハイレベルからローレベルに変化し、かつ、クロック信号 C K B がローレベルからハイレベルに変化するタイミングで、転送用データとして第 1 ラッチ部 1 1 3 に保持されている信号 Q n の値が信号 Q n + 1 の波形として現れる。また、転送用データは第 2 ラッチ部 1 1 4 に保持されるため、信号 Q n + 1 の波形は、次に、クロック信号 C K がハイレベルからローレベルに変化し、かつ、クロック信号 C K B がローレベルからハイレベルに変化する時点まで維持される。

40

【 0 0 8 0 】

本変形例によれば、第 1 ラッチ部 1 1 3 に含まれるトランジスタの数が上記実施形態と比較して 6 個少ない。このため、パネル基板上の回路面積を更に低減しつつ、メモリを用いた駆動による低消費電力化を実現することのできる表示装置を安価に提供することが可能となる。

【 0 0 8 1 】

< 6 . その他 >

上記各実施形態においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機 E L (E l e c t r o L u m i n e s c e n c e) 等の他の表示装置にも本発明を適用することができる。

50

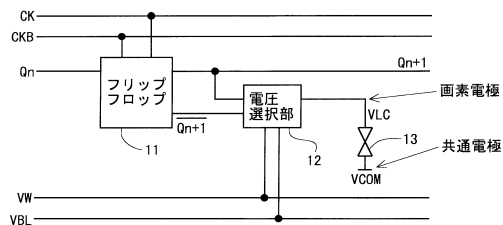
【符号の説明】

【 0 0 8 2 】

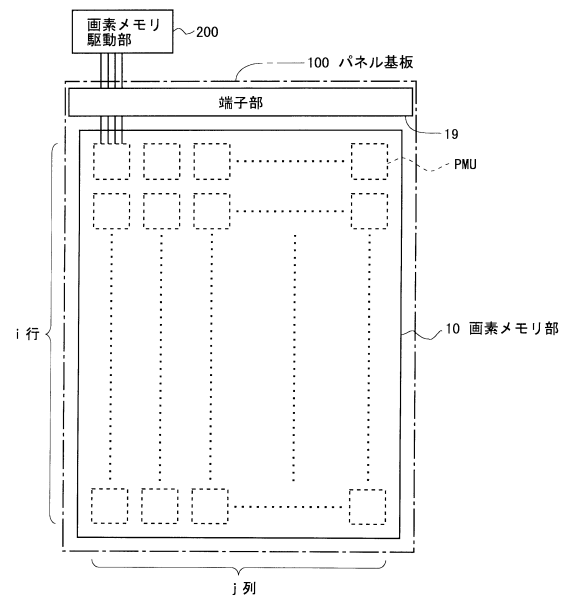
1 0 ... 画素メモリ部
 1 1 , 1 1 (1) ~ 1 1 (9) ... フリップフロップ
 1 2 ... 電圧選択部
 1 3 ... 液晶容量
 1 6 ... 白色表示回路
 1 7 ... 電圧制御回路
 1 9 ... 端子部
 1 0 0 ... パネル基板
 1 1 1 , 1 1 3 ... 第 1 ラッチ部
 1 1 2 , 1 1 4 ... 第 2 ラッチ部
 2 0 0 ... 画素メモリ駆動部
 P M U , P M U (1) ~ P M U (9) ... 画素メモリユニット
 C K , C K B ... クロック信号
 V B L ... 黒色表示用電圧
 V W ... 白色表示用電圧
 V C O M ... 共通電極電圧
 V L C ... 画素電極電圧

10

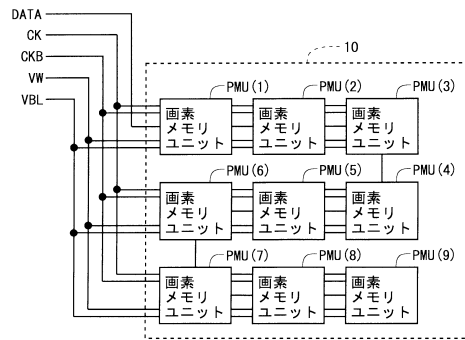
【図 1】



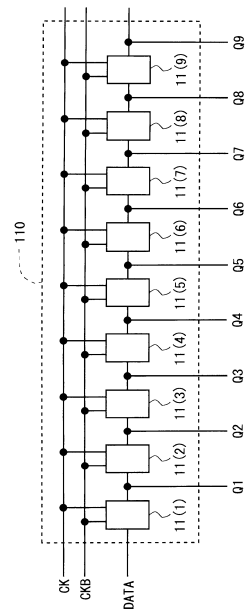
【図 2】



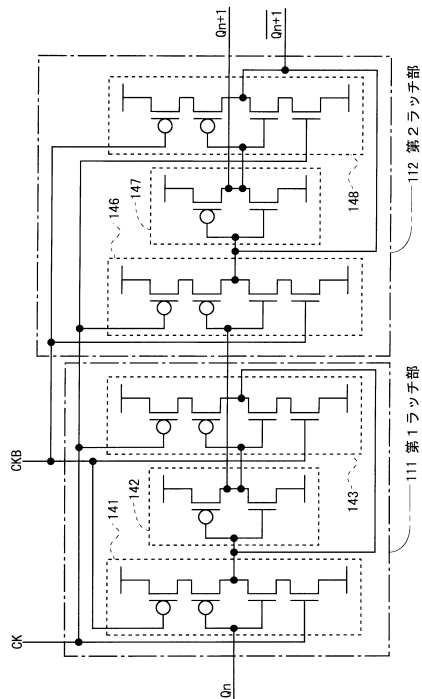
【図 3】



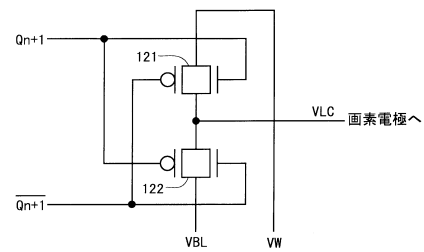
【図 4】



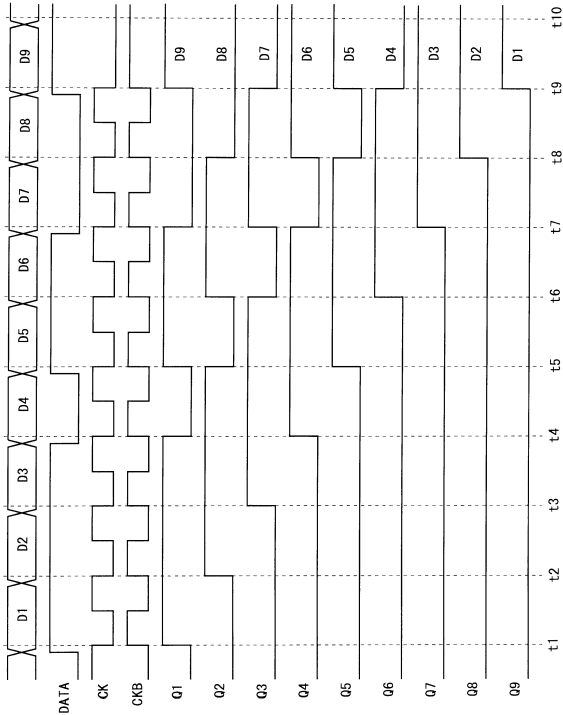
【図 5】



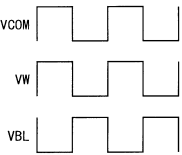
【図 6】



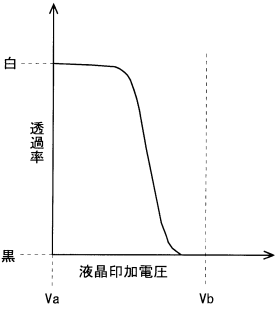
【図 7】



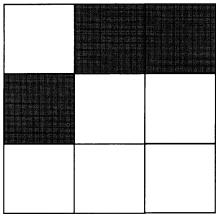
【図 8】



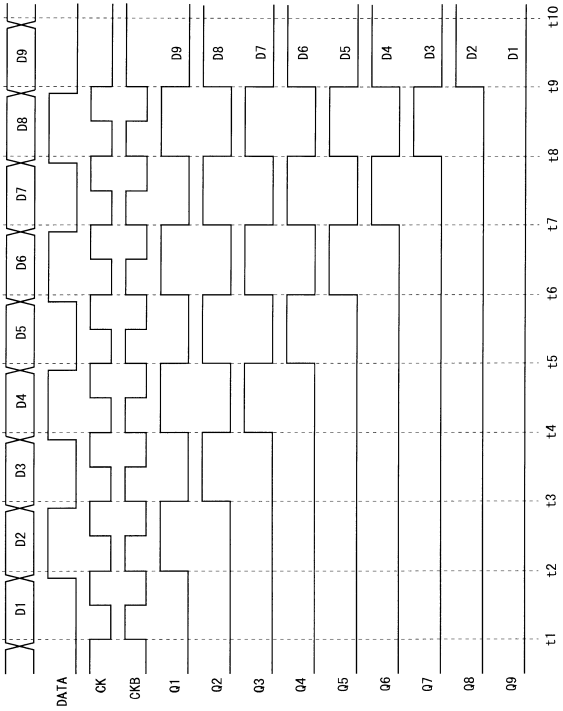
【図 9】



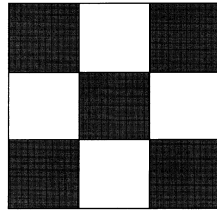
【図 10】



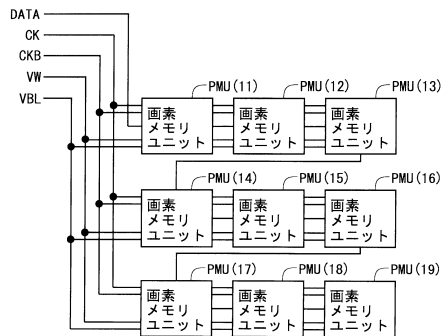
【図 11】



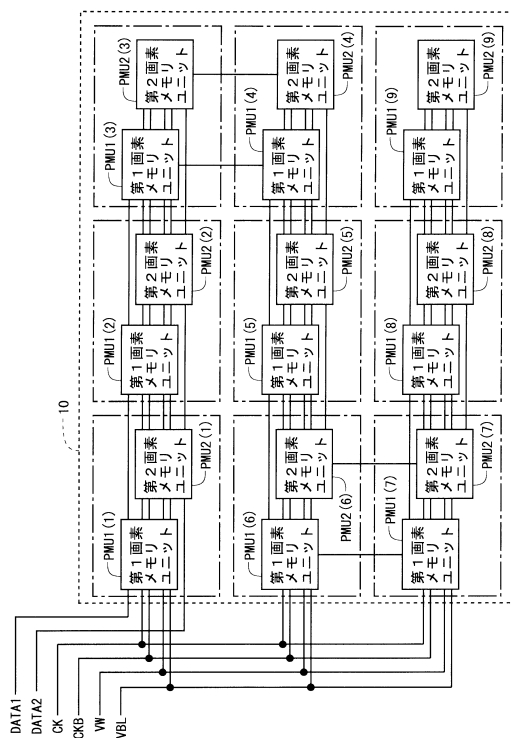
【図 12】



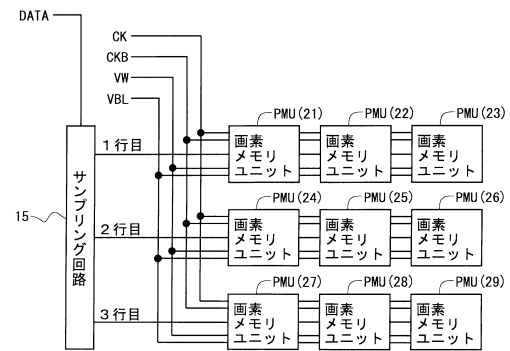
【図 13】



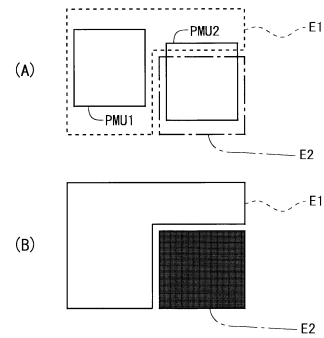
【図 15】



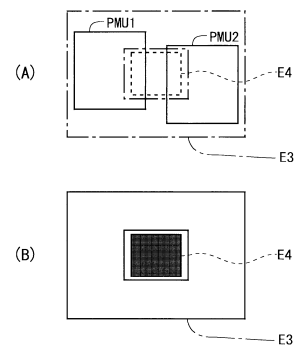
【図 14】



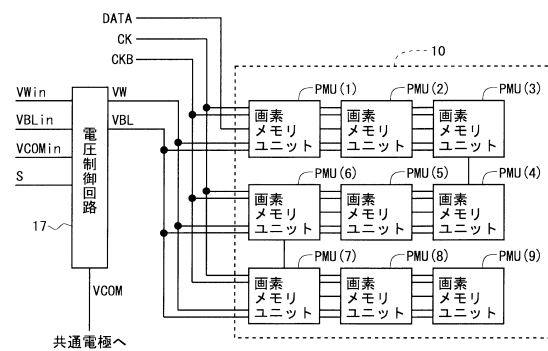
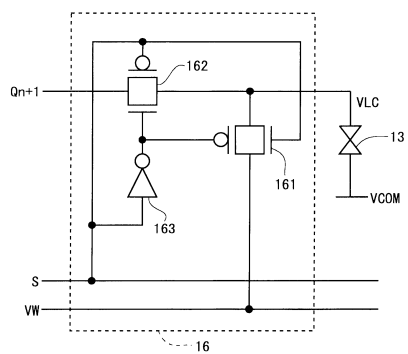
【図 16】



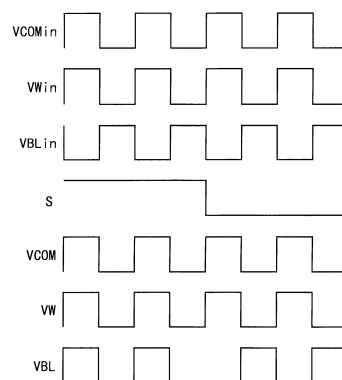
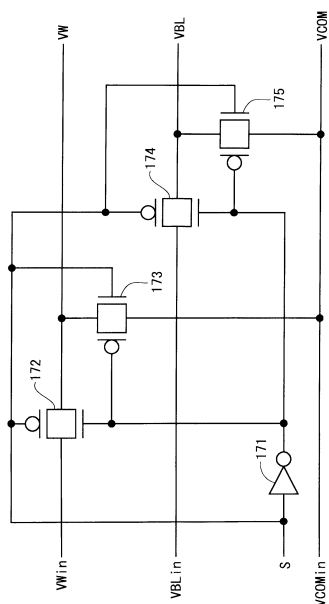
【図 17】



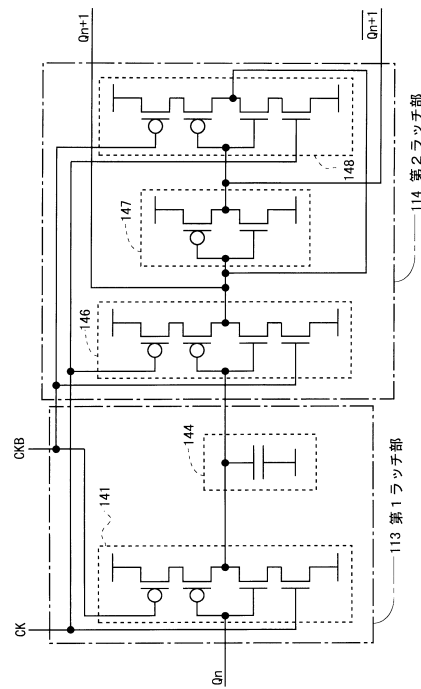
【 図 19 】



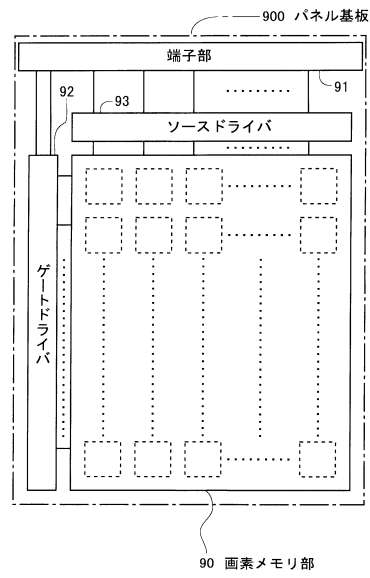
【 図 2 1 】



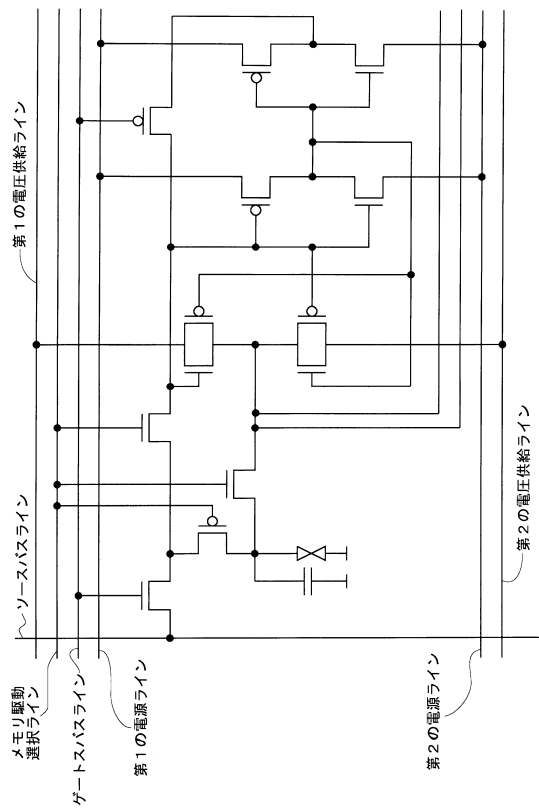
【図 2 2】



【図 2 3】



【図 2 4】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 H
	G 0 9 G	3/20	6 2 3 G
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 8 0 H
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/1368	

(56)参考文献 特開 2 0 0 9 - 2 2 9 8 5 0 (J P , A)
 特開 2 0 0 8 - 2 4 1 8 3 2 (J P , A)
 特開 2 0 0 7 - 3 2 8 3 5 8 (J P , A)
 特開 2 0 0 7 - 2 4 0 9 6 9 (J P , A)
 特開 2 0 0 7 - 1 9 9 4 4 1 (J P , A)
 特開 2 0 0 5 - 1 8 9 2 7 4 (J P , A)
 特開 2 0 0 3 - 1 4 0 6 2 7 (J P , A)
 特開平 0 2 - 1 4 8 6 8 7 (J P , A)
 特開平 1 0 - 0 7 4 0 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		
G 0 2 F	1 / 1 3 6 8		

专利名称(译)	表示装置		
公开(公告)号	JP5631391B2	公开(公告)日	2014-11-26
申请号	JP2012518281	申请日	2011-04-07
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	鷲尾一		
发明人	鷲尾 一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G09G3/2085 G09G3/3614 G09G3/3648 G09G2300/0857 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.R G09G3/20.611.A G09G3/20.611.C G09G3/20.622.E G09G3/20.623.H G09G3/20.623.G G09G3/20.624.B G09G3/20.621.M G09G3/20.680.H G02F1/133.550 G02F1/1368		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	中村直之		
优先权	2010125548 2010-06-01 JP		
其他公开文献	JPWO2011152120A1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种显示装置，该显示装置能够减小面板基板上的电路面积并通过使用存储器驱动来实现低功耗。在显示装置的像素存储部分中，对应于每个像素存储单元，提供触发器（11），电压选择部分（12），其选择白色显示电压（VW）或黑色显示电压（VBL）根据来自触发器（11）的输出信号（ $Q_n + 1$ ， $Q_n + 1B$ ）和液晶电容（13），其反映由电压选择部分（12）选择的电压。对应于触发器（11）的像素的显示状态。此外，分别包括在像素存储部分内的像素存储单元中的触发器（11）串联连接，形成移位寄存器（110）。

