

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5206594号
(P5206594)

(45) 発行日 平成25年6月12日 (2013. 6. 12)

(24) 登録日 平成25年3月1日 (2013. 3. 1)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 6 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

G 0 2 F 1 / 1 3 3 (2006. 01)

G 0 9 G 3 / 3 6

G 0 9 G 3 / 2 0 6 2 2 C

G 0 9 G 3 / 2 0 6 2 2 G

G 0 9 G 3 / 2 0 6 2 2 D

G 0 9 G 3 / 2 0 6 1 2 J

請求項の数 10 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2009-136201 (P2009-136201)
 (22) 出願日 平成21年6月5日 (2009. 6. 5)
 (65) 公開番号 特開2010-282078 (P2010-282078A)
 (43) 公開日 平成22年12月16日 (2010. 12. 16)
 審査請求日 平成24年3月8日 (2012. 3. 8)

(73) 特許権者 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 長谷川 確
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通VLSI株式会社内
 (72) 発明者 水谷 真也
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通VLSI株式会社内

最終頁に続く

(54) 【発明の名称】 電圧調整回路及び表示装置駆動回路

(57) 【特許請求の範囲】

【請求項1】

外部から入力されるデータに基づいて、出力電圧の立下りの傾きを調整するために、前記出力電圧の立下りの傾きに対応する傾きを有する出力信号を出力する傾き調整部と、

前記データ及び前記傾き調整部から出力された前記傾きを有する出力信号に基づいて、前記出力電圧の立下りの傾きを調整するとともに、前記出力電圧をクランプ電圧まで下るクランプ電圧調整部と

を備えたことを特徴とする電圧調整回路。

【請求項2】

前記データに基づいて、制御信号の立下りから前記出力電圧の立下りまでの遅延時間を設定する遅延設定部を備えたことを特徴とする請求項1記載の電圧調整回路。

10

【請求項3】

前記遅延設定部は、
 定電流で充電される第二の容量と、
 前記データをアナログ電圧に変換するD/A変換器と、
 前記第二の容量の充電電圧と、前記アナログ電圧とを比較する比較器と、
 前記比較器から出力された信号と前記制御信号に基づいて、前記出力電圧の立下りを開始するトリガ信号を生成する論理回路と

を備えたことを特徴とする請求項2に記載の電圧調整回路。

【請求項4】

20

前記傾き調整部は、
第一の容量と、
前記第一の容量に供給する充電電流を前記データに基づいて開閉される第一のスイッチ回路で調節する充電電流調節部と、
前記第一の容量の充電電圧に応じた電圧で前記傾きを有する出力信号を出力する出力部と
を備えたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電圧調整回路。

【請求項 5】

前記クランプ電圧調整部は、
前記データに基づいて開閉される第二のスイッチ回路で、出力端子と電源との間の合成抵抗値を調整する抵抗値調整部を備えたことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電圧調整回路。

10

【請求項 6】

前記遅延設定部は、
第四の容量と、
前記データに基づいて開閉される第四のスイッチ回路で前記第四の容量の充電電流を調整する電流調整回路と、
前記第四の容量の充電電圧と、基準電圧とを比較する比較器と、
前記比較器から出力された信号を前記出力電圧の立下りのトリガ信号として出力する出力部と
を備えたことを特徴とする請求項 2 に記載の電圧調整回路。

20

【請求項 7】

前記傾き調整部は、
前記データに基づいて開閉される第三のスイッチ回路で電流値を調整する電流調整回路と、
前記電流調整回路の電流値を電圧値に変換して前記傾きを有する出力信号を出力する電流電圧変換回路とを備え、
前記クランプ電圧調整部は、
第三の容量の充電電圧を前記出力電圧として出力するとともに、前記電流電圧変換回路が出力する前記傾きを有する出力信号の電圧に基づいて、前記第三の容量の充電電荷を放電して前記充電電圧を低下させる出力部を備える
ことを特徴とする請求項 1, 2, 6 のいずれか 1 項に記載の電圧調整回路。

30

【請求項 8】

前記クランプ電圧調整部は、
前記データをアナログ電圧に変換する D/A 変換器を備え、
前記アナログ電圧の供給に基づいて前記クランプ電圧の電圧値を設定することを特徴とする請求項 1, 2, 6, 7 のいずれか 1 項に記載の電圧調整回路。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の電圧調整回路が生成する出力電圧を、液晶パネルの走査線を駆動するゲートドライバに電源として供給することを特徴とする表示装置駆動回路。

40

【請求項 10】

前記液晶パネルの各画素回路の容量の充電電圧が目標範囲となるように、前記データを自動調整するデータ調整部を備えたことを特徴とする請求項 9 記載の表示装置駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、表示装置の走査線に供給する電圧を調整する電圧調整回路に関するものである。

【背景技術】

50

【0002】

表示装置（液晶パネル等）は、走査線と入力信号線とで選択される画素回路の容量に、ソースドライバから入力信号線を介して供給される信号電圧を充電して、各画素で所要の色及び明るさを表現するようになっている。

【0003】

各画素回路では、走査線に例えば30Vの高電位側電圧VGHが供給されると、各画素回路のTFTトランジスタがオンされて、各画素回路の容量が入力信号線に供給される信号電圧まで充電される充電動作が行われる。また、走査線に例えば-5Vの低電位側電圧VGLが供給されると、TFTトランジスタがオフされて、容量の充電電圧が保持される保持動作が行われ、このような充電動作と保持動作が交互に繰り返される。

10

【0004】

このような液晶パネルでは、パネル位置によりフリッカや色むらが発生する。これは、走査線とパネル基板との間の寄生容量により走査線電位の立下りがゲートドライバから遠ざかるにつれて鈍り、この立下りの鈍りがパネル位置で異なることにより、同一走査線上の各画素回路のTFTトランジスタでのフィードスルー電圧がばらつくことにより発生する。

【0005】

フィードスルー電圧は、画素回路の充電動作時での容量の充電電圧と、保持動作時の容量の充電電圧の差である。そして、寄生容量の影響により走査線電位の立下りが急峻であるほど保持動作時の容量の充電電圧が低下して、フィードスルー電圧が大きくなる。

20

【0006】

そこで、寄生容量の影響を受けにくくするために走査線電位の立下りを鈍らせる電圧調整回路（Gate Voltage Shaping回路）を液晶パネルの駆動部に備えたものが提案されている。

【0007】

図13は、液晶パネルの走査線を駆動するゲートドライバに供給する電源電圧を調整して、走査線電位の立下りを鈍らせる電圧調整回路の従来例を示す。

この電圧調整回路は、遅延設定部1と、傾き調整部2と、クランプ電圧調整部3とを備え、遅延設定部1のコントロールロジック4は制御信号CTLに基づいてスイッチ回路5a～5cを開閉制御する。

30

【0008】

そして、制御信号CTLがHレベルとなると、スイッチ回路5aがオンされて、図2に示すように、例えば30Vの高電位側電源電圧VGHと同電位の出力電圧VGHMがゲートドライバに電源として出力されるとともに、容量CLが電圧VGHレベルまで充電される。

【0009】

制御信号CTLがLレベルとなると、スイッチ回路5aがオフされるとともに、スイッチ回路5bがオンされ、出力電圧VGHMは制御信号CTLの立下りから遅延設定部1の容量CEで設定された遅延時間t1の後に立ち下がりを開始する。そして、前記容量CL及び傾き調整部2の抵抗REで調整された傾きで立ち下がる。

40

【0010】

出力電圧VGHMがクランプ電圧調整部3で設定されたクランプ電圧VCLPまで低下すると、そのクランプ電圧VCLPが維持され、制御信号CTLの次の立上りで再び電圧VGHまで上昇し、上記のような動作を繰り返す。

【0011】

上記のような電圧調整回路の出力電圧VGHMがゲートドライバに電源として供給され、ゲートドライバでは図2に示す走査線駆動電圧GVSで走査線を制御する。このような電圧調整回路の動作により走査線駆動電圧GVSの立下り速度が鈍り、同一走査線上の各画素回路でのフィードスルー電圧のばらつきが抑制される。

【0012】

また、走査線駆動電圧の立下り速度を制御することにより、液晶パネルの上下方向に発

50

生するフリッカを防止する表示装置も提案されている。(特許文献1参照)

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2008-145677号

【発明の概要】

【発明が解決しようとする課題】

【0014】

上記のような電圧調整回路では、容量 C_L を傾き調整部2で充放電して出力電圧 V_{GHM} を生成し、その出力電圧 V_{GHM} でゲートドライバを駆動する構成であるため、大きな容量値の容量 C_L が必要となる。

10

【0015】

また、遅延設定部1では出力電圧 V_{GHM} の立下りの遅延時間 t_1 を調整するために容量 C_E を外付け素子とし、傾き調整部2では出力電圧 V_{GHM} の立下り速度を調整するために抵抗 R_E を外付け素子としている。そして、容量 C_E により走査線駆動電圧 GVS が高電位側電圧 V_{GH} まで確実に上昇させるための遅延時間 t_1 を調整し、抵抗 R_E によりフリッカや色むらを解消するように出力電圧 V_{GHM} の立下りの傾きを調整している。

【0016】

従って、外付け素子の抵抗 R_E を必要とすることから、電圧調整回路が大型化するとともに、コストが上昇するという問題点がある。また、出力電圧 V_{GHM} の立下りの傾きを再調整する場合には、抵抗 R_E の付け替えが必要となるとともに、各走査線に対し一様な調整しかできないという問題点がある。

20

【課題を解決するための手段】

【0017】

本発明の一側面によれば、外部から入力されるデータに基づいて、出力電圧の立下りの傾きを調整するために、前記出力電圧の立下りの傾きに対応する傾きを有する出力信号を出力する傾き調整部と、前記データ及び前記傾き調整部から出力された前記傾きを有する出力信号に基づいて、前記出力電圧の立下りの傾きを調整するとともに、前記出力電圧をクランプ電圧まで立下るクランプ電圧調整部とを備えた電圧調整回路により達成される。

【発明の効果】

30

【0018】

本発明の一側面によれば、外付け素子を使用することなく、表示装置のフィードスルー電圧の調整を容易に行い得る電圧調整回路を提供することができる。

【図面の簡単な説明】

【0019】

【図1】液晶パネルの駆動装置を示すブロック図である。

【図2】電圧調整回路の出力信号を示す波形図である。

【図3】電圧調整回路の第一の実施形態を示す回路図である。

【図4】電圧調整回路の出力信号を示す波形図である。

【図5】走査線選択時の画素回路の等価回路を示す回路図である。

40

【図6】走査線非選択時の画素回路の等価回路を示す回路図である。

【図7】電圧調整回路の第二の実施形態を示す回路図である。

【図8】第三の実施形態を示すブロック図である。

【図9】第三の実施形態の動作を示すフローチャートである。

【図10】第四の実施形態を示すブロック図である。

【図11】第四の実施形態のフィードスルー電圧調整回路を示す回路図である。

【図12】第四の実施形態の動作を示すフローチャートである。

【図13】従来の電圧調整回路を示す回路図である。

【発明を実施するための形態】

【0020】

50

(第一の実施形態)

以下、この発明を具体化した第一の実施形態を図面に従って説明する。図1は、液晶パネルの駆動装置を示す。液晶パネル11の画素回路12は、TFTトランジスタTLCと容量CLCとで構成され、X-Y方向に多数配列されている。

【0021】

X方向に配列される画素回路12のTFTトランジスタTLCのゲートには共通の走査線13が接続され、Y方向に配列される画素回路12のTFTトランジスタTLCのドレインには共通の入力信号線14が接続されている。そして、TFTトランジスタTLCのソースとグランドGNDとの間に前記容量CLCが接続される。

【0022】

前記走査線13にはゲートドライバ15から図2に示す走査線駆動電圧GVSが供給される。走査線駆動電圧GVSは、高電位側電圧VGHとして例えば30Vの電圧が供給され、低電位側電圧VGLとして-5Vの電圧が供給される。

【0023】

そして、走査線13に高電位側電圧VGHが供給されるとTFTトランジスタTLCがオンされ、ソースドライバ16から入力信号線14を介してTFTトランジスタTLCのドレインに供給される信号電圧が容量CLCに充電される。また、走査線13に低電位側電圧VGLが供給されると、TFTトランジスタTLCがオフされ、容量CLCの充電電圧が保持される。

【0024】

前記ゲートドライバ15及びソースドライバ16は制御部17から出力される制御信号CTLで同期して制御される。また、制御信号CTLは電圧調整回路18に入力される。電圧調整回路18は、前記ゲートドライバ15に出力電圧VGHMを供給する。

【0025】

図2に示すように、前記電圧調整回路18の出力電圧VGHMは、制御信号CTLの立上りに基づいて前記高電位側電圧VGHを出力する。また、制御信号CTLの立下りからあらかじめ設定された遅延時間t1後に、あらかじめ設定された傾きでクランプ電圧VCLPまで下降し、このような動作を繰り返す。

【0026】

前記ゲートドライバ15は、前記電圧調整回路18の出力電圧VGHMに基づいて図2に示す走査線駆動電圧GVSを出力する。

次に、前記電圧調整回路18の具体的構成を図3に従って説明する。電圧調整回路18は、バスインターフェース19と、遅延設定部20と、傾き調整部21と、クランプ電圧調整部22と、出力バッファ28を備える。

【0027】

前記バスインターフェース19には、前記制御信号CTLと、データDATAと、データDATAを取り込むための取り込み信号LEが入力される。前記DATAは、出力電圧VGHMの前記遅延時間t1と、立下りの傾きと、前記クランプ電圧VCLPを設定するための各データが多ビットのデジタル信号で入力される。

【0028】

次に、前記遅延設定部20について説明する。前記遅延時間t1を設定するためのデータDATAはD/A変換器23でアナログ電圧に変換されて比較器24のマイナス側入力端子に入力される。

【0029】

前記比較器24のプラス側入力端子は、容量C1の高電位側端子であるノードN1に接続され、容量C1の充電電圧が入力される。そして、比較器24はD/A変換器23の出力電圧と容量C1の充電電圧を比較し、容量C1の充電電圧がD/A変換器23の出力電圧より高くなったときHレベルの出力信号を出力し、それ以外の場合はLレベルの出力信号を出力する。

【0030】

前記比較器 2 4 の出力信号及び前記制御信号 C T L は、前記出力信号 V G H M の立下りの開始をトリガする論理回路に入力される。すなわち、前記比較器 2 4 の出力信号はインバータ回路 2 5 a に入力され、そのインバータ回路 2 5 a の出力信号は N A N D 回路 2 6 a に入力される。また、前記制御信号 C T L がインバータ回路 2 5 b に入力され、そのインバータ回路 2 5 b の出力信号は N A N D 回路 2 6 b に入力される。そして、N A N D 回路 2 6 a の出力信号が N A N D 回路 2 6 b に入力され、N A N D 回路 2 6 b の出力信号が N A N D 回路 2 6 a に入力される。

【0031】

このような構成により、比較器 2 4 の出力信号が H レベルであると、N A N D 回路 2 6 a の出力信号は H レベルとなる。比較器 2 4 の出力信号が L レベルであると、N A N D 回路 2 6 a は N A N D 回路 2 6 b の出力信号の反転信号を出力する。

10

【0032】

また、制御信号 C T L が H レベルとなると、N A N D 回路 2 6 b の出力信号は L レベルとなり、制御信号 C T L が L レベルとなると、N A N D 回路 2 6 b の出力信号は N A N D 回路 2 6 a の出力信号の反転信号を出力する。

【0033】

従って、制御信号 C T L が H レベルとなると、N A N D 回路 2 6 b の出力信号は H レベルとなり、制御信号 C T L が L レベルとなった後は、N A N D 回路 2 6 a の出力信号が H レベルとなると N A N D 回路 2 6 b の出力信号が L レベル（トリガ）となる。

【0034】

20

前記ノード N 1 には P チャネル M O S トランジスタ T 1 のドレインが接続され、そのトランジスタ T 1 のソースには電源 V G H が供給される。従って、トランジスタ T 1 がオンされると、トランジスタ T 1 から供給される定電流で前記容量 C 1 が充電される。

【0035】

また、前記ノード N 1 とグランド G N D との間には N チャネル M O S トランジスタ T 2 が接続される。トランジスタ T 2 の電流駆動能力は、トランジスタ T 1 より十分に大きく設定されている。従って、トランジスタ T 2 がオンされると、容量 C 1 の充電電荷が放電されてノード N 1 の電位がグランド G N D レベル近傍まで低下する。

【0036】

次に、前記傾き調整部 2 1 について説明する。N P N トランジスタ T 3 のゲートには基準電圧 V r e f が入力され、同トランジスタ T 3 には一定のコレクタ電流が流れる。前記基準電圧 V r e f は、外部から供給される。また、電圧調整回路 1 8 内で生成するようにしてもよい。

30

【0037】

前記トランジスタ T 3 のエミッタは抵抗を介してグランド G N D に接続され、コレクタは P チャネル M O S トランジスタ T 4 のドレイン及びゲートに接続され、同トランジスタ T 4 のソースは電源 V G H に接続される。

【0038】

また、前記トランジスタ T 4 のゲートは P チャネル M O S トランジスタ T 5 ~ T 7 （充電電流調節部）のゲートに接続され、各トランジスタ T 5 ~ T 7 のソースは電源 V G H に接続されている。従って、トランジスタ T 5 ~ T 7 はトランジスタ T 4 に対しカレントミラー動作を行う。なお、トランジスタ T 5 ~ T 7 のオン抵抗値は後記トランジスタ T 8 のオン抵抗値より十分に高くなるように設定されている。また、トランジスタ T 4 のゲートは前記トランジスタ T 1 のゲートに接続されている。

40

【0039】

前記トランジスタ T 5 ~ T 7 のドレインは、それぞれスイッチ回路 2 7 a ~ 2 7 c を介して容量 C 2 の高電位側端子であるノード N 2 に接続され、その容量 C 2 の他端はグランド G N D に接続されている。

【0040】

前記スイッチ回路 2 7 a ~ 2 7 c は、前記バスインターフェース 1 9 から供給される制

50

御信号に基づいて開閉制御され、その制御信号は前記データ D A T A に基づいて生成される。

【0041】

従って、スイッチ回路 27a～27c の開閉制御により容量 C2 の充電速度すなわちノード N2 の電圧上昇速度を調整可能となっている。また、トランジスタ T5 及びスイッチ回路 27a に並列に接続されるトランジスタ及び抵抗の数をさらに増大させ、各トランジスタの電流駆動能力を小さく設定すれば、ノード N2 の電圧上昇速度をさらに細かく調整可能となる。

【0042】

前記ノード N2 には N チャネル MOS トランジスタ T8 のドレインが接続され、そのトランジスタ T8 のソースはグランド GND に接続されている。また、トランジスタ T8 のゲートには前記 NAND 回路 26b の出力信号が入力される。

10

【0043】

従って、NAND 回路 26b の出力信号が H レベルとなると、トランジスタ T8 がオンされて、容量 C2 が放電される。

また、ノード N2 は前記トランジスタ T2 のゲートに接続され、ノード N2 の電位が上昇すると、トランジスタ T2 がオンされて容量 C1 が放電され、ノード N1 の電位が低下するようになっている。

【0044】

次に、前記クランプ電圧調整部 22 について説明する。前記ノード N2 は N チャネル MOS トランジスタ T9 (出力部) のゲートに接続され、そのトランジスタ T9 のソースはグランド GND に接続されている。ノード N2 の電位が上昇すると、トランジスタ T9 がオンされる。

20

【0045】

前記トランジスタ T9 のドレインはスイッチ回路 29a 及び抵抗 R1 を介して出力バッファ 28 の入力端子に接続されている。また、スイッチ回路 29a 及び抵抗 R1 には、スイッチ回路 29b 及び抵抗 R2 とスイッチ回路 29c 及び抵抗 R3 が並列に接続されている。

【0046】

前記出力バッファ 28 の入力端子は、スイッチ回路 29d と抵抗 R4 を介して電源 VGH に接続され、スイッチ回路 29d と抵抗 R4 には、スイッチ回路 29e 及び抵抗 R5 と、スイッチ回路 29f 及び抵抗 R6 が並列に接続されている。前記抵抗 R1～R6 は同一抵抗値とする。

30

【0047】

前記スイッチ回路 29a～29f は前記バスインターフェース 19 から供給される制御信号に基づいて開閉制御され、その制御信号は前記データ D A T A に基づいて生成される。

【0048】

従って、スイッチ回路 29a～29f の開閉制御により、電源 VGH とトランジスタ T9 との間の合成抵抗値が調整され (抵抗値調整部)、トランジスタ T9 がオンされると、スイッチ回路 29a～29f の開閉制御により選択される抵抗 R1～R6 の合成抵抗に基づいて、出力バッファ 28 の入力電圧がクランプされる。

40

【0049】

なお、トランジスタ T9 がオフされている状態では、出力バッファ 28 の入力電圧は電源 VGH レベルとなる。

また、抵抗 R1 及び抵抗 R4 に並列に接続可能とする抵抗の数をさらに増大させると、クランプ電圧をさらに細かく調整可能となる。

【0050】

前記出力バッファ 28 は、入力電圧をバッファリングして前記ゲートドライバ 15 に出力電圧 VGHM として出力する。

50

次に、上記のように構成された電圧調整回路 18 の動作を説明する。データ DATA に基づいてバスインターフェース 19 から出力される制御信号に基づいて、傾き調整部 21 のスイッチ回路 27a~27c の少なくとも一つは導通状態となり、クランプ電圧調整部 22 のスイッチ回路 29a~29c の少なくとも一つと、スイッチ回路 29d~29f の少なくとも一つが導通状態となる。

【0051】

また、基準電圧 Vref によりトランジスタ T3 がオンされ、トランジスタ T1, T4~T7 がオンされる。

この状態で、遅延設定部 20 で H レベルの制御信号 CTL が入力されると、インバータ回路 25b の出力信号が L レベルとなるため、NAND 回路 26b の出力信号は H レベルとなる。

10

【0052】

すると、傾き調整部 21 のトランジスタ T8 がオンされ、ノード N2 がほぼグランド GND レベルとなってクランプ電圧調整部 22 のトランジスタ T9 及び遅延設定部 20 のトランジスタ T2 がオフされる。この結果、図 4 に示すように、出力電圧 VGHM は電源 VGH レベルとなる。

【0053】

制御信号 CTL が L レベルに立ち下がると、インバータ回路 25b の出力信号は H レベルとなり、NAND 回路 26b の出力信号は NAND 回路 26a の出力信号の反転信号を出力する状態となる。そして、比較器 24 の出力信号が L レベルにある状態では、NAND 回路 26a の出力信号は L レベルに維持されるため、NAND 回路 26b の出力信号は H レベルに維持される。

20

【0054】

この状態で、トランジスタ T1 のドレイン電流で容量 C1 が充電され、図 4 に示すように、制御信号 CTL の立下りから時間 t1 を経た後にノード N1 の電位が D/A 変換器 23 の出力電圧より高くなると、比較器 24 の出力信号が H レベルとなる。

【0055】

すると、NAND 回路 26a の出力信号が H レベルとなり、NAND 回路 26b の入力信号がともに H レベルとなって、NAND 回路 26b の出力信号が L レベルとなる。

NAND 回路 26b の出力信号が L レベルとなると、トランジスタ T8 がオフされる。すると、トランジスタ T5~T7 の少なくともいずれかのドレイン電流により容量 C2 が充電され、ノード N2 の電位が上昇する。

30

【0056】

ノード N2 の電位がトランジスタ T9 のしきい値を超えてさらに上昇すると、トランジスタ T9 のドレイン電流の増大すなわちオン抵抗の低下に基づいて出力電圧 VGHM が低下する。そして、トランジスタ T9 が飽和状態となると、出力電圧 VGHM はスイッチ回路 29a~29f によって選択される抵抗 R1~R6 の合成抵抗で設定されるクランプ電圧 VCLP に収束する。

【0057】

また、ノード N2 の電位の上昇により、トランジスタ T2 がオンされると、容量 C1 の充電電荷がトランジスタ T2 に吸収されてノード N1 の電位が低下する。そして、ノード N1 の電位が D/A 変換器 23 の出力電圧より低くなると、比較器 24 の出力信号は L レベルに移行する。

40

【0058】

このとき、比較器 24 の出力信号が L レベルとなっても、NAND 回路 26b の出力信号が L レベルであるので、NAND 回路 26a の出力信号は H レベルに維持される。

次いで、制御信号 CTL が H レベルとなると、NAND 回路 26b の出力信号は H レベルとなり、トランジスタ T8 がオンされてトランジスタ T9, T2 がオフされ、上記動作が繰り返される。

【0059】

50

上記のように、この電圧調整回路 18 ではデータ DATA を調整して遅延設定部 20 の D/A 変換器 23 の出力電圧を調整すると、比較器 24 の出力信号が L レベルから H レベルに切り替わるタイミング、すなわち NAND 回路 26b の出力信号が H レベルから L レベルに移行するタイミングを調整することができる。従って、図 4 に示す遅延時間 t_1 を調整して、走査線駆動電圧 GVS を高電位側電圧 VGH まで確実に引き上げるように調整することが可能となる。

【0060】

また、データ DATA により傾き調整部 21 のスイッチ回路 27a～27c で導通状態とするスイッチ回路の数を選択すると、ノード N2 の電位の上昇速度を調整可能となる。この結果クランプ電圧調整部 22 のトランジスタ T9 のドレイン電流の増大速度を調整して出力電圧 VGHM の立下りの傾きを調整することが可能となる。

10

【0061】

また、データ DATA によりクランプ電圧調整部 22 のスイッチ回路 29a～29f を制御すると、抵抗 R1～R6 の合成抵抗値を調整可能となる。そして、合成抵抗値の調整により、出力信号 VGHM の下限の電位であるクランプ電圧 VCLP を調整可能となる。

【0062】

次に、クランプ電圧 VCLP とフィードスルー電圧との関係について説明する。

図 5 は、画素回路 12 での充電動作時における動作を示す等価回路であり、図 6 は画素回路 12 での保持動作時における等価回路を示す。

【0063】

20

充電動作時には、走査線 13 に高電位側電圧 VGH が供給され、入力信号線 14 に信号電圧 VS が供給される。そして、図 5 に示すように、トランジスタ TLC がオン抵抗 Ron でオンされて、信号電圧 VS が容量 CLC に充電される。

【0064】

このとき、走査線 13 と容量 CLC との間には寄生容量 CGS が作用し、容量 CLC の高電位側端子と基板電位 VCOM との間には寄生容量 CSTG が作用する。

すると、書き込み動作時の容量 CLC の充電電荷 Q1 は次式で表され、容量 CLC は信号電圧 VS とほぼ等しい充電電圧 VS1 まで充電される。

【0065】

【数 1】

30

$$Q1 = -CGS (VGH - VS) + (CLC + CSTG) (VS - VCOM) \quad \dots (1)$$

一方、図 6 に示すように、保持動作時には走査線 13 に低電位側電圧 VGL が供給され、トランジスタ TLC がオフされて入力信号線 14 と容量 CLC の高電位側端子とが高抵抗 Rof で遮断される。

【0066】

すると、保持動作時の容量 CLC の充電電圧を VS2 とすると、 $VGL < VS2$ であることから、保持動作時の容量 CLC の充電電荷 Q2 は次式で表される。

【0067】

【数 2】

40

$$Q2 = CGS (VS2 - VGL) + (CLC + CSTG) (VS2 - VCOM) \quad \dots (2)$$

ここで、容量 CLC の充電電荷 Q1, Q2 が電荷保持の法則により等しいとすれば、 $Q1 = Q2$ として上式より次式が得られる。

【0068】

【数 3】

$$VS2 = VS - (CGS / (CLC + CSTG + CGS)) * (VGH - VGL) \quad \dots (3)$$

フィードスルー電圧は、書き込み動作時の充電電圧 VS1 から保持動作時の充電電圧 VS2 への電圧変化 ΔVS であり、次式で求められる。

50

【0069】

【数4】

$$\begin{aligned}\Delta VS &= VS1 - VS2 \\ &= (CGS / (CLC + CSTG + CGS)) * (VGH - VGL) \quad \dots (4)\end{aligned}$$

上式により、低電位側電圧VGLが低いほどフィードスルー電圧が大きくなり、同様に前記電圧調整回路18の出力電圧VGHMのクランプ電圧VCLPが低いほどフィードスルー電圧が大きくなる。

【0070】

上記のように構成された電圧調整回路では、次に示す作用効果を得ることができる。

10

(1) データDATAに基づいて、遅延設定部20で制御信号CTLの立下りから出力信号VGHMの立下りまでの遅延時間t1を調整することができる。従って、遅延時間t1を設定するために外付けの容量を接続する必要はなく、遅延時間t1の調整も容易に行うことができる。

(2) データDATAに基づいて、傾き調整部21で出力信号VGHMの立下りの傾きを調整することができる。従って、外付けの抵抗を接続することなく、立下りの傾きを容易に調整して、フィードスルー電圧の調整を容易に行うことができる。

(3) データDATAに基づいて、クランプ電圧調整部22で出力信号VGHMのクランプ電圧VCLPを容易に調整して、フィードスルー電圧の調整を容易に行うことができる。

(4) 出力バッファ28を介して出力信号VGHMを出力するので、出力信号VGHMを制御するための出力容量を必要としない。従って、走査線が長くなる大画面の液晶パネルのゲートドライバであっても容易に駆動することができる。

20

(5) 走査線13の選択に同期してデータDATAを調整することにより、走査線13毎にフィードスルー電圧の調整を行うことができる。

(第二の実施形態)

図7は、電圧調整回路の第二の実施形態を示す。この実施形態は、出力信号VGHMのクランプ電圧VCLPをデータDATAに基づいてアナログ制御し、立下りの傾きと遅延時間をデジタル的に制御するようにしたものである。

【0071】

この実施形態の電圧調整回路18は、バスインターフェース30と、遅延設定部31と、傾き調整部32と、クランプ電圧調整部33と、出力バッファ34を備えている。

30

前記バスインターフェース30には、前記制御信号CTLと、データDATAと、データDATAを取り込むための取り込み信号LEが入力される。前記DATAは、出力電圧VGHMの前記遅延時間t1と、立下りの傾きと、前記クランプ電圧VCLPを設定するための各データが多ビットのデジタル信号で入力される。

【0072】

前記傾き調整部32では、NPNトランジスタT11のゲートには基準電圧Vrefが入力され、同トランジスタT11には一定のコレクタ電流が流れる。前記基準電圧Vrefは、外部から供給される。また、電圧調整回路18内で生成するようにしてもよい。

【0073】

40

前記トランジスタT11のエミッタは抵抗を介してグランドGNDに接続され、コレクタはPチャネルMOSトランジスタT12のドレイン及びゲートに接続され、同トランジスタT12のソースは電源VGHに接続される。

【0074】

また、前記トランジスタT12のゲートはPチャネルMOSトランジスタT13～T15（電流調整回路）のゲートに接続され、各トランジスタT13～T15のソースには高電位側電圧VGHが供給されている。従って、トランジスタT13～T15はトランジスタT12に対しカレントミラー動作を行う。

【0075】

前記トランジスタT13～T15のドレインは、それぞれスイッチ回路35a～35c

50

を介してNチャネルMOSトランジスタT16のドレイン及びゲートに接続され、同トランジスタT16のソースはグランドGNDに接続されている。

【0076】

前記スイッチ回路35a～35cは、前記バスインターフェース30から供給される制御信号に基づいて開閉制御され、その制御信号は前記データDATAに基づいて生成される。

【0077】

従って、スイッチ回路35a～35cの開閉制御によりトランジスタT13～T15からトランジスタT16に流れるドレイン電流が調整されて、トランジスタT16のゲート電位が調整される。

10

【0078】

前記トランジスタT16のゲートは、NチャネルMOSトランジスタT17のゲートに接続され、同トランジスタT17のソースはグランドGNDに接続される。そして、トランジスタT16、T17はカレントミラー動作を行う。

【0079】

前記トランジスタT17のドレインは、PチャネルMOSトランジスタT18のドレイン及びゲートに接続され、同トランジスタT18のソースには高電位側電圧VGHが供給されている。

【0080】

また、トランジスタT18のゲートはPチャネルMOSトランジスタT19のゲートに接続され、同トランジスタT19のソースには高電位側電圧VGHが供給されている。従って、トランジスタT18、T19はカレントミラー動作を行う。

20

【0081】

前記トランジスタT19のドレインは、NチャネルMOSトランジスタT20のドレイン及びゲートに接続され、同トランジスタT20のソースはNチャネルMOSトランジスタT21のドレイン及びゲートに接続されている。そして、トランジスタT21のソースは抵抗R1を介してグランドGNDに接続されている。

【0082】

従って、トランジスタT20、T21のゲート電位は、トランジスタT19のドレイン電流が増大すると上昇し、トランジスタT19のドレイン電流が減少すると低下するようになっている（電流電圧変換回路）。

30

【0083】

前記トランジスタT21のソースには、バッファ36の出力電圧が供給される。この出力電圧は、バスインターフェース30に入力されたデータDATAのうち、クランプ電圧VCLPを設定するためのデータをD/A変換器37でアナログ電圧に変換し、そのアナログ電圧をバッファ36を介して供給したものである。

【0084】

そして、データDATAに基づいてバッファ36の出力電圧が上昇すると、トランジスタT20、T21のゲート電位が上昇するようになっている。

前記トランジスタT12のゲートは、PチャネルMOSトランジスタT22～T24のゲートに接続され、同トランジスタT22～T24のソースには高電位側電圧VGHが供給されている。

40

【0085】

前記トランジスタT22～T24のドレインは、それぞれスイッチ回路38a～38cを介して容量C3の一端であるノードN3に接続され、その容量C3の他端はグランドGNDに接続されている。

【0086】

前記スイッチ回路38a～38cは、前記データDATAに基づいて前記バスインターフェース30から出力される制御信号に基づいて開閉制御される。そして、各トランジスタT22～T24のドレイン電流が導通状態に制御されるスイッチ回路38a～38cを

50

介して前記容量C 3に供給されて、容量C 3が充電される（電流調整回路）。

【0087】

従って、トランジスタT 2 2～T 2 4がオンされると、スイッチ回路3 8 a～3 8 cを制御することにより、ノードN 3の電位の上昇速度を制御可能となっている。

前記ノードN 3はNチャネルMOSトランジスタT 2 5のドレインに接続され、そのトランジスタT 2 5のゲートには前記制御信号CTLが入力され、ソースはグランドGNDに接続されている。

【0088】

前記トランジスタT 2 5のサイズは、前記トランジスタT 2 2～T 2 4のサイズより十分大きく形成されて、制御信号CTLによりトランジスタT 2 5がオンされると、容量C 3の充電電荷が吸収されて、ノードN 3がほぼグランドGNDレベルまで低下するようになっている。

【0089】

前記ノードN 3は、比較器3 9のマイナス側入力端子に接続され、比較器3 9のプラス側入力端子には基準電圧Vrefが供給されている。従って、ノードN 3の電位が基準電圧より低いと比較器3 9の出力信号がHレベルとなり、ノードN 3の電位が基準電圧より高いと比較器3 9の出力信号がLレベルとなる。

【0090】

前記トランジスタT 1 2のゲートは、PチャネルMOSトランジスタT 2 6のゲートに接続され、そのトランジスタT 2 6のソースには高電位側電圧VGHが供給されて、トランジスタT 1 2, T 2 6はカレントミラー動作を行う。前記トランジスタT 2 6のドレインは、NチャネルMOSトランジスタT 2 7のドレイン及びソースに接続され、そのトランジスタT 2 7のソースはグランドGNDに接続されている。

【0091】

また、前記トランジスタT 2 7のゲートはNチャネルMOSトランジスタT 2 8のゲートに接続され、そのトランジスタT 2 8のソースはグランドGNDに接続されている。従って、トランジスタT 2 7, T 2 8はカレントミラー動作を行い、トランジスタT 2 6がオンされると、トランジスタT 2 7, T 2 8に同一のドレイン電流が流れる。

【0092】

前記トランジスタT 2 8のドレインは、PチャネルMOSトランジスタT 2 9のドレイン及びゲートに接続され、そのトランジスタT 2 9のソースには高電位側電圧VGHが供給されている。

【0093】

前記トランジスタT 2 9のゲートは、PチャネルMOSトランジスタT 3 0のゲートに接続され、そのトランジスタT 3 0のソースには高電位側電圧VGHが供給されている。トランジスタT 2 9, T 3 0はカレントミラー動作を行う。

【0094】

前記トランジスタT 3 0のドレインは、NチャネルMOSトランジスタT 3 1, T 3 2及び抵抗R 2を介してグランドGNDに接続されている（出力部）。前記トランジスタT 3 1のゲートは前記トランジスタT 2 0のゲートに接続され、前記トランジスタT 3 2のゲートは前記トランジスタT 2 1のゲートに接続されている。

【0095】

前記トランジスタT 3 0のサイズは、前記トランジスタT 3 1, T 3 2のサイズより十分大きいサイズで形成されている。

前記トランジスタT 3 0, T 3 1のドレインであるノードN 4とグランドGNDとの間に容量C 4が接続され、そのノードN 4の電位が出力バッファ3 4を介して出力電圧VGHMとして出力される。

【0096】

前記トランジスタT 2 9のソース・ドレイン間にはPチャネルMOSトランジスタT 3 3が並列に接続され、そのトランジスタT 3 3のゲートには前記比較器3 9の出力信号が

10

20

30

40

50

入力されている。

【0097】

次に、上記のように構成された電圧調整回路18の動作を説明する。基準電圧 V_{ref} が供給されると、トランジスタ $T_{12} \sim T_{15}$ 、 $T_{22} \sim T_{24}$ 、 T_{26} がオンされる。

すると、トランジスタ T_{26} のドレイン電流に基づいてトランジスタ T_{27} 、 T_{28} がオンされる。

【0098】

制御信号 C_{TL} がHレベルであれば、トランジスタ T_{25} がオンされて、ノード N_3 がグラウンド GND レベルとなり、比較器39の出力信号がHレベルとなってトランジスタ T_{33} がオフされる。

10

【0099】

この状態では、トランジスタ T_{28} のオン動作に基づいてトランジスタ T_{29} 、 T_{30} がオンされ、容量 C_4 が充電されてノード N_4 は高電位側電圧 V_{GH} レベルまで上昇し、出力信号 V_{GHM} は V_{GH} レベルとなる。

【0100】

一方、制御信号 C_{TL} がLレベルとなると、トランジスタ T_{25} がオフされる。すると、スイッチ回路 $38a \sim 38c$ で選択されるトランジスタ $T_{22} \sim T_{24}$ の少なくともいずれかのドレイン電流により容量 C_3 が充電され、ノード N_3 の電位が上昇する。

【0101】

ノード N_3 の電位が上昇して基準電圧 V_{ref} より高くなると、比較器39の出力信号がLレベルとなり、トランジスタ T_{33} がオンされる。すると、トランジスタ T_{29} 、 T_{30} がオフされ、トランジスタ T_{31} 、 T_{32} のオン動作に基づいて出力信号 V_{GHM} の低下が始まる。

20

【0102】

従って、図2に示すように、制御信号 C_{TL} がLレベルに立ち下がってから遅延時間 t_1 を経た後に出力信号 V_{GHM} の低下が始まる。この遅延時間 t_1 は、データ $DATA$ に基づいて開閉制御されるスイッチ回路 $38a \sim 38c$ により3段階に調整可能である。

【0103】

出力信号 V_{GHM} の立ち下がり速度すなわち傾きは、データ $DATA$ に基づいてスイッチ $35a \sim 35c$ を制御することにより3段階に調整可能である。すなわち、スイッチ回路 $35a \sim 35c$ を制御してトランジスタ T_{16} のドレイン電流を調整すると、トランジスタ T_{17} 、 T_{18} 、 T_{19} のドレイン電流が調整される。

30

【0104】

トランジスタ T_{19} のドレイン電流が調整されると、トランジスタ T_{20} 、 T_{21} のゲート電位が調整され、同時にトランジスタ T_{31} 、 T_{32} のゲート電位が調整される。すると、トランジスタ T_{31} 、 T_{32} のドレイン電流が調整されて、出力信号 V_{GHM} の立ち下りの傾きが調整される。

【0105】

出力信号 V_{GHM} は、クランプ電圧 V_{CLP} まで下降し、その後クランプ電圧 V_{CLP} で保持される。このクランプ電圧 V_{CLP} は、データ $DATA$ に基づいて調整されるバッファ36の出力電圧に基づいて設定される。

40

【0106】

上記のように構成された電圧調整回路では、遅延設定部31と、傾き調整部32と、クランプ電圧調整部33により、第一の実施形態と同様な作用効果を得ることができるとともに、次に示す作用効果を得ることができる。

(1) 傾き調整部32で容量を使用せず、カレントミラー回路による電流電圧変換動作により出力信号 V_{GHM} の立ち下りの傾きを調整するようにしたので、第一の実施形態に比して、調整精度を向上させることができる。

(第三の実施形態)

図8及び図9は第三の実施形態を示す。この実施形態は、電圧調整回路に入力するデー

50

タ D A T A をあらかじめ設定されたテーブルから選択して、フィードスルー電圧を目標範囲内に自動的に調整するフィードスルー電圧補正回路（データ調整部）42 を備えたものである。第一及び第二の実施形態と同一構成部分は、同一符号を付して詳細な説明を省略する。

【0107】

液晶パネル11とソースドライバ16との間には、切り替え回路41が設けられている。この切り替え回路41では、各入力信号線14に一对のスイッチ回路S1、S2がそれぞれ接続され、スイッチ回路S1はフィードスルー電圧補正回路42に接続され、スイッチ回路S2はソースドライバ16に接続される。そして、各スイッチ回路S1、S2はフィードスルー電圧補正回路42で開閉制御される。

10

【0108】

前記フィードスルー電圧補正回路42にはEEPROM43が接続されている。フィードスルー電圧補正回路42は、前記EEPROM43から読み出したユーザーデータを電圧調整回路18に出力する。

【0109】

制御部40には、電圧調整回路18の出力信号VGHMを調整するためのデータD A T A がテーブルとしてあらかじめ格納され、フィードスルー電圧補正回路42から出力される通信信号に基づいて選択したデータD A T A を前記電圧調整回路18に出力する。また、第一の実施形態と同様に、ゲートドライバ15、ソースドライバ16及び電圧調整回路18に制御信号C T L を出力する。

20

【0110】

前記フィードスルー電圧補正回路42は、あらかじめ設定されたプログラムに基づいて動作し、例えば電源投入時にフィードスルー電圧が所定の範囲内に収まるように電圧調整回路18に供給するデータD A T A を調整する。以下に、フィードスルー電圧補正回路42の動作を図9に従って説明する。

【0111】

電源が投入されると、フィードスルー電圧補正回路42はEEPROM43に格納されている現状のユーザーデータ（若しくは初期値）を読み出し、そのユーザーデータをデータD A T A として電圧調整回路18に出力する（ステップ1、2）。

【0112】

次いで、スイッチ回路S2を導通状態として液晶パネル11の全画素回路12に対し同一の充電電圧V S 1 で書き込み動作を行い、続いて保持動作を行う（ステップ3）。そして、スイッチ回路S2を不導通とし、スイッチ回路S1を導通状態として全画素回路12の充電電圧V S 2 をフィードスルー電圧補正回路42に読み出す（ステップ4）。

30

【0113】

フィードスルー電圧補正回路（判定部）42では、書き込まれた充電電圧V S 1 と全画素回路12の充電電圧V S 2 と差電圧、すなわち各画素回路12のフィードスルー電圧が目標範囲内に収まっているか否かを判定する（ステップ5）。

【0114】

そして、目標範囲内に収まっていればステップ6に移行し、1回目のフィードスルー電圧の測定である場合には、現状のデータD A T A でフィードスルー電圧が目標範囲内に収まっているので、ステップS1を不導通状態とし、スイッチ回路S2を導通状態として通常動作に移行する（ステップ7）。

40

【0115】

ステップ5で、フィードスルー電圧が目標範囲より高い場合には、出力信号VGHMの立下りの傾き及びクランプ電圧VCLP調整するためのデータD A T A、すなわちフィードスルー電圧が低くなる方向に設定するためのデータD A T A を制御部（データ選択部）40から読み出す。そして、そのデータD A T A を電圧調整回路18に入力し（ステップ8、9）、ステップ3に移行する。

【0116】

50

次いで、再度スイッチ回路 S 2 を導通状態として液晶パネル 1 1 の全画素回路 1 2 に対し同一の充電電圧 V S 1 で書き込み動作と保持動作を行い、スイッチ回路 S 1 を導通状態として各画素回路 1 2 の充電電圧 V S 2 をフィードスルー電圧補正回路 4 2 に読み出す（ステップ 4）。そして、ステップ 5 で各画素回路 1 2 のフィードスルー電圧が目標範囲内に収まっているか否かを再度判定する。

【0117】

ステップ 5 で、フィードスルー電圧が目標範囲より低い場合には、出力信号 VGHM の立下りの傾き及びクランプ電圧 VCLP 調整するためのデータ D A T A、すなわちフィードスルー電圧が高くなる方向に設定するためのデータ D A T A を制御部 4 0 から読み出す。そして、そのデータ D A T A を電圧調整回路 1 8 に入力し（ステップ 8、10）、ステップ 3 に移行する。

10

【0118】

次いで、再度スイッチ回路 S 2 を導通状態として液晶パネル 1 1 の全画素回路 1 2 に対し同一の充電電圧 V S 1 で書き込み動作と保持動作を行い、スイッチ回路 S 1 を導通状態として各画素回路 1 2 の充電電圧 V S 2 をフィードスルー電圧補正回路 4 2 に読み出す（ステップ 4）。そして、ステップ 5 で各画素回路 1 2 のフィードスルー電圧が目標範囲内に収まっているか否かを再度判定する。

【0119】

このような動作を繰り返した後、ステップ 5 でフィードスルー電圧が目標範囲内に収まっていると判定された場合には、ステップ 6 からステップ 1 1 に移行し、現在のデータ D A T A をユーザーデータとして E E P R O M 4 3 に書き込み、このユーザーデータをデータ D A T A として電圧調整回路 1 8 に供給した状態で通常状態に移行する（ステップ 1 1）。

20

【0120】

この実施形態では、次に示す作用効果を得ることができる。

（１）液晶パネル 1 1 の各画素回路 1 2 のフィードスルー電圧を、あらかじめ設定された目標範囲内に自動的に収めることができる。

（２）液晶パネル 1 1 の制御部 1 7 の起動時に、フィードスルー電圧の調整を行い、フィードスルー電圧を目標範囲内に収めた後は、通常動作に自動的に移行することができる。

（第四の実施形態）

30

図 1 0 ～図 1 2 は第四の実施形態を示す。この実施形態は、第三の実施形態と同様に、電圧調整回路に入力するデータ D A T A をあらかじめ設定されたテーブルから選択して、フィードスルー電圧を目標範囲内に自動的に調整する制御部 5 0 及びフィードスルー電圧補正回路 4 4 を備えたものである。第四の実施形態と同一構成部分は、同一符号を付して説明する。

【0121】

液晶パネル 1 1 とソースドライバ 1 6 との間には、切り替え回路 4 1 が設けられ、各入力信号線 1 4 に一対のスイッチ回路 S 1、S 2 がそれぞれ接続され、スイッチ回路 S 1 はフィードスルー電圧補正回路 4 4 に接続され、スイッチ回路 S 2 はソースドライバ 1 6 に接続される。そして、各スイッチ回路 S 1、S 2 はフィードスルー電圧補正回路 4 4 で開閉制御される。

40

【0122】

前記制御部 5 0 には、電圧調整回路 1 8 の出力信号 VGHM を調整するためのデータ D A T A がテーブルとしてあらかじめ格納されている。また、制御部 4 0 はゲートドライバ 1 5、ソースドライバ 1 6 及び電圧調整回路 1 8 に制御信号 C T L を出力する。

【0123】

前記制御部 5 0 は、あらかじめ設定されたプログラムに基づいて動作し、例えば電源投入時にフィードスルー電圧が所定の範囲内に収まるように電圧調整回路 1 8 に供給するデータ D A T A を調整する。

【0124】

50

前記フィードスルー電圧補正回路 44 の具体的構成を図 11 に従って説明する。前記切り替え回路 41 からスイッチ回路 45 を介して各画素回路 12 の充電電圧 V_{S2} が入力される。スイッチ回路 45 は、電源投入時のフィードスルー電圧調整動作時に導通状態に制御される。

【0125】

充電電圧 V_{S2} は比較器 46a のプラス側入力端子に入力され、その比較器 46a のマイナス側入力端子には基準電圧 V_{R1} が入力される。また、プラス側入力端子は高抵抗値の抵抗 $R5$ を介して電源 V_{GH} に接続されている。従って、充電電圧 V_{S2} が基準電圧 V_{R1} より低くなると、比較器 46a の出力信号が L レベルとなる。

【0126】

また、充電電圧 V_{S2} は比較器 46b のマイナス側入力端子に入力され、その比較器 46b のプラス側入力端子には基準電圧 V_{S2} が入力される。また、マイナス側入力端子は高抵抗値の抵抗 $R6$ を介して電源 V_{GH} に接続されている。従って、充電電圧 V_{S2} が基準電圧 V_{R2} より高くなると、比較器 46a の出力信号が L レベルとなる。

【0127】

前記基準電圧 V_{R2} は、基準電圧 V_{R1} より高い電圧に設定されるとともに、基準電圧 V_{R1} が前記充電電圧 V_{S2} の下限値に設定され、基準電圧 V_{R2} が前記充電電圧 V_{S2} の上限値に設定される。従って、充電電圧 V_{S2} が基準電圧 V_{R1} 以下となると、比較器 46a の出力信号が L レベルとなり、比較器 46b の出力信号が H レベルとなる。

【0128】

また、充電電圧 V_{S2} が、 $V_{R1} < V_{S2} < V_{R2}$ となると、比較器 46a、46b の出力信号はともに H レベルとなる。充電電圧 V_{S2} が基準電圧 V_{R2} を超えると、比較器 46a の出力信号は H レベル、比較器 46b の出力信号は L レベルとなる。そして、 $V_{R1} < V_{S2} < V_{R2}$ であるとき、各画素回路 12 のフィードスルー電圧が許容範囲内に収まるように基準電圧 V_{R1} 、 V_{R2} が設定されている。

【0129】

前記比較器 46a の出力信号は、パラレルーシリアル変換器 48 に入力され、前記比較器 46a、46b の出力信号が AND 回路 47 に入力される。AND 回路 47 の出力信号は、充電電圧 V_{S2} が、 $V_{R1} < V_{S2} < V_{R2}$ であるとき、H レベルとなる。

【0130】

従って、充電電圧 V_{S2} が、 $V_{S2} < V_{R1}$ となると、比較器 46a 及び AND 回路 47 の 2 ビットの出力信号がともに L レベルとなり、充電電圧 V_{S2} が、 $V_{R1} < V_{S2} < V_{R2}$ であるとき、比較器 46a 及び AND 回路 47 の 2 ビットの出力信号がともに H レベルとなる。また、充電電圧 V_{S2} が、 $V_{R2} < V_{S2}$ となると、比較器 46a の出力信号が H レベル、AND 回路 47 の出力信号が L レベルとなる。このような構成により、充電電圧 V_{S2} の 3 通りの状態を 2 ビットの信号に変換してパラレルーシリアル変換器 48 に入力される。

【0131】

前記パラレルーシリアル変換器 48 は、比較器 46a と AND 回路 47 から出力される 2 ビットのパラレル信号をシリアル信号に変換して通信インターフェース 49 に出力する。通信インターフェース 49 は、シリアル信号を前記制御部 40 に出力する。

【0132】

次に、フィードスルー電圧補正回路 44 及び制御部 50 の動作を図 12 に従って説明する。

電源が投入されると、制御部 50 はデータ DATA のテーブルから初期値を読み出し、その初期値をデータ DATA として電圧調整回路 18 に出力する（ステップ 21）。

【0133】

次いで、スイッチ回路 S1 を不導通とするとともに、スイッチ回路 S2 を導通状態として、液晶パネル 11 の全画素回路 12 に対し同一の充電電圧 V_{S1} で書き込み動作を行い、続いて保持動作を行う（ステップ 22、23）。そして、スイッチ回路 S2 を不導通と

10

20

30

40

50

し、スイッチ回路 S 1 を導通状態として、例えば 1 本の走査線 1 3 の両端及び中間に接続された画素回路 1 2 の充電電圧 V S 2 をフィードスルー電圧補正回路 4 4 に順次読み出す (ステップ 2 4)。

【0134】

フィードスルー電圧補正回路 4 4 では、読み出された充電電圧 V S 2 を基準電圧 V R 1 , V R 2 と順次比較し、その比較結果をシリアル信号で制御部 5 0 に出力する。

制御部 5 0 では、入力されたすべての比較結果が目標範囲であるか否か、すなわち $V R 1 < V S 2 < V R 2$ であるか否かを判定する (ステップ 2 5)。そして、すべての比較結果が $V R 1 < V S 2 < V R 2$ を満足する場合には、スイッチ回路 S 2 を導通させ、かつスイッチ回路 S 1 を不導通として通常動作に移行する (ステップ 2 6, 2 7)。

10

【0135】

ステップ 2 5 において、充電電圧 V S 2 が基準電圧 V R 1 より低い場合には、フィードスルー電圧が目標範囲より高いので、電圧調整回路 1 8 の出力信号 V GHM のフィードスルー電圧を小さくようにデータ D A T A を 1 段階切り替え (ステップ 2 8, 2 9)、ステップ 2 2 に復帰する。

【0136】

次いで、ステップ 2 2 ~ 2 5 を繰り返し、フィードスルー電圧が目標範囲となると、ステップ 2 6 に移行する。

ステップ 2 5 において、充電電圧 V S 2 が基準電圧 V R 2 より高い場合には、フィードスルー電圧が目標範囲より低いので、電圧調整回路 1 8 の出力信号 V GHM の立下りの傾きを急峻とするように、にデータ D A T A を 1 段階切り替え (ステップ 2 8, 3 0)、ステップ 2 2 に復帰する。

20

【0137】

次いで、ステップ 2 2 ~ 2 5 を繰り返し、フィードスルー電圧が目標範囲となると、ステップ 2 6 に移行する。

この実施形態では、次に示す作用効果を得ることができる。

(1) 液晶パネル 1 1 の各画素回路 1 2 のフィードスルー電圧を、あらかじめ設定された目標範囲内に自動的に収めることができる。

(2) 液晶パネル 1 1 の制御部 5 0 の起動時に、フィードスルー電圧の調整を行い、フィードスルー電圧を目標範囲内に収めた後は、通常動作に自動的に移行することができる。

30

【0138】

上記実施形態は、以下に示す態様で実施してもよい。

・第一及び第二の実施形態において、フィードスルー電圧を調整するためには少なくとも傾き調整部とクランプ電圧調整部だけを備えた電圧調整回路としてもよい。

(付記 1)

表示装置の走査線に供給する電圧を調整する電圧調整回路であって、

制御信号の立下りに基づいてクランプ電圧まで立下る出力信号を生成する電圧調整回路において、

外部から入力されるデータに基づいて、前記出力信号の立下りの傾きを調整する傾き調整部と、

40

前記データに基づいて、前記クランプ電圧を調整するクランプ電圧調整部とを備えたことを特徴とする電圧調整回路。

(付記 2)

前記データに基づいて、前記制御信号の立下りから前記出力信号の立下りまでの遅延時間を設定する遅延設定部を備えたことを特徴とする付記 1 記載の電圧調整回路。

(付記 3)

前記傾き調整部は、

第一の容量と、

前記第一の容量に供給する充電電流を前記データに基づいて開閉される第一のスイッチ回路で調節する充電電流調節部と、

50

前記第一の容量の充電電圧に応じた電圧で前記出力信号を出力する出力部とを備えたことを特徴とする付記 1 又は 2 記載の電圧調整回路。

(付記 4)

前記クランプ電圧調整部は、

前記データに基づいて開閉される第二のスイッチ回路で、出力端子と電源との間の合成抵抗値を調整する抵抗値調整部を備えたことを特徴とする付記 1 乃至 3 のいずれか 1 項に記載の電圧調整回路。

(付記 5)

前記遅延設定部は、

定電流で充電される第二の容量と、

前記データをアナログ電圧に変換する D/A 変換器と、

前記第二の容量の充電電圧と、前記アナログ電圧とを比較する比較器と、

前記比較器の出力信号と前記制御信号に基づいて、前記出力信号の立下りを開始するトリガを生成する論理回路と

を備えたことを特徴とする付記 2 乃至 4 のいずれか 1 項に記載の電圧調整回路。

(付記 6)

前記傾き調整部は、

前記データに基づいて開閉される第三のスイッチ回路で電流値を調整する電流調整回路と、

前記電流調整回路の電流値を電圧値に変換する電流電圧変換回路と、

第三の容量の充電電圧を前記出力信号として出力するとともに、前記電流電圧変換回路の出力電圧に基づいて、前記第三の容量の充電電荷を吸収して前記充電電圧を低下させる出力部と

を備えたことを特徴とする付記 1 又は 2 記載の電圧調整回路。

(付記 7)

前記クランプ電圧調整部は、

前記データをアナログ電圧に変換する D/A 変換器と、

前記アナログ電圧の供給に基づいて前記出力信号のクランプ電圧を設定する出力部とを備えたことを特徴とする付記 1, 2, 6 のいずれか 1 項に記載の電圧調整回路。

(付記 8)

前記遅延設定部は、

第四の容量と、

前記データに基づいて開閉される第四のスイッチ回路で前記第四の容量の充電電流を調整する電流調整回路と、

前記第四の容量の充電電圧と、基準電圧とを比較する比較器と、

前記比較器の出力信号をトリガとして、前記出力信号を出力する第三の容量の放電を開始させる出力部と

を備えたことを特徴とする付記 1, 2, 6, 7 のいずれか 1 項に記載の電圧調整回路。

(付記 9)

付記 1 乃至 8 のいずれか 1 項に記載の電圧調整回路の出力信号を、ゲートドライバに電源として供給することを特徴とする表示装置駆動回路。

(付記 10)

表示装置の各画素回路の容量の充電電圧が目標範囲となるように、前記データを自動調整するデータ調整部を備えたことを特徴とする付記 9 記載の表示装置駆動回路。

(付記 11)

前記データ調整部は、

前記各画素回路の充電電圧が目標範囲であるか否かを判定する判定部と、

前記判定部の判定結果に基づいて、前記充電電圧が目標範囲内となる前記データを選択して前記電圧調整回路に供給するデータ選択部と

を備えたことを特徴とする付記 10 記載の表示装置駆動回路。

10

20

30

40

50

(付記 12)

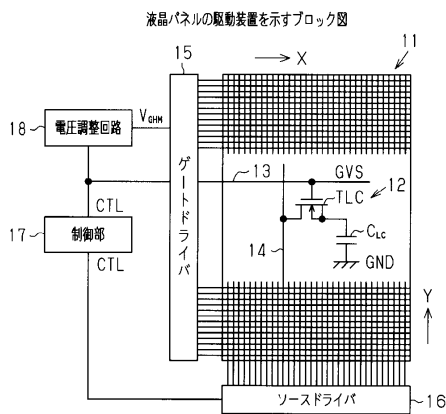
前記データ選択部には、複数の前記データを格納したテーブルを備えたことを特徴とする付記 11 記載の表示装置駆動回路。

【符号の説明】

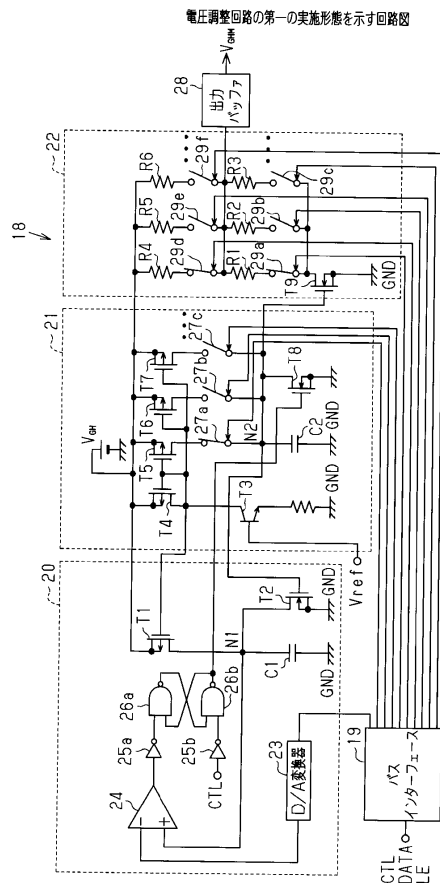
【0139】

11…液晶パネル、12…画素回路、17, 40, 50…制御部、18…電圧調整回路、20, 31…遅延設定部、21, 32…傾き調整部、22, 33…クランプ電圧調整部、23, 37…D/A変換器、24, 39…比較器、CTL…制御信号、VGHM…出力信号、VCLP…クランプ電圧、DATA…データ。

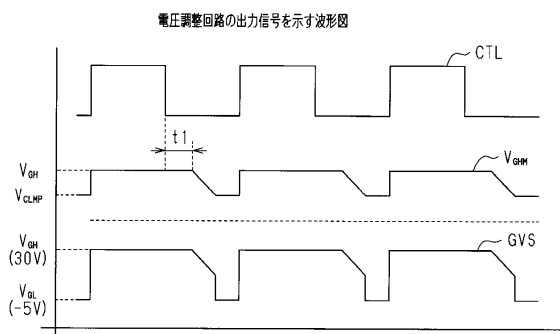
【図 1】



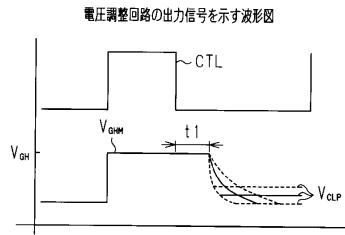
【図 3】



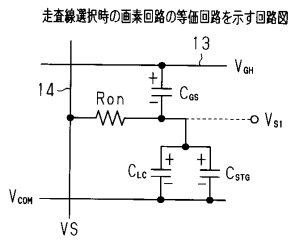
【図 2】



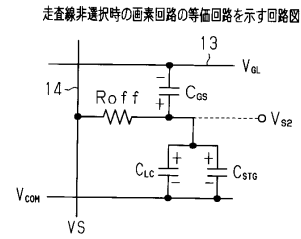
【図 4】



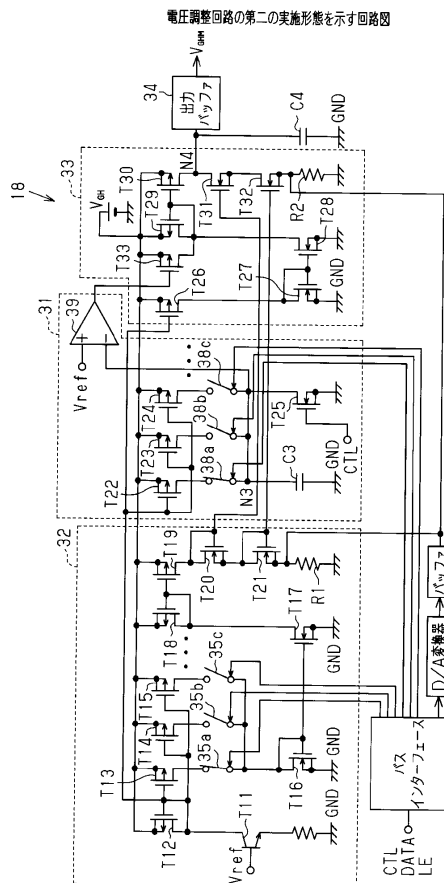
【図 5】



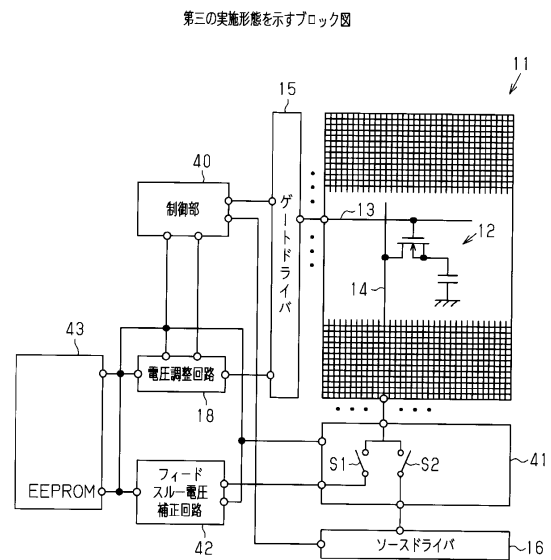
【図 6】



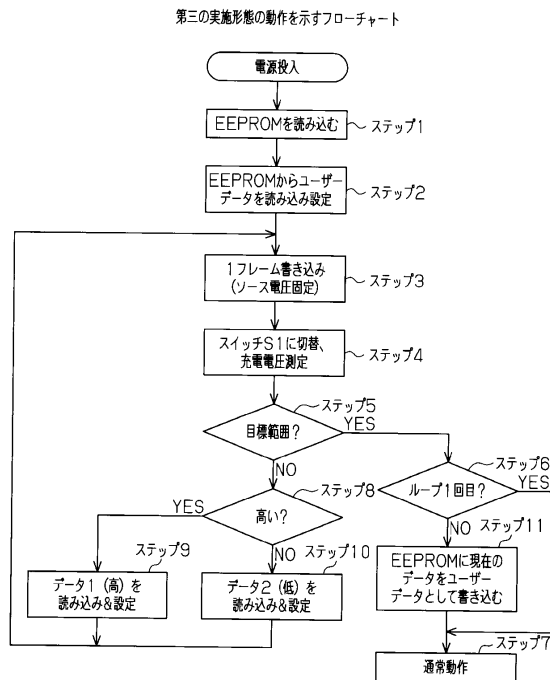
【図 7】



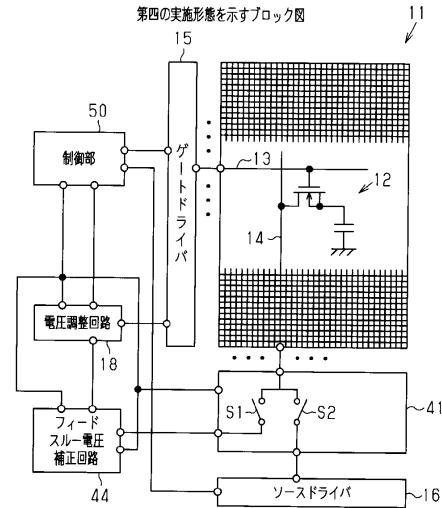
【図 8】



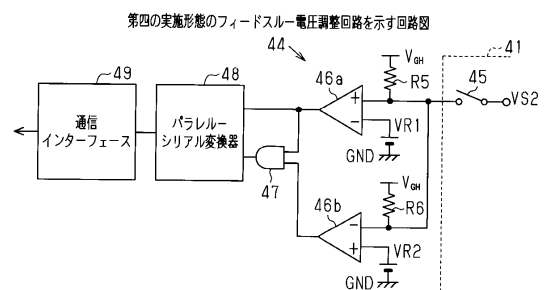
【図 9】



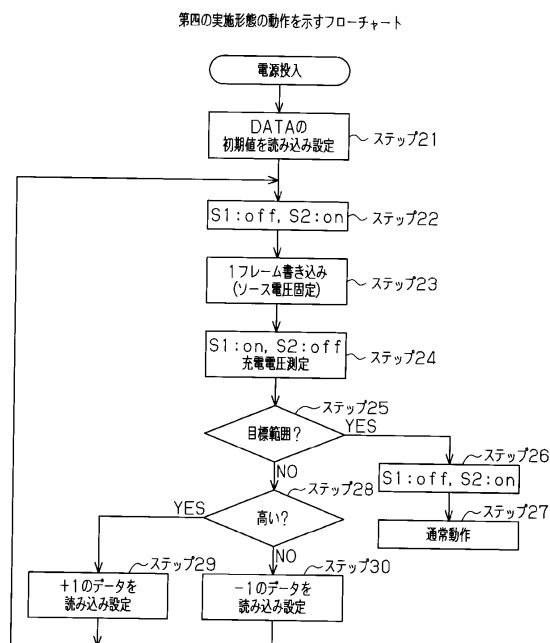
【図 10】



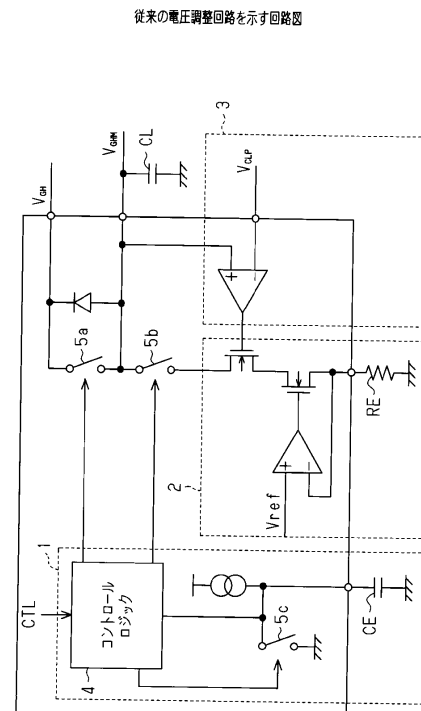
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 7 5
G 0 2 F 1/133 5 1 0

審査官 西島 篤宏

(56)参考文献 特開2008-145677 (JP, A)
特開2000-137247 (JP, A)
特開2001-125069 (JP, A)
特開2006-126781 (JP, A)
特開2004-110036 (JP, A)
特開2006-330404 (JP, A)
特開平06-292040 (JP, A)
特開平11-275159 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133

专利名称(译)	电压调节电路和显示装置驱动电路		
公开(公告)号	JP5206594B2	公开(公告)日	2013-06-12
申请号	JP2009136201	申请日	2009-06-05
[标]申请(专利权)人(译)	富士通半导体股份有限公司		
申请(专利权)人(译)	富士通半导体有限公司		
当前申请(专利权)人(译)	富士通半导体有限公司		
[标]发明人	長谷川 確 水谷 真也		
发明人	長谷川 確 水谷 真也		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/13306 G09G3/3648 G09G3/3696 G09G2320/0219		
FI分类号	G09G3/36 G09G3/20.622.C G09G3/20.622.G G09G3/20.622.D G09G3/20.612.J G02F1/133.575 G02F1/133.510		
F-TERM分类号	2H193/ZB02 2H193/ZB03 2H193/ZB16 2H193/ZB18 2H193/ZF02 2H193/ZF05 5C006/AC22 5C006/AF50 5C006/AF53 5C006/AF82 5C006/BB16 5C006/BF34 5C006/BF37 5C006/FA23 5C006/FA25 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	昂达诚		
其他公开文献	JP2010282078A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种电压调节电路，能够在不使用外部元件的情况下轻松调节液晶面板的馈通电压。ŽSOLUTION：产生输出信号VGHM的电压调节电路，其基于控制信号CTL的减小而减小到钳位电压，包括斜率调节部分21，其基于外部的数据DATA调节输出信号VGHM的减小的斜率。输入和钳位电压调节部分22基于该数据调节钳位电压。Ž

【 图 3 】

