

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-34922

(P2020-34922A)

(43) 公開日 令和2年3月5日(2020.3.5)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 618B	2K101
H01L 21/336 (2006.01)	H01L 29/78 612Z	5F110
G02F 1/16766 (2019.01)	G02F 1/16766	
G02F 1/16757 (2019.01)	G02F 1/16757	

審査請求 有 請求項の数 2 O L (全 63 頁) 最終頁に続く

(21) 出願番号	特願2019-185733 (P2019-185733)	(71) 出願人	000153878
(22) 出願日	令和1年10月9日 (2019.10.9)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-212719 (P2018-212719) の分割	(72) 発明者	山崎 舜平
原出願日	平成22年9月16日 (2010.9.16)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-215077 (P2009-215077)		半導体エネルギー研究所内
(32) 優先日	平成21年9月16日 (2009.9.16)	(72) 発明者	津吹 将志
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-35349 (P2010-35349)	(72) 発明者	郷戸 宏充
(32) 優先日	平成22年2月19日 (2010.2.19)		神奈川県厚木市長谷398番地 株式会社
(33) 優先権主張国・地域又は機関	日本国 (JP)		半導体エネルギー研究所内

最終頁に続く

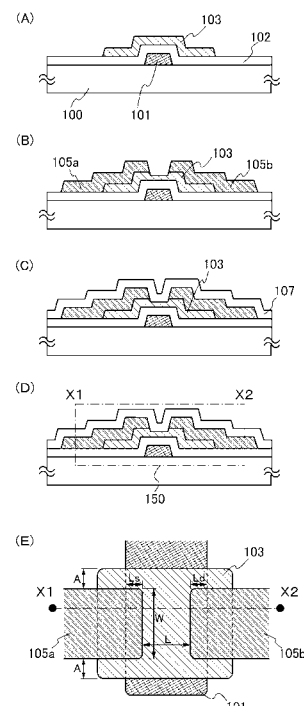
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】 酸化物半導体膜を用いる薄膜トランジスタにおいて、安定した電気特性を有する信頼性のよい薄膜トランジスタを提供することを課題の一つとする。

【解決手段】 酸化物半導体膜を用いる薄膜トランジスタのチャネル長 L が $1.5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、好ましくは $3\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の範囲において、室温以上 180°C 以下の動作温度範囲、または、 -25°C 以上 150°C 以下の動作温度範囲で、しきい値電圧の変動幅を 3V 以下、好ましくは 1.5V 以下とすることで、安定した電気特性を有する半導体装置を作製することができる。特に半導体装置の一態様である表示装置において、しきい値の変動に起因する表示むらを低減することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の導電層と、
前記第 1 の導電層上の第 1 の絶縁層と、
前記第 1 の絶縁層上の、第 1 の酸化物半導体層と、第 2 の酸化物半導体層と、
前記第 1 の酸化物半導体層上の第 2 の導電層と、
前記第 2 の導電層上の第 2 の絶縁層と、
前記第 2 の絶縁層上の、第 1 の液晶素子と、第 2 の液晶素子と、を有し、
前記第 1 の液晶素子は、第 1 の電極と、液晶と、第 2 の電極と、を有し、
前記第 2 の液晶素子は、第 3 の電極と、前記液晶と、前記第 2 の電極と、を有し、
平面視において、前記第 1 の導電層は、第 1 の方向に延びて配置され、
前記第 1 の導電層は、第 1 のトランジスタのゲート電極として機能する領域を有し、
前記第 1 の酸化物半導体層は、前記第 1 のトランジスタのチャンネル形成領域として機能する領域を有し、
前記第 1 の導電層は、第 2 のトランジスタのゲート電極として機能する領域を有し、
前記第 2 の酸化物半導体層は、前記第 2 のトランジスタのチャンネル形成領域として機能する領域を有し、
平面視において、前記第 2 の導電層は、第 2 の方向に延びて配置され、
平面視において、前記第 2 の方向は、前記第 1 の方向と交差し、
前記第 2 の導電層は、前記第 1 のトランジスタのソース電極又はドレイン電極の一方として機能する領域を有し、
前記第 1 のトランジスタのソース電極又はドレイン電極の他方は、前記第 1 の電極と電氣的に接続され、
前記第 2 のトランジスタのソース電極又はドレイン電極の一方は、前記第 3 の電極と電氣的に接続され、
平面視において、前記第 1 の導電層は、第 1 の領域と、第 2 の領域と、を有し、
平面視において、前記第 2 の方向における前記第 1 の領域の幅は、前記第 2 の方向における前記第 2 の領域の幅よりも広く、
平面視において、前記第 1 の領域は、前記第 2 の導電層と重なる第 3 の領域を有し、
平面視において、前記第 3 の領域は、前記第 1 の電極と前記第 3 の電極の間の領域と重なる第 4 の領域を有し、
前記第 2 の電極は、前記第 4 の領域と重なる領域を有する、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置およびその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。多様な金属酸化物が存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このよう

10

20

30

40

50

な半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献１及び特許文献２）。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２００７－１２３８６１号公報

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧（以下、しきい値もしくは V_{th} ともいう）が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、その薄膜トランジスタを含む回路は制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態ではTFTとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。また、しきい値電圧値がマイナスであると、ゲート電圧が０Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

【０００７】

nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出す薄膜トランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されない薄膜トランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れる薄膜トランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【０００８】

例えば、半導体装置において回路を構成する薄膜トランジスタの特性変動幅が大きい場合、そのしきい値電圧の変動に起因する動作不良が発生する恐れがある。そこで、本発明の一形態は、広い温度範囲で安定して動作する薄膜トランジスタ及びそれを用いた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００９】

本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に、ゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上に、ソース電極層及びドレイン電極層を形成し、ゲート絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する絶縁層を形成することを特徴とする半導体装置である。

【００１０】

また、本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に、ゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を形成した後、第１の熱処理を行い、酸化物半導体層上に、ソース電極層及びドレイン電極層を形成し、ゲート絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する絶縁層を形成し、絶縁層を形成した後、第２の熱処理を行うことを特徴とする半導体装置の作製方法である。

【００１１】

なお、第１の熱処理は、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第１の熱処理は、３５０℃以上７５０℃以下の温度で行うことが好ましい。

【００１２】

第２の熱処理は、大気雰囲気、酸素雰囲気、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第２の熱処理は、１００℃以上第１の熱処理温度以下で行うことが好

10

20

30

40

50

ましい。

【0013】

上記構成は、上記課題の少なくとも一つを解決する。

【0014】

本明細書中で用いる酸化物半導体で、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。ただし、 m は必ずしも整数にはならない。なお、 M は、 Ga 、 Fe 、 Ni 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。例えば M として、 Ga の場合があること他、 Ga と Ni または Ga と Fe など、 Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、または該遷移金属の酸化物が含まれている場合がある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体層のうち、 M として Ga を含む構造の酸化物半導体を In-Ga-Zn-O 系酸化物半導体とよび、その薄膜を In-Ga-Zn-O 系非単結晶膜とも呼ぶ。

10

【0015】

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体を適用することができる。また上記酸化物半導体層に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素(SiO_x ($x > 0$))を含ませることで、製造プロセス中において酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

20

【0016】

酸化物半導体は、好ましくは In を含有する酸化物半導体、さらに好ましくは、 In 、及び Ga を含有する酸化物半導体である。酸化物半導体層を i 型(真性)とするため、脱水化または脱水素化の工程を経ることは有効である。

【0017】

また、加熱処理の条件または酸化物半導体層の材料によっては、酸化物半導体層が非晶質な状態から微結晶膜または多結晶膜となる場合もある。微結晶膜または多結晶膜となる場合であっても、 TFT としてスイッチング特性を得ることができる。

30

【発明の効果】

【0018】

しきい値の変動幅が小さく、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0019】

【図1】半導体装置の作製工程を説明する図。

【図2】半導体装置を説明する図。

40

【図3】酸化物半導体層中の水素濃度の分析結果と、分析に用いた試料の断面構造模式図。

【図4】実施例1の薄膜トランジスタの電流電圧特性を示すグラフ。

【図5】実施例1の薄膜トランジスタの動作温度としきい値の関係を示す表とグラフ。

【図6】本明細書におけるしきい値の定義について説明する図。

【図7】半導体装置のブロック図を説明する図。

【図8】信号線駆動回路の回路構成を説明する図と、その動作を説明するタイミングチャート。

【図9】シフトレジスタの構成を示す回路図。

【図10】シフトレジスタの回路構成を説明する図と、シフトレジスタの動作を説明する

50

タイミングチャート。

【図 1 1】半導体装置を説明する図。

【図 1 2】半導体装置を説明する図。

【図 1 3】半導体装置を説明する図。

【図 1 4】半導体装置の画素等価回路を説明する図。

【図 1 5】半導体装置を説明する図。

【図 1 6】半導体装置を説明する図。

【図 1 7】半導体装置を説明する図。

【図 1 8】半導体装置を説明する図。

【図 1 9】半導体装置を説明する図。

10

【図 2 0】半導体装置の構成を示す回路図。

【図 2 1】半導体装置を説明する図。

【図 2 2】半導体装置を説明する図。

【図 2 3】半導体装置を説明する図。

【図 2 4】半導体装置の構成を示す回路図。

【図 2 5】電子書籍の例を示す図。

【図 2 6】テレビジョン装置およびデジタルフォトフレームの例を示す図。

【図 2 7】遊技機の例を示す図。

【図 2 8】携帯型のコンピュータ及び携帯電話機の例を示す図。

【図 2 9】半導体装置の計算結果と、計算に用いた半導体装置の断面構造を説明する図。

20

【図 3 0】薄膜トランジスタの電流電圧特性を示すグラフ。

【図 3 1】薄膜トランジスタの動作温度としきい値の関係を示す表とグラフ。

【図 3 2】半導体装置の計算に用いた断面構造を示す図。

【図 3 3】半導体装置の計算結果を説明する図。

【図 3 4】実施例 2 の薄膜トランジスタの電流電圧特性を示すグラフ。

【図 3 5】実施例 2 の薄膜トランジスタの動作温度としきい値の関係を示す表とグラフ。

【発明を実施するための形態】

【0020】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0021】

電圧とは 2 点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

【0022】

40

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャンネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャンネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

【0023】

（実施の形態 1）

50

本実施の形態では、図1(D)に示す薄膜トランジスタ150の作製方法の一形態について、薄膜トランジスタ作製工程の断面図である図1(A)乃至図1(D)を用いて説明する。なお、図1(E)は、図1(D)に示す薄膜トランジスタ150の上面図である。薄膜トランジスタ150は、チャンネルエッチ型と呼ばれるボトムゲート構造の一つであり、逆スタガ型トランジスタの一つでもある。

【0024】

まず、絶縁表面を有する基板である基板100上に、フォトリソグラフィ工程によりゲート電極層101を設ける。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

10

【0025】

基板100としては、ガラス基板を用いることが好ましい。基板100として用いるガラス基板は、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、基板100には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 よりBaOを多く含むガラス基板を用いることが好ましい。

【0026】

なお、基板100は、上記ガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

20

【0027】

また、下地膜となる絶縁膜を基板100とゲート電極層101の間に設けてもよい。下地膜は、基板100からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、または酸化窒化珪素膜から選ばれた一または複数の膜による積層構造により形成することができる。

【0028】

下地膜に、塩素、フッ素などのハロゲン元素を含ませることで、基板100からの不純物元素の拡散を防止する機能をさらに高めることができる。下地膜中に含ませるハロゲン元素の濃度は、SIMS(二次イオン質量分析計)を用いた分析により得られる濃度ピークを $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすればよい。

30

【0029】

ゲート電極層101としては、金属導電膜を用いることができる。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電膜として単層、または2層構造、または4層以上の積層構造としてもよい。

40

【0030】

次いで、ゲート電極層101上にゲート絶縁層102を形成する。

【0031】

ゲート絶縁層102は、プラズマCVD法またはスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層または窒化酸化珪素層を単層でまたは積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層102の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

50

【0032】

また、酸化物半導体膜の成膜前に、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において加熱処理（400℃以上基板の歪み点未満）を行い、層内に含まれる水素及び水などの不純物を除去したゲート絶縁層102としてもよい。

【0033】

次いで、ゲート絶縁層102上に、膜厚5nm以上200nm以下、好ましくは10nm以上50nm以下の酸化物半導体膜を形成する。酸化物半導体膜の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とするため、膜厚を50nm以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体膜の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

10

【0034】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させて逆スパッタを行い、ゲート絶縁層102の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。

【0035】

酸化物半導体膜は、In-Ga-Zn-O系非単結晶膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Ga-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、例えば、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により酸化物半導体膜を形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害するSiO_x（x>0）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。なお、電源としてパルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

20

30

【0036】

また、酸化物半導体ターゲット中の酸化物半導体の相対密度は99%以上とするのが好ましい。これにより、形成された酸化物半導体膜中の不純物濃度を低減することができ、電気特性または信頼性の高い薄膜トランジスタを得ることができる。本実施の形態では、酸化物半導体の相対密度が97%の酸化物半導体ターゲットを用いる。

【0037】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

40

【0038】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0039】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0040】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分

50

とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0041】

また、ゲート絶縁層102、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく成膜することで、水や hidrocarbon などの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0042】

次いで、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層103に加工する(図1(A)参照。)。また、島状の酸化物半導体層103を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0043】

次いで、第1の熱処理を行って、酸化物半導体層103の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の熱処理の温度は、350℃以上750℃未満、好ましくは425℃以上とする。なお、425℃以上であれば熱処理時間は1時間以下でよいが、425℃未満であれば加熱処理時間は、1時間よりも長時間行うこととする。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層103を得ることができる。本実施の形態では、酸化物半導体層103の脱水化または脱水素化を行う加熱温度Tから、水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100℃以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、ヘリウム、ネオン、アルゴン等下において脱水化または脱水素化を行う。

【0044】

第1の熱処理により酸化物半導体層103を構成する酸化物半導体の原子レベルの再配列が行われる。第1の熱処理は、酸化物半導体層103中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。

【0045】

なお、第1の熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0046】

また、第1の熱処理の加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0047】

また、第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。ここで、酸化物半導体層は、結晶化率が80%以上または90%以上の微結晶膜となることがある。また、酸化物半導体層の材料によっては、結晶を有さない酸化物半導体層となることもある。

【0048】

また、酸化物半導体層の第1の熱処理は、島状の酸化物半導体層103に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0049】

ここで、酸化物半導体層中の脱水素化有無における、水素濃度分析結果について触れておく。図3(A)は、本分析で用いた試料の断面構造模式図である。ガラス基板400上にプラズマCVD法で酸化窒化絶縁層401を形成し、酸化窒化絶縁層401上にIn-Ga-Zn-O系酸化物半導体層402を約40nm形成したものを用意した。用意した試料を分断し、一つは脱水素化を行わず、もう一つはGRTA法による窒素雰囲気中650℃、6分間の脱水素化を行なった。それぞれの試料について、酸化物半導体層中の水素濃度を測定することで、熱処理による脱水素化の効果について調査した。

【0050】

酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行った。図3(B)は、酸化物半導体層中の膜厚方向の水素濃度分布を示すSIMS分析結果である。横軸は試料表面からの深さを示しており、左端の深さ0nmの位置が試料最表面(酸化物半導体層の最表面)に相当する。図3(A)に示す分析方向403は、SIMS分析の分析方向を示している。分析は酸化物半導体層の最表面からガラス基板400に向かう方向で行った。つまり、図3(B)の横軸において、左端から右端の方向に向かって行った。図3(B)の縦軸は、特定深さにおける試料中の水素濃度と、酸素イオン強度を対数軸で示している。

【0051】

図3(B)において、水素濃度プロファイル412は、脱水素化を行っていない酸化物半導体層中の水素濃度プロファイルを示しており、水素濃度プロファイル413は、熱処理による脱水素化を行った後の酸化物半導体層中の水素濃度プロファイルを示している。酸素イオン強度プロファイル411は、水素濃度プロファイル412測定時に同時に取得した酸素イオン強度を示している。酸素イオン強度プロファイル411に極端な変動が無く、ほぼ一定のイオン強度が得られていることから、SIMS分析が正確に行われていることがわかる。なお、図示していないが、水素濃度プロファイル413測定時も同様に酸素イオン強度を測定しており、こちらもほぼ一定のイオン強度が得られている。水素濃度プロファイル412及び水素濃度プロファイル413は、試料と同じIn-Ga-Zn-O系酸化物半導体層で作製した標準試料を用いて定量している。

【0052】

なお、SIMS分析は、その原理上、試料表面近傍や、材質が異なる積層膜界面近傍のデータを正確に得ることが困難であることが知られている。本分析においては、試料最表面から深さ約15nmまでは正確なデータが得られていないと考えられるため、深さ15nm以降のプロファイルの評価した。

【0053】

水素濃度プロファイル412から、脱水素化を行っていない酸化物半導体層中に、水素が約 $3 \times 10^{20} \text{ atoms/cm}^3$ 以上、約 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下、平均水素濃度で約 $4 \times 10^{20} \text{ atoms/cm}^3$ 含まれていることがわかる。また、水素濃度プロファイル413から、脱水素化により、酸化物半導体層中の平均水素濃度を約 $2 \times 10^{19} \text{ atoms/cm}^3$ に低減できていることがわかる。

【0054】

本分析により、熱処理による脱水素化を行うことで、酸化物半導体層中の水素濃度を低減できることが確認できた。また、GRTA法による窒素雰囲気中650℃、6分間の脱水素化により、酸化物半導体層中の水素濃度を1/10以下に低減できることが確認できた。

【0055】

次いで、ゲート絶縁層102、及び酸化物半導体層103上にソース電極層及びドレイン

電極層を形成するための導電膜を成膜する。

【0056】

ソース電極層及びドレイン電極層を形成するための導電膜としては、ゲート電極層101と同様に、金属導電膜を用いることができる。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電膜として単層、または2層構造、または4層以上の積層構造としてもよい。

10

【0057】

フォトマスクを用いてフォトリソグラフィ工程により、ソース電極層及びドレイン電極層を形成するための導電膜から、ソース電極層105aまたはドレイン電極層105bを形成する(図1(B)参照。)。また、このとき酸化物半導体層103も一部がエッチングされ、溝部(凹部)を有する酸化物半導体層103となる。

【0058】

なお、ソース電極層105aまたはドレイン電極層105bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0059】

また、酸化物半導体層103と、ソース電極層105a及び／またはドレイン電極層105bの間に、酸化物半導体層103よりも抵抗が低い酸化物導電層を形成しても良い。このような積層構成とすることで、薄膜トランジスタの耐圧を向上させることができる。具体的には、抵抗が低い酸化物導電層のキャリア濃度は、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。

20

【0060】

次に、ゲート絶縁層102、酸化物半導体層103、ソース電極層105a及びドレイン電極層105bを覆い、酸化物半導体層103の一部と接する保護絶縁層107を形成する(図1(C)参照。)。保護絶縁層107は、少なくとも1nm以上の膜厚とし、CVD法、スパッタリング法など、保護絶縁層107に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、保護絶縁層107は、スパッタリング法を用いて形成する。酸化物半導体層103の一部と接して形成される保護絶縁層107は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、窒化珪素膜、酸化アルミニウム膜、酸化窒化アルミニウム膜又は窒化アルミニウム膜、を用いることができる。

30

【0061】

また、保護絶縁層107は、酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜又は酸化窒化アルミニウム膜の上に窒化珪素膜又は窒化アルミニウム膜を積層する構造としてもよい。特に窒化珪素膜は水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックしやすいので好ましい。

40

【0062】

保護絶縁層107の成膜時の基板温度は、室温以上300℃以下とすればよく、酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素を形成することができる。

【0063】

次いで、第2の熱処理を行う。第2の熱処理は、100℃以上第1の熱処理の温度以下で

50

行う。例えば、加熱処理装置の一つである電気炉に基板を導入し、窒素雰囲気下において加熱処理を行う。第2の熱処理は、保護絶縁層107形成以降の工程であれば、いつ行ってもよい。

【0064】

以上の工程より、絶縁表面を有する基板である基板100上にゲート電極層101が設けられ、ゲート電極層101の上にゲート絶縁層102が設けられ、ゲート絶縁層102の上に酸化物半導体層103が設けられ、酸化物半導体層103の上にソース電極層105aまたはドレイン電極層105bが設けられ、ゲート絶縁層102、酸化物半導体層103、ソース電極層105a及びドレイン電極層105bを覆い、酸化物半導体層103の一部と接する保護絶縁層107が設けられている、チャンネルエッチ型の薄膜トランジスタ150を形成することができる(図1(D)参照。)

10

【0065】

図1(E)は、本実施の形態で示した薄膜トランジスタ150の上面図である。図1(D)は、図1(E)のX1-X2部位の断面構成を示している。図1(E)において、Lはチャンネル長を示しており、Wはチャンネル幅を示している。また、Aはチャンネル幅方向と平行な方向において、酸化物半導体層103がソース電極層105a及びドレイン電極層105bと重ならない領域の長さを示している。Lsはソース電極層105aとゲート電極層101が重なる長さを示しており、Ldはドレイン電極層105bとゲート電極層101が重なる長さを示している。

20

【0066】

本実施の形態では、薄膜トランジスタ150をシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタや、保護絶縁層107上に第2のゲート電極層を有する構造の薄膜トランジスタとすることもできる。

【0067】

また、本実施の形態では、チャンネルエッチ型の薄膜トランジスタ150の作製方法について説明したが、本実施の形態の構成はこれに限られるものではない。図2(A)に示すような、ボトムゲート構造のボトムコンタクト型(逆コプラナ型とも呼ぶ)の薄膜トランジスタ160や、図2(B)に示すような、チャンネル保護層110を有するチャンネル保護型(チャンネルストップ型ともいう)の薄膜トランジスタ170等も同様の材料、方法を用いて形成することができる。図2(C)は、チャンネルエッチ型薄膜トランジスタの他の例を示している。図2(C)に示す薄膜トランジスタ180は、ゲート電極層101が酸化物半導体層103の端部よりも外側に伸びた構造となっている。

30

【0068】

なお、薄膜トランジスタ150のチャンネル長L(図1(E)中のL)は、ソース電極層105aとドレイン電極層105bとの距離で定義されるが、チャンネル保護型の薄膜トランジスタ170のチャンネル長は、キャリアの流れる方向と平行な方向のチャンネル保護層の幅で定義される。

【0069】

本実施の形態により、酸化物半導体層を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近いしきい値電圧でチャンネルが形成される薄膜トランジスタを作製することができる。

40

【0070】

また、薄膜トランジスタのチャンネル長が3 μ m以上10 μ m以下の範囲、もしくは、1.5 μ m以上乃至100 μ m以下の範囲において、室温以上180 $^{\circ}$ C以下の動作温度範囲におけるしきい値電圧の変動幅を3V以下、さらには1.5V以下とすることができる。

【0071】

また、-25 $^{\circ}$ C以上150 $^{\circ}$ C以下の動作温度範囲におけるしきい値電圧の変動幅を3V以下、さらには1.5V以下とすることができる。

【0072】

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0073】

ここで、図29(A)に示す積層構造の薄膜トランジスタを用いた、室温以上180℃以下の環境下における薄膜トランジスタ特性の評価結果と、2次元デバイスシミュレーションによる検証について説明しておく。図29(A)は、薄膜トランジスタ850の断面構造を示している。

【0074】

まず、ガラス基板801上に、ゲート電極層802としてタングステン層を100nmの厚さで形成し、ゲート電極層802上に、ゲート絶縁層803として、酸化窒化層を100nmの厚さで形成し、ゲート絶縁層803上に、In-Ga-Zn-O系の酸化物半導体層804を50nmの厚さで形成し、酸化物半導体層804上に、ソース電極層805及びドレイン電極層806としてチタン層を形成し、薄膜トランジスタ850を作製した。なお、薄膜トランジスタ850のチャンネル長Lを10μm、チャンネル幅Wを100μmとした。

【0075】

次に、薄膜トランジスタ850に対して、測定時の基板温度を、室温(25℃)、40℃、60℃、85℃、100℃、120℃、140℃、160℃、180℃と変化させ、それぞれの基板温度(動作温度)における電流電圧特性を測定した。電流電圧特性の測定は、ソースとドレインの間の電圧(以下、ドレイン電圧もしくはV_dという)を10Vとし、ソースとゲートの間の電圧(以下、ゲート電圧もしくはV_gという)を-10Vから10Vまで変化させて行い、薄膜トランジスタの、ゲート電圧の変化に対するドレイン電流の変化を示すV_g-I_d曲線を得た。

【0076】

図29(B)に、本測定で得られたV_g-I_d曲線を示す。図29(B)において、曲線811は、測定時の基板温度が室温(25℃)の時のV_g-I_d曲線を示している。測定時の基板温度が上昇するに従い、V_g-I_d曲線が図29(B)に向かって左方向、すなわち、V_gのマイナス方向に順にシフトしている。全てのV_g-I_d曲線に符号をつけていないが、最も左に位置している曲線818が、基板温度180℃の時のV_g-I_d曲線である。図29(B)から、基板温度が室温(25℃)の時と180℃の時では、しきい値が5V以上もシフトしていることがわかる。

【0077】

次に、図29(B)で見られたしきい値シフトは、温度による電子の励起が原因と考え、2次元デバイスシミュレーションによる再現検証を行った。シミュレーションにはシルバコ社製デバイスシミュレータATLASを用いた。酸化物半導体層のバンドギャップ(E_g)を3.05eV、電子移動度(μ_n)を15cm²/Vsと仮定し、薄膜トランジスタ850と同じ構造のボトムゲート型TFETを仮定して、電流電圧特性を計算した。

【0078】

図29(C)は、シミュレーションにより再現されたV_g-I_d曲線である。曲線821は、室温(25℃)時を想定したV_g-I_d曲線であり、曲線828は、180℃時を想定したV_g-I_d曲線の計算結果である。実測値である図29(B)と良く一致した再現結果が得られている。

【0079】

図29(D)は、シミュレーション結果から得られた、酸化物半導体層中の状態密度を示している。横軸は酸化物半導体のバンドギャップを示しており、縦軸は状態密度を示している。図29(D)中、曲線831および曲線832は、バンドギャップ中におけるドナー準位密度の分布を示しており、曲線833は、バンドギャップ中におけるアクセプター準位密度の分布を示している。

【0080】

曲線831は、伝導帯からバンドギャップの深くまで広く分布しているが、曲線832は

、伝導帯近傍の極めて狭い範囲に分布し、非常に鋭いピークを持っている。曲線 8 3 1 は酸素欠損に由来し、曲線 8 3 2 は水素に由来する可能性が考えられる。

【0081】

次に、図 2 9 (B) の結果が得られた試料とは異なる試料を作製し、得られた 0 °C 以上 1 5 0 °C 以下の環境下における薄膜トランジスタ特性の実験結果を元に、しきい値電圧の温度依存性に関して、以下に考察する。

【0082】

試料は、スパッタ法により得られる 3 0 0 n m の酸化珪素膜を、図 2 9 (A) に示す積層構造の薄膜トランジスタを覆って形成した後、電流電圧特性を測定した。なお、薄膜トランジスタのチャネル長 L を 3 μ m、チャネル幅 W を 5 0 μ m とした。

10

【0083】

薄膜トランジスタに対して、測定時の基板温度を、0 °C、室温 (2 5 °C)、5 0 °C、1 0 0 °C、1 5 0 °C と変化させ、それぞれの基板温度 (動作温度) における電流電圧特性を測定した。電流電圧特性の測定は、ドレイン電圧 V_d を 1 0 V とし、ゲート電圧 V_g を - 2 0 V から 2 0 V まで変化させて行い、薄膜トランジスタの、ゲート電圧 V_g の変化に対するドレイン電流 I_d の変化を示す $V_g - I_d$ 曲線を得た。

【0084】

図 3 0 に、本測定で得られた $V_g - I_d$ 曲線を示す。図 3 0 において、曲線 9 1 1 は、測定時の基板温度が 0 °C の時の $V_g - I_d$ 曲線を示している。測定時の基板温度が上昇するに従い、 $V_g - I_d$ 曲線が図 3 0 に向かって左方向、すなわち、 V_g のマイナス方向にシフトして左に位置している曲線 9 1 8 が、基板温度 1 5 0 °C の時の $V_g - I_d$ 曲線である。

20

【0085】

図 3 1 (A) は、 $V_g - I_d$ 曲線から求めた V_{th} (しきい値電圧) をまとめた表である。図 3 1 (A) 中、 V_{th} 変動幅は、0 °C のときと 1 5 0 °C のときの V_{th} の変動量を表している。

【0086】

また、図 3 1 (B) は、図 3 1 (A) をグラフとして示した図である。横軸の測定温度は、薄膜トランジスタの電流電圧特性測定時の基板温度 (動作温度) であり、縦軸の V_{th} は、各基板温度におけるしきい値電圧である。

30

【0087】

図 3 1 (A) から、基板温度が 0 °C の時と 1 5 0 °C の時を比較した場合、しきい値の変動は約 1 . 5 V 程度に抑えられていることがわかる。

【0088】

ここで、しきい値電圧 (V_{th}) の温度依存性について以下に考察する。

【0089】

フェルミ準位は温度が高くなるほど、真性フェルミ準位に近づく。式 (1) にあるように反転しきい値電圧はフェルミポテンシャルの関数として示される。フェルミポテンシャルは真性フェルミ準位とフェルミ準位の差として定義される (式 2)。つまり、n 型もしくは p 型に偏った半導体をチャネルに使用している場合、しきい値電圧は温度依存を示すことになる。

40

【0090】

【数 1】

$$V_{th} = V_{FB} + 2\phi_F + \frac{\sqrt{2K\epsilon_0 q N_A (2\phi_F)}}{C_{OX}} \quad (1)$$

【0091】

【数 2】

$$\phi_F = \frac{E_i - E_F}{q} \quad (2)$$

【0092】

例えば、チャンネルに p 型を使用している n 型の Si トランジスタでは、温度が高くなると ϕ_F がゼロに近づくため、しきい値電圧はマイナス方向にシフトする。なお、チャンネルが i 型（真性）であれば、しきい値電圧のシフトは起こらない。

【0093】

一方、図 30 に示される測定結果を有する薄膜トランジスタは、基板温度が上昇すると、しきい値電圧はマイナス方向にシフトしている。一般に、酸化物半導体は p 型化されにくく、n 型化されやすいと言われており、チャンネルが形成される酸化物半導体を n 型と考えると、フェルミ準位の変化方向は逆である（n 型のチャンネルの場合であれば、しきい値電圧はプラス方向にシフトするはずである）。よって、酸化物半導体のしきい値電圧変動の起源は上記フェルミ準位とは別のメカニズムを考える必要がある。

【0094】

また、上記議論は理想的な単結晶半導体において仮定される近似解であり、結晶欠陥や各種準位による温度依存を別途考慮しなくてはならない。酸化物半導体の温度依存の $V_g - I_d$ 曲線を見ると、スレッショルド領域での電流増加が顕著であり、その領域の電流を支配するメカニズムとして一般的には欠陥を仮定することがよく行われる。特に、アモルファス状態を有する酸化物半導体の場合、欠陥準位が分布を持った関数として表現されることが一般的である。

【0095】

チャンネルが酸化物半導体の薄膜トランジスタの V_{th} の温度依存性を計算で再現することを試みた。計算で仮定した構造を図 32 (A) 及び図 32 (B) に示す。ゲート電極層 701 上に、酸化窒化シリコン膜からなる膜厚 100 nm のゲート絶縁層 702 と、膜厚 30 nm の酸化物半導体のチャンネル 703 を有する逆スタガ型の薄膜トランジスタを仮定した。薄膜トランジスタのチャンネル長 L 及びチャンネル幅 W は、 $L/W = 3/20 \mu m$ とした。チャンネル 703 だけでなく酸化物半導体の全体を i 層にした図 32 (A) 構造と、i 層のチャンネル 703 を有し、且つ、ソース電極層 704 b またはドレイン電極層 704 a の下に N+ 領域 705 a、N+ 領域 705 b を仮定した図 32 (B) 構造の 2 種類の TFT を仮定した。図 32 (B) 構造の N+ 領域 705 a、N+ 領域 705 b は $1 \times 10^{19} / cm^3$ のドナー (Nd) を仮定した。酸化物半導体のバンドギャップ $E_g = 3.15 eV$ 、電子親和力 $\chi = 4.3 eV$ 、誘電率は 15 を仮定した。またソース電極層 704 b またはドレイン電極層 704 a に使用する金属の仕事関数は酸化物半導体の電子親和力と同じ $4.3 eV$ を仮定した。

【0096】

また、アモルファス半導体では欠陥準位が温度特性に強く影響すると考え、計算では、図 29 (D) に示した曲線 833 であるバンドギャップ中におけるアクセプター準位密度の分布を仮定した。計算結果を図 33 に示す。図 33 には、図 32 (A) 構造、図 32 (B) 構造のそれぞれについて、アクセプター準位密度の分布を仮定した場合と仮定しない場合の計算結果を示す。また、図 33 には、0 °C から 150 °C まで温度を上げた場合の $V_g - I_d$ 曲線と、そのときの V_{th} 変化 (ΔV_{th}) を示した。図 33 (A) は、図 32 (A) 構造についてアクセプター準位密度の分布を仮定しない場合の計算結果である。また、図 33 (B) は、図 32 (B) 構造についてアクセプター準位密度の分布を仮定しない場合の計算結果である。図 33 (C) は、図 32 (A) 構造についてアクセプター準位密度の分布を仮定した場合の計算結果である。図 33 (D) は、図 32 (B) 構造についてアクセプター準位密度の分布を仮定した場合の計算結果である。

【0097】

バンドギャップ中におけるアクセプター準位密度の分布を仮定しない場合、即ち図 3 3 (A) 及び 3 3 (B) の結果をみると、図 3 2 (A) 構造も、図 3 2 (B) 構造も V_{th} の温度変化は 0.1 V 程度となった。フェルミ・ディラック統計に従えば、0 °C から 150 °C まで温度を上昇させると、真性キャリア濃度はおよそ 1 桁増加する。真性キャリア濃度 (n_i) が増加すると、以下の式 (3) に従ってキャリア (電子) が増加する。

【0098】

【数 3】

$$n = n_i \exp \left[\frac{E_F - E_i}{kT} \right] \quad (3)$$

10

【0099】

その結果として、チャネルを開くために必要なゲート電圧が小さくて済み、 V_{th} はマイナスシフトする。その差が 0.1 V に相当する。

【0100】

バンドギャップ中におけるアクセプター準位密度の分布を仮定した場合、即ち図 3 3 (C) 及び 3 3 (D) の結果をみると、図 3 2 (A) 構造も、図 3 2 (B) 構造も ΔV_{th} は増加し、実測結果に近い値が計算によって得られた。酸化物半導体を真性と仮定しても、バンドギャップ内にアクセプター準位密度の分布が存在すると、温度依存性が表れることが確認できた。

20

【0101】

バンドギャップ中におけるアクセプター準位密度の分布を仮定したことで、キャリア (電子) がトラップされるが、温度を上げることでトラップされたキャリアが解放され、チャネルのキャリア濃度が増加し、 V_{th} がマイナスシフトしたと考えられる。酸化物半導体はほぼ真性状態にあるが、アクセプター準位密度の分布が V_{th} の温度依存に現れていると考えられる。

【0102】

なお、図 3 2 (A) 構造と図 3 2 (B) 構造の比較をした場合、両者に違いは見られなかった。仮定した TFT のチャネル長 L は 3 μm であるため、 N^+ 領域の影響は受けにくいと考えられる。

30

【0103】

(実施の形態 2)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0104】

画素部に配置する薄膜トランジスタは、実施の形態 1 に従って形成する。また、実施の形態 1 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、 n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0105】

アクティブマトリクス型表示装置のブロック図の一例を図 7 (A) に示す。表示装置の基板 5300 上には、画素部 5301、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 を有する。画素部 5301 には、複数の信号線が信号線駆動回路 5304 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5302、及び走査線駆動回路 5303 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5300 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 5305 (コントローラ、制御 IC ともいう) に接続されている。

40

【0106】

50

図7 (A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板5300上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0107】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)(スタートパルス)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に対し、一例として、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303の一方を省略することが可能である。

【0108】

図7 (B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

【0109】

また、実施の形態1に示す薄膜トランジスタは、nチャネル型TFETである。図8 (A)、図8 (B)ではnチャネル型TFETで構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0110】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、スイッチング回路5602__1~5602__N(Nは自然数)という複数の回路を有する。スイッチング回路5602__1~5602__Nは、各々、薄膜トランジスタ5603__1~5603__k(kは自然数)という複数のトランジスタを有する。薄膜トランジスタ5603__1~5603__kは、nチャネル型TFETである例を説明する。

【0111】

信号線駆動回路の接続関係について、スイッチング回路5602__1を例にして説明する。薄膜トランジスタ5603__1~5603__kの第1端子は、各々、配線5604__1~5604__kと接続される。薄膜トランジスタ5603__1~5603__kの第2端子は、各々、信号線S1~Skと接続される。薄膜トランジスタ5603__1~5603__kのゲートは、配線5604__1と接続される。

【0112】

シフトレジスタ5601は、配線5605__1~5605__Nに順番にHレベル(H信号、高電源電位レベル、ともいう)の信号を出力し、スイッチング回路5602__1~5602__Nを順番に選択する機能を有する。

【0113】

スイッチング回路5602__1は、配線5604__1~5604__kと信号線S1~Skとの導通状態(第1端子と第2端子との間の導通)を制御する機能、即ち配線5604__

10

20

30

40

50

1～5604__kの電位を信号線S1～Skに供給するか否かを制御する機能を有する。このように、スイッチング回路5602__1は、セクタとしての機能を有する。また薄膜トランジスタ5603__1～5603__Nは、各々、配線5604__1～5604__kと信号線S1～Skとの導通状態を制御する機能、即ち配線5604__1～5604__kの電位を信号線S1～Skに供給する機能を有する。このように、薄膜トランジスタ5603__1～5603__Nは、各々、スイッチとしての機能を有する。

【0114】

なお、配線5604__1～5604__kには、各々、ビデオ信号用データ（DATA）が入力される。ビデオ信号用データ（DATA）は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

10

【0115】

次に、図8（A）の信号線駆動回路の動作について、図8（B）のタイミングチャートを参照して説明する。図8（B）には、信号Sout__1～Sout__N、及び信号Vdata__1～Vdata__kの一例を示す。信号Sout__1～Sout__Nは、各々、シフトレジスタ5601の出力信号の一例であり、信号Vdata__1～Vdata__kは、各々、配線5604__1～5604__kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T1～期間TNに分割される。期間T1～TNは、各々、選択された行に属する画素にビデオ信号用データ（DATA）を書き込むための期間である。

【0116】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

20

【0117】

期間T1～期間TNにおいて、シフトレジスタ5601は、Hレベルの信号を配線5605__1～5605__Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、ハイレベルの信号を配線5605__1に出力する。すると、薄膜トランジスタ5603__1～5603__kはオンになるので、配線5604__1～5604__kと、信号線S1～Skとが導通状態になる。このとき、配線5604__1～5604__kには、Data（S1）～Data（Sk）が入力される。Data（S1）～Data（Sk）は、各々、薄膜トランジスタ5603__1～5603__kを介して、選択される行に属する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間T1～TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ（DATA）が書き込まれる。

30

【0118】

以上のように、ビデオ信号用データ（DATA）が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ（DATA）の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

40

【0119】

なお、シフトレジスタ5601及びスイッチング回路5602としては、実施の形態1に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ5601が有する全てのトランジスタの極性をnチャネル型、又はpチャネル型のいずれかの極性のみで構成することができる。

【0120】

次に、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号（CK）及びスタートパルス信号（SP）が入力されることによって、選択信号が生成される。生成された選択信号はバッファに

50

において緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0121】

走査線駆動回路及び／または信号線駆動回路の一部に用いるシフトレジスタの一形態について図9及び図10を用いて説明する。

【0122】

走査線駆動回路、信号線駆動回路のシフトレジスタについて、図9及び図10を参照して説明する。シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N (Nは3以上の自然数)を有している(図9(A)参照)。図9(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n (nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)という)(nは2以上の自然数)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__n+2からの信号(後段信号OUT(n+2)という)が入力される。従って、各段のパルス出力回路からは、後段及び／または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の配線等に第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図9(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

【0123】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(L信号、低電源電位レベル、ともいう)を繰り返す信号である。ここで、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う。

【0124】

第1のパルス出力回路10__1~第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図9(B)参照)。第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図9(A)において、第1のパルス出力回路10__1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10__2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

【0125】

第1のパルス出力回路10__1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルス

S P 1が入力され、第5の入力端子25に後段信号O U T (3) (S R)が入力され、第1の出力端子26より第1の出力信号O U T (1) (S R)が出力され、第2の出力端子27より第2の出力信号O U T (1)が出力されていることとなる。

【0126】

なお第1のパルス出力回路10__1～第Nのパルス出力回路10__Nは、3端子の薄膜トランジスタの他に、4端子の薄膜トランジスタを用いることができる。図9(C)に4端子の薄膜トランジスタ28のシンボルについて示し、図面等で以下用いることとする。薄膜トランジスタ28は、第1のゲート電極に入力される第1の制御信号G1及び第2のゲート電極に入力される第2の制御信号G2によって、I n端子とO u t端子間の電氣的な制御を行うことのできる素子である。

10

【0127】

図9(C)に示す薄膜トランジスタ28のしきい値電圧は、薄膜トランジスタ28のチャネル形成領域の上下にゲート絶縁膜を介してゲート電極を設け、上部及び／または下部のゲート電極の電位を制御することにより所望の値に制御することができる。

【0128】

次に、パルス出力回路の具体的な回路構成の一例について、図9(D)で説明する。

【0129】

第1のパルス出力回路10__1は、第1のトランジスタ31～第13のトランジスタ43を有している(図9(D)参照)。また、上述した第1の入力端子21～第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位V D Dが供給される電源線51、第2の高電源電位V C Cが供給される電源線52、低電源電位V S Sが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、または電源電位が供給される。ここで図9(D)の各電源線の電源電位の大小関係は、第1の電源電位V D Dは第2の電源電位V C C以上の電位とし、第2の電源電位V C Cは第3の電源電位V S Sより高い電位とする。なお、第1のクロック信号(C K 1)～第4のクロック信号(C K 4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときV D D、LレベルのときV S Sであるとする。なお電源線51の電位V D Dを、電源線52の電位V C Cより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお図9(D)に図示するように、第1のトランジスタ31～第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、図9(C)で示した4端子の薄膜トランジスタ28を用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い(オン電流の立ち上がりが急峻)ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、図9(C)で示した4端子の薄膜トランジスタ28を用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。なお図9(D)では第1の制御信号G1及び第2の制御信号G2を同じ制御信号としたが、異なる制御信号が入力される構成としてもよい。

20

30

40

【0130】

図9(D)において第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極(第1のゲート電極及び第2のゲート電極)が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第

50

2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 5 の入力端子 2 5 に電氣的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 3 の入力端子 2 3 に電氣的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 10 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が電源線 5 2 に電氣的に接続されている。第 10 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 11 のトランジスタ 4 1 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 12 のトランジスタ 4 2 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 3 7 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に電氣的に接続されている。第 13 のトランジスタ 4 3 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 3 7 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に電氣的に接続されている。

【0131】

図 9（D）において、第 3 のトランジスタ 3 3 のゲート電極、第 10 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 11 のトランジスタ 4 1 のゲート電極との接続箇所をノード B とする。

【0132】

図 10（A）に、図 9（D）で説明したパルス出力回路を第 1 のパルス出力回路 10 __ 1 に適用した場合に、第 1 の入力端子 2 1 乃至第 5 の入力端子 2 5 と第 1 の出力端子 2 6 及び第 2 の出力端子 2 7 に入力または出力される信号を示している。

【0133】

具体的には、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T（3）が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T（1）（S R）が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T（1）が出力される。

【0134】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソー

10

20

30

40

50

スの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0135】

なお図9(D)、図10(A)において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

【0136】

ここで、図10(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図10(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図10(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0137】

なお、図10(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0138】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

【0139】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することが利点である。

【0140】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることができ、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数低減することができるため、回路の小型化を図ることが出来る。

【0141】

なお、第7のトランジスタ37のゲート電極(第1のゲート電極及び第2のゲート電極)

に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図10（A）に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図10（A）に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23からクロック信号CK3が供給され、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22からクロック信号CK2が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、ノイズを低減することが出来るからである。

【0142】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0143】

実施の形態1に示す薄膜トランジスタの作製方法を用いて上記駆動回路の薄膜トランジスタを作製することにより、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【0144】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0145】

（実施の形態3）

本実施の形態では、薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製する場合について説明する。また、薄膜トランジスタを用いて、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0146】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0147】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該

素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0148】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

10

【0149】

本実施の形態では、本発明の一形態である半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図11を用いて説明する。図11（A1）（A2）は、第1の基板4001上に形成されたIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図11（B）は、図11（A1）（A2）のM-Nにおける断面図に相当する。

20

【0150】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0151】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図11（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図11（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

30

【0152】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図11（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0153】

薄膜トランジスタ4010、4011は、実施の形態1で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

40

【0154】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層

50

4040の電位がGND、0V、或いはフローティング状態であってもよい。

【0155】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0156】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0157】

また、4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0158】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ms以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0159】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0160】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、必要に応じてブラックマトリクスとして機能する遮光膜を設けてもよい。

【0161】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0162】

ここでは、保護膜として積層構造の絶縁層 4020 を形成する。ここでは、絶縁層 4020 の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0163】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層 4020 の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等のイオンが半導体領域中に侵入して、TFT の電気特性を変化させることを抑制することができる。

【0164】

また、保護膜を形成した後に、半導体層のアニール（300℃～400℃）を行ってもよい。

【0165】

また、平坦化絶縁膜として絶縁層 4021 を形成する。絶縁層 4021 としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層 4021 を形成してもよい。

【0166】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0167】

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 4021 を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300℃～400℃）を行ってもよい。絶縁層 4021 の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0168】

画素電極層 4030、対向電極層 4031 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0169】

また、画素電極層 4030、対向電極層 4031 を、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\ \Omega/\square$ 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\ \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0170】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0171】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4

10

20

30

40

50

002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0172】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0173】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0174】

また図11においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0175】

図12は、半導体装置の一形態に相当する液晶表示モジュールにTFT基板2600を用いて構成する一例を示している。

【0176】

図12は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0177】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0178】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

【0179】

実施の形態1に示す薄膜トランジスタを用いて液晶表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【0180】

また、実施の形態1に示す薄膜トランジスタの作製方法を用いて液晶表示装置の駆動回路の薄膜トランジスタを作製することにより、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【0181】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能

10

20

30

40

50

である。

【0182】

(実施の形態4)

半導体装置の一形態として電子ペーパーの例を示す。

【0183】

実施の形態1の薄膜トランジスタは、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0184】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

【0185】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0186】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0187】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0188】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0189】

図13は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581は、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0190】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0191】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層は、第1の電極層587と、絶縁層583及び585に形成する開口で接しており電氣的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、

10

20

30

40

50

球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 13 参照。）。第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電氣的に接続することができる。

【0192】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10\ \mu\text{m} \sim 200\ \mu\text{m}$ 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場を与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

10

【0193】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

20

【0194】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0195】

（実施の形態 5）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

30

【0196】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0197】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

40

【0198】

図 14 は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0199】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いる n チャンネル型のトランジスタを 1 つの画素

50

に2つ用いる例を示す。

【0200】

画素6400は、スイッチング用トランジスタ6401、発光素子駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子駆動用トランジスタ6402のゲートに接続されている。発光素子駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【0201】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0202】

なお、容量素子6403は発光素子駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

20

【0203】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ6402のゲートには、発光素子駆動用トランジスタ6402が十分にオンするか、オフするか二つの状態となるようなビデオ信号を入力する。つまり、発光素子駆動用トランジスタ6402は線形領域で動作させる。発光素子駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を発光素子駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+発光素子駆動用トランジスタ6402の V_{th} ）以上の電圧をかける。

30

【0204】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図14と同じ画素構成を用いることができる。

【0205】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+発光素子駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。発光素子駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、発光素子駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0206】

なお、図14に示す画素構成は、これに限定されない。例えば、図14に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0207】

次に、発光素子の構成について、図15を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図15（A）（B）（C）の

50

半導体装置に用いられる発光素子駆動用TFTであるTFT7001、TFT7011、TFT7021は、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0208】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0209】

下面射出構造の発光素子について図15(A)を用いて説明する。

【0210】

TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図15(A)では、TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が形成されており、陰極7013上にEL層7014、陽極7015が順に積層されている。なお、透光性を有する導電膜7017は、酸化物絶縁層7031、オーバーコート層7034、及び保護絶縁層7035に形成されたコンタクトホールを介してTFT7011のドレイン電極層と電氣的に接続されている。

【0211】

透光性を有する導電膜7017としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【0212】

また、陰極7013は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属等が好ましい。図15(A)では、陰極7013の膜厚は、光を透過する程度（好ましくは、5nm～30nm程度）とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いる。

【0213】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7017と陰極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

【0214】

また、陰極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、陰極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0215】

また、陰極7013及び隔壁7019上に形成するEL層7014は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7014が複数の層で構成されている場合、陰極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0216】

また、上記積層順に限定されず、陰極 7013 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、陰極 7013 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0217】

また、EL 層 7014 上に形成する陽極 7015 としては、様々な材料を用いることができるが、仕事関数が高い材料、例えば、窒化チタン、ZrN、Ti、W、Ni、Pt、Cr 等や、ITO、IZO（酸化インジウム酸化亜鉛）、ZnO などの透明導電性材料が好ましい。また、陽極 7015 上に遮蔽膜 7016、例えば光を遮光する金属、光を反射する金属等を形成する。本実施の形態では、陽極 7015 として ITO 膜を用い、遮蔽膜 7016 として Ti 膜を用いる。

10

【0218】

陰極 7013 及び陽極 7015 で、EL 層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 15 (A) に示した素子構造の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0219】

なお、図 15 (A) ではゲート電極層として透光性を有する導電膜を用いる例を示しており、発光素子 7012 から発せられる光は、カラーフィルタ層 7033 を通過し、TFT 7011 のゲート電極層やソース電極層を通過して射出させる。TFT 7011 のゲート電極層やソース電極層として透光性を有する導電膜を用い、開口率を向上することができる。

20

【0220】

カラーフィルタ層 7033 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0221】

また、カラーフィルタ層 7033 はオーバーコート層 7034 で覆われ、さらに保護絶縁層 7035 によって覆う。なお、図 15 (A) ではオーバーコート層 7034 は薄い膜厚で図示したが、オーバーコート層 7034 は、カラーフィルタ層 7033 に起因する凹凸を平坦化する機能を有している。

【0222】

また、酸化物絶縁層 7031、オーバーコート層 7034、及び保護絶縁層 7035 に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁 7019 と重なる位置に配置する。図 15 (A) では、ドレイン電極層に達するコンタクトホールと、隔壁 7019 と、を重ねるレイアウトとすることで開口率の向上を図ることができる。

30

【0223】

次に、両面射出構造の発光素子について、図 15 (B) を用いて説明する。

【0224】

図 15 (B) では、TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が形成されており、陰極 7023 上に EL 層 7024、陽極 7025 が順に積層されている。なお、透光性を有する導電膜 7027 は酸化物絶縁層 7041、オーバーコート層 7044、及び保護絶縁層 7045 に形成されたコンタクトホールを介して TFT 7021 のドレイン電極層と電氣的に接続されている。

40

【0225】

透光性を有する導電膜 7027 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【0226】

また、陰極 7023 は様々な材料を用いることができるが、仕事関数が小さい材料、例え

50

ば、具体的には、L i や C s 等のアルカリ金属、および M g 、 C a 、 S r 等のアルカリ土類金属、およびこれらを含む合金（M g : A g 、 A l : L i など）の他、Y b や E r 等の希土類金属等が好ましい。本実施の形態では、陰極 7 0 2 3 の膜厚は、光を透過する程度（好ましくは、5 n m ~ 3 0 n m 程度）とする。例えば 2 0 n m の膜厚を有するアルミニウム膜を、陰極 7 0 2 3 として用いる。

【0 2 2 7】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜 7 0 2 7 と陰極 7 0 2 3 を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

【0 2 2 8】

また、陰極 7 0 2 3 の周縁部は、隔壁 7 0 2 9 で覆う。隔壁 7 0 2 9 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7 0 2 9 は、特に感光性の樹脂材料を用い、陰極 7 0 2 3 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7 0 2 9 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0 2 2 9】

また、陰極 7 0 2 3 及び隔壁 7 0 2 9 上に形成する E L 層 7 0 2 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。E L 層 7 0 2 4 が複数の層で構成されている場合、陰極 7 0 2 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0 2 3 0】

また、上記積層順に限定されず、陰極 7 0 2 3 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較した場合、陰極 7 0 2 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0 2 3 1】

また、E L 層 7 0 2 4 上に形成する陽極 7 0 2 5 としては、様々な材料を用いることができるが、仕事関数が高い材料、例えば、I T O 、 I Z O 、 Z n O などの透明導電性材料が好ましい。本実施の形態では、陽極 7 0 2 5 として酸化珪素を含む I T O 膜を用いる。

【0 2 3 2】

陰極 7 0 2 3 及び陽極 7 0 2 5 で、E L 層 7 0 2 4 を挟んでいる領域が発光素子 7 0 2 2 に相当する。図 1 5 （ B ）に示した素子構造の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

【0 2 3 3】

なお、図 1 5 （ B ）ではゲート電極層として透光性を有する導電膜を用いる例を示しており、発光素子 7 0 2 2 から陰極 7 0 2 3 側に発せられる光は、カラーフィルタ層 7 0 4 3 を通過し、T F T 7 0 2 1 のゲート電極層やソース電極層を通過して射出させる。T F T 7 0 2 1 のゲート電極層やソース電極層として透光性を有する導電膜を用いることで、陽極 7 0 2 5 側の開口率と陰極 7 0 2 3 側の開口率をほぼ同一とすることができる。

【0 2 3 4】

カラーフィルタ層 7 0 4 3 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0 2 3 5】

また、カラーフィルタ層 7 0 4 3 はオーバーコート層 7 0 4 4 で覆われ、さらに保護絶縁層 7 0 4 5 によって覆う。

【0 2 3 6】

また、酸化物絶縁層 7 0 4 1 、オーバーコート層 7 0 4 4 、及び保護絶縁層 7 0 4 5 に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁 7 0 2 9 と重なる位置

10

20

30

40

50

に配置する。ドレイン電極層に達するコンタクトホールと、隔壁7029とを重ねるレイアウトとすることで陽極7025側の開口率と陰極7023側の開口率をほぼ同一とすることができる。

【0237】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、陽極7025側からの光はカラーフィルタ層7043を通過しないため、別途カラーフィルタ層を備えた封止基板を陽極7025上方に設けることが好ましい。

【0238】

次に、上面射出構造の発光素子について、図15(C)を用いて説明する。

【0239】

図15(C)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図15(C)では、TFT7001と電氣的に接続された発光素子7002の陰極7003が形成されており、陰極7003上にEL層7004、陽極7005が順に積層されている。

【0240】

また、陰極7003は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

【0241】

また、陰極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、陰極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0242】

また、陰極7003及び隔壁7009上に形成するEL層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0243】

また、上記積層順に限定されず、陰極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。この順に積層する場合は、陰極7003は陽極として機能することとなる。

【0244】

図15(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITOとの積層を形成する。

【0245】

ただし、消費電力を比較した場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0246】

陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

【0247】

10

20

30

40

50

陰極 7003 及び陽極 7005 で EL 層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 15 (C) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0248】

また、図 15 (C) において、TFT 7001 は薄膜トランジスタ 150 を用いる例を示しているが、特に限定されず、薄膜トランジスタ 160、170、180 を用いることができる。

【0249】

また、図 15 (C) において、陰極 7003 は、酸化物絶縁層 7051、平坦化絶縁層 7053、及び絶縁層 7055 に形成されたコンタクトホールを介して TFT 7001 のドレイン電極層と電氣的に接続されている。平坦化絶縁層 7053 は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層 7053 を形成してもよい。平坦化絶縁層 7053 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0250】

また、陰極 7003 と、隣り合う画素の陰極とを絶縁するために隔壁 7009 を設ける。隔壁 7009 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7009 は、特に感光性の樹脂材料を用い、陰極 7003 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0251】

また、図 15 (C) の構造においては、フルカラー表示を行う場合、例えば発光素子 7002 として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3 種類の発光素子だけでなく白色素子を加えた 4 種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0252】

また、図 15 (C) の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子 7002 上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

【0253】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0254】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0255】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

【0256】

なお、発光素子の駆動を制御する薄膜トランジスタ (駆動用 TFT) と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0257】

次に、半導体装置の一形態に相当する発光表示パネル (発光パネルともいう) の外観及び

10

20

30

40

50

断面について、図 16 を用いて説明する。図 16 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 16 (B) は、図 16 (A) の H-I における断面図に相当する。

【0258】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

10

【0259】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 16 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

【0260】

薄膜トランジスタ 4509、4510 は、実施の形態 1 で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

20

【0261】

絶縁層 4544 上において駆動回路用の薄膜トランジスタ 4509 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4540 が設けられている。導電層 4540 を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT 試験前後における薄膜トランジスタ 4509 のしきい値電圧の変化量を低減することができる。また、導電層 4540 は、電位が薄膜トランジスタ 4509 のゲート電極層と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4540 の電位が GND、0V、或いはフローティング状態であってもよい。

30

【0262】

薄膜トランジスタ 4509 には、保護絶縁膜としてチャネル形成領域を含む半導体層に接して絶縁層 4541 が形成されている。絶縁層 4541 は実施の形態 1 で示した保護絶縁層 107 と同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層 4544 で覆う構成となっている。ここでは、絶縁層 4541 として、実施の形態 1 に示す保護絶縁層 107 と同様に、スパッタ法により酸化珪素膜を形成する。

【0263】

また、平坦化絶縁膜として絶縁層 4544 を形成する。絶縁層 4544 としては、実施の形態 2 で示した絶縁層 4021 と同様な材料及び方法で形成すればよい。ここでは、絶縁層 4544 としてアクリルを用いる。

40

【0264】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の構成は適宜変えることができる。

【0265】

隔壁 4520 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。

50

特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0266】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0267】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0268】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、FPC4518bから供給されている。

【0269】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0270】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0271】

発光素子4511からの光の取り出し方向に位置する基板は、透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0272】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

【0273】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0274】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図16の構成に限定されない。

【0275】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0276】

実施の形態1に示す薄膜トランジスタの作製方法を用いて発光表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【0277】

また、実施の形態1に示す薄膜トランジスタの作製方法を用いて発光表示装置の駆動回路の薄膜トランジスタを作製することにより、駆動回路部の薄膜トランジスタの高速動作を

10

20

30

40

50

実現し、省電力化を図ることができる。

【0278】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0279】

(実施の形態6)

本実施の形態では、半導体装置の一形態として、実施の形態1で示す薄膜トランジスタを有する液晶素子を用いた液晶表示装置の例を図17乃至図20を用いて説明する。図17乃至図20の液晶表示装置に用いられるTFT628、TFT629は、実施の形態1で示す薄膜トランジスタを適用することができ、実施の形態1で示す工程と同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。TFT628及びTFT629は、酸化物半導体層をチャネル形成領域とする薄膜トランジスタである。図17乃至図20では、薄膜トランジスタの一例として図2(C)に示す薄膜トランジスタを用いる場合について説明するが、これに限定されるものではない。

【0280】

以下、VA(Vertical Alignment)型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【0281】

図18及び図19は、それぞれ画素電極及び対向電極を示している。なお、図18は画素電極が形成される基板側の平面図であり、図中に示す切断線E-Fに対応する断面構造を図17に表している。また、図19は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0282】

図17は、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成された基板600と、対向電極層640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

【0283】

また、図示していないが、基板600及び対向基板601の間に、突起644の高さよりも高い柱状のスペーサを形成して、画素電極層624と対向電極層640の距離(セルギャップ)を一定とする。なお、画素電極層624上には配向膜648が形成され、同様に対向電極層640上にも配向膜646が形成されている。この間に液晶層650が形成されている。

【0284】

スペーサはここでは柱状スペーサを用いて説明したがビーズスペーサを散布してもよい。さらには、スペーサを基板600上に形成される画素電極層624上に形成してもよい。

【0285】

基板600上には、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成される。画素電極層624は、TFT628、配線616、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した第1の容量配線である容量配線604と、ゲート絶縁膜606と、配線616、618と同時に形成した第2の容量配線である容量配線617で構成される。

【0286】

画素電極層 624 と液晶層 650 と対向電極層 640 が重なり合うことで、液晶素子が形成されている。

【0287】

図 18 に基板 600 上の平面構造を示す。画素電極層 624 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0288】

また、画素電極層 624 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\ \Omega/\square$ 以下、波長 $550\ \text{nm}$ における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\ \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0289】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0290】

画素電極層 624 にはスリット 625 を設ける。スリット 625 は液晶の配向を制御するためのものである。

【0291】

図 18 に示す TFT 629 とそれに接続する画素電極層 626 及び保持容量部 631 は、それぞれ TFT 628、画素電極層 624 及び保持容量部 630 と同様に形成することができる。TFT 628 と TFT 629 は共に配線 616 と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極層 624 と画素電極層 626 により構成されている。画素電極層 624 と画素電極層 626 はサブピクセルを構成する。

【0292】

図 19 に対向基板側の平面構造を示す。対向電極層 640 は、画素電極層 624 と同様の材料を用いて形成することが好ましい。対向電極層 640 上には液晶の配向を制御する突起 644 が形成されている。

【0293】

この画素構造の等価回路を図 20 に示す。TFT 628 と TFT 629 は、共にゲート配線 602、配線 616 と接続している。この場合、容量配線 604 と容量配線 605 の電位を異ならせることで、液晶素子 651 と液晶素子 652 の動作を異ならせることができる。すなわち、容量配線 604 と容量配線 605 の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0294】

スリット 625 を設けた画素電極層 624 に電圧を印加すると、スリット 625 の近傍には電界の歪み（斜め電界）が発生する。このスリット 625 と、対向基板 601 側の突起 644 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

【0295】

次に、上記とは異なる VA 型の液晶表示装置について、図 21 乃至図 24 を用いて説明する。

【0296】

図 21 と図 22 は、VA 型液晶表示パネルの画素構造を示している。図 22 は基板 600 の平面図であり、図中に示す切断線 Y-Z に対応する断面構造を図 21 に表している。以下の説明ではこの両図を参照して説明する。

10

20

30

40

50

【0297】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0298】

画素電極層624はコンタクトホール623において、配線618でTFT628と接続している。また、画素電極層626はコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。TFT628とTFT629は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、容量配線690が設けられている。

10

【0299】

画素電極層624と画素電極層626の形状は異なっており、V字型に広がる画素電極層624の外側を囲むように画素電極層626が形成されている。画素電極層624と画素電極層626に印加する電圧を、TFT628及びTFT629により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図24に示す。TFT628はゲート配線602と接続し、TFT629はゲート配線603と接続している。また、TFT628とTFT629は、共に配線616と接続している。ゲート配線602とゲート配線603に印加される信号を個別に制御することにより、液晶素子651と液晶素子652に印加される電圧を異ならせることができる。すなわち、TFT628とTFT629の動作を個別に制御することにより、液晶素子651と液晶素子652で異なる液晶の配向を実現し、視野角を広げることができる。

20

【0300】

対向基板601には、着色膜636、対向電極層640が形成されている。また、着色膜636と対向電極層640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。図23に対向基板側の構造を示す。対向電極層640は異なる画素間で共通化されている電極であるが、スリット641が形成されている。このスリット641と、画素電極層624及び画素電極層626側のスリット625とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。なお、図23に基板600上に形成される画素電極層624及び画素電極層626を破線で示し、対向電極層640と、画素電極層624及び画素電極層626が重なり合って配置されている様子を示している。

30

【0301】

画素電極層624及び画素電極層626上には配向膜648が形成され、同様に対向電極層640上にも配向膜646が形成されている。基板600と対向基板601の間に液晶層650が形成されている。また、画素電極層624と液晶層650と対向電極層640が重なり合うことで、第1の液晶素子が形成されている。また、画素電極層626と液晶層650と対向電極層640が重なり合うことで、第2の液晶素子が形成されている。図21乃至図24で説明する表示パネルの画素構造は、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造となっている。

40

【0302】

本実施の形態では、実施の形態1で示す薄膜トランジスタを有する液晶表示装置としてVA型の液晶表示装置について説明したが、IPS型の液晶表示装置や、TN型の液晶表示装置などについても適用可能である。

【0303】

実施の形態1に示す薄膜トランジスタの作製方法を用いて上記液晶表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラ

50

ツキに起因する表示ムラを抑制することができる。

【0304】

(実施の形態7)

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図25に示す。

【0305】

図25は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0306】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図25では表示部2705)に文章を表示し、左側の表示部(図25では表示部2707)に画像を表示することができる。

【0307】

また、図25では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0308】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0309】

(実施の形態8)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラなどのカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0310】

図26(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0311】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機

10

20

30

40

50

９６１０から出力する情報を表示する表示部９６０７を設ける構成としてもよい。

【０３１２】

なお、テレビジョン装置９６００は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【０３１３】

図２６（Ｂ）は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム９７００は、筐体９７０１に表示部９７０３が組み込まれている。表示部９７０３は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

10

【０３１４】

なお、デジタルフォトフレーム９７００は、操作部、外部接続用端子（ＵＳＢ端子、ＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部９７０３に表示させることができる。

【０３１５】

また、デジタルフォトフレーム９７００は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

20

【０３１６】

図２７（Ａ）は携帯型遊技機であり、筐体９８８１と筐体９８９１の２つの筐体で構成されており、連結部９８９３により、開閉可能に連結されている。筐体９８８１には表示部９８８２が組み込まれ、筐体９８９１には表示部９８８３が組み込まれている。また、図２７（Ａ）に示す携帯型遊技機は、その他、スピーカ部９８８４、記録媒体挿入部９８８６、ＬＥＤランプ９８９０、入力手段（操作キー９８８５、接続端子９８８７、センサ９８８８（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン９８８９）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図２７（Ａ）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図２７（Ａ）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【０３１７】

図２７（Ｂ）は大型遊技機であるスロットマシンの一例を示している。スロットマシン９９００は、筐体９９０１に表示部９９０３が組み込まれている。また、スロットマシン９９００は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン９９００の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

40

【０３１８】

図２８（Ａ）は携帯型のコンピュータの一例を示す斜視図である。

【０３１９】

図２８（Ａ）の携帯型のコンピュータは、上部筐体９３０１と下部筐体９３０２とを接続するヒンジユニットを閉状態として表示部９３０３を有する上部筐体９３０１と、キーボード９３０４を有する下部筐体９３０２とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態

50

として、表示部 9 3 0 3 を見て入力操作を行うことができる。

【0 3 2 0】

また、下部筐体 9 3 0 2 はキーボード 9 3 0 4 の他に入力操作を行うポインティングデバイス 9 3 0 6 を有する。また、表示部 9 3 0 3 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9 3 0 2 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9 3 0 2 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9 3 0 5 を有している。

【0 3 2 1】

上部筐体 9 3 0 1 には更に上部筐体 9 3 0 1 内部にスライドさせて収納可能な表示部 9 3 0 7 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9 3 0 7 の画面の向きを使用者は調節できる。また、収納可能な表示部 9 3 0 7 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0 3 2 2】

表示部 9 3 0 3 または収納可能な表示部 9 3 0 7 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0 3 2 3】

また、図 2 8 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9 3 0 3 または表示部 9 3 0 7 に表示することができる。また、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを閉状態としたまま、表示部 9 3 0 7 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9 3 0 3 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【0 3 2 4】

また、図 2 8 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0 3 2 5】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部、腕に対するバンド部の固定状態を調節する調節部 9 2 0 5、表示部 9 2 0 1、スピーカ 9 2 0 7、及びマイク 9 2 0 8 から構成されている。

【0 3 2 6】

また、本体は、操作スイッチ 9 2 0 3 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばボタンを押すとインターネット用のプログラムが起動される。

【0 3 2 7】

この携帯電話の入力操作は、表示部 9 2 0 1 に指や入力ペンなどで触れること、又は操作スイッチ 9 2 0 3 の操作、またはマイク 9 2 0 8 への音声入力により行われる。なお、図 2 8 (B) では、表示部 9 2 0 1 に表示された表示ボタン 9 2 0 2 を図示しており、指などで触れることにより入力を行うことができる。

【0 3 2 8】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9 2 0 6 を有する。なお、特にカメラ部は設けなくともよい。

【0 3 2 9】

また、図 2 8 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9 2 0 1 に表示することができ、さらにメモリなどの記憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図 2 8 (B) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

【0 3 3 0】

10

20

30

40

50

表示部 9201 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 28 (B) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量が限られており、表示部 9201 に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【0331】

なお、図 28 (B) では”腕”に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【実施例 1】

【0332】

本実施例では、実施の形態 1 に示した作製方法を用いて薄膜トランジスタを作製し、室温 (25℃) 乃至 180℃ の環境下における薄膜トランジスタ特性を評価した結果を示す。

【0333】

本実施例では、同一基板上にチャネル長 L の長さを $3\mu\text{m}$ 、 $5\mu\text{m}$ 、 $10\mu\text{m}$ とする薄膜トランジスタを複数作製し、室温以上 180℃ 以下の環境下における薄膜トランジスタ特性を評価した。なお、チャネル幅 W はすべて $20\mu\text{m}$ とした。まず、薄膜トランジスタの作製方法について説明する。

【0334】

まず、ガラス基板上に下地膜として、CVD 法により膜厚 100nm の酸化窒化珪素膜を形成し、酸化窒化珪素膜上にゲート電極層としてスパッタ法により膜厚 150nm のタングステン膜を形成した。ここで、タングステン膜を選択的にエッチングしてゲート電極層

【0335】

次に、ゲート電極層上にゲート絶縁層として CVD 法により膜厚 100nm の酸化窒化珪素膜を形成した。

【0336】

次に、ゲート絶縁層上に、 In-Ga-Zn-O 系酸化物半導体ターゲット (In_2O_3 : Ga_2O_3 : $\text{ZnO} = 1 : 1 : 1$) を用いて、基板とターゲットの間との距離を 60mm 、圧力 0.4Pa 、直流 (DC) 電源 0.5kW 、アルゴン及び酸素 (アルゴン : 酸素 = $30\text{sccm} : 15\text{sccm}$) 雰囲気下、室温 (25℃) で成膜を行い、膜厚 50nm の酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0337】

次に、酸化物半導体層を窒素雰囲気下、450℃ で 1 時間、第 1 の熱処理を行った。

【0338】

次に、酸化物半導体層上にソース電極層及びドレイン電極層として、チタン膜 (膜厚 50nm)、アルミニウム膜 (膜厚 100nm)、及びチタン膜 (膜厚 50nm) を積層した導電膜を、スパッタ法により室温 (25℃) で形成した。ここで、導電膜を選択的にエッチングしてソース電極層及びドレイン電極層を形成し、薄膜トランジスタのチャネル長 L の長さが $3\mu\text{m}$ 、 $5\mu\text{m}$ 、 $10\mu\text{m}$ 、それぞれのチャネル幅 W が $20\mu\text{m}$ となるようにした。

【0339】

次に、酸化物半導体層に接するように保護絶縁層としてスパッタ法により膜厚 300nm の酸化珪素膜を 100°C で形成した。ここで、保護層である酸化珪素膜を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。

【0340】

次に、測定用電極層としてチタン膜 (膜厚 50nm)、アルミニウム膜 (膜厚 100nm)、及びチタン膜 (膜厚 5nm) の積層を、スパッタ法により室温 (25℃) で形成した。ここで、測定用電極層を選択的にエッチングし、前述した開口部を介して、ゲート電極層に電氣的に接続する測定用電極層、ソース電極層に電氣的に接続する測定用電極層、ドレイン電極層に電氣的に接続する測定用電極層を形成した。その後、窒素雰囲気下、25

0℃で1時間、第2の熱処理を行った。

【0341】

以上の工程により、チャネル幅Wの長さを20μm、チャネル長Lの長さを3μm、5μm、10μmとする薄膜トランジスタを同一基板上に作製した。

【0342】

つづいて、各薄膜トランジスタの電流電圧特性を測定した。図4に、薄膜トランジスタの、ソースとゲートの間の電圧（以下、ゲート電圧もしくは V_g という）の変化に対するソースとドレインの間を流れる電流（以下、ドレイン電流もしくは I_d という）の変化を示す V_g-I_d 曲線を示す。図4（A）はチャネル長Lの長さを3μmとした薄膜トランジスタの V_g-I_d 曲線であり、図4（B）はチャネル長Lの長さを5μmとした薄膜トランジスタの V_g-I_d 曲線であり、図4（C）はチャネル長Lの長さを10μmとした薄膜トランジスタの V_g-I_d 曲線である。図4（A）乃至図4（C）とも、横軸はゲート電圧をリニアスケールで示しており、縦軸はドレイン電流をログスケールで示している。

10

【0343】

電流電圧特性の測定は、ソースとドレインの間の電圧を10Vとし、ゲート電圧を-20から20Vまで変化させて行った。また、測定時の基板温度を、室温（25℃）、40℃、75℃、100℃、125℃、150℃、180℃と変化させ、それぞれの基板温度（動作温度）における電流電圧特性を測定した。なお、図4（A）乃至（C）は、測定時の基板温度と V_g-I_d 曲線の関係をわかりやすくするため、ゲート電圧が-10Vから10Vとなる範囲のみを示している。

20

【0344】

図4（A）乃至（C）に示す、曲線201、曲線211及び曲線221は、測定時の基板温度が室温（25℃）の時の V_g-I_d 曲線を示している。測定時の基板温度が上昇するに従い、 V_g-I_d 曲線が図4に向かって左方向、すなわち、 V_g のマイナス方向に順にシフトし、トランジスタがノーマリーオンとなっている。図を見やすくするため、全ての V_g-I_d 曲線に符号をつけていないが、最も左に位置している曲線207、曲線217及び曲線227が、測定時の基板温度が180℃の時の V_g-I_d 曲線である。

【0345】

得られた V_g-I_d 曲線から、それぞれのしきい値電圧算出した。なお、本明細書中には詳述していないが、前述した全ての測定条件において、ゲート絶縁層の比誘電率を4.1として計算した電界効果移動度の最大値は、 $20\text{ cm}^2/\text{Vs}$ 以上が得られている。

30

【0346】

ここで、本明細書における V_{th} の定義について説明しておく。図6の横軸はゲート電圧をリニアスケールで示しており、縦軸はドレイン電流の平方根（以下、 $\sqrt{I_d}$ ともいう）をリニアスケールで示している。曲線501は、ゲート電圧の変化に対するドレイン電流の平方根を示しており、 V_d を10Vとして測定した V_g-I_d 曲線の I_d を、その平方根で表した曲線（以下、 $\sqrt{I_d}$ 曲線ともいう）である。

【0347】

まず、 V_d を10Vとして測定した V_g-I_d 曲線から $\sqrt{I_d}$ 曲線（曲線501）を求める。次に、 $\sqrt{I_d}$ 曲線上の V_g が5Vの点502と、 V_g が20Vの点503を通る直線504を求める。次に、直線504を延伸し、直線504上で I_d が0Aとなる時の V_g 、すなわち直線504とゲート電圧軸との切片505の値を V_{th} として定義している。

40

【0348】

図5（A）は、図4（A）乃至図4（C）に示した V_g-I_d 曲線から求めた V_{th} をまとめた表である。図5（A）中、TFT303欄はチャネル長Lが3μmの薄膜トランジスタの V_{th} を、TFT305欄はチャネル長Lが5μmの薄膜トランジスタの V_{th} を、TFT310欄はチャネル長Lが10μmの薄膜トランジスタの V_{th} を示している。また、 V_{th} 変動幅は、各薄膜トランジスタの測定温度範囲内における V_{th} の最大値と最小値の差を示している。

【0349】

50

図 5 (B) は、図 5 (A) をグラフとして示した図である。横軸の測定温度は、薄膜トランジスタの電流電圧特性測定時の基板温度（動作温度）であり、縦軸の V_{th} は、各基板温度におけるしきい値電圧である。図中「○」で示しているしきい値 313 は、チャンネル長 L の長さを $3\ \mu\text{m}$ とした薄膜トランジスタのしきい値であり、図中「□」で示しているしきい値 315 は、チャンネル長 L の長さを $5\ \mu\text{m}$ とした薄膜トランジスタのしきい値であり、図中「×」で示しているしきい値 320 は、チャンネル長 L の長さを $10\ \mu\text{m}$ とした薄膜トランジスタのしきい値である。

【0350】

本実施例で作製した薄膜トランジスタは、室温以上 180°C 以下の環境下において、しきい値の変動幅が $3\ \text{V}$ 以下であることが確認できた。

【実施例 2】

【0351】

本実施例では、実施の形態 1 に示した作製方法を用いて薄膜トランジスタを作製し、 -25°C 乃至 150°C の環境下における薄膜トランジスタ特性を評価した結果を示す。

【0352】

本実施例では、同一基板上にチャンネル長 L が $3\ \mu\text{m}$ で、チャンネル幅 W が $50\ \mu\text{m}$ である薄膜トランジスタと、チャンネル長 L が $20\ \mu\text{m}$ で、チャンネル幅 W が $20\ \mu\text{m}$ である薄膜トランジスタを作製し、 -25°C 以上 150°C 以下の環境下における薄膜トランジスタ特性を評価した。まず、薄膜トランジスタの作製方法について説明する。

【0353】

まず、ガラス基板上に下地膜として、CVD 法により膜厚 $100\ \text{nm}$ の酸化窒化珪素膜を形成し、酸化窒化珪素膜上にゲート電極層としてスパッタ法により膜厚 $150\ \text{nm}$ のタングステン膜を形成した。ここで、タングステン膜を選択的にエッチングしてゲート電極層を形成した。

【0354】

次に、ゲート電極層上にゲート絶縁層として CVD 法により膜厚 $100\ \text{nm}$ の酸化窒化珪素膜を形成した。

【0355】

次に、ゲート絶縁層上に、 In-Ga-Zn-O 系酸化物半導体ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$) を用いて、基板とターゲットの間との距離を $60\ \text{mm}$ 、圧力 $0.4\ \text{Pa}$ 、直流 (DC) 電源 $0.5\ \text{kW}$ 、アルゴン及び酸素 (アルゴン : 酸素 = $30\ \text{sccm} : 15\ \text{sccm}$) 雰囲気下、室温 (25°C) で成膜し、膜厚 $50\ \text{nm}$ の酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0356】

次に、酸化物半導体層を窒素雰囲気下、 450°C で 1 時間、第 1 の熱処理を行った。

【0357】

次に、酸化物半導体層上にソース電極層及びドレイン電極層として、チタン膜 (膜厚 $100\ \text{nm}$)、アルミニウム膜 (膜厚 $200\ \text{nm}$)、及びチタン膜 (膜厚 $50\ \text{nm}$) を積層した導電膜を、スパッタ法により室温 (25°C) で形成した。ここで、導電膜を選択的にエッチングしてソース電極層及びドレイン電極層を形成し、薄膜トランジスタのチャンネル長 L の長さが $3\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、チャンネル幅 W が $50\ \mu\text{m}$ 、 $20\ \mu\text{m}$ となるようにした。

【0358】

次に、酸化物半導体層に接するように保護絶縁層としてスパッタ法により膜厚 $300\ \text{nm}$ の酸化珪素膜を 100°C で形成した。ここで、保護層である酸化珪素膜を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。

【0359】

次に、測定用電極層として ITO 膜 (膜厚 $110\ \text{nm}$) を、スパッタ法により室温 (25°C) で形成した。ここで、測定用電極層を選択的にエッチングし、前述した開口部を介して、ゲート電極層に電氣的に接続する測定用電極層、ソース電極層に電氣的に接続する測

10

20

30

40

50

定用電極層、ドレイン電極層に電氣的に接続する測定用電極層を形成した。その後、窒素雰囲気下、250℃で1時間、第2の熱処理を行った。

【0360】

以上の工程により、チャンネル長Lが3μmで、チャンネル幅Wが50μmである薄膜トランジスタと、チャンネル長Lが20μmで、チャンネル幅Wが20μmである薄膜トランジスタを同一基板上に作製した。

【0361】

つづいて、各薄膜トランジスタの電流電圧特性を測定した。図34に、薄膜トランジスタの、ソースとゲートの間の電圧（以下、ゲート電圧もしくは V_g という）の変化に対するソースとドレインの間を流れる電流（以下、ドレイン電流もしくは I_d という）の変化を示す V_g-I_d 曲線を示す。図34（A）はチャンネル長Lが3μmでチャンネル幅Wが50μmである薄膜トランジスタの V_g-I_d 曲線であり、図34（B）はチャンネル長Lが20μmでチャンネル幅Wが20μmである薄膜トランジスタの V_g-I_d 曲線である。図34（A）及び図34（B）とも、横軸はゲート電圧をリニアスケールで示しており、縦軸はドレイン電流をログスケールで示している。

10

【0362】

電流電圧特性の測定は、ソースとドレインの間の電圧を10Vとし、ゲート電圧を-20から20Vまで変化させて行った。また、測定時の基板温度を、-25℃、0℃、室温（25℃）、40℃、85℃、100℃、125℃、150℃と変化させ、それぞれの基板温度（動作温度）における電流電圧特性を測定した。なお、図34（A）及び図34（B）は、測定時の基板温度と V_g-I_d 曲線の関係をわかりやすくするため、ゲート電圧が-10から10Vとなる範囲のみを示している。

20

【0363】

図34（A）及び図34（B）に示す、曲線251、及び曲線261は、測定時の基板温度が-25℃の時の V_g-I_d 曲線を示している。測定時の基板温度が上昇するに従い、 V_g-I_d 曲線が図34に向かって左方向、すなわち、 V_g のマイナス方向に順にシフトしている。特に、図34（A）では、測定時の基板温度が上昇するに従い、トランジスタがノーマリオフ（ V_g が0Vの時に、 I_d がほとんど流れない状態）から、ノーマリオンとなる傾向を示している。図を見やすくするため、全ての V_g-I_d 曲線に符号をつけていないが、最も左に位置している曲線258、及び曲線268が、測定時の基板温度が150℃の時の V_g-I_d 曲線である。

30

【0364】

図34（A）及び図34（B）の V_g がマイナスの領域において、 I_d が 1×10^{-12} A以下の値で検出されているが、これは測定時に混入したノイズであることがわかっている。なお、このノイズは、 V_{th} の算出には影響がないことを附記しておく。

【0365】

得られた V_g-I_d 曲線から、実施例1と同様の方法によりそれぞれの V_{th} を算出した。

【0366】

図35（A）は、図34（A）及び図34（B）に示した V_g-I_d 曲線から求めた V_{th} をまとめた表である。図35（A）中、TFT331欄はチャンネル長Lが3μmで、チャンネル幅Wが50μmの薄膜トランジスタの V_{th} を、TFT332欄はチャンネル長Lが20μmで、チャンネル幅Wが20μmの薄膜トランジスタの V_{th} を示している。また、 V_{th} 変動幅は、各薄膜トランジスタの測定温度範囲内における V_{th} の最大値と最小値の差を示している。

40

【0367】

図35（B）は、図35（A）をグラフとして示した図である。横軸の測定温度は、薄膜トランジスタの電流電圧特性測定時の基板温度（動作温度）であり、縦軸の V_{th} は、各基板温度におけるしきい値電圧である。図中「●」で示しているしきい値341は、チャンネル長Lが3μmで、チャンネル幅Wが50μmの薄膜トランジスタのしきい値であり、図

50

中「△」で示しているしきい値 3 4 2 は、チャネル長 L が $20\ \mu\text{m}$ で、チャネル幅 W が $20\ \mu\text{m}$ の薄膜トランジスタのしきい値である。

【0368】

本実施例で作製した薄膜トランジスタは、 $-25\ ^\circ\text{C}$ 以上 $150\ ^\circ\text{C}$ 以下の環境下において、しきい値の変動幅が $2\ \text{V}$ 以下であることが確認できた。

【符号の説明】

【0369】

10	パルス出力回路	
11	配線	
12	配線	10
13	配線	
14	配線	
15	配線	
21	入力端子	
22	入力端子	
23	入力端子	
24	入力端子	
25	入力端子	
26	出力端子	
27	出力端子	20
28	薄膜トランジスタ	
31	トランジスタ	
32	トランジスタ	
33	トランジスタ	
34	トランジスタ	
35	トランジスタ	
36	トランジスタ	
37	トランジスタ	
38	トランジスタ	
39	トランジスタ	30
40	トランジスタ	
41	トランジスタ	
42	トランジスタ	
43	トランジスタ	
51	電源線	
52	電源線	
53	電源線	
61	期間	
62	期間	
100	基板	40
101	ゲート電極層	
102	ゲート絶縁層	
103	酸化物半導体層	
107	保護絶縁層	
110	チャネル保護層	
150	薄膜トランジスタ	
160	薄膜トランジスタ	
170	薄膜トランジスタ	
180	薄膜トランジスタ	
201	曲線	50

2 0 7	曲線	
2 1 1	曲線	
2 1 7	曲線	
2 2 1	曲線	
2 2 7	曲線	
2 5 1	曲線	
2 5 8	曲線	
2 6 1	曲線	
2 6 8	曲線	
3 0 3	T F T	10
3 0 5	T F T	
3 1 0	T F T	
3 1 3	値	
3 1 5	値	
3 2 0	値	
3 3 1	T F T	
3 3 2	T F T	
3 4 1	値	
3 4 2	値	
4 0 0	ガラス基板	20
4 0 1	酸化窒化絶縁層	
4 0 2	I n - G a - Z n - O系酸化物半導体層	
4 0 3	分析方向	
4 1 1	酸素イオン強度プロファイル	
4 1 2	水素濃度プロファイル	
4 1 3	水素濃度プロファイル	
5 0 1	曲線	
5 0 2	点	
5 0 3	点	
5 0 4	直線	30
5 0 5	切片	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁膜	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填材	40
5 9 6	基板	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	
6 0 6	ゲート絶縁膜	
6 1 6	配線	
6 1 7	容量配線	50

6 1 8	配線	
6 1 9	配線	
6 2 0	絶縁膜	
6 2 2	絶縁膜	
6 2 3	コンタクトホール	
6 2 4	画素電極層	
6 2 5	スリット	
6 2 6	画素電極層	
6 2 7	コンタクトホール	
6 2 8	T F T	10
6 2 9	T F T	
6 3 0	保持容量部	
6 3 1	保持容量部	
6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 4 4	突起	
6 4 6	配向膜	
6 4 8	配向膜	20
6 5 0	液晶層	
6 5 1	液晶素子	
6 5 2	液晶素子	
6 9 0	容量配線	
7 0 1	ゲート電極層	
7 0 2	ゲート絶縁層	
7 0 3	チャネル	
8 0 1	ガラス基板	
8 0 2	ゲート電極層	
8 0 3	ゲート絶縁層	30
8 0 4	酸化物半導体層	
8 0 5	ソース電極層	
8 0 6	ドレイン電極層	
8 1 1	曲線	
8 1 8	曲線	
8 2 1	曲線	
8 2 8	曲線	
8 3 1	曲線	
8 3 2	曲線	
8 3 3	曲線	40
8 5 0	薄膜トランジスタ	
9 1 1	曲線	
9 1 8	曲線	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	50

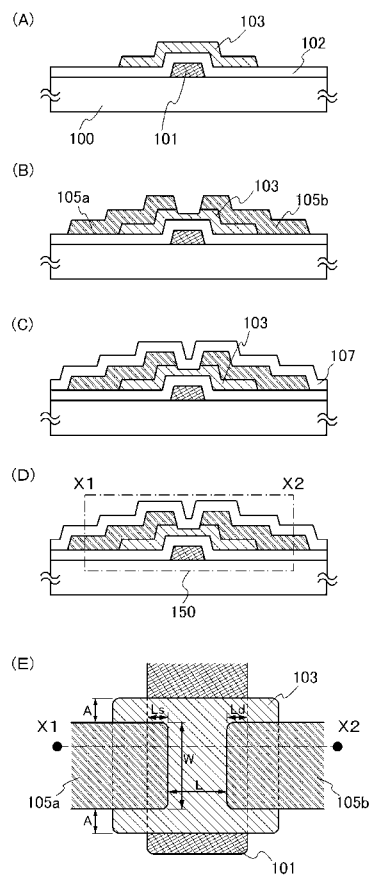
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	10
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	20
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	30
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	40
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	50

4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 1	絶縁層	
4 5 4 4	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	10
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	発光素子駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	20
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	E L 層	
7 0 0 5	陽極	
7 0 0 9	隔壁	30
7 0 1 1	T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	E L 層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 1	T F T	
7 0 2 2	発光素子	40
7 0 2 3	陰極	
7 0 2 4	E L 層	
7 0 2 5	陽極	
7 0 2 6	陽極	
7 0 2 7	導電膜	
7 0 2 9	隔壁	
7 0 3 1	酸化物絶縁層	
7 0 3 3	カラーフィルタ層	
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	50

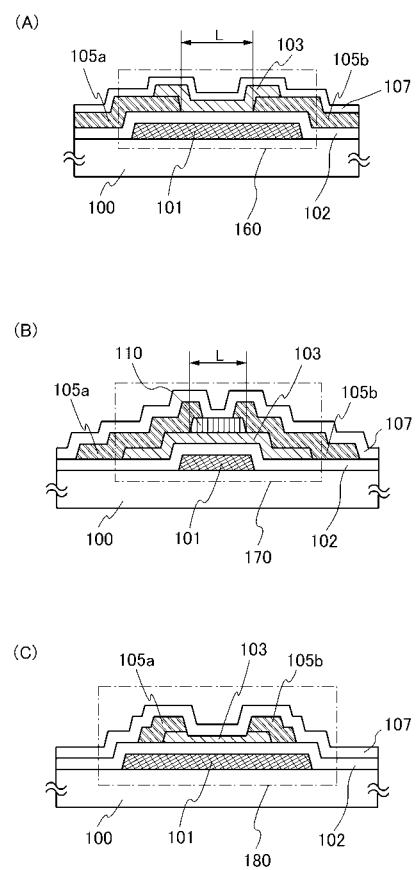
7 0 4 1	酸化物絶縁層	
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 5 1	酸化物絶縁層	
7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	10
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	20
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	30
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	40
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	50

4 5 1 8 a	F P C
4 5 1 8 b	F P C
5 9 0 a	黒色領域
5 9 0 b	白色領域
7 0 4 a	ドレイン電極層
7 0 4 b	ソース電極層
7 0 5 a	N ⁺ 領域
7 0 5 b	N ⁺ 領域

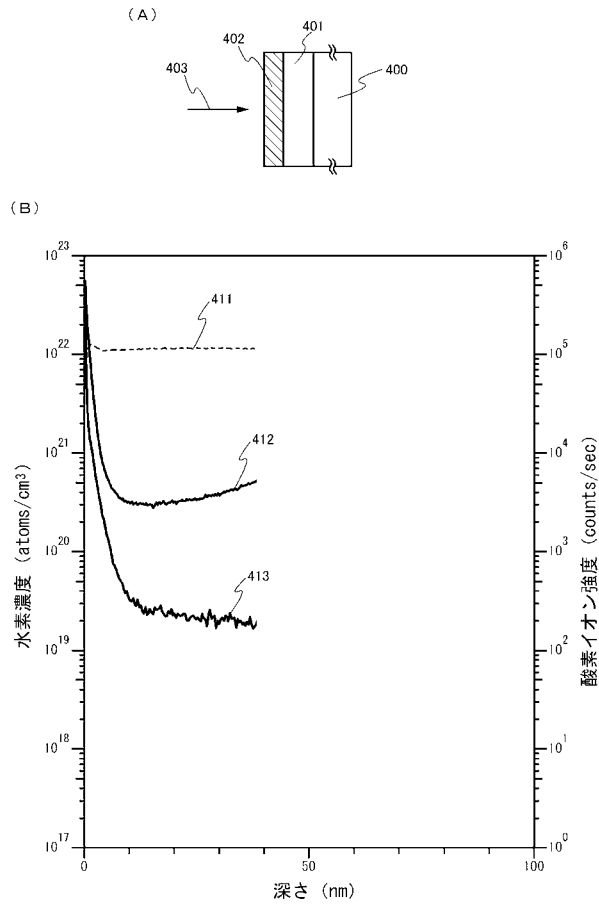
【図 1】



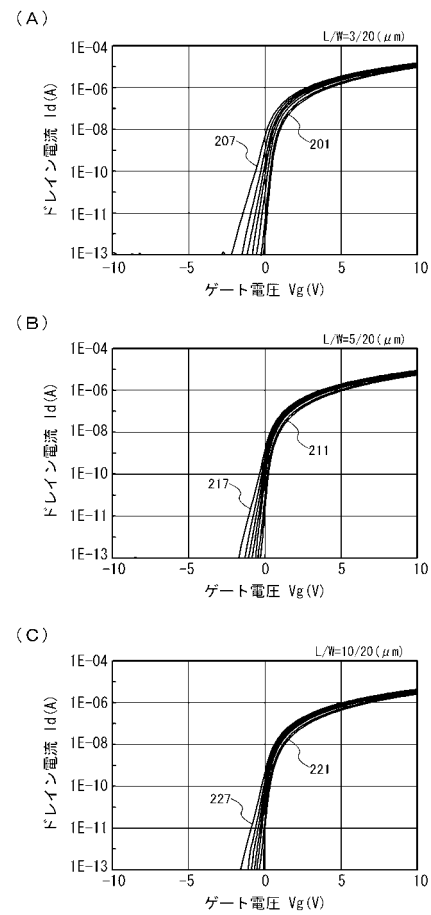
【図 2】



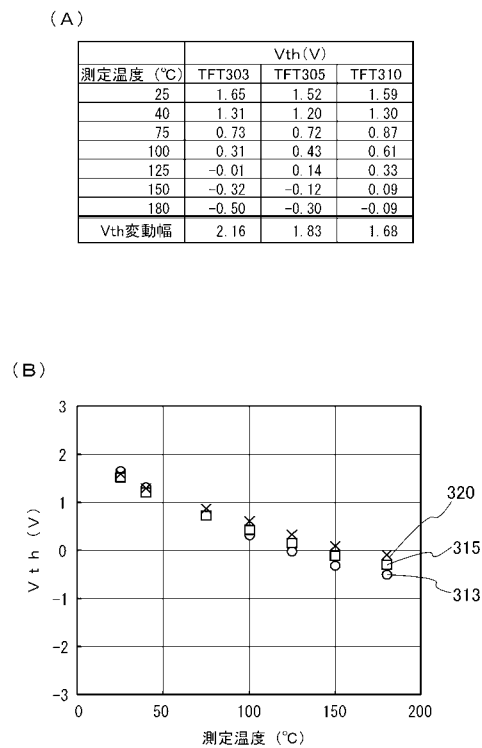
【図 3】



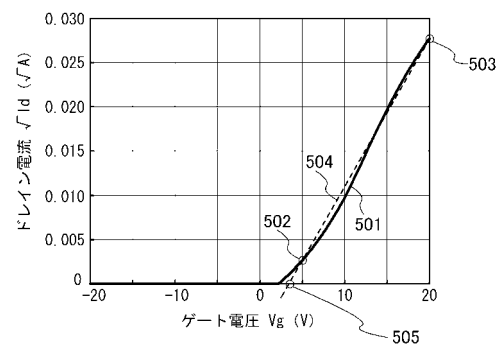
【図 4】



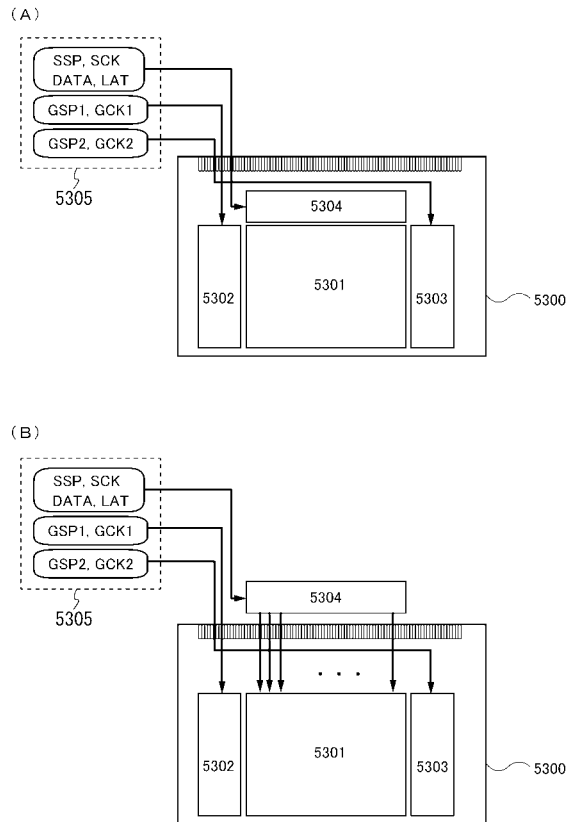
【図 5】



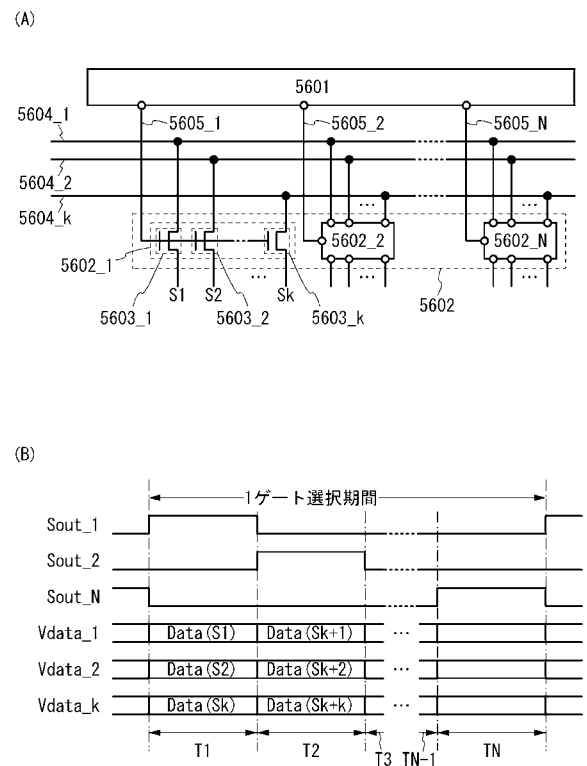
【図 6】



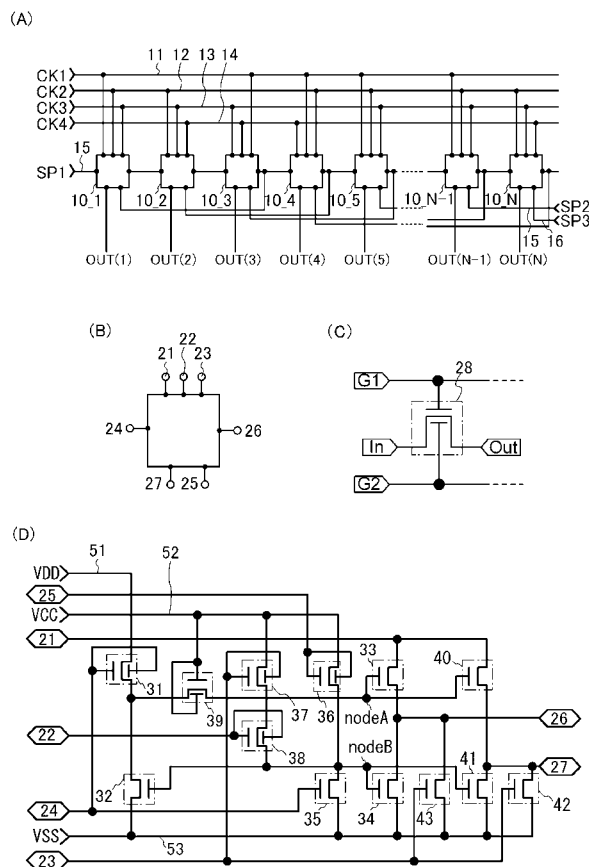
【図 7】



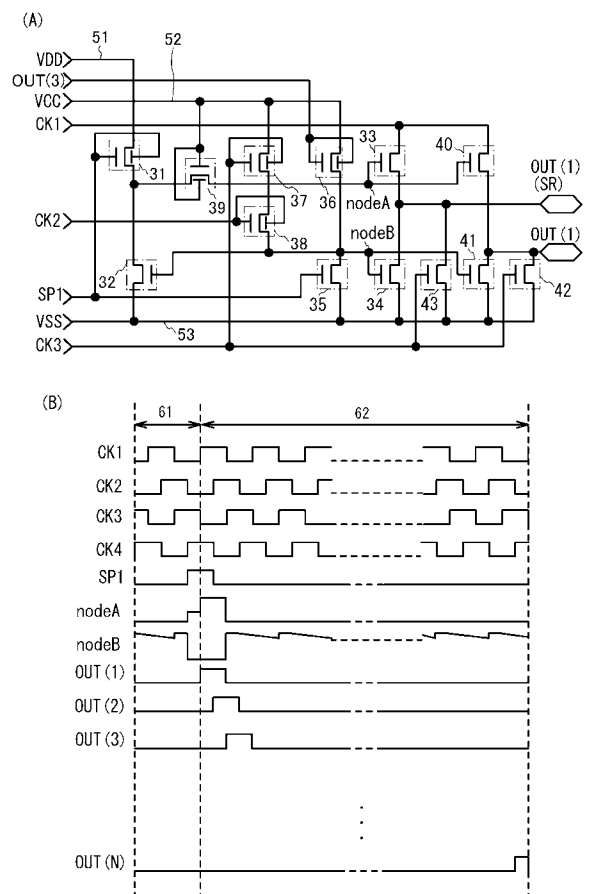
【図 8】



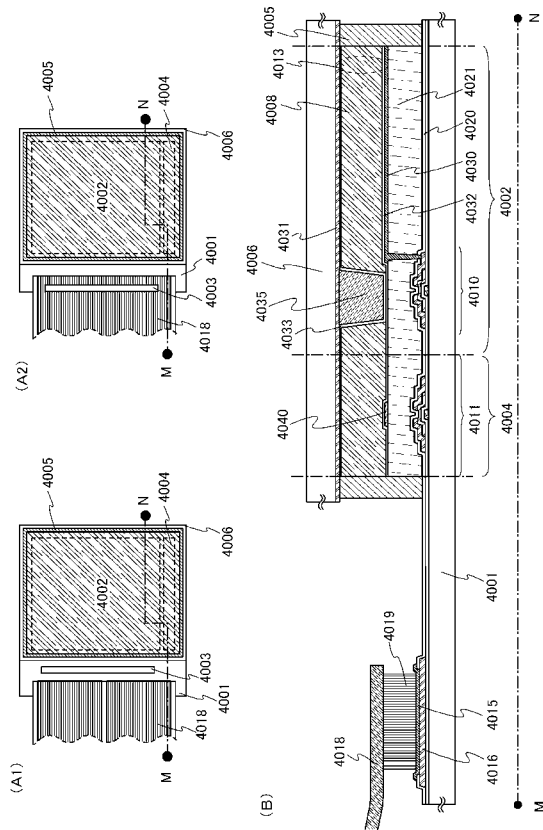
【図 9】



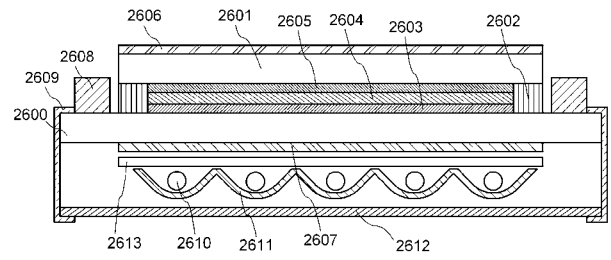
【図 10】



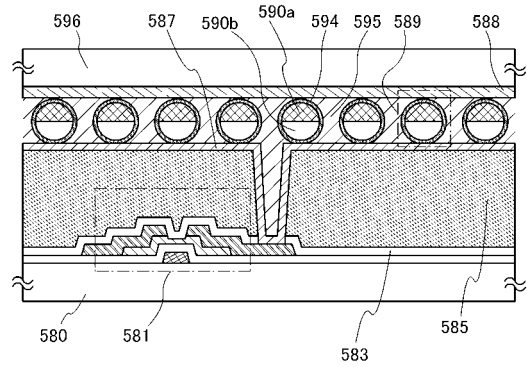
【図 1 1】



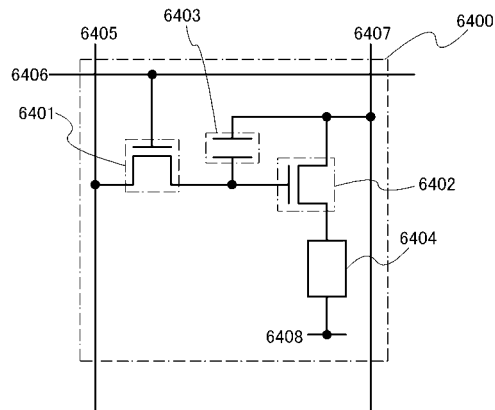
【図 1 2】



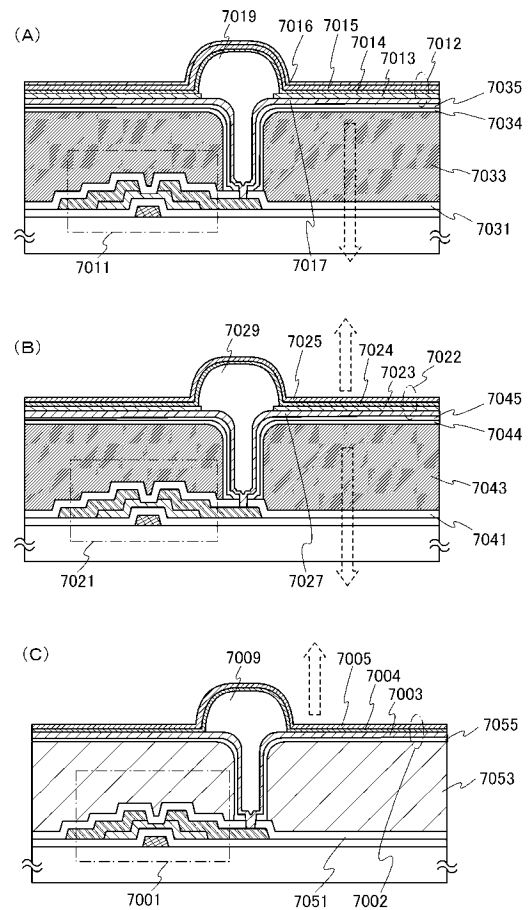
【図 1 3】



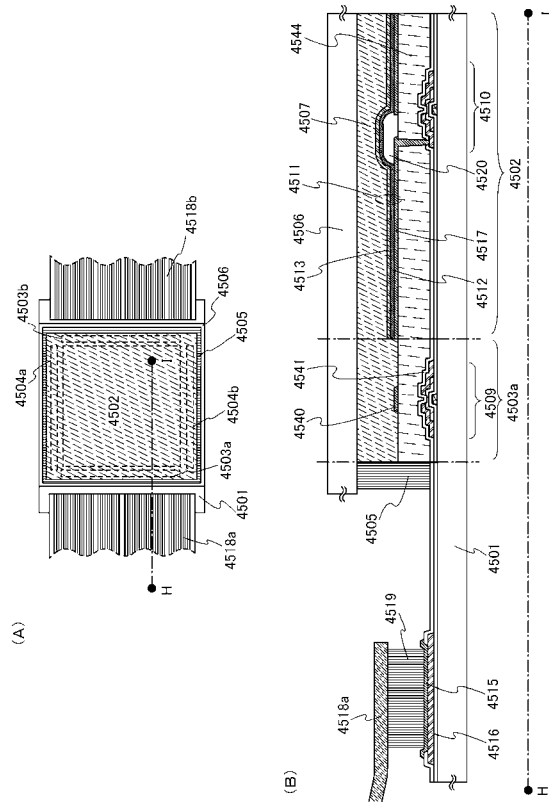
【図 1 4】



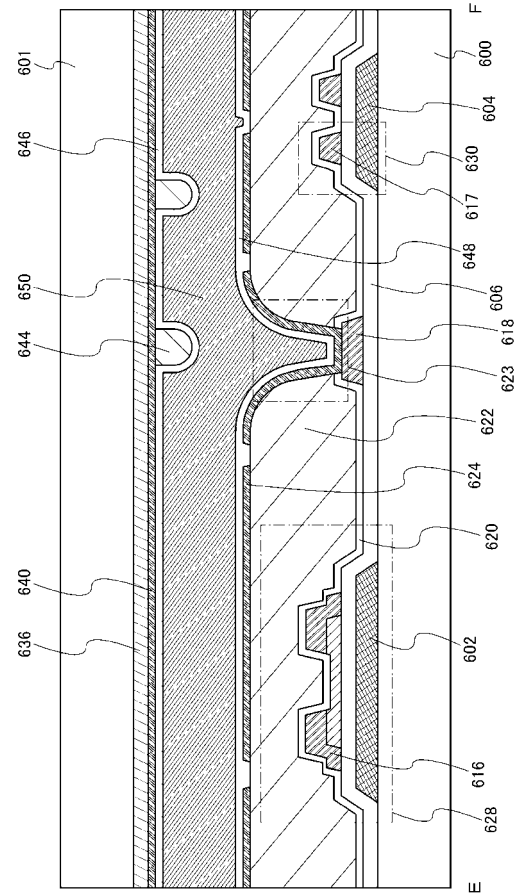
【図 1 5】



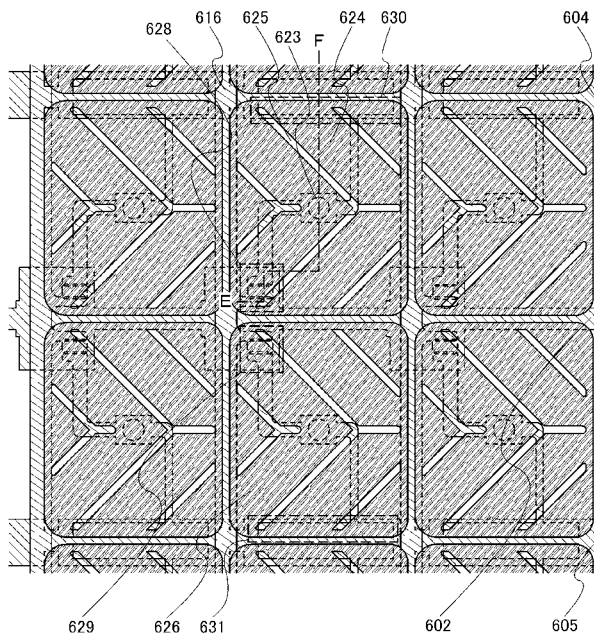
【図 16】



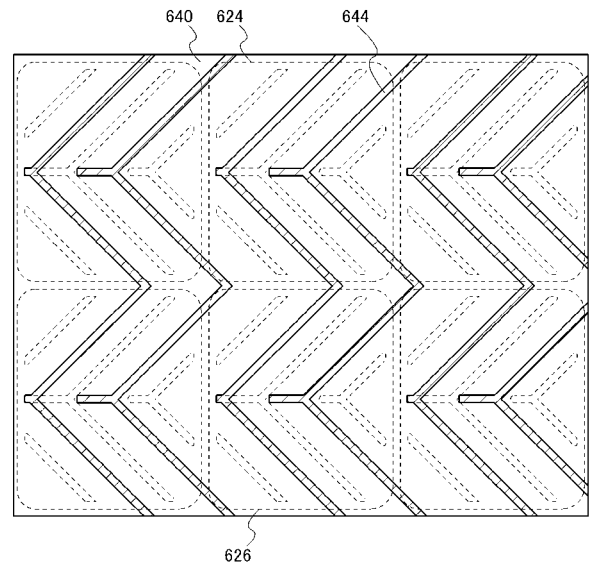
【図 17】



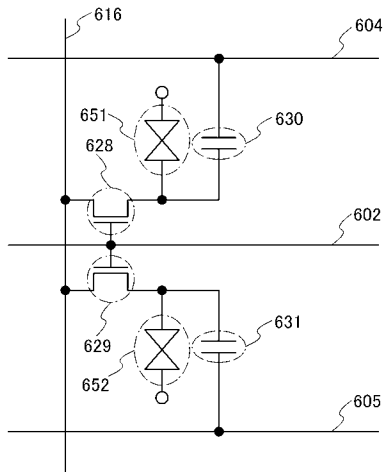
【図 18】



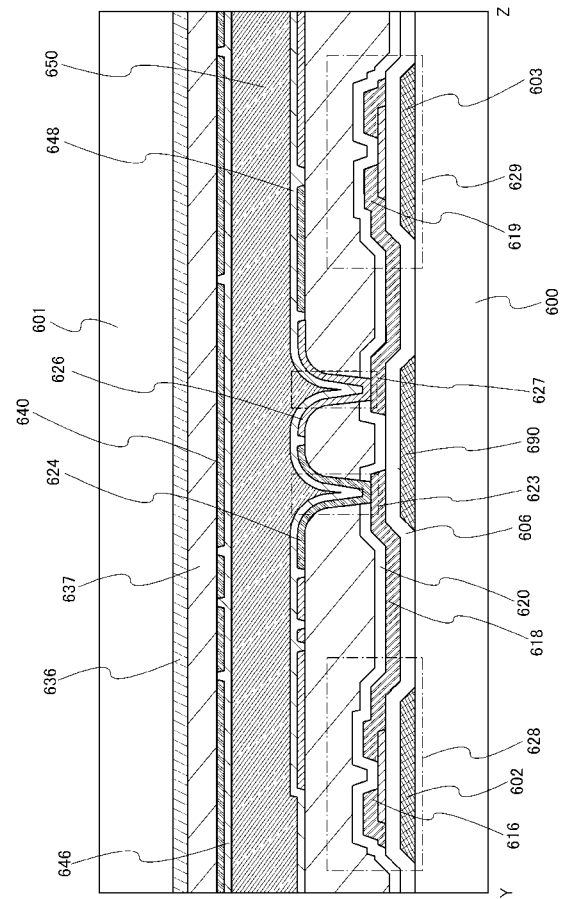
【図 19】



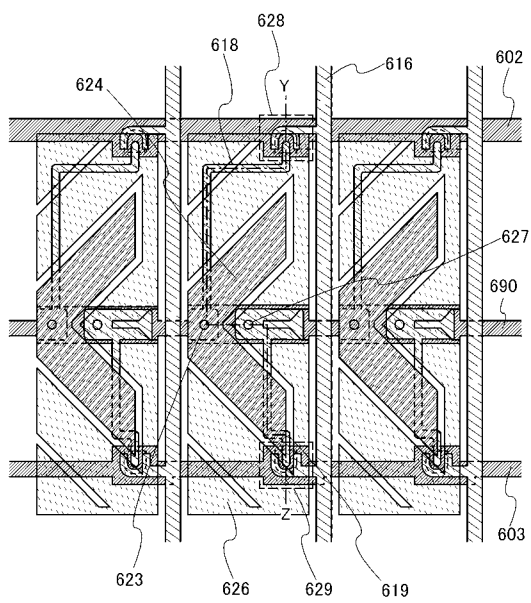
【図 20】



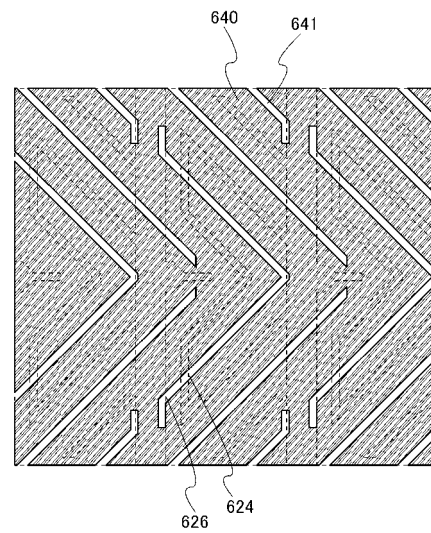
【図 21】



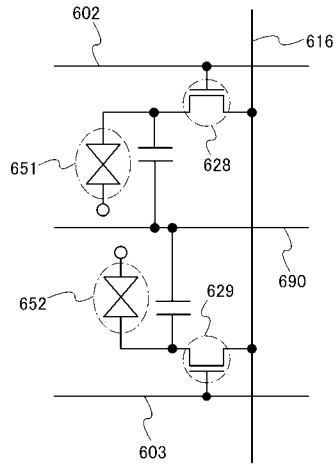
【図 22】



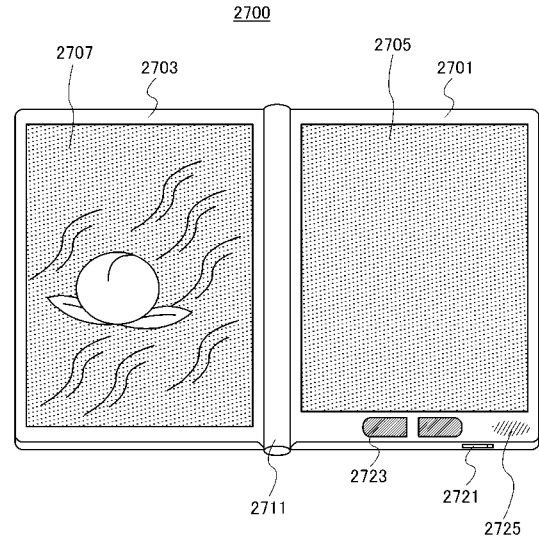
【図 23】



【図 2 4】

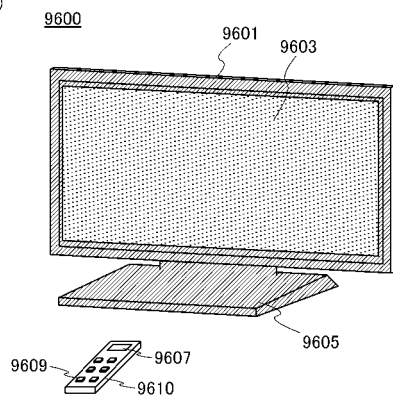


【図 2 5】



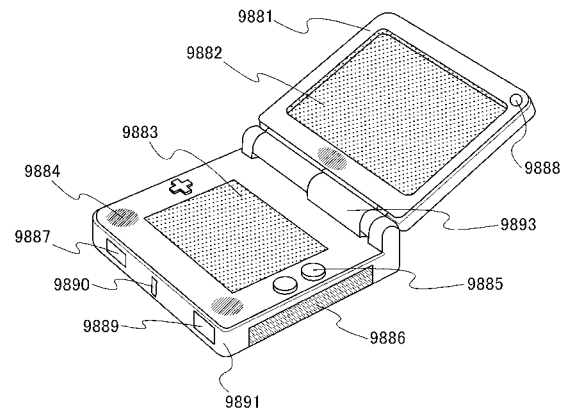
【図 2 6】

(A)

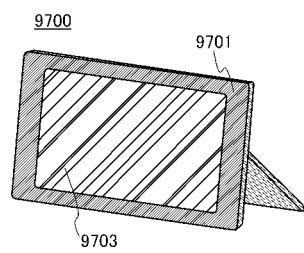


【図 2 7】

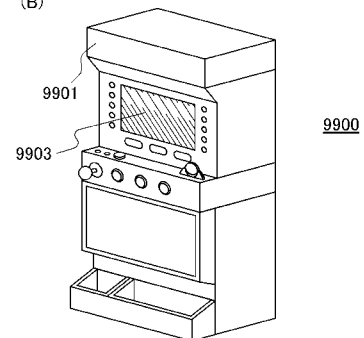
(A)



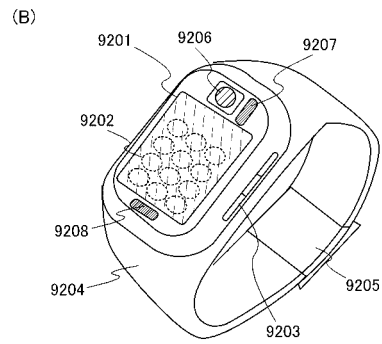
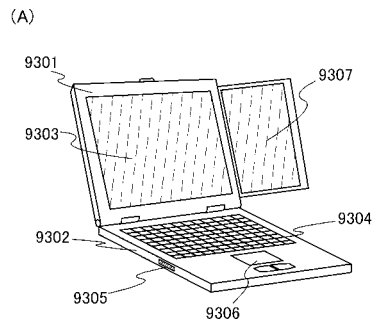
(B)



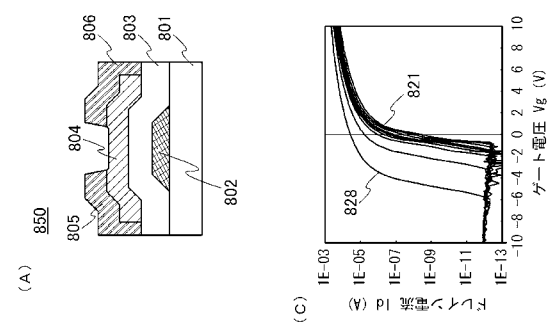
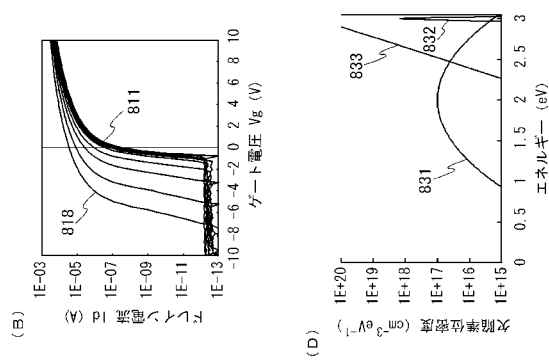
(B)



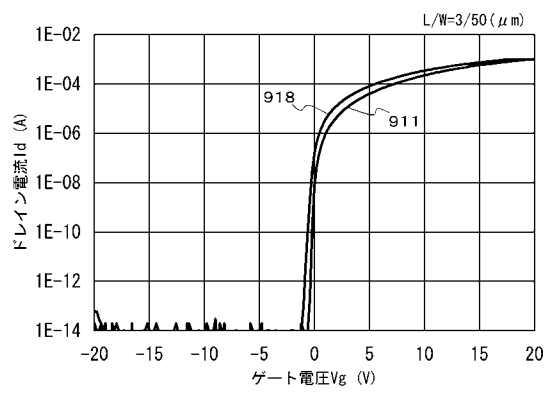
【図 28】



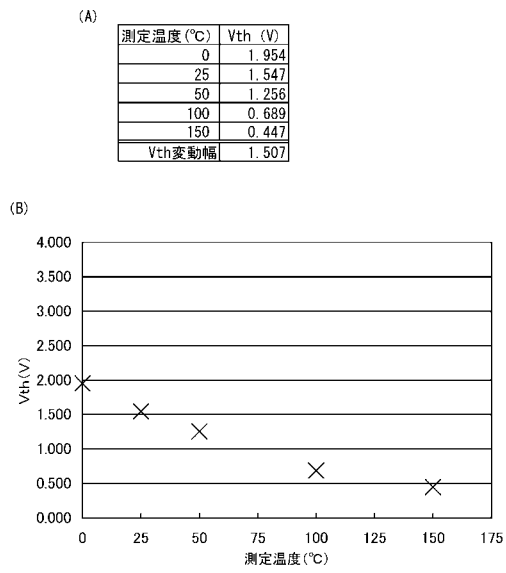
【図 29】



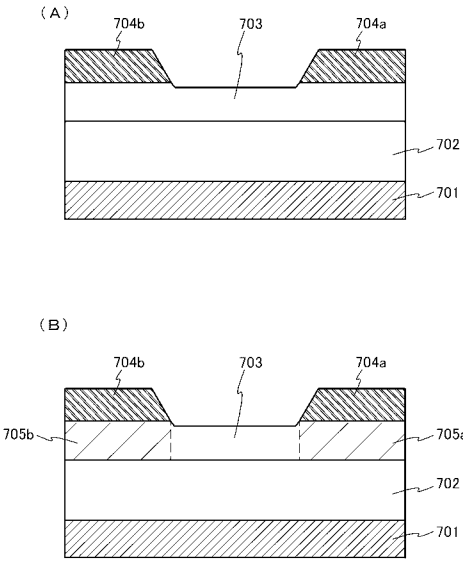
【図 30】



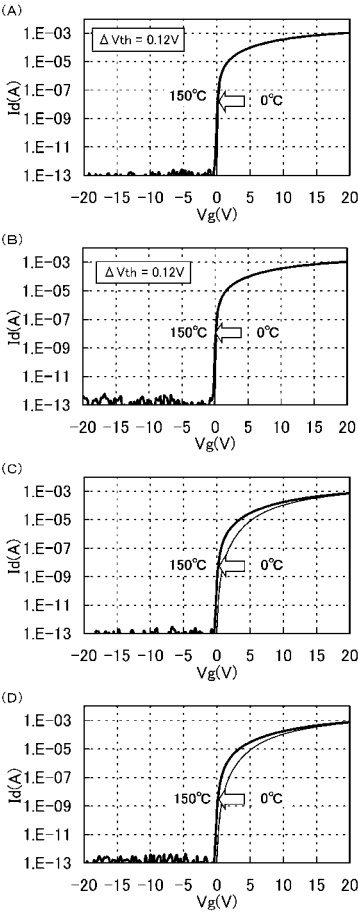
【図 31】



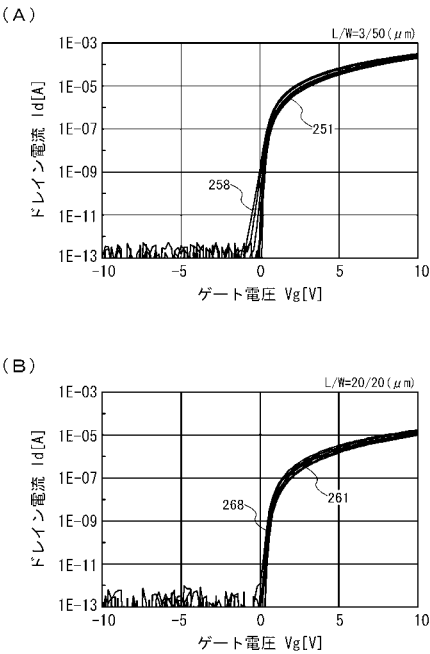
【図 3 2】



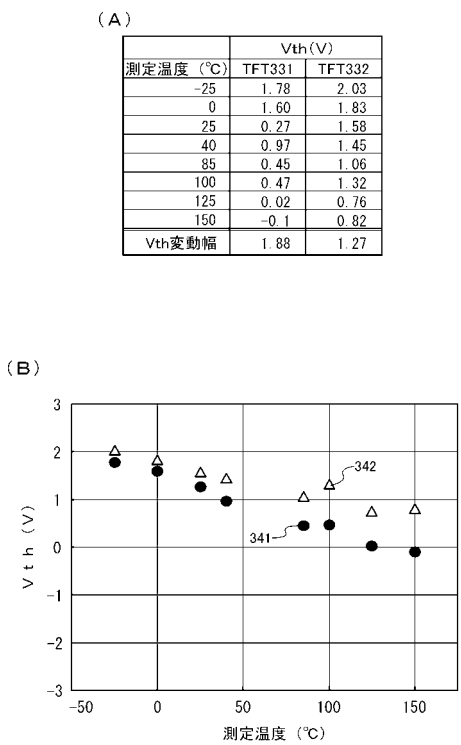
【図 3 3】



【図 3 4】



【図 3 5】



【手続補正書】

【提出日】令和1年10月10日(2019.10.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の導電層と、
前記第1の導電層上の第1の絶縁層と、
前記第1の絶縁層上の、第1の酸化物半導体層と、第2の酸化物半導体層と、
前記第1の酸化物半導体層上の第2の導電層と、
前記第2の導電層上の第2の絶縁層と、
前記第2の絶縁層上の、第1の液晶素子と、第2の液晶素子と、を有し、
前記第1の液晶素子は、第1の電極と、液晶と、第2の電極と、を有し、
前記第2の液晶素子は、第3の電極と、前記液晶と、前記第2の電極と、を有し、
平面視において、前記第1の導電層は、第1の方向に延びて配置され、
前記第1の導電層は、第1のトランジスタのゲート電極として機能する領域を有し、
前記第1の酸化物半導体層は、前記第1のトランジスタのチャンネル形成領域として機能する領域を有し、
前記第1の導電層は、第2のトランジスタのゲート電極として機能する領域を有し、
前記第2の酸化物半導体層は、前記第2のトランジスタのチャンネル形成領域として機能する領域を有し、
平面視において、前記第2の導電層は、第2の方向に延びて配置され、
平面視において、前記第2の方向は、前記第1の方向と交差し、
前記第2の導電層は、前記第1のトランジスタのソース電極又はドレイン電極の一方として機能する領域を有し、
前記第1のトランジスタのソース電極又はドレイン電極の他方は、前記第1の電極と電氣的に接続され、
前記第2のトランジスタのソース電極又はドレイン電極の一方は、前記第3の電極と電氣的に接続され、
平面視において、前記第1の導電層は、第1の領域と、第2の領域と、を有し、
平面視において、前記第2の方向における前記第1の領域の幅は、前記第2の方向における前記第2の領域の幅よりも広く、
平面視において、前記第1の領域は、前記第2の導電層と重なる第3の領域を有し、
平面視において、前記第3の領域は、前記第1の電極と前記第3の電極の間の領域と重なる第4の領域を有し、
前記第2の電極は、前記第4の領域と重なる領域を有する、液晶表示装置。

【請求項2】

請求項1において、前記第1の酸化物半導体層は、Inと、Gaと、Znと、を有し、前記第2の酸化物半導体層は、Inと、Gaと、Znと、を有する、液晶表示装置。

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/167 (2019.01)

G 0 2 F 1/167

F ターム(参考) 2H192 AA24 BA25 BC12 BC31 BC61 CB05 CB06 CB37 CB71 DA12
EA43 EA67 FA73 FB03 FB22 FB27 FB33 FB42 FB46 FB72
GD06 HA90 JA06 JA13 JA17 JA23 JA25 JA33 JA64
2K101 AA04 BA02 BA12 BB43 BC02 BD61 BE27 EC08 EC62 EC63
EC82 EC84 ED13 EE02 EG27 EJ21 EK35
5F110 AA08 BB02 CC03 CC07 DD01 DD02 DD03 DD04 DD13 DD14
DD15 DD17 EE02 EE03 EE04 EE06 EE14 EE15 EE44 FF02
FF03 FF04 FF09 FF28 FF29 FF30 FF36 GG01 GG13 GG14
GG15 GG22 GG24 GG25 GG28 GG29 GG33 GG34 GG36 GG43
GG57 GG58 HK02 HK03 HK04 HK06 HK07 HK21 HK22 HL01
HL02 HL03 HL04 HL06 HL07 HL09 HL12 HL27 NN02 NN03
NN04 NN12 NN22 NN23 NN24 NN25 NN27 NN33 NN34 NN35
NN36 NN40 PP01 PP02 PP10 PP13 QQ09

专利名称(译)	液晶显示器		
公开(公告)号	JP2020034922A	公开(公告)日	2020-03-05
申请号	JP2019185733	申请日	2019-10-09
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 津吹将志 郷戸宏充		
发明人	山崎 舜平 津吹 将志 郷戸 宏充		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G02F1/16766 G02F1/16757 G02F1/167		
CPC分类号	H01L29/66742 H01L29/66969 H01L29/7869 H01L29/78696 H01L29/78606		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.612.Z G02F1/16766 G02F1/16757 G02F1/167 G02F1/1685		
F-TERM分类号	2H192/AA24 2H192/BA25 2H192/BC12 2H192/BC31 2H192/BC61 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB71 2H192/DA12 2H192/EA43 2H192/EA67 2H192/FA73 2H192/FB03 2H192/FB22 2H192/FB27 2H192/FB33 2H192/FB42 2H192/FB46 2H192/FB72 2H192/GD06 2H192/HA90 2H192/JA06 2H192/JA13 2H192/JA17 2H192/JA23 2H192/JA25 2H192/JA33 2H192/JA64 2K101/AA04 2K101/BA02 2K101/BA12 2K101/BB43 2K101/BC02 2K101/BD61 2K101/BE27 2K101/EC08 2K101/EC62 2K101/EC63 2K101/EC82 2K101/EC84 2K101/ED13 2K101/EE02 2K101/EG27 2K101/EJ21 2K101/EK35 5F110/AA08 5F110/BB02 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE15 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF29 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG22 5F110/GG24 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG34 5F110/GG36 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL09 5F110/HL12 5F110/HL27 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN40 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/QQ09		
优先权	2009215077 2009-09-16 JP 2010035349 2010-02-19 JP		
外部链接	Espacenet		

摘要(译)

包括氧化物半导体膜的薄膜晶体管具有稳定的电特性。 一个目的是提供具有高可靠性的薄膜晶体管。 使用氧化物半导体膜的薄膜晶体管的沟道长度L为1.5μm以上且100μm以下,优选3μm以上且10μm以下,并且工作温度范围为室温至180℃或-25℃至150℃。 通过在以下的工作温度范围内将阈值电压的变动范围设定为3V以下,优选为1.5V以下,可以制造电特性稳定的半导体装置。 特别地,在作为半导体装置的一种模式的显示装置中,可以减少由于阈值的变化引起的显示不均匀。 [选型图]图1

