

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-61287

(P2019-61287A)

(43) 公開日 平成31年4月18日(2019.4.18)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618E	5F110
	HO1L 29/78 616T	

審査請求 有 請求項の数 2 O L (全 31 頁)

(21) 出願番号	特願2019-4040 (P2019-4040)	(71) 出願人	000153878
(22) 出願日	平成31年1月15日 (2019.1.15)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-113133 (P2017-113133) の分割	(72) 発明者	黒川 義元
原出願日	平成20年7月22日 (2008.7.22)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-196489 (P2007-196489)		半導体エネルギー研究所内
(32) 優先日	平成19年7月27日 (2007.7.27)	(72) 発明者	池田 隆之
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	長多 剛
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	井上 卓之
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

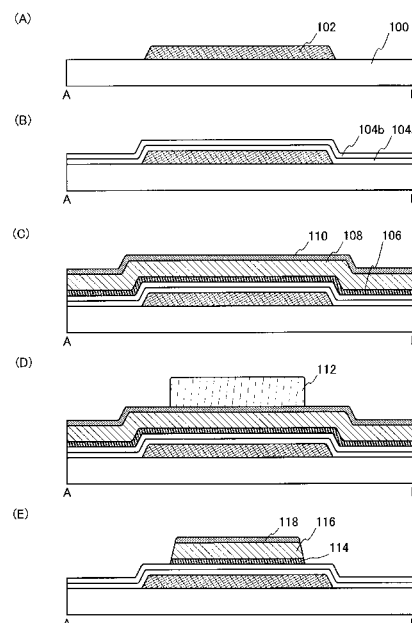
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】開口率を向上した液晶表示装置及び電子機器を提供することを課題とする。

【解決手段】絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅Wと、トランジスタのチャンネル長Lとは、 $0.1 \leq W/L \leq 1.7$ の関係を満たすことを特徴としている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁表面上の第 1 の導電層と、
 前記絶縁表面上の第 2 の導電層と、
 前記第 1 の導電層上の半導体層と、
 前記半導体層上の第 3 の導電層と、
 前記半導体層上の第 4 の導電層と、
 前記第 3 の導電層上の第 5 の導電層と、を有する表示装置であって、
 前記第 1 の導電層は、ゲート電極としての機能を有し、
 前記第 2 の導電層は、前記表示装置が有する複数の画素に共通の電位を供給する機能を
 有し、
 前記第 3 の導電層は、ソース電極またはドレイン電極の一方としての機能を有し、
 前記第 4 の導電層は、前記ソース電極または前記ドレイン電極の他方としての機能を有
 し、
 前記第 5 の導電層は、前記第 3 の導電層に電氣的に接続され、
 前記第 5 の導電層は、液晶素子の画素電極としての機能を有し、
 前記第 1 の導電層は、前記半導体層全体と重なる領域を有し、
 前記半導体層は、第 1 の半導体層と、前記第 1 の半導体層上の第 2 の半導体層と、前記
 第 1 の半導体層上の第 3 の半導体層と、を有し、
 前記第 2 の半導体層は、前記第 1 の半導体層よりも導電性が高く、
 前記第 3 の半導体層は、前記第 1 の半導体層よりも導電性が高く、
 前記第 2 の半導体層は、前記第 3 の導電層に電氣的に接続され、
 前記第 3 の半導体層は、前記第 4 の導電層に電氣的に接続され、
 前記第 2 の半導体層は、前記第 3 の導電層と重ならない領域を有し、
 前記第 3 の半導体層は、前記第 4 の導電層と重ならない領域を有する表示装置。

【請求項 2】

絶縁表面上の第 1 の導電層と、
 前記絶縁表面上の第 2 の導電層と、
 前記第 1 の導電層上の半導体層と、
 前記半導体層上の第 3 の導電層と、
 前記半導体層上の第 4 の導電層と、
 前記第 3 の導電層上の第 5 の導電層と、を有する表示装置であって、
 前記第 1 の導電層は、ゲート電極としての機能を有し、
 前記第 2 の導電層は、前記表示装置が有する複数の画素に共通の電位を供給する機能を
 有し、
 前記第 3 の導電層は、ソース電極またはドレイン電極の一方としての機能を有し、
 前記第 4 の導電層は、前記ソース電極または前記ドレイン電極の他方としての機能を有
 し、
 前記第 5 の導電層は、前記第 3 の導電層に電氣的に接続され、
 前記第 5 の導電層は、液晶素子の画素電極としての機能を有し、
 前記第 1 の導電層は、前記半導体層全体と重なる領域を有し、
 前記半導体層は、第 1 の半導体層と、前記第 1 の半導体層上の第 2 の半導体層と、前記
 第 1 の半導体層上の第 3 の半導体層と、を有し、
 前記第 2 の半導体層は、前記第 1 の半導体層よりも導電性が高く、
 前記第 3 の半導体層は、前記第 1 の半導体層よりも導電性が高く、
 前記第 2 の半導体層は、前記第 3 の導電層に電氣的に接続され、
 前記第 3 の半導体層は、前記第 4 の導電層に電氣的に接続され、
 前記第 2 の半導体層は、前記第 3 の導電層と重ならない領域を有し、
 前記第 3 の半導体層は、前記第 4 の導電層と重ならない領域を有し、
 前記第 2 の導電層は、開口部を有し、

前記開口部は、前記第 5 の導電層と重なる領域と、前記第 5 の導電層と重ならない領域と、を有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及び電子機器に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に半導体薄膜を形成し、該半導体薄膜を用いて半導体装置を作製する技術が広く研究されている。前述の半導体薄膜を用いた半導体装置は様々な分野に用いることができるが、中でも、画像表示装置のスイッチング素子として用いられることが多い。

10

【0003】

上記画像表示装置のスイッチング素子としては、非晶質半導体や多結晶半導体が用いられる。非晶質半導体を用いる場合には、結晶化等に必要となる工程を排除して工程数を最小限に抑えることができるため、スイッチング素子を安価に製造することができるというメリットがある。また、多結晶半導体を用いる場合には、高性能なスイッチング素子を作製できるというメリットがある。

【0004】

スイッチング素子を用いる画像表示装置の例としては、液晶表示装置やエレクトロルミネッセンス表示装置などが挙げられる。液晶表示装置は、画素電極と対向電極との間に電位差を与えることにより、液晶分子の配向を変化させて表示を行うものである。なお、表示に必要な電位差を一定の時間保持するために、一般的に画素には保持容量が設けられる。エレクトロルミネッセンス表示装置は、電極間に設けられた発光材料に電荷を供給し、キャリアの発光再結合を誘導することにより表示を行うものである。

20

【0005】

液晶表示装置において、画素の開口率は表示品質を決定する重要なパラメーターの一つである。開口率が向上することにより輝度が向上し、高コントラストの表示が可能となる。また、開口率が向上することによりバックライトの出力を低減することが可能である。開口率を向上させる方法としては、例えば、遮光膜を用いて保持容量を形成する方法がある（例えば、特許文献 1 参照）。

30

【0006】

ところで、半導体材料としては、非晶質半導体や多結晶半導体以外にも、微結晶半導体が存在する。例えば、微結晶シリコンは非晶質シリコンと並び、古くから知られた材料である。微結晶シリコンを用いた電界効果型トランジスタに関しては 1980 年代に遡ってみることができる（例えば、特許文献 2 参照）。しかしながら、今日に至るまで微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタと多結晶シリコンを用いたトランジスタに埋もれて実用化が遅れ、学会などで報告が散見されるにとどまっていた（例えば、非特許文献 1 参照）。

【先行技術文献】

40

【特許文献】

【0007】

【特許文献 1】特開平 10 - 170961 号公報

【特許文献 2】米国特許第 5,591,987 号

【非特許文献】

【0008】

【非特許文献 1】トシアキ・アライ (Toshiaki Arai) 他、エス・アイ・ディー 07 ダイジェスト (SID 07 DIGEST)、2007、p. 1370 - 1373

【発明の概要】

50

【発明が解決しようとする課題】**【0009】**

液晶表示装置において、画素部のトランジスタ（以下「画素トランジスタ」とも言う）には高い電流駆動能力と、低いリーク電流特性が求められる。高い電流駆動能力が求められるのは、保持容量の充電及び放電を速やかに行う必要があるためである。低いリーク電流特性が求められるのは、保持容量に蓄えられた電荷を逃さないようにするためである。

【0010】

画素トランジスタとして非晶質半導体を用いる場合には、上記のように安価に製造できるという利点がある。一方で、非晶質半導体ではキャリアの移動度が低いため、これを用いたトランジスタの電流駆動能力も低いものになってしまう。トランジスタのチャネル幅を大きくすることにより電流駆動能力の向上は可能であるが、この場合にはトランジスタサイズが大きくなり、画素の開口率が低下するという問題が生じることになる。

10

【0011】

トランジスタサイズを大きくした場合には他にも弊害が生じる。例えば、トランジスタのソース領域又はドレイン領域と、ゲート配線（ゲート電極ともいう）との間に形成される容量（以下、結合容量という）が大きくなるという問題である。図23に示されるように、回路図においては、結合容量2301と保持容量2302とは、ゲート配線2303と液晶素子2304との間に直列に接続された状態として表現される。つまり、ゲート配線2303の電位が変動すると、保持容量2302の電位も変動することになる。表示品質を一定に保つためには、保持容量2302の電位変動が十分に小さいことが必要であり、結合容量2301に対する保持容量2302の割合を高めなければならないが、保持容量2302を大きくすると開口率が低下してしまうことになる。また、トランジスタサイズが大きくなった場合には、同時に結合容量2305も大きくなるため、ソース信号のなまり等も問題となる。

20

【0012】

以上のように、画素トランジスタとして非晶質半導体を用いる場合には、所望の性能を保ったまま開口率を向上することは非常に困難である。

【0013】

一方、画素トランジスタとして多結晶半導体を用いる場合には、上述の移動度が低いことに起因する問題は解消される。しかしながら、液晶表示装置の製造に用いられる露光装置の分解能は数 μm 程度であり、多結晶半導体の特性を生かし切れているとは到底いえない。それどころか、最適なサイズよりチャネル幅が大きくなることに起因して、リーク電流が大きくなってしまいう問題が生じる。リーク電流が大きい場合には、保持容量を大きくする必要があるため、開口率の低下につながる。また、リーク電流を低減するために、トランジスタを直列に数個接続する等の工夫をする場合があるが、この場合にも開口率は低下することになる。なお、LSI等の場合と比較して分解能が低いのは、液晶表示装置に用いられる基板（代表的にはガラス基板）に数十 μm 程度のたわみがあるためである。このため、大面積を一度に露光する場合には露光装置の焦点深度を深くする必要がある。

30

【0014】

さらに、多結晶半導体を用いる場合には、工程が煩雑になり、生産性が低下するという問題がある。

40

【0015】

このような問題点に鑑み、本発明では開口率を向上した液晶表示装置及び電子機器を提供することを課題とする。

【課題を解決するための手段】**【0016】**

本発明では、微結晶構造を有する半導体（以下「微結晶半導体」ともいう）と非晶質半導体の積層構造を用いてトランジスタを作製する。より詳細には、チャネル形成領域として微結晶半導体を用い、微結晶半導体上に非晶質半導体が積層した構造のボトムゲート型

50

薄膜トランジスタを作製する。これにより、高い電流駆動能力と低いリーク電流特性とを併せ持ったトランジスタを提供することができる。すなわち、上述のトランジスタをスイッチング素子として用いることにより、開口率を向上した液晶表示装置を提供することができる。

【0017】

本発明の液晶表示装置の一は、絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅 W と、トランジスタのチャンネル長 L とは、 $0.1 \leq W/L \leq 1.7$ の関係を満たすことを特徴としている。

10

【0018】

本発明の液晶表示装置の他の一は、絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅 W は、 $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下、（好ましくは $1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下）であることを特徴としている。

【0019】

また、本発明の液晶表示装置の他の一は、絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅 W は、トランジスタの最小加工寸法 d 、及び、非晶質半導体を用いて電流駆動能力を等しく作製したトランジスタのチャンネル幅 W_a に対して、 $d \leq W \leq W_a$ の関係を満たすことを特徴としている。なお、上記において、チャンネル幅（ W_a ）以外のパラメータは、本発明のトランジスタと等しい。

20

【0020】

また、本発明の液晶表示装置の他の一は、絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅 W と、トランジスタのチャンネル長 L とは、 $0.1 \leq W/L \leq 1.7$ の関係を満たし、少なくともトランジスタのチャンネル形成領域となる微結晶構造を有する半導体層上には、バッファ層が残存していることを特徴としている。

30

【0021】

また、本発明の液晶表示装置の他の一は、絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅 W は、 $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下、（好ましくは $1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下）であり、少なくともトランジスタのチャンネル形成領域となる微結晶構造を有する半導体層上には、バッファ層が残存していることを特徴としている。

40

【0022】

また、本発明の液晶表示装置の他の一は、絶縁表面を有する基板と、基板上に形成されたトランジスタと、トランジスタに電氣的に接続された画素電極と、を有し、トランジスタは、ゲート電極と、ゲート電極上のゲート絶縁層と、ゲート絶縁層上の微結晶構造を有する半導体層と、微結晶構造を有する半導体層上のバッファ層と、を有し、トランジスタのチャンネル幅 W は、トランジスタの最小加工寸法 d 、及び、非晶質半導体を用いて電流駆動能力を等しく作製したトランジスタのチャンネル幅 W_a に対して、 $d \leq W \leq W_a$ の関係を

50

を満たし、少なくともトランジスタのチャネル形成領域となる微結晶構造を有する半導体層上には、バッファ層が残存していることを特徴としている。なお、上記において、チャネル幅 (W_a) 以外のパラメータは、本発明のトランジスタと等しい。

【0023】

また、上記の構成において、バッファ層は、非晶質半導体を用いて形成されたことを特徴としている。また、トランジスタのチャネル形成領域となる微結晶構造を有する半導体層上において、バッファ層には溝が形成されていることを特徴としている。

【0024】

また、上記の液晶表示装置を用いて様々な電子機器を提供することができる。

【0025】

なお、本明細書中、特に断りがない限りにおいて、微結晶半導体とは微結晶構造を有する半導体をいうものとする。つまり、微結晶半導体の構成要素として微結晶構造以外を含んでいても良い。例えば、成膜条件等によっては、非晶質構造を含む場合がある。

【0026】

なお、本明細書において、「接続」には「電氣的な接続」が含まれるものとする。

【0027】

また、本明細書中における表示装置とは、画像表示デバイス等の表示デバイス、照明装置等の光源、などを含むものとする。また、FPC (Flexible printed circuit) やTAB (Tape Automated Bonding) テープ、TCP (Tape Carrier Package) 等のコネクタが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、表示素子にCOG (Chip On Glass) 方式によりIC (集積回路) が実装されたモジュール等も全て表示装置に含まれるものとする。

【発明の効果】

【0028】

本発明により、開口率を向上した液晶表示装置を提供することができる。また、これを用いて、高品質な電子機器を提供することができる。

【図面の簡単な説明】

【0029】

【図1】本発明の表示装置の作製工程を示す図である。

【図2】本発明の表示装置の作製工程を示す図である。

【図3】本発明の表示装置の作製工程を示す図である。

【図4】本発明の表示装置の平面図である。

【図5】本発明の表示装置の平面図である。

【図6】本発明の表示装置の一例を示す図である。

【図7】本発明の表示装置の作成工程を示す図である。

【図8】本発明の表示装置の断面図である。

【図9】本発明の表示装置の平面図である。

【図10】本発明の表示装置の平面図である。

【図11】本発明の表示装置の回路図である。

【図12】本発明の表示装置の断面図である。

【図13】本発明の表示装置の平面図である。

【図14】本発明の表示装置の平面図である。

【図15】本発明の表示装置の回路図である。

【図16】本発明の表示装置の断面図である。

【図17】本発明の表示装置の平面図である。

【図18】本発明の表示装置の断面図である。

【図19】本発明の表示装置の平面図である。

【図20】本発明の表示装置の断面図である。

【図21】本発明の表示装置の平面図である。

10

20

30

40

50

【図 2 2】本発明の表示装置を用いた電子機器を示す図である。

【図 2 3】従来の表示装置の回路図である。

【発明を実施するための形態】

【0030】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いることとする。

【0031】

10

(実施の形態 1)

本実施の形態では、本発明の液晶表示装置の作製工程、特に、薄膜トランジスタの作製工程について、図 1 乃至 6 を用いて説明する。図 1 乃至 3 は、作製工程における断面図であり、図 4、5 は一画素における薄膜トランジスタ及び画素電極の接続領域の平面図である。図 6 は、完成した液晶表示装置の断面図及び平面図である。

【0032】

なお、平面図の構成としては様々なものが考えられるが、本実施の形態では代表的に、チャンネル形成領域、ソース領域、ドレイン領域が直線状に配置した構造の場合(図 4 参照)、及びチャンネル形成領域やソース領域又はドレイン領域の一方が U 字型の構造の場合(図 5 参照)を示している。もちろん本発明はこれらに限られるものではない。図 5 の如き構成とすることにより、開口率の低下を伴わずに一定のチャンネル幅を確保することができるため好ましい。また、本発明では、チャンネル幅を十分に小さくすることができるため、図 4 の如き直線状の構造を用いて非常に開口率の高い液晶表示装置を作成することができる。なお、図 1 乃至図 3 の断面図は、図 4、5 における線分 A B に対応している。

20

【0033】

微結晶半導体を用いた薄膜トランジスタでは、p チャンネル型より n チャンネル型の電流駆動能力が高い。このため、画素部のトランジスタとしては n チャンネル型が適しているが、本発明はこれに限られない。本実施の形態では、n チャンネル型の薄膜トランジスタを用いて説明する。

【0034】

30

はじめに、基板 100 上にゲート電極 102 を形成する(図 1 (A) 及び図 4 (A)、図 5 (A) 参照)。基板 100 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルミノシリケートガラスなどの無アルカリガラス基板、セラミック基板等を用いることができる。耐熱性が許せば、プラスチック基板等を用いてもよい。また、ステンレス合金などの金属基板の表面に絶縁層を設けた基板を用いても良い。基板 100 の大きさについては特に限定されず、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、2850mm×3050mm 等の基板を適宜用いることができる。

40

【0035】

ゲート電極 102 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 102 は、スパッタリング法や真空蒸着法で形成した導電層を、マスクを用いてエッチングすることにより形成することができる。また、金、銀、銅などの導電性ナノペーストを、インクジェット法により吐出し、焼成することによって形成することもできる。なお、上記金属材料の窒化物層を、基板 100 及びゲート電極 102 の間に設けてもよい。これにより、ゲート電極 102 の密着性を向上させることができる。また、半導体層への該金属材料の拡散を防ぐこともできる。

50

【0036】

なお、ゲート電極102は、その端部がテーパー形状となるように加工することが好ましい。これにより、ゲート電極102上に半導体層や配線等を形成する際の段切れを防止することができる。また、ゲート電極102の形成と同じ工程にて、その他の配線を形成することもできる。なお、本実施の形態においては、ゲート電極102を単層構造としたが、2層以上の積層構造としても良い。例えば、アルミニウムとモリブデンとの積層構造としても良いし、銅とモリブデンとの積層構造としても良い。また、モリブデンに代えて、窒化チタンや窒化タンタルを用いても良い。積層構造とする場合には、上記のように低抵抗材料をバリアメタルにて覆う構成とすることにより、半導体層中に汚染源となる金属元素が拡散することを防止できる。

10

【0037】

次に、ゲート電極102上に、ゲート絶縁層104a、ゲート絶縁層104bを形成する(図1(B)参照)。ゲート絶縁層104a、ゲート絶縁層104bとしては、CVD法やスパッタリング法等を用いて形成された、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜等を用いればよい。本実施の形態においては、ゲート絶縁層104aとして窒化珪素または窒化酸化珪素を、ゲート絶縁層104bとして酸化珪素または酸化窒化珪素を用いた構造を示す。なお、ゲート絶縁層を2層構造としているが、本発明はこれに限られない。単層としても良いし、3層以上の積層構造としても構わない。

【0038】

ここで、酸化窒化珪素とは、その組成において、窒素よりも酸素の含有量(原子数)が多いものを示し、例えば、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、珪素が25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化珪素とは、その組成において、酸素よりも窒素の含有量(原子数)が多いものを示し、例えば、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、珪素が25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものをいう。但し、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が100原子%を超えない値をとる。

20

30

【0039】

なお、ゲート絶縁層104bの形成の際に水素プラズマ処理を行っても良い。ゲート絶縁層に水素プラズマ処理を行うことにより微結晶半導体層の結晶成長を促進することができる。これは、水素プラズマ処理によって、ゲート絶縁層に存在するダングリングボンドを終端することができるためである。このように、ゲート絶縁層104bの形成の際にプラズマ処理を行うことにより、得られる微結晶半導体層の特性を向上することができる。

【0040】

その後、ゲート絶縁層104b上に、微結晶半導体層106、バッファ層108、一導電型を付与する不純物元素が添加された半導体層110を順に形成する(図1(C)参照)。

40

【0041】

微結晶半導体層106は、非晶質と結晶(単結晶、多結晶を含む)との中間的な構造の半導体を含む層であり、その結晶粒径は、およそ2nm以上100nm以下である。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルのピークが単結晶シリコンを示す 521 cm^{-1} よりも低波数側にシフトしている。即ち、単結晶シリコンを示す 521 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} との間に微結晶シリコンのラマンスペクトルのピークがある。また、ダングリングボンドを終端するために、水素またはハロゲンが1原子%またはそれ以上含まれていても良い。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みを助長させることにより、安定性が向上した良好な微結晶半導体を得ることができる。

50

【0042】

上記の微結晶半導体層106は、例えば、周波数が数十MHz乃至数百MHzの高周波プラズマCVD、周波数が1GHz以上のマイクロ波プラズマCVDを用いて形成することができる。原料ガスとしては、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などに代表される珪素化合物を水素で希釈したものを用いることができる。前述の珪素化合物や水素に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を添加しても良い。なお、微結晶半導体層106の厚さは、2nm以上50nm以下、好ましくは、10nm以上30nm以下とする。

【0043】

なお、微結晶半導体層106は、不純物元素を意図的に添加しない場合には弱いn型の導電性を示す。このため、p型を付与する不純物元素を添加して、しきい値を制御しても良い。p型を付与する不純物元素としてボロンを用いる場合には、例えばボロンの濃度が $1 \times 10^{14} \text{ atoms/cm}^3$ 以上 $6 \times 10^{16} \text{ atoms/cm}^3$ 以下となるように添加すればよい。

10

【0044】

バッファ層108は非晶質半導体を含む層であり、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの珪素化合物の気体を用いて、プラズマCVD法により形成することができる。また、上記珪素化合物の気体を、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いても良い。さらに、水素を添加して、水素を含む非晶質半導体層を形成しても良いし、窒素やアンモニアを添加して、窒素を含む非晶質半導体層を形成しても良いし、フッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を用いて、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体層を形成しても良い。

20

【0045】

また、バッファ層108は、ターゲットに非晶質半導体を用いたスパッタリング法により形成することもできる。スパッタリングの雰囲気としては、水素雰囲気、または希ガス雰囲気が好ましいが、これに限られない。さらに、アンモニア、窒素、または N_2O を添加することにより、窒素を含む非晶質半導体層を形成することもできる。また、フッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)を添加することにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体層を形成することもできる。

30

【0046】

バッファ層108として微結晶半導体層106の表面に非晶質半導体層を形成した後、該非晶質半導体層の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマ等で処理して、非晶質半導体層の表面を水素化、窒化、またはハロゲン化してもよい。

【0047】

バッファ層108の厚さは、100nm以上500nm以下、好ましくは、150nm以上400nm以下、より好ましくは200nm以上300nm以下とする。バッファ層108を厚めに形成するのは、後のソース領域及びド레인領域の形成プロセス(エッチング)において、その一部を残存させるためである。バッファ層108を残存させることにより、薄膜トランジスタのリーク電流(「オフ電流」とも言う)を低減することができる。また、バッファ層が微結晶半導体層上に存在することで、その一部がチャネル形成領域として機能する微結晶半導体層106の酸化を防止し、良好な特性を得ることが可能である。なお、微結晶半導体層と、ソース領域又はド레인領域と重なる領域のバッファ層は、前述の膜厚(100nm以上500nm以下、好ましくは、150nm以上400nm以下、より好ましくは200nm以上300nm以下)を有し、絶縁耐压の向上に寄与する。

40

【0048】

なお、オフ電流低減の効果を十分に得るためには、バッファ層108中にリン等のn

50

型を付与する不純物元素とボロン等の p 型を付与する不純物元素とが同時に存在しない領域を形成する必要がある。これらの不純物元素が同時に存在する場合には、再結合中心が形成され、リーク電流が生じてしまうためである。特に、n チャネル型の薄膜トランジスタを形成する場合には、バッファ層 108 上には、n 型を付与する不純物元素が添加された半導体層 110 が形成され、微結晶半導体層 106 には、しきい値電圧を制御するために p 型を付与する不純物元素が添加されている場合があるため、意図的に不純物元素が存在しない領域を形成する等の注意が必要である。

【0049】

n チャネル型の薄膜トランジスタを形成する場合には、一導電型を付与する不純物元素が添加された半導体層 110 に添加する不純物元素として、例えば、リンを用いることができる。また、p チャネル型の薄膜トランジスタを形成する場合には、不純物元素として、例えば、ボロンを用いることができる。一導電型を付与する不純物元素が添加された半導体層 110 は 2 nm 以上 50 nm 以下（好ましくは 10 nm 以上 30 nm 以下）程度の膜厚となるように形成すればよい。作製方法としては、原料ガスに不純物元素を含有するガス（例えば、 PH_3 や B_2H_6 ）を添加したプラズマ CVD 法等を用いることができる。

10

【0050】

次に、一導電型を付与する不純物元素が添加された半導体層 110 上にマスク 112 を形成する（図 1（D）参照）。なお、ゲート絶縁層 104a、ゲート絶縁層 104b、微結晶半導体層 106、及びバッファ層 108 を連続的に形成してもよいし、ゲート絶縁層 104a、ゲート絶縁層 104b、微結晶半導体層 106、バッファ層 108、及び一導電型を付与する不純物元素が添加された半導体層 110 を連続的に形成してもよい。少なくとも、ゲート絶縁層 104a、ゲート絶縁層 104b、微結晶半導体層 106、及びバッファ層 108 を大気に触れさせることなく連続的に形成することで、各界面を清浄な状態に保つことができる。なお、マスク 112 は、フォトリソグラフィ法やインクジェット法を用いて形成することができる。

20

【0051】

次に、マスク 112 を用いて、微結晶半導体層 106、バッファ層 108、一導電型を付与する不純物元素が添加された半導体層 110 をエッチングして、微結晶半導体層 114、バッファ層 116、一導電型を付与する不純物元素が添加された半導体層 118 を形成する（図 1（E）参照）。なお、図 1（B）は、図 4（B）又は図 5（B）の線分 AB の断面図に相当している。

30

【0052】

ここで、微結晶半導体層 114、バッファ層 116、及び一導電型を付与する不純物元素が添加された半導体層 118 の端部を、テーパ形状にエッチングすることで、一導電型を付与する不純物元素が添加された半導体層 118 と微結晶半導体層 114 との接触を防止できる。本発明において、一導電型を付与する不純物元素が添加された半導体層 118 と微結晶半導体層 114 とが接触した場合、バッファ層 116 の持つ意味が希薄になってしまう。したがって、上記のような対策は非常に有効である。なお、上記テーパ形状のテーパ角は 30° 以上 90° 以下、好ましくは 45° 以上 80° 以下とする。

40

【0053】

次に、一導電型を付与する不純物元素が添加された半導体層 118 及びゲート絶縁層 104b 上に導電層 120a、導電層 120b、導電層 120c を順に積層して形成する（図 2（A）参照）。なお、本実施の形態においては 3 層構造の導電層を形成したが、本発明はこれに限られない。単層、又は 2 層構造としても良いし、4 層以上の積層構造としても良い。

【0054】

導電層 120a、導電層 120b、導電層 120c に用いることができる材料としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、金（Au）、銀（Ag）、銅（Cu）、クロム（Cr）、ネオジム（

50

N d) から選ばれた元素、又は前記の元素を主成分とする合金材料もしくは化合物材料等が挙げられる。リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料や、A g P d C u 合金などを用いてもよい。作製方法としては、スパッタリング法や真空蒸着法、プラズマCVD法等が挙げられる。本実施の形態においては、導電層120 a、導電層120 cにモリブデン、導電層120 bにアルミニウムを用いた場合を示すが、他の構成を用いても良い。例えば、導電層120 a、導電層120 cにチタン、導電層120 bにアルミニウムを用いる構成としても良い。

【0055】

なお、導電層120 a、導電層120 b、導電層120 cは、導電性ナノペーストを用いたスクリーン印刷法や、インクジェット法などを用いて形成することも可能である。

10

【0056】

その後、導電層120 a、導電層120 b、導電層120 c上にマスク122を形成する。マスク122は、マスク112と同様に形成することができる。

【0057】

次に、マスク122を用いて導電層120 a、導電層120 b、導電層120 cをエッチングして、ソース電極又はドレイン電極として機能する導電層124 a、導電層124 b、導電層124 c及び、ソース電極又はドレイン電極として機能する導電層126 a、導電層126 b、導電層126 cを形成する(図2(B)参照)。本実施の形態ではウエットエッチングにより導電層124 a、導電層124 b、導電層124 c、導電層126 a、導電層126 b、導電層126 cを形成するが、ウエットエッチングはドライエッチングと比較して等方的なエッチングであり、マスク122の端部128 aと、導電層124 a、導電層124 b、導電層124 cの端部128 bは一致せず、また、マスク122の端部130 aと導電層126 a、導電層126 b、導電層126 cの端部130 bとは一致しない。

20

【0058】

次に、マスク122を用いて一導電型を付与する不純物元素が添加された半導体層118及びバッファ層116をエッチングして、ソース領域又はドレイン領域132、ソース領域又はドレイン領域134、バッファ層136を形成する(図2(C)参照)。そして、その後、マスク122を除去する。なお、バッファ層136はバッファ層116の一部がエッチングされたものであり、微結晶半導体層114の表面を覆っている。

30

【0059】

エッチングにより形成されたバッファ層136は溝を有しており、溝の端部は、ソース領域又はドレイン領域132の端部とほぼ連続した面を形成している。また、前述の溝は、マスク122の開口部と概略一致した領域に形成されている。

【0060】

バッファ層136を有することにより、上でも述べた通り、薄膜トランジスタのリーク電流(「オフ電流」とも言う)を低減することができる。これは、オフ時には、キャリアのパスの主要な部分がバッファ層136中に形成されるためである。ただし、オン時には微結晶半導体層のみがチャネルとして機能し、バッファ層136中にキャリアのパスは形成されない。なお、バッファ層136に溝を設けることにより、溝を設けない場合と比較してリーク電流を低減することができる。これは、溝を形成する分だけリークパスが長くなるためである。また、一導電型を付与する不純物元素が添加された半導体層118を完全に除去することにより、残渣に含まれる不純物元素等によるリーク電流を低減することができる。また、バッファ層の溝部分に存在する水素、フッ素等により、酸素等の不純物元素が微結晶半導体層に侵入することを防ぐことができる。また、バッファ層136が微結晶半導体層114上に存在することで、チャネル形成領域として機能する微結晶半導体層114の酸化を防止し、良好な特性を得ることが可能である。

40

【0061】

バッファ層136には寄生チャネル防止の効果もある。また、バッファ層136は、一導電型を付与する不純物元素が添加された半導体層118をエッチングする際のスト

50

ッパ―としても機能する。なお、バッファ層 136 を設けない場合には、エッチング時のラジカル反応により微結晶半導体層 114 が酸化して、移動度の低下、サブスレッショルド値 (S 値) の増大等の結果を招いてしまう。酸化防止対策としてバッファ層 136 を用いる場合には、水素化された非晶質半導体材料、特に a-Si:H (水素化非晶質シリコン) を用いるのが好適である。これは、表面が水素で終端されていることにより、酸化を抑制することができるためである。

【0062】

また、ソース領域又はドレイン領域 132 の端部 138 と、導電層 124a、導電層 124b、導電層 124c の端部 128b は一致せず、ソース領域又はドレイン領域 134 の端部 140 と、導電層 126a、導電層 126b、導電層 126c の端部 130b とは一致しない。端部 128b 及び端部 130b の内側に、端部 138 及び端部 140 が存在する形となる。

10

【0063】

なお、図 2 (C) は、図 4 (C) 又は図 5 (C) の線分 AB の断面図に相当している。図 4 (C) や図 5 (C) から、端部 128b 及び端部 130b が、端部 138 及び端部 140 の外側に位置することが分かる。また、ソース電極又はドレイン電極の一方は、ソース配線又はドレイン配線としても機能する。

【0064】

以上の工程により、チャネル形成領域として微結晶半導体層 114 を有し、該微結晶半導体層 114 上にバッファ層 136 を有する薄膜トランジスタ 142 を形成することができる。

20

【0065】

次に、薄膜トランジスタ 142 を覆うように絶縁層 144 を形成する (図 3 (A) 参照)。絶縁層 144 は、ゲート絶縁層 104a やゲート絶縁層 104b と同様に形成することができる。なお、絶縁層 144 は、大気中に浮遊する有機物や金属、水等の不純物の侵入を防ぐためのものであるから、緻密な膜とすることが好ましい。

【0066】

次に、絶縁層 144 にコンタクトホールを形成し、該コンタクトホールにおいて導電層 124c に接する画素電極 146 を形成する (図 3 (B) 参照)。なお、図 3 (B) は、図 4 (D) 又は図 5 (D) の線分 AB の断面図に相当する。

30

【0067】

画素電極 146 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物 (以下「ITO」とも言う)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0068】

また、画素電極 146 として、導電性高分子 (「導電性ポリマー」とも言う) を含む導電性組成物を用いることもできる。導電性組成物は、薄膜におけるシート抵抗が $1000 \Omega / sq$ 以下であることが好ましい。また、光透過性を有する画素電極層として薄膜を形成する場合には、波長 $550 nm$ における光の透過率が 70% 以上であることが好ましい。また、含まれる導電性高分子の抵抗率が $0.1 \Omega \cdot cm$ 以下であることが好ましい。

40

【0069】

上記の導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリン及びその誘導体、ポリピロール及びその誘導体、ポリチオフェン及びその誘導体、又は、これらの共重合体等があげられる。

【0070】

本実施の形態においては、端部 128b と端部 138、及び、端部 130b と端部 140 が一致しない構成のトランジスタを作製したが、これらが一致する構成としても良い。

50

図 3 (C) に、これらの端部が一致する形状の薄膜トランジスタの断面を示す。図 3 (C) のように端部の形状を一致させるためには、異方性の強いドライエッチングを用いればよい。ソース電極又はドレイン電極として機能する導電層 1 2 4 a、導電層 1 2 4 b、導電層 1 2 4 c 及び、ソース電極又はドレイン電極として機能する導電層 1 2 6 a、導電層 1 2 6 b、導電層 1 2 6 c をマスクとして用いて、一導電型を付与する不純物元素が添加された半導体層をエッチングすることでも、端部が一致した形状とすることができる。

【 0 0 7 1 】

その後、配向膜等を設けた後、対向基板の貼り合わせや、液晶の封入、各種駆動回路の実装等を行うことにより液晶表示装置が完成する (図 6 参照)。図 6 (A) は液晶表示装置の平面図であり、図 6 (B) は図 6 (A) の線分 C D における断面図である。なお、図 6 では簡単のため、トランジスタの積層構造等を一部省略している。

10

【 0 0 7 2 】

図 6 に示す液晶表示装置では、基板 6 0 0 上の画素部 6 0 2 と、走査線駆動回路 6 0 4 を囲むようにして、シール材 6 0 6 が設けられている。また、画素部 6 0 2 と、走査線駆動回路 6 0 4 の上には対向基板 6 0 8 が設けられている。つまり、画素部 6 0 2 と、走査線駆動回路 6 0 4 と、液晶 6 1 0 は、基板 6 0 0 とシール材 6 0 6 と対向基板 6 0 8 とによって封止されている。また、基板 6 0 0 上のシール材 6 0 6 によって囲まれた領域とは異なる領域に、別途用意された単結晶半導体又は多結晶半導体で形成された信号線駆動回路 6 1 2 が実装されている。図 6 (B) では、信号線駆動回路 6 1 2 に含まれるトランジスタ 6 1 4 を例示している。

20

【 0 0 7 3 】

基板 6 0 0 上の画素部 6 0 2 と、走査線駆動回路 6 0 4 は、薄膜トランジスタを複数有している。図 6 (B) では、画素部 6 0 2 に含まれる薄膜トランジスタ 6 1 6 を例示している。薄膜トランジスタ 6 1 6 は微結晶半導体を用いた薄膜トランジスタに相当し、上述の工程で作製することができる。

【 0 0 7 4 】

また、画素電極 6 1 8 と対向電極 6 2 0 との間隔 (セルギャップ) を制御するために、球状のスペーサー 6 2 2 が設けられている。球状のスペーサーに代えて、絶縁層を選択的にエッチングすることで得られるスペーサーを用いていても良い。

【 0 0 7 5 】

走査線駆動回路 6 0 4 と信号線駆動回路 6 1 2 に与えられる各種信号は、引き回し配線 6 2 4、引き回し配線 6 2 6 を介して、F P C 6 2 8 から供給されている。また、引き回し配線 6 2 6 には接続端子 6 3 0 が形成されており、F P C 6 2 8 と接続端子 6 3 0 とは異方性導電材料 6 3 2 を介して電氣的に接続されている。なお、本実施の形態において、接続端子 6 3 0 は画素電極 6 1 8 と同じ導電層から形成されており、また、引き回し配線 6 2 4、引き回し配線 6 2 6 は、配線 6 3 4 と同じ導電層で形成されているが、本発明はこれに限られない。

30

【 0 0 7 6 】

なお、図 6 には示していないが、本発明の液晶表示装置は、配向膜、偏光板を有し、更にカラーフィルタ (以下、着色膜ともいう) や遮光膜等を有していても良い。

40

【 0 0 7 7 】

なお、図 6 では信号線駆動回路 6 1 2 を別途形成し、基板 6 0 0 に実装した例を示しているが、本発明はこれに限られない。トランジスタの特性次第では信号線駆動回路を一体形成しても良い。もちろん、走査線駆動回路を別途形成する構成としても良い。また、信号線駆動回路の一部や走査線駆動回路の一部を別途形成して実装する構成としても良い。

【 0 0 7 8 】

以上のように、本発明により、微結晶半導体を画素トランジスタのチャネル形成領域として用いた液晶表示装置が提供される。なお、上記トランジスタ、液晶表示装置の構成はあくまで一例であり、本発明はこれに限定されるものではない。

【 0 0 7 9 】

50

なお、本発明の液晶表示装置に用いるトランジスタは、そのチャネル幅（ W ）が、最小加工寸法（ d ）以上となる。ここで、最小加工寸法（ d ）とは、トランジスタにおけるコンタクト部分の幅や、チャネル長、配線幅等のうちで最小のものをいう。つまり、本発明の液晶表示装置に用いるトランジスタは、 $d \leq W$ の関係を満たすように形成される。これは、微結晶半導体を用いたトランジスタのチャネル幅が、露光装置の分解能による制限を受けないことによる。

【0080】

また、チャネル幅（ W ）の上限は、非晶質半導体を用いて形成された等しい電流駆動能力のトランジスタにおけるチャネル幅（ W_a ）を参照することができる。すなわち、チャネル幅（ W ）は、チャネル幅（ W_a ）を用いて、 $W \leq W_a$ と規定される。これは、非晶質半導体におけるキャリアの移動度より微結晶半導体におけるキャリアの移動度が高く、電流駆動能力を等しく作製した場合には、非晶質半導体を用いた場合よりチャネル幅が小さくなるためである。ここで、比較対象である非晶質半導体を用いたトランジスタのチャネル幅（ W_a ）以外のパラメータについては、本発明のトランジスタと等しく設定する点に留意が必要である。

10

【0081】

また、本発明の液晶表示装置に用いるトランジスタにおいて、チャネル幅（ W ）とチャネル長（ L ）は、 $0.1 \leq W/L \leq 2.0$ （又は $0.1 \leq W/L < 2.0$ ）、好ましくは $0.1 \leq W/L \leq 1.5$ 、より好ましくは $0.1 \leq W/L \leq 1.0$ の関係を満たす。ここで、非晶質半導体を用いたトランジスタを液晶表示装置の画素に用いる場合には、チャネル幅（ W_a ）及びチャネル長（ L_a ）は、 $20 \leq W_a \leq 100$ 、 $3 \leq L_a \leq 10$ （単位はいずれも μm ）程度となる。つまり、 $2.0 \leq W_a/L_a \leq 33.3$ 程度である。一方で、本発明の微結晶半導体を用いたトランジスタを液晶表示装置の画素に用いる場合であれば、 $1 \leq W \leq 5$ 、 $3 \leq L \leq 10$ （単位はいずれも μm ）程度である。すなわち、 $0.1 \leq W/L \leq 1.7$ 程度である。

20

【0082】

なお、多結晶半導体を用いたトランジスタを液晶表示装置の画素に用いる場合には、露光装置の分解能により、チャネル幅（ W_p ）が大幅に制限を受けてしまう。すなわち、多結晶半導体の性能を十分に生かした画素トランジスタを作製することは困難である。移動度等を考慮した場合、多結晶半導体を用いたトランジスタのチャネル長（ L_p ）と非晶質半導体を用いたトランジスタのチャネル長が同等（ $3 \leq L_p \leq 10$ ）の条件の下においては、 $W_p \leq 0.5$ が適当な条件であり、 $W_p/L_p \leq 0.6$ となるが、このようにして求めた W_p/L_p の値は現実的なものではなく、大きな意味を持たない。

30

【0083】

なお、本発明の液晶表示装置に用いるトランジスタにおいて、チャネル幅（ W ）をより具体的に規定するのであれば、 $1 \mu m$ 以上 $10 \mu m$ 以下（より好ましくは $1 \mu m \leq W \leq 5 \mu m$ 以下）とすれば良い。露光装置の分解能の限界を下限とし、「露光装置の分解能の限界 $+5 \mu m$ 」程度を上限としてチャネル幅を規定することもできる。

【0084】

通常、非晶質半導体を用いたトランジスタを液晶表示装置に採用する場合には、そのチャネル幅が $20 \mu m$ 以上 $100 \mu m$ 以下となるように作製される。このようにチャネル幅を大きくするのは、非晶質半導体のキャリアの移動度が低いためである。しかしながら、大きなチャネル幅を採用する場合にはトランジスタのサイズも大きくなり、また、結合容量も大きくなるため、前述のように開口率が低下するという問題が生じる。この点、本発明では、非晶質半導体と比較してキャリアの移動度が高い微結晶半導体を用いてトランジスタを作製するため、非晶質半導体を用いる場合と比較してチャネル幅を十分に小さくすることができる。つまり、結合容量の問題を解消し、開口率を向上させることができる。

40

【0085】

また、多結晶半導体を用いたトランジスタでは、微結晶半導体を用いたトランジスタと比較してキャリアの移動度が高いため、理論的には微結晶半導体よりチャネル幅を小さく

50

することが可能である。しかしながら、液晶表示装置を作製する際に用いられる露光装置の分解能は数 μm 程度（例えば $3\mu\text{m}$ ）であり、現実問題として分解能より小さいチャネル幅を採用することはできない。したがって、多結晶半導体を液晶表示装置の画素トランジスタに採用するメリットは小さい。それどころか、多結晶半導体は電気伝導度が高く、このため多結晶半導体を用いたトランジスタはオフ時のリーク電流が大きいから、表示に必要な電荷を所定の時間保持するためには、保持容量を大きくしなければならない。つまり、多結晶半導体を用いる場合にも、開口率は低下してしまうことになる。また、リーク電流を低減するためにトランジスタを直列に接続する場合にも、開口率は低下する。

【0086】

この点、微結晶半導体を用いたトランジスタでは、求められる電流とチャネル幅との関係が液晶表示装置にとって最適であり、最大の開口率を有する液晶表示装置を提供することができるのである。

【0087】

なお、本発明の微結晶半導体を用いたトランジスタは、チャネル形成領域の微結晶半導体層上にバッファ層（非晶質半導体層）を積層している。これにより、主要なリークパスが電気伝導度の低いバッファ層（非晶質半導体層）側に形成されるため、さらにリーク電流を低減することができる。すなわち、保持容量をさらに小さくすることができるため、開口率の向上につながる。

【0088】

バッファ層には他にも複数の効果がある。一例としては、チャネル形成領域の微結晶半導体の酸化を防ぐ効果が挙げられる。別の一例としては、微結晶半導体中への不純物元素の侵入を防ぐ効果が挙げられる。これらの効果により、トランジスタ毎の特性のばらつきを低減することができるため、液晶表示装置を作製する際にトランジスタのばらつきを考慮する必要性が低下する。すなわち、トランジスタのばらつきの影響を防ぐための余裕を持たせた設計が不要となる。これを電荷保持という観点で見れば、従来であれば余裕を持たせて保持容量を確保していた状況においても、その余裕分は不要になるということである。これにより、保持容量を小さくすることができるため、開口率を向上することが可能である。

【0089】

なお、トランジスタのばらつき低減という意味において、微結晶半導体の有する特性は非常に好ましい。多結晶半導体は結晶粒毎の大きさがまちまちであり、また、多結晶半導体を用いて作製したトランジスタのチャネル形成領域は少数の結晶粒にて形成されるため、トランジスタ毎の特性のばらつきは大きくなりがちである。一方、微結晶半導体は結晶粒の大きさが整っており、また、トランジスタのチャネル形成領域は多数の結晶粒で形成されることになるため、トランジスタの特性のばらつきを低減することができる。

【0090】

（実施の形態2）

本実施の形態では、微結晶半導体層にレーザー光を照射して結晶性を改善したトランジスタを作製する方法について、図7を用いて説明する。

【0091】

はじめに実施の形態1と同様にして、基板上にゲート電極を形成する。そして、ゲート電極を覆うようにゲート絶縁層を形成する（図示しない）。その後、ゲート絶縁層700上に微結晶半導体層を形成する（図7（A）参照）。

【0092】

上述のように、ゲート絶縁層700上にプラズマCVD法等を用いて微結晶半導体層を形成する際に、ゲート絶縁層700と形成した半導体層702との界面付近に、非晶質成分を多く含む領域（ここでは「界面領域704」と呼ぶことにする）が形成されることがある。また、プラズマCVD法等で膜厚10nm以下の極薄い微結晶半導体層を形成しようとする場合、結晶粒が均一な半導体層を得ることは困難である。このような場合、以下に示すレーザー光を照射する処理は有効である。

10

20

30

40

50

【0093】

半導体層702を形成した後、半導体層702が溶融しないエネルギー密度のレーザー光を半導体層702の上方（界面領域704の反対の面の方向）から照射する（図7（B）参照）。該レーザー処理（Laser Process、以下「LP」ともいう）は、輻射加熱により半導体層702を溶融させないで固相結晶成長を行うものである。すなわち、堆積された半導体層702が液相にならない臨界領域を利用する結晶成長法であり、その意味において「臨界成長」ということもできる。

【0094】

レーザー光を照射した後の断面を図7（C）に示す。レーザー光としては、波長400nm以下のエキシマレーザー光や、YAGレーザーまたはYVO₄レーザーの第2高調波（波長532nm）乃至第4高調波（波長266nm）を用いることが好ましい。波長が同程度であれば、その他のレーザー光を用いることも可能であるが、生産性を向上させるためには、前述のような高出力のレーザーを用いることが好ましい。これらのレーザー光を光学系を用いて線状又はスポット状に集光し、半導体層702が溶融しないエネルギー密度に調節して照射する。レーザー光は半導体層702が溶融しないエネルギー密度（つまり低エネルギー密度）に集光するため、レーザー光の照射面積を大きくすることが可能である。つまり、大面積の基板であっても短時間に処理すること可能である。

【0095】

レーザー光は界面領域704にまで作用させることができる。このため、半導体層702の表面付近（図の上方の面）に存在する結晶を種として、該表面から界面領域704に向けて固相結晶成長が進み、概略柱状の結晶が成長することになる。LP処理による固相結晶成長は、結晶粒径を拡大させるものではなく、むしろ半導体層の厚さ方向における結晶性を改善し、結晶粒径を整えるためのものといえる。

【0096】

この際、照射するビームの形状を矩形長尺状（線状）とすることで、例えば730mm×920mmのガラス基板上の半導体層を一度のスキャンで処理することができる。エキシマレーザー等のパルスレーザーを用いる場合には、線状レーザービームを重ね合わせる割合（オーバーラップ率）を0%以上90%以下（好ましくは0%以上67%以下）として行う。これにより、基板1枚当たりの処理時間を短縮することができるため、生産性の面で有利である。ビームの形状は線状に限定されるものではなく、面状としても同様に処理することができる。また、本実施例のLP処理は上記ガラス基板のサイズに限定されず、さまざまなサイズに適用することができる。

【0097】

上述の臨界成長においては、従来のレーザー処理を用いた多結晶半導体（いわゆる低温ポリシリコン）において見られた表面の凹凸（リッジと呼ばれる凸状体）は形成されず、LP処理前後において、半導体表面の平滑性が変わらず良好であることも特徴である。本実施の形態の如く成膜後の微結晶半導体層にレーザー光を照射して得られる結晶性半導体層706は、成膜にて得られる微結晶半導体層とは膜質が異なっている。また、伝導加熱により改質された微結晶半導体ともその成長メカニズム及び膜質が異なっている。

【0098】

本明細書では、成膜後の微結晶半導体層にLP処理を行って得られる結晶性の半導体のうち、特にシリコンを用いた場合をLPSSA（Laser Process Semi Amorphous Silicon）と呼ぶことにする。なお、LPSSAは従来の微結晶シリコンと比較して、さらに良好な特性を有する半導体であるが、微結晶シリコンの一種であることには変わりがない。したがって、本明細書において「微結晶シリコン」とは従来の微結晶シリコンとLPSSAの両方を表し、特に区別が必要な場合にのみ「従来の微結晶シリコン」と「LPSSA」とを使い分けるものとする。同様に、「微結晶半導体」という場合においては従来の微結晶半導体とLP処理を行った結晶性半導体の両方を含むものとする。

【0099】

次いで、結晶性半導体層 706 上にバッファ層 708 を形成する。なお、バッファ層 708 として a - Si : H (水素化アモルファスシリコン) を形成する場合には、水素が結晶性半導体層 706 に供給されるため、結晶性半導体層 706 を結晶化した場合と同等の効果を得ることができる。すなわち、結晶性半導体層 706 上に a - Si : H 層を形成することにより、結晶性半導体層 706 に水素を拡散させてダングリングボンドを終端させることができる。なお、a - Si : H 層は、プラズマ CVD 法を用いて、300 以上 400 以下の温度にて形成すると良い。

【0100】

以降の工程は、実施の形態 1 と同様であるため、ここでは省略する。

【0101】

本実施の形態にて形成した、LPSS 等の LP 処理を行った半導体を用いることによりトランジスタの電気的特性をさらに向上させることができる。

【0102】

本実施の形態は、実施の形態 1 と適宜組み合わせて用いることができる。

【0103】

(実施の形態 3)

本実施の形態では、実施の形態 1 及び 2 にて示した薄膜トランジスタ (以下「TFT」ともいう) を有する液晶表示装置の詳細について、図 8 乃至 21 用いて説明する。図 8 乃至 21 の液晶表示装置に用いられる薄膜トランジスタは、実施の形態 1 及び 2 にて示した薄膜トランジスタと同様に作製することができる。

【0104】

はじめに VA (Vertical Alignment) 方式の液晶表示装置について説明する。VA 方式とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA 方式の液晶表示装置は、電圧が印加されていないときに、液晶分子の長軸がパネル面に対して垂直となるように配列する方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、電圧が印加された場合に複数の異なる方向に分子が配列するように工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン化された VA 方式の液晶表示装置について説明する。

【0105】

図 8 乃至 10 に、マルチドメイン化された VA 方式の液晶表示装置の一例を示す。図 8 は断面図であり、図 9 は画素電極が形成される基板側の平面図であり、また、図 10 は対向電極が形成される基板側の平面図である。なお、図 8 は図 9 の線分 EF の断面に対応している。以下の説明ではこれらの図面を参照して説明する。

【0106】

図 8 は、TFT 828 とそれに接続する画素電極 824、及び保持容量部 830 が形成された基板 800 と、対向電極 840 等が形成される対向基板 801 とが重ね合わせられ、液晶が注入された状態を示している。

【0107】

対向基板 801 においてスペーサー 842 が形成される位置には、遮光膜 832、第 1 の着色膜 834、第 2 の着色膜 836、第 3 着色膜 838、対向電極 840 が形成されている。この構造により、液晶の配向を制御するための突起 844 とスペーサー 842 の高さを異ならせている。画素電極 824 上には配向膜 848 が形成され、同様に対向電極 840 上にも配向膜 846 が形成されている。この間に液晶層 850 が形成されている。

【0108】

スペーサー 842 として、ここでは柱状スペーサーを示しているが、球状のビーズスペーサーを散布してもよい。さらには、スペーサー 842 を基板 800 上に形成される画素電極 824 上に形成してもよい。

【0109】

基板 800 上には、TFT 828 とそれに接続する画素電極 824、及び保持容量部 8

10

20

30

40

50

30が形成されている。画素電極824は、第1の絶縁膜820、第2の絶縁膜822をそれぞれ貫通するコンタクトホール823で、配線818と接続されている。TFT828は実施の形態1又は2にて示した薄膜トランジスタを適宜用いることができる。保持容量部830は、TFT828のゲート配線802と同様に形成した容量配線804と、ゲート絶縁膜806と、配線816、818と同様に形成した容量電極817で構成される。

【0110】

画素電極824と液晶層850と対向電極840とが重なり合うことで、液晶素子が形成されている。

【0111】

図9は、基板800上の構造を示している。画素電極824は実施の形態1にて示した材料を用いて形成することができる。画素電極824にはスリット825を設ける。スリット825は液晶の配向を制御するためのものである。

【0112】

図9に示すTFT829とそれに接続する画素電極826及び保持容量部831は、それぞれTFT828とそれに接続する画素電極824及び保持容量部830と同様に形成することができる。TFT828とTFT829は共に配線816と電氣的に接続している。該液晶表示装置の画素（ピクセル）は、画素電極824と画素電極826により構成されている。画素電極824と画素電極826はサブピクセルである。

【0113】

図10に対向基板側の構造を示す。遮光膜832上に対向電極840が形成されている。対向電極840は、画素電極824と同様の材料を用いて形成することが好ましい。対向電極840上には液晶の配向を制御する突起844が形成されている。また、遮光膜832の位置に合わせてスペーサ842が形成されている。

【0114】

該画素構造の等価回路を図11に示す。TFT828とTFT829は、共にゲート配線802、配線816と接続している。この場合、容量配線804と容量配線805の電位を異ならせることで、液晶素子851と液晶素子852の動作を異ならせることができる。すなわち、容量配線804と容量配線805の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げることができる。

【0115】

スリット825を設けた画素電極824に電圧を印加すると、スリット825の近傍には電界の歪み（斜め電界）が発生する。このスリット825と、対向基板801側の突起844とを交互に咬み合うように配置して、斜め電界を発生させることで、液晶の配向する方向を場所ごとに異ならせている。これにより、液晶表示パネルの視野角を広げることができる。

【0116】

次に、上記とは異なるVA方式の液晶表示装置について、図12乃至15を用いて説明する。

【0117】

図12と図13は、VA方式の液晶表示装置の一例を示している。図12は断面図であり、図13は画素電極が形成される基板側の平面図であり、また、図14は対向電極が形成される基板側の平面図である。なお、図12は図13の線分GHの断面に対応している。以下の説明ではこの両図を参照して説明する。

【0118】

ここで説明する液晶表示装置は、一つの画素に複数の画素電極が存在し、それぞれの画素電極にTFTが接続された構造を有している。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン化された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0119】

基板 1 2 0 0 上の構成を説明する。画素電極 1 2 2 4 はコンタクトホール 1 2 2 3 において、T F T 1 2 2 8 の配線 1 2 1 8 と接続している。また、画素電極 1 2 2 6 はコンタクトホール 1 2 2 7 において、T F T 1 2 2 9 の配線 1 2 1 9 と接続している。画素電極 1 2 2 4、及び、画素電極 1 2 2 6 上には配向膜 1 2 4 8 が形成されている。T F T 1 2 2 8 のゲート配線 1 2 0 2 と、T F T 1 2 2 9 のゲート配線 1 2 0 3 は、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線 1 2 1 6 は、T F T 1 2 2 8 と T F T 1 2 2 9 で共通に用いられている。T F T 1 2 2 8 と T F T 1 2 2 9 は実施の形態 1 又は 2 で示した薄膜トランジスタを適宜用いることができる。また、ゲート配線 1 2 0 2 及びゲート配線 1 2 0 3 と同一層にて容量配線 1 2 9 0 が形成されている。

10

【0 1 2 0】

画素電極 1 2 2 4 と画素電極 1 2 2 6 の形状は異なっており、スリットによって分離されている。V 字型に広がる画素電極 1 2 2 4 の外側を囲むように画素電極 1 2 2 6 が形成されている。画素電極 1 2 2 4 と画素電極 1 2 2 6 に印加する電圧のタイミングを、T F T 1 2 2 8 及び T F T 1 2 2 9 により異ならせることで、液晶の配向を制御している。

【0 1 2 1】

この画素構造の等価回路を図 1 5 に示す。T F T 1 2 2 8 はゲート配線 1 2 0 2 と接続し、T F T 1 2 2 9 はゲート配線 1 2 0 3 と接続している。ゲート配線 1 2 0 2 とゲート配線 1 2 0 3 に異なるゲート信号を与えることで、T F T 1 2 2 8 と T F T 1 2 2 9 の動作タイミングを異ならせることができる。

20

【0 1 2 2】

対向基板 1 2 0 1 には、遮光膜 1 2 3 2、着色膜 1 2 3 6、対向電極 1 2 4 0、配向膜 1 2 4 6 が形成されている。また、着色膜 1 2 3 6 と対向電極 1 2 4 0 の間には平坦化膜 1 2 3 7 が形成され、液晶の配向乱れを防いでいる。対向電極 1 2 4 0 は異なる画素間で共通化されている電極であるが、スリット 1 2 4 1 が形成されている。画素電極 1 2 2 4 と液晶層 1 2 5 0 と対向電極 1 2 4 0 が重なり合うことで、液晶素子が形成されている。また、画素電極 1 2 2 6 と液晶層 1 2 5 0 と対向電極 1 2 4 0 が重なり合うことで、液晶素子が形成されている。

【0 1 2 3】

スリット 1 2 4 1 と、画素電極 1 2 2 4 及び画素電極 1 2 2 6 側のスリットとを交互に咬み合うように配置して、斜め電界を発生させることで、液晶の配向する方向を場所ごとに異ならせている（図 1 4 参照）。これにより、液晶表示パネルの視野角を広げることができる。

30

【0 1 2 4】

次に、横電界方式の液晶表示装置について説明する。横電界方式は、液晶分子に対して水平方向の電界を加えることで液晶を駆動し、階調を表現する方式である。この方式によれば、視野角を約 1 8 0 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0 1 2 5】

図 1 6 は、T F T 1 6 2 8 とそれに接続する第 2 の画素電極 1 6 2 4 が形成された基板 1 6 0 0 と、対向基板 1 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 1 6 0 1 には遮光膜 1 6 3 2、着色膜 1 6 3 6、平坦化膜 1 6 3 7、配向膜 1 6 6 0 などが形成されている。第 1 の画素電極 1 6 0 7 及び第 2 の画素電極 1 6 2 4 は基板 1 6 0 0 側に有るので、対向基板 1 6 0 1 側には特に電極を設ける必要はない。第 2 の画素電極 1 6 2 4 上には配向膜 1 6 6 1 が形成されている。基板 1 6 0 0 と対向基板 1 6 0 1 の間には液晶層 1 6 5 0 が形成されている。

40

【0 1 2 6】

基板 1 6 0 0 上には、第 1 の画素電極 1 6 0 7 及び第 1 の画素電極 1 6 0 7 に接続する容量配線 1 6 0 4、並びに T F T 1 6 2 8 が形成される。第 1 の画素電極 1 6 0 7 には、実施の形態 1 にて示した画素電極と同様の材料を用いることができる。また、第 1 の画素

50

電極 1607 は、概ね画素の形状に適合した形状に形成されている。なお、第 1 の画素電極 1607 及び容量配線 1604 上にはゲート絶縁膜 1606 が形成される。

【0127】

TFT1628 の配線 1616、配線 1618 がゲート絶縁膜 1606 上に形成される。配線 1616 は液晶表示パネルにおいてビデオ信号を伝達するデータ線であり、配線であると同時に、ソース領域 1610 と接続し、ソース電極又はドレイン電極の一方となる。配線 1618 はソース電極又はドレイン電極の他方となり、TFT1628 と第 2 の画素電極 1624 とを接続する配線としても機能する。

【0128】

配線 1616、配線 1618 上には絶縁膜 1620 が形成されている。また、絶縁膜 1620 上には、絶縁膜 1620 に形成されるコンタクトホールにおいて、配線 1618 に接続する第 2 の画素電極 1624 が形成されている。第 2 の画素電極 1624 には、実施の形態 1 にて示した画素電極と同様の材料を用いることができる。

10

【0129】

このようにして、基板 1600 上に TFT1628 とそれに接続する第 2 の画素電極 1624 が形成される。なお、保持容量は第 1 の画素電極 1607 と第 2 の画素電極 1624、ゲート絶縁膜 1606、絶縁膜 1620 にて形成される。

【0130】

図 17 は、画素電極等の構成を示す平面図である。なお、図 16 は図 17 の線分 I-J における断面図である。第 2 の画素電極 1624 にはスリット 1625 が設けられる。スリット 1625 は液晶の配向を制御するためのものである。この場合、電界は第 1 の画素電極 1607 と第 2 の画素電極 1624 との間に発生する。第 1 の画素電極 1607 と第 2 の画素電極 1624 の間にはゲート絶縁膜 1606 等が形成されているが、これらは液晶層と比較して十分に薄いため、実質的に基板 1600 と平行な方向（水平方向）に電界が発生する。この電界を利用して液晶分子を水平に回転させる。この場合、液晶分子は水平方向に配列するため、見る角度によってコントラストが低減する等の問題は少なく、視野角が広がることになる。また、第 1 の画素電極 1607 と第 2 の画素電極 1624 は共に透光性の電極であるので、開口率を向上させることができる。

20

【0131】

次に、横電界方式の液晶表示装置の他の一例について示す。

30

【0132】

図 18 及び図 19 は、横電界方式の液晶表示装置の別の構造である。図 18 は断面図であり、図 19 は平面図である。なお、図 18 は図 19 の K-L の断面に対応している。以下の説明ではこの両図を参照して説明する。

【0133】

図 18 は、TFT1828 とそれに接続する第 2 の画素電極 1824 が形成された基板 1800 と、対向基板 1801 を重ね合わせ、液晶を注入した状態を示している。対向基板 1801 には遮光膜 1832、着色膜 1836、平坦化膜 1837、配向膜 1860 などが設けられている。第 1 の画素電極（共通電位線 1809）、及び第 2 の画素電極 1824 は基板 1800 側にあるので、対向基板 1801 側には特に電極を設ける必要はない。第 2 の画素電極 1824 上には配向膜 1861 が形成されている。基板 1800 と対向基板 1801 の間には液晶層 1850 が形成されている。

40

【0134】

基板 1800 上には、共通電位線 1809、及び、TFT1828 が形成されている。共通電位線 1809 は TFT1828 のゲート配線 1802 と同時に形成することができる。なお、ここでは、第 1 の画素電極は共通電位線 1809 と同義である。このため、共通電位線 1809 は画素部において、概ね画素の形状に適合した形状に形成されている。

【0135】

TFT1828 の配線 1816、配線 1818 がゲート絶縁膜 1806 上に形成されている。配線 1816 は液晶表示装置においてビデオ信号を伝達するデータ線であり、配線

50

であると同時に、ソース領域又はドレイン領域と接続し、ソース電極又はドレイン電極の一方となる。配線 1818 はソース電極又はドレイン電極の他方となり、第 2 の画素電極 1824 と接続する配線である。

【0136】

配線 1816、配線 1818 上に絶縁膜 1820 が形成されている。また、絶縁膜 1820 上には、第 2 の画素電極 1824 が形成されている。配線 1818 は絶縁膜 1820 に形成されるコンタクトホール 1823 において、第 2 の画素電極 1824 と接続している。第 2 の画素電極 1824 には、実施の形態 1 にて示した画素電極と同様の材料を用いることができる。なお、図 19 に示すように、第 1 の画素電極（共通電位線 1809）と第 2 の画素電極 1824 との間に横電界が発生するように、第 1 の画素電極（共通電位線 1809）及び第 2 の電極が形成される。また、第 2 の画素電極 1824 のスリットの部分が第 1 の画素電極（共通電位線 1809）の電極部分と咬み合うように形成される。

10

【0137】

第 1 の画素電極（共通電位線 1809）と第 2 の画素電極 1824 との間に電位差が生じると、第 1 の画素電極（共通電位線 1809）と第 2 の画素電極 1824 との間に電界が発生する。この電界を利用して液晶分子を水平に回転させる。この場合、液晶分子は水平方向に配列するため、見る角度によってコントラストが低減する等の問題は少なく、視野角が広がることになる。

【0138】

なお、保持容量は第 1 の画素電極（共通電位線 1809）と容量電極 1815 の間にゲート絶縁膜 1806 を設けることにより形成されている。容量電極 1815 と第 2 の画素電極 1824 はコンタクトホール 1833 を介して接続されている。

20

【0139】

次に、TN 方式の液晶表示装置について説明する。

【0140】

図 20 と図 21 は、TN 方式の液晶表示装置の画素構造を示している。図 20 は断面図であり、図 21 は平面図である。なお、図 20 は図 21 の線分 MN における断面図である。以下の説明ではこの両図を参照して説明する。

【0141】

画素電極 2024 はコンタクトホール 2023 により、配線 2018 で TFT 2028 と接続している。データ線として機能する配線 2016 は、TFT 2028 と接続している。TFT 2028 は実施の形態 1 又は 2 に示す TFT を適用することができる。

30

【0142】

画素電極 2024 には、実施の形態 1 にて示した画素電極と同様の材料を用いることができる。

【0143】

対向基板 2001 には、遮光膜 2032、着色膜 2036、対向電極 2040、配向膜 2060 などが形成されている。また、着色膜 2036 と対向電極 2040 の間には平坦化膜 2037 が形成され、液晶の配向乱れを防いでいる。画素電極 2024 上には配向膜 2061 が形成されている。液晶層 2050 は画素電極 2024 と対向電極 2040 の間に設けられている。

40

【0144】

また、基板 2000 又は対向基板 2001 には、着色膜（カラーフィルター）や、ディスプレイネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板 2000 の TFT 2028 が形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 2001 の対向電極 2040 が形成されている面とは逆の面に、偏光板を貼り合わせておく。対向電極 2040 は、実施の形態 1 にて示した画素電極と同様の材料を適宜用いることができる。

【0145】

なお、保持容量はゲート電極 2002 と同じ層にて形成された容量配線 2004 とゲー

50

ト絶縁膜 2006、容量電極 2015 によって形成されている。容量電極 2015 と画素電極 2024 はコンタクトホール 2033 を介して接続されている。

【0146】

以上により、微結晶半導体を画素トランジスタのチャネル形成領域として用いた様々な方式の液晶表示装置を提供することができる。

【0147】

本発明の液晶表示装置は、オフ電流が小さく、また、ばらつきの少ない薄膜トランジスタを用いているため、開口率を向上させることができる。これにより、輝度が向上し、優れた映像を表示することが可能となる。また、バックライトの輝度を低減することが可能であるため、バックライトの寿命向上の効果をもたらす。

【0148】

なお、本実施の形態は、実施の形態 1 又は 2 と適宜組み合わせて用いることができる。

【0149】

(実施の形態 4)

本実施の形態では、本発明の液晶表示装置を用いた電子機器について、図 22 を参照して説明する。

【0150】

本発明の半導体装置を用いて作製される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオコンボ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

【0151】

図 22(A)はテレビ受像器又はパーソナルコンピュータのモニタである。筐体 2201、支持台 2202、表示部 2203、スピーカー部 2204、ビデオ入力端子 2205 等を含む。表示部 2203 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上したテレビ受像器又はパーソナルコンピュータのモニタを提供することができる。

【0152】

図 22(B)はデジタルカメラである。本体 2211 の正面部分には受像部 2213 が設けられており、本体 2211 の上面部分にはシャッターボタン 2216 が設けられている。また、本体 2211 の背面部分には、表示部 2212、操作キー 2214、及び外部接続ポート 2215 が設けられている。表示部 2212 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上したデジタルカメラを提供することができる。

【0153】

図 22(C)はノート型パーソナルコンピュータである。本体 2221 には、キーボード 2224、外部接続ポート 2225、ポインティングデバイス 2226 が設けられている。また、本体 2221 には、表示部 2223 を有する筐体 2222 が取り付けられている。表示部 2223 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上したノート型パーソナルコンピュータを提供することができる。

【0154】

図 22(D)はモバイルコンピュータであり、本体 2231、表示部 2232、スイッチ 2233、操作キー 2234、赤外線ポート 2235 等を含む。表示部 2232 にはアクティブマトリクス表示装置が設けられている。表示部 2232 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上したモバイルコンピュータを提供することができる。

【0155】

10

20

30

40

50

図 2 2 (E) は画像再生装置である。本体 2 2 4 1 には、表示部 2 2 4 4、記録媒体読み込み部 2 2 4 5 及び操作キー 2 2 4 6 が設けられている。また、本体 2 2 4 1 には、スピーカー部 2 2 4 7 及び表示部 2 2 4 3 それぞれを有する筐体 2 2 4 2 が取り付けられている。表示部 2 2 4 3 及び表示部 2 2 4 4 それぞれには、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上した画像再生装置を提供することができる。

【 0 1 5 6 】

図 2 2 (F) は電子書籍である。本体 2 2 5 1 には操作キー 2 2 5 3 が設けられている。また、本体 2 2 5 1 には複数の表示部 2 2 5 2 が取り付けられている。表示部 2 2 5 2 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上した電子書籍を提供することができる。

10

【 0 1 5 7 】

図 2 2 (G) はビデオカメラであり、本体 2 2 6 1 には外部接続ポート 2 2 6 4、リモコン受信部 2 2 6 5、受像部 2 2 6 6、バッテリー 2 2 6 7、音声入力部 2 2 6 8、操作キー 2 2 6 9 が設けられている、また、本体 2 2 6 1 には、表示部 2 2 6 2 を有する筐体 2 2 6 3 が取り付けられている。表示部 2 2 6 2 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上したビデオカメラを提供することができる。

【 0 1 5 8 】

図 2 2 (H) は携帯電話であり、本体 2 2 7 1、筐体 2 2 7 2、表示部 2 2 7 3、音声入力部 2 2 7 4、音声出力部 2 2 7 5、操作キー 2 2 7 6、外部接続ポート 2 2 7 7、アンテナ 2 2 7 8 等を含む。表示部 2 2 7 3 には、本発明の液晶表示装置が用いられている。本発明により、開口率を向上し、輝度が向上した携帯電話を提供することができる。

20

【 0 1 5 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。なお、本実施の形態は、実施の形態 1 乃至 3 と適宜組み合わせ用いることができる。

【 符号の説明 】

【 0 1 6 0 】

1 0 0	基板	
1 0 2	ゲート電極	
1 0 4 a	ゲート絶縁層	
1 0 4 b	ゲート絶縁層	
1 0 6	微結晶半導体層	
1 0 8	バッファ層	
1 1 0	不純物元素が添加された半導体層	
1 1 2	マスク	
1 1 4	微結晶半導体層	
1 1 6	バッファ層	
1 1 8	不純物元素が添加された半導体層	
1 2 0 a	導電層	
1 2 0 b	導電層	
1 2 0 c	導電層	
1 2 2	マスク	
1 2 4 a	導電層	
1 2 4 b	導電層	
1 2 4 c	導電層	
1 2 6 a	導電層	
1 2 6 b	導電層	
1 2 6 c	導電層	

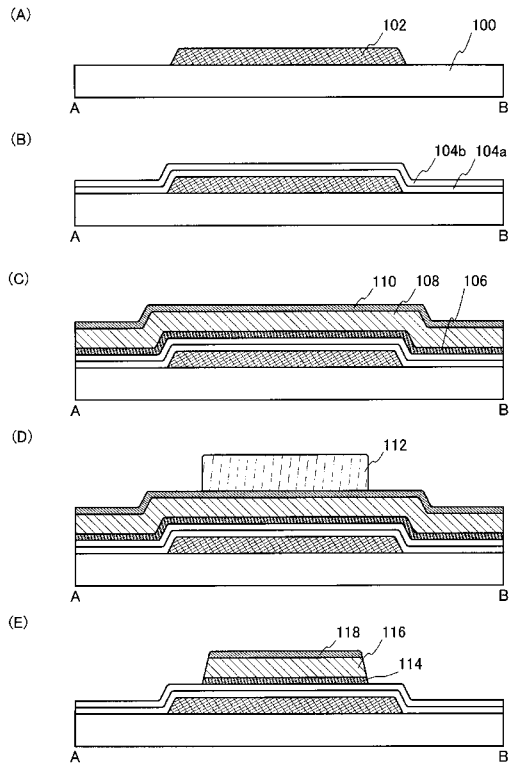
30

40

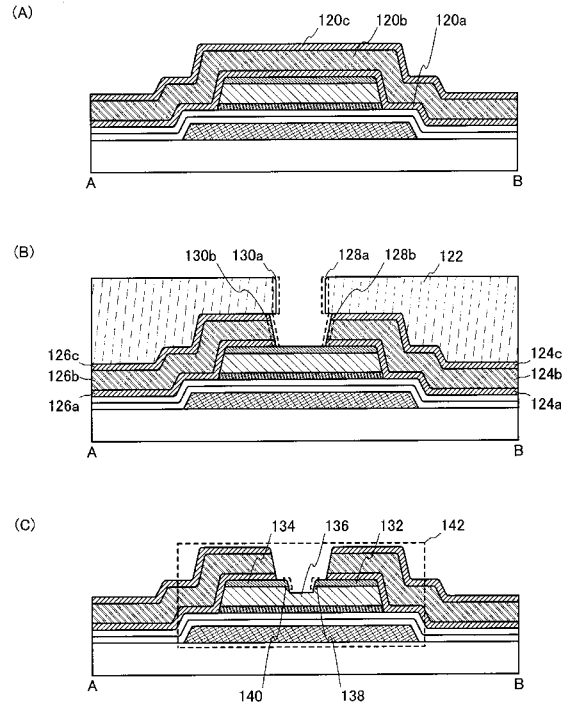
50

1 2 8 a	端 部	
1 2 8 b	端 部	
1 3 0 a	端 部	
1 3 0 b	端 部	
1 3 2	ソース領域又はドレイン領域	
1 3 4	ソース領域又はドレイン領域	
1 3 6	バッファ層	
1 3 8	端 部	
1 4 0	端 部	
1 4 2	薄膜トランジスタ	10
1 4 4	絶縁層	
1 4 6	画素電極	
6 0 0	基板	
6 0 2	画素部	
6 0 4	走査線駆動回路	
6 0 6	シール材	
6 0 8	対向基板	
6 1 0	液晶	
6 1 2	信号線駆動回路	
6 1 4	トランジスタ	20
6 1 6	薄膜トランジスタ	
6 1 8	画素電極	
6 2 0	対向電極	
6 2 2	スペーサー	
6 2 4	配線	
6 2 6	配線	
6 2 8	F P C	
6 3 0	接続端子	
6 3 2	異方性導電材料	
6 3 4	配線	30
6 4 0	対向電極	

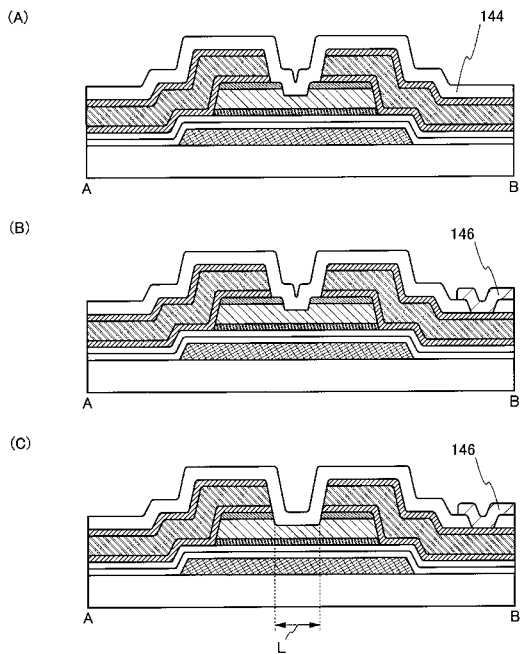
【図 1】



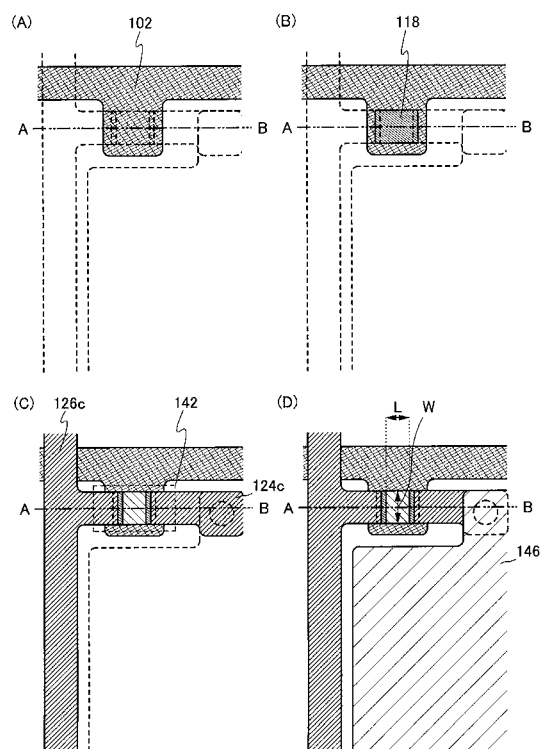
【図 2】



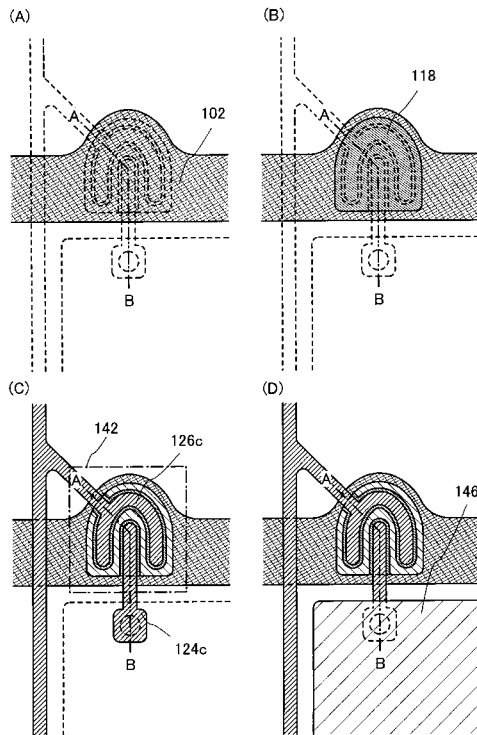
【図 3】



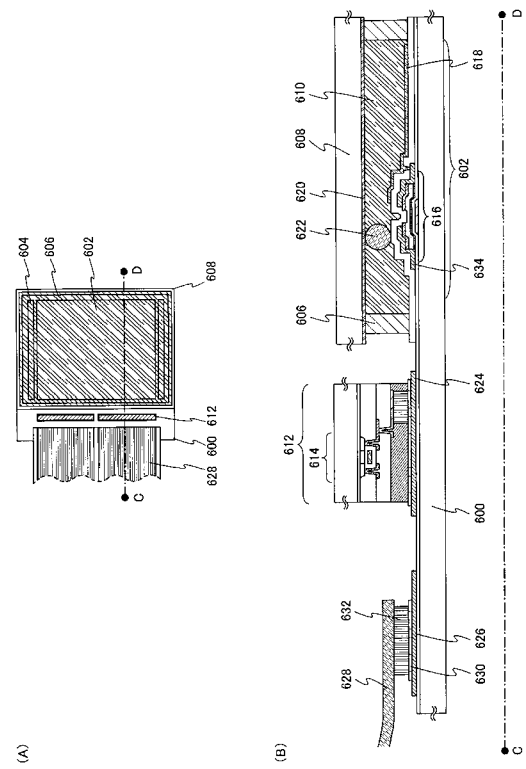
【図 4】



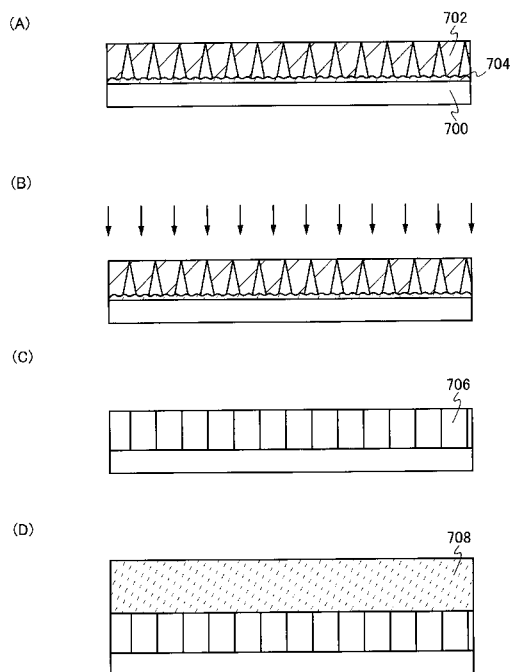
【図 5】



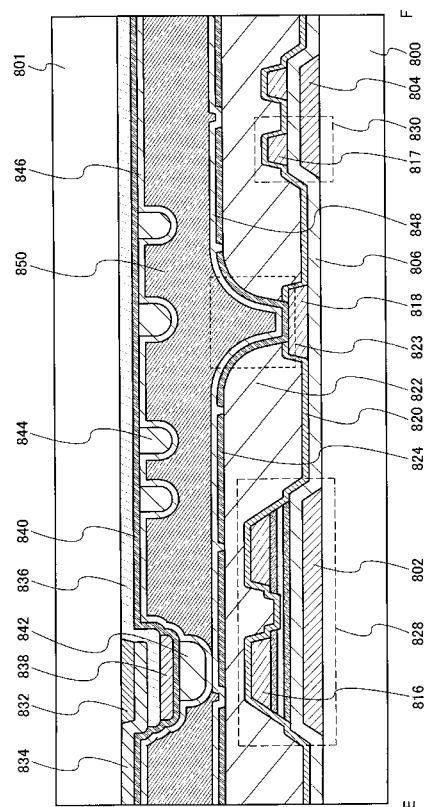
【図 6】



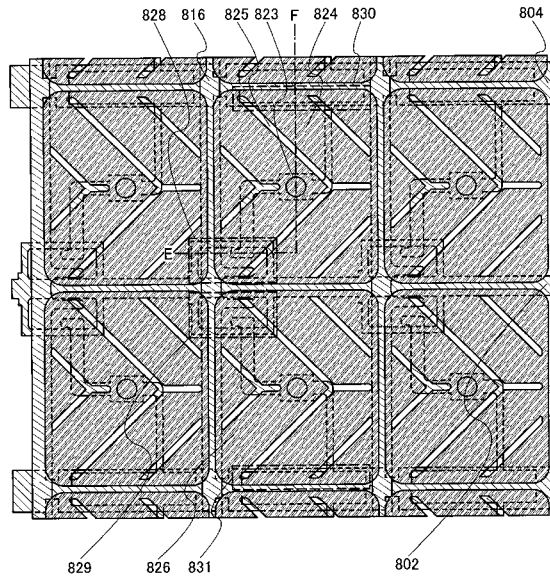
【図 7】



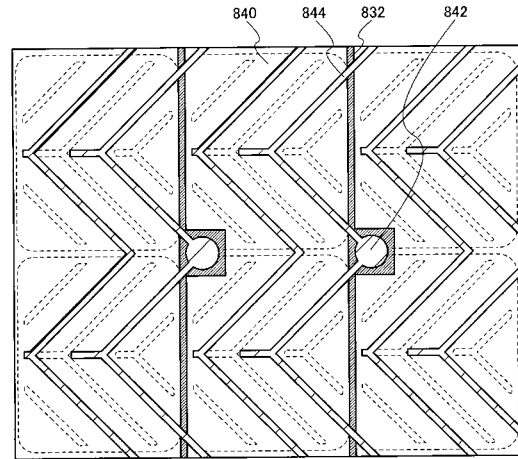
【図 8】



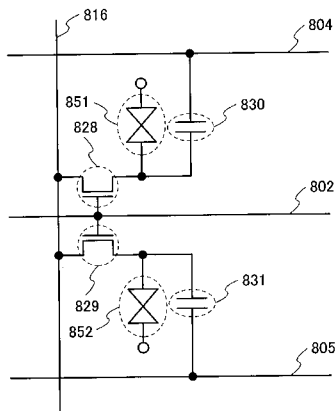
【図 9】



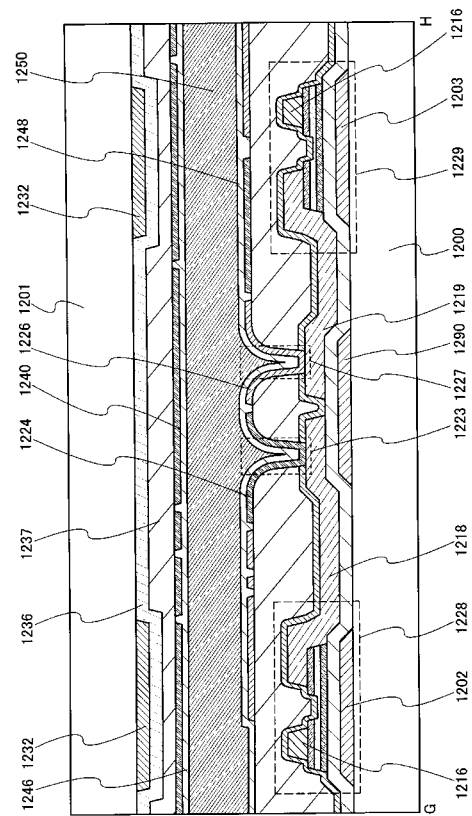
【図 10】



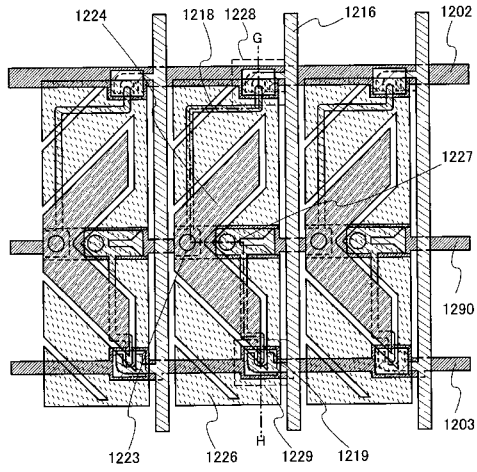
【図 11】



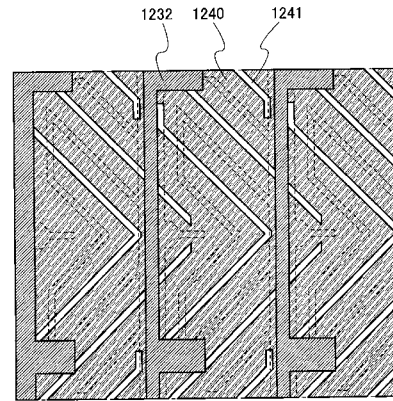
【図 12】



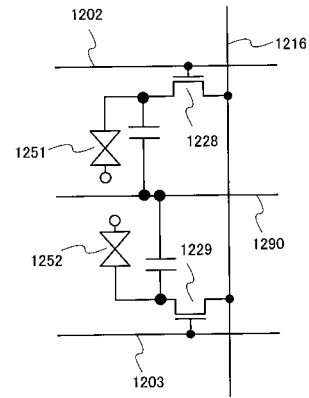
【図 13】



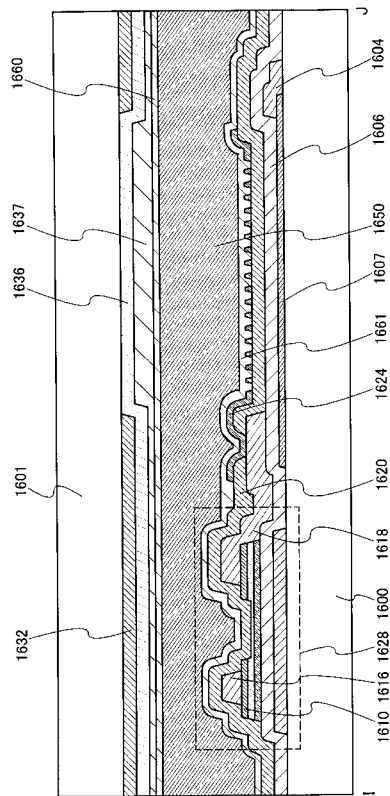
【図 14】



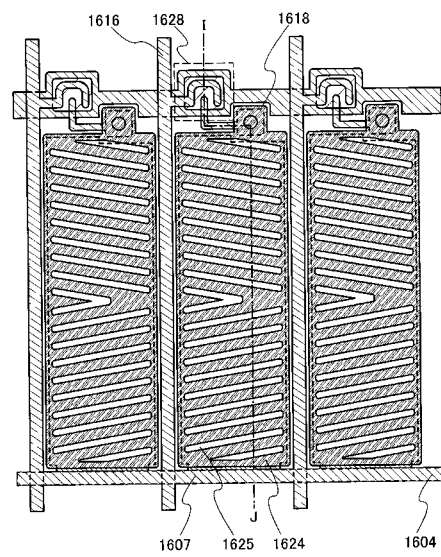
【図 15】



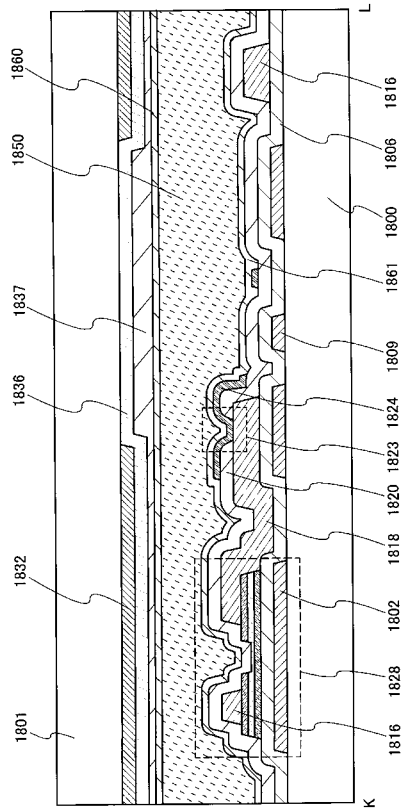
【図 16】



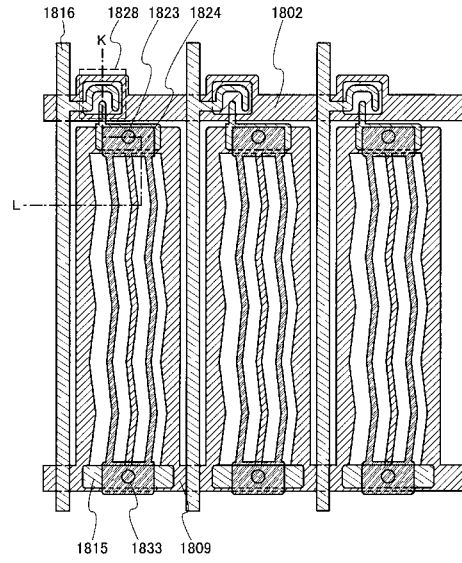
【図 17】



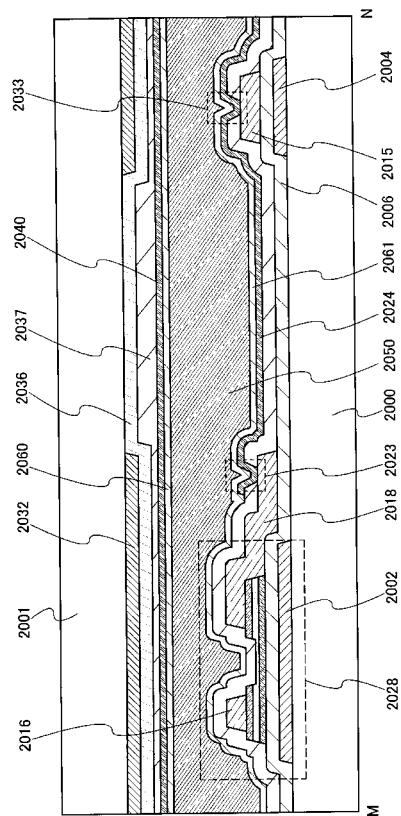
【図 18】



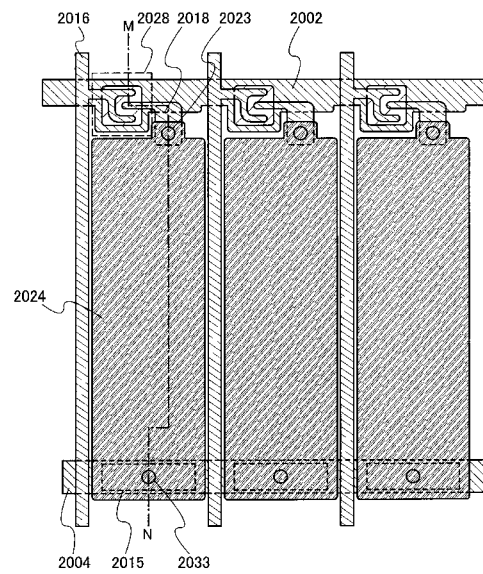
【図 19】



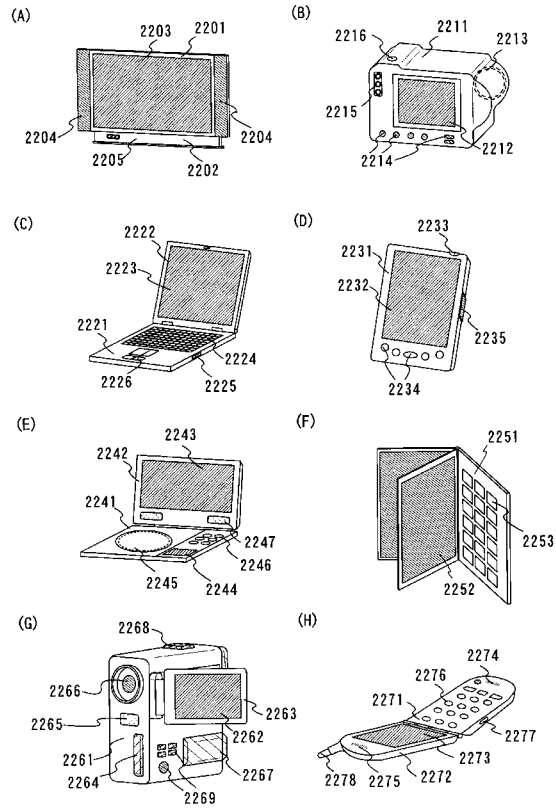
【図 20】



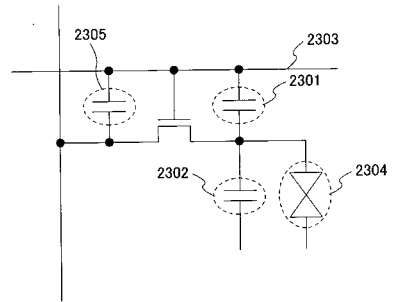
【図 21】



【図 22】



【図 23】



フロントページの続き

F ターム(参考) 2H192 AA24 BA25 BB02 BB13 BB53 BC24 BC26 BC31 CB05 CB34
CB52 CB56 CC04 CC22 DA12 DA43 JA13 JA32
5F110 AA06 AA30 BB02 CC07 DD01 DD02 EE01 EE02 EE03 EE04
EE06 EE14 EE23 EE42 EE43 EE44 FF02 FF03 FF04 FF09
FF10 FF28 FF29 FF36 GG02 GG14 GG15 GG16 GG19 GG22
GG24 GG25 GG28 GG29 GG32 GG34 GG43 GG45 GG58 HK02
HK03 HK04 HK06 HK09 HK14 HK21 HK22 HK25 HK32 HK33
HK35 HL01 HL07 HL09 HM03 HM04 HM12 NN02 NN73 PP03
PP04 PP06 PP22 QQ06 QQ09

专利名称(译)	表示装置		
公开(公告)号	JP2019061287A	公开(公告)日	2019-04-18
申请号	JP2019004040	申请日	2019-01-15
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	黒川義元 池田隆之 長多剛 井上卓之		
发明人	黒川 義元 池田 隆之 長多 剛 井上 卓之		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	G02F1/133707 G02F1/1368 G02F2201/40 H01L27/1222 H01L29/04 H01L29/41733 H01L29/458 H01L29/4908 H01L29/66765 H01L29/78669 H01L29/78678 H01L29/78696 G02F1/136227 H01L27/12 H01L27/1214		
FI分类号	G02F1/1368 H01L29/78.618.E H01L29/78.616.T		
F-TERM分类号	2H192/AA24 2H192/BA25 2H192/BB02 2H192/BB13 2H192/BB53 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB34 2H192/CB52 2H192/CB56 2H192/CC04 2H192/CC22 2H192/DA12 2H192/DA43 2H192/JA13 2H192/JA32 5F110/AA06 5F110/AA30 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE23 5F110/EE42 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF10 5F110/FF28 5F110/FF29 5F110/FF36 5F110/GG02 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG19 5F110/GG22 5F110/GG24 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG32 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK14 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK32 5F110/HK33 5F110/HK35 5F110/HL01 5F110/HL07 5F110/HL09 5F110/HM03 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN73 5F110/PP03 5F110/PP04 5F110/PP06 5F110/PP22 5F110/QQ06 5F110/QQ09		
优先权	2007196489 2007-07-27 JP		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有改善的孔径比的液晶显示装置和电子装置。 具有绝缘表面的衬底，形成在衬底上的晶体管 and 晶体管并且晶体管包括栅电极和栅电极。 并且，在栅极绝缘层上具有微晶结构的半导体层和微晶结构 并且半导体层上的缓冲层和晶体管的沟道宽度W，晶体管 星的沟道长度L的特征在于满足 $0.1 \leq W/L \leq 1.7$ 的关系。。 [选图]图1

