

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-53302
(P2019-53302A)

(43) 公開日 平成31年4月4日(2019.4.4)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 617N	5F048
HO1L 21/8234 (2006.01)	HO1L 29/78 618B	5F110
HO1L 27/06 (2006.01)	HO1L 27/06 102A	

審査請求 有 請求項の数 2 O L (全 65 頁) 最終頁に続く

(21) 出願番号 特願2018-193460 (P2018-193460)
 (22) 出願日 平成30年10月12日 (2018.10.12)
 (62) 分割の表示 特願2014-107682 (P2014-107682)
 の分割
 原出願日 平成26年5月26日 (2014.5.26)
 (31) 優先権主張番号 特願2013-119037 (P2013-119037)
 (32) 優先日 平成25年6月5日 (2013.6.5)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 豊高 耕平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 早川 昌彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

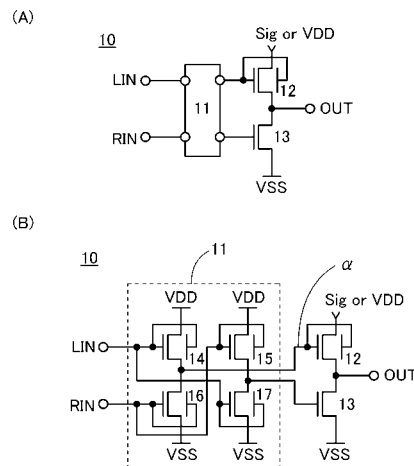
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】信頼性が高く、狭額縁化を実現できる半導体装置を提供する。

【解決手段】駆動回路は、半導体膜を間に挟んで電氣的に接続された第1ゲート及び第2ゲートを有する第1トランジスタと、ソース及びドレインの一方が第1トランジスタのソース及びドレインの一方に電氣的に接続される第2トランジスタと、を有し、画素部は、第3トランジスタと液晶素子と容量素子とを有し、液晶素子は、第3トランジスタのソース及びドレインの一方に電氣的に接続された透光性を有する第1導電膜と、第2導電膜と、第1導電膜及び第2導電膜間に生じる電界が与えられる液晶層とを有し、容量素子は、第1導電膜と透光性を有する第3導電膜と、第1導電膜及び第3導電膜間に位置する窒化物絶縁膜と、を有し、窒化物絶縁膜は、第1トランジスタの半導体膜と第2ゲートの間に位置する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の導電膜と、
 前記第 1 の導電膜上の第 1 の絶縁膜と、
 前記第 1 の絶縁膜上の酸化物半導体膜と、
 前記第 1 の絶縁膜上の金属酸化物膜と、
 前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第 2
 の導電膜と、
 前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第 3
 の導電膜と、
 前記酸化物半導体膜上に位置し、かつ、第 2 の絶縁膜を介して前記酸化物半導体膜のチ
 ャネル形成領域と重なる領域を有する第 4 の導電膜と、
 前記金属酸化物膜上に位置し、かつ、前記金属酸化物膜と電氣的に接続された第 5 の導
 電膜と、
 前記第 3 の導電膜と電氣的に接続された画素電極と、を有し、
 前記酸化物半導体膜は、In、Ga、及びZnを含み、
 前記金属酸化物膜は、In、Ga、及びZnを含み、
 前記金属酸化物膜は、前記酸化物半導体膜のチャンネル形成領域よりも導電性が高い領域を
 有し、
 前記画素電極は、前記金属酸化物膜と重なる領域を有する表示装置。

10

20

【請求項 2】

第 1 の導電膜と、
 前記第 1 の導電膜上の第 1 の絶縁膜と、
 前記第 1 の絶縁膜上の酸化物半導体膜と、
 前記第 1 の絶縁膜上の金属酸化物膜と、
 前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第 2
 の導電膜と、
 前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第 3
 の導電膜と、
 前記酸化物半導体膜上に位置し、かつ、第 2 の絶縁膜を介して前記酸化物半導体膜のチ
 ャネル形成領域と重なる領域を有する第 4 の導電膜と、
 前記金属酸化物膜上に位置し、かつ、前記金属酸化物膜と電氣的に接続された第 5 の導
 電膜と、
 前記第 3 の導電膜と電氣的に接続された画素電極と、を有し、
 前記酸化物半導体膜は、In、Ga、及びZnを含み、
 前記金属酸化物膜は、In、Ga、及びZnを含み、
 前記金属酸化物膜は、前記酸化物半導体膜のチャンネル形成領域よりも導電性が高い領域を
 有し、
 前記画素電極は、前記金属酸化物膜と重なる領域を有し、
 前記第 4 の導電膜は、前記第 2 の導電膜と重なる領域を有さず、
 前記第 4 の導電膜は、前記第 3 の導電膜と重なる領域を有さない表示装置。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に、本発明は、単極性のトランジスタを用いた順序回
 路、上記順序回路を用いた半導体表示装置などの、半導体装置に関する。

【背景技術】

【0002】

携帯型の電子機器などに用いられる液晶表示装置、EL表示装置などの半導体表示装置は
 、画素部以外の領域を狭くする（狭額縁化する）ことが求められている。駆動回路の一部

50

または全てを画素部と同じ基板上に作製するシステムオンパネルは、上記要求を満たすのに有効である。そして、システムオンパネルの場合、画素部と同様に、駆動回路が単極性のトランジスタで構成されている方が、パネルの作製に要するコストを下げられるので望ましい。以下の特許文献1及び特許文献2では、半導体表示装置の駆動回路に用いられる、インバータやシフトレジスタなどの各種回路を、単極性のトランジスタで構成する技術について開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-325798号公報

10

【特許文献2】特開2010-277652号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、半導体装置の一つである液晶表示装置では、透過型の場合、光を透過する領域の画素に占める割合、所謂開口率を高めると、バックライトから発せられる光を有効的に利用することができるため、消費電力を低減させることができる。しかし、開口率の向上を優先させて画素のレイアウトを定めるならば、画素を構成しているトランジスタや容量素子などの半導体素子のサイズも縮小化せざるを得ない。容量素子の容量値が小さくなると、駆動周波数を落とさずに液晶分子の配向を制御することが困難になる、画像信号の電位を保持できる期間が短くなる、などの不具合が生じるため、表示される画質が低下する。

20

【0005】

また、半導体表示装置には更なる狭額縁化が求められている。その上、単極性のトランジスタを有する半導体表示装置の駆動回路では、パルスを有する信号を出力する順序回路において、トランジスタに閾値電圧のシフトなどの電気的特性の劣化が見られることがあり、半導体表示装置には信頼性の確保も求められている。

【0006】

上述したような技術的背景のもと、本発明の一態様は、画質の低下を抑えつつ、消費電力を低くすることができる半導体装置の提供を、課題の一つとする。或いは、本発明の一態様は、信頼性が高く、狭額縁化を実現できる半導体装置の提供を、課題の一つとする。

30

【課題を解決するための手段】

【0007】

本発明の一態様にかかる半導体装置は、導電性を有し、なおかつ可視光に対して透光性を有する金属酸化物膜と、可視光に対して透光性を有する画素電極と、上記金属酸化物膜と上記画素電極の間に設けられた窒化物絶縁膜とを少なくとも有する容量素子を、画素に有する。上記構成では、容量素子が可視光に対して透光性を有することとなる。そのため、高い画質を得るために必要な容量値を確保しつつ、画素の開口率を高められるため、パネル内における光の損失を小さく抑えることができ、半導体装置の消費電力を低減させることができる。

40

【0008】

なお、上述したような、金属酸化物膜と画素電極とを一对の電極として容量素子に用いる場合、容量素子の容量値を高めるために、アクリル等の樹脂膜を金属酸化物膜と画素電極の間に設けないことが望ましい。しかし、樹脂膜を設けない場合、ゲート電極から遠い側の、半導体膜の表面近傍の領域（バックチャネル領域）と、トランジスタが形成された素子基板の表面との距離が、樹脂膜が設けられている場合に比べて近くなる。よって、素子基板の表面に大気中の水分等が付着することで、当該表面近傍にプラスの固定電荷が発生すると、上記固定電荷によりバックチャネル領域にマイナスの電荷が生じやすくなる。そのため、ソース電極またはドレイン電極に対してゲート電極の電位が低い状態にある期間が長いトランジスタほど、閾値電圧がマイナス方向へシフトしやすいことが、経験的に見

50

出されているが、樹脂膜がない場合、樹脂膜を設けた場合に比べて、上記閾値電圧のマイナス方向へのシフトが特に大きくなりやすいことがわかった。

【0009】

そこで、本発明の一態様では、駆動回路に含まれる順序回路やバッファなどが有するトランジスタのうち、閾値電圧がマイナス方向へシフトしやすいトランジスタが、通常のゲート電極に加えて、半導体膜のバックチャネル領域側にもゲート電極を有するものとする。そして、バックチャネル領域側のゲート電極は、通常のゲート電極と電氣的に接続されているものとする。

【0010】

バックチャネル領域側にゲート電極を設けることで、バックチャネル領域にマイナスの電荷が生じるのを防ぎ、トランジスタの閾値電圧がマイナス方向へシフトするのを抑えることができる。また、バックチャネル領域側のゲート電極に一定の電位を与えるのではなく、当該ゲート電極を通常のゲート電極と電氣的に接続させ、一対のゲート電極に同じ電位を与えることで、チャネル形成領域を増加させ、ドレイン電流の増加を実現することができる。よって、オン電流の低下を抑えつつトランジスタのサイズを小さく抑えることができ、駆動回路の面積を小さく抑えることができる。

10

【発明の効果】

【0011】

本発明の一態様により、画質の低下を抑えつつ、消費電力を低くすることができる半導体装置を提供することができる。或いは、本発明の一態様により、信頼性が高く、狭額縁化された半導体装置を提供することができる。

20

【図面の簡単な説明】

【0012】

【図1】順序回路の構成を示す図。

【図2】トランジスタの構成を示す図。

【図3】タイミングチャート。

【図4】画素の上面図。

【図5】画素の断面図。

【図6】半導体表示装置の構成を示す図。

【図7】順序回路の構成を示す図。

30

【図8】シフトレジスタの構成を示す図。

【図9】バッファの構成を示す図。

【図10】バッファの構成を示す図。

【図11】素子基板の作製方法を示す図。

【図12】素子基板の作製方法を示す図。

【図13】素子基板の作製方法を示す図。

【図14】素子基板の作製方法を示す図。

【図15】液晶表示装置の上面図。

【図16】液晶表示装置の断面図。

【図17】トランジスタの電氣的特性を示す図。

40

【図18】電子機器の図。

【図19】トランジスタの構成を示す図。

【図20】トランジスタの構成を示す図。

【図21】トランジスタの構成を示す図。

【図22】回路記号とトランジスタの構成を示す図。

【図23】トランジスタの断面構造を示す図。

【図24】トランジスタの構成を示す図。

【図25】酸化物半導体膜の端部におけるトランジスタの断面図。

【図26】実施例に係る、トランジスタの $V_g - I_d$ 特性。

【図27】実施例に係る、トランジスタの $V_g - I_d$ 特性。

50

【図28】実施例に係る、トランジスタの $V_g - I_d$ 特性。

【図29】計算に用いたトランジスタの構造と、計算により得られた電界効果移動度及びオン電流を説明する図。

【図30】計算に用いたトランジスタのモデルを説明する図。

【図31】計算によって得られた飽和移動度のチャンネル長依存性を説明する図。

【図32】計算によって得られたオン電流のチャンネル長依存性を説明する図。

【図33】計算によって得られたトランジスタの $V_g - I_d$ 特性及び酸化物半導体膜中の電流分布を説明する図。

【図34】計算によって得られたトランジスタの $V_g - I_d$ 特性及びシリコン膜中の電流分布を説明する図。

10

【図35】計算に用いた電子トラップ及び計算によって得られた飽和移動度のチャンネル長依存性を説明する図。

【図36】トランジスタのオフ状態及びオン状態におけるキャリアの流れを説明する図。

【発明を実施するための形態】

【0013】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0014】

20

なお、本発明は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、マイクロコントローラを含むLSI(Large Scale Integrated Circuit)、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD: Programmable Logic Device)が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、半導体膜を用いた回路素子を駆動回路に有している半導体表示装置が、その範疇に含まれる。

30

【0015】

なお、本明細書において半導体表示装置とは、液晶素子や発光素子などの表示素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る半導体表示装置は、当該半導体表示装置を作製する過程において、表示素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、表示素子に用いられる画素電極または共通電極などの電極と、容量素子とを、複数の各画素に備える。

【0016】

40

また、本発明の一態様に係る半導体表示装置には、指またはスタイラスなどが指し示した位置を検出し、その位置情報を含む信号を生成することができる位置入力装置であるタッチパネルが、構成要素に含まれていても良い。

【0017】

また、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機

50

能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0018】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0019】

トランジスタが有するソースとドレインは、トランジスタの導電型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

10

【0020】

順序回路の構成例1

図1(A)に、本発明の一態様にかかる順序回路の構成を一例として示す。図1(A)に示す順序回路10は、回路11と、トランジスタ12と、トランジスタ13とを有する。回路11は、信号LIN及び信号RINの電位に従って、トランジスタ12のゲートとトランジスタ13のゲートの電位を制御する機能を有する。

20

【0021】

トランジスタ12は、信号Sigまたはハイレベルの電位VDDが与えられる配線と、出力端子OUTとの電気的な接続を制御する機能を有する。また、トランジスタ13は、ローレベルの電位VSSが与えられる配線と、出力端子OUTとの電気的な接続を制御する機能を有する。具体的に、トランジスタ12のソース及びドレインの一方は、信号Sigまたはハイレベルの電位VDDが与えられる配線に接続されており、トランジスタ13のソース及びドレインの一方は、ローレベルの電位VSSが与えられる配線に接続されている。信号Sigには、クロック信号などの、パルス周期に対するパルス幅の割合であるデューティ比が0.5程度の信号を用いることができる。また、トランジスタ12のソース及びドレインの他方と、トランジスタ13のソース及びドレインの他方は、出力端子OUTに接続されている。

30

【0022】

回路11によりトランジスタ12のゲートの電位とトランジスタ13のゲートの電位とが制御されることで、トランジスタ12の導通または非導通が選択され、トランジスタ13の導通または非導通が選択される。そして、トランジスタ12が導通状態にあり、トランジスタ13が非導通状態にあるとき、信号Sigまたは電位VDDが与えられる配線と出力端子OUTとが接続される。また、トランジスタ12が非導通状態にあり、トランジスタ13が導通状態にあるとき、電位VSSが与えられる配線と出力端子OUTとが接続される。

40

【0023】

なお、順序回路10の出力端子OUTの電位を含む出力信号を、複数の画素に接続されたバスラインと呼ばれる配線、例えば走査線などに供給する場合、上記出力信号のデューティ比は、クロック信号などに比べて著しく小さい。この場合、トランジスタ12は出力信号のパルス以外の期間において連続的に非導通状態にあるため、トランジスタ12が非導通状態にある期間は、トランジスタ13が非導通状態にある期間よりも著しく長くなる。そして、トランジスタ12のソース及びドレインの一方には、信号Sigまたは電位VDDが与えられているため、トランジスタ12は、ソースまたはドレインの一方に対してゲ

50

ートの電位が低い状態にある期間が、トランジスタ 1 3 に比べて長く、閾値電圧がマイナス方向へシフトしやすいことがわかる。

【0024】

そこで、本発明の一態様では、トランジスタ 1 2 が、電氣的に接続され、なおかつ半導体膜を間に挟んで重なり合った、一对のゲート電極を有するものとする。電氣的に接続された一对のゲート電極をトランジスタ 1 2 に設けることで、素子基板の表面近傍にプラスの固定電荷が発生しても、固定電荷によって半導体膜の表面近傍にマイナスの電荷が生じるのを防ぎ、トランジスタ 1 2 の閾値電圧がマイナス方向へシフトするのを抑えることができる。よって、順序回路 1 0、延いては順序回路 1 0 を用いた半導体装置の信頼性を高めることができる。

10

【0025】

また、一对のゲート電極を電氣的に接続させることで、一对のゲート電極の片方にだけ一定の電位を与える場合とは異なり、一对のゲート電極に同じ電位が与えられるので、チャネル形成領域が増え、トランジスタ 1 2 のドレイン電流の増加を実現することができる。よって、オン電流の低下を抑えつつトランジスタ 1 2 のサイズを小さく抑えることができるので、順序回路 1 0、延いては順序回路 1 0 を用いた駆動回路の面積を小さく抑えることができる。特に、順序回路 1 0 の出力側に設けられたトランジスタ 1 2 には、回路 1 1 に用いられるトランジスタよりも大きな電流供給能力が求められるため、トランジスタ 1 2 が上述したような一对のゲート電極を有することで、順序回路 1 0 内の他のトランジスタに同じ構成を適用させた場合に比べて、順序回路または駆動回路の面積を小さく抑える効果は大きいと言える。

20

【0026】

また、電氣的に接続された一对のゲート電極を設けることで、半導体膜に空乏層ができやすくなるため、トランジスタ 1 2 の S 値 (サブスレッショルド値) を改善することができる。

【0027】

次いで、図 1 (B) に、図 1 (A) に示した順序回路 1 0 のより詳細な構成例を示す。図 1 (B) に示す順序回路 1 0 は、図 1 (A) に示した順序回路 1 0 と同じく、回路 1 1 と、トランジスタ 1 2 と、トランジスタ 1 3 とを有する。そして、図 1 (B) では、回路 1 1 が、トランジスタ 1 4 乃至トランジスタ 1 7 を有する場合を例示している。

30

【0028】

トランジスタ 1 4 は、信号 L I N の電位に従って導通または非導通が選択される。トランジスタ 1 4 が導通状態にあるとき、電位 V D D の与えられる配線と、トランジスタ 1 2 のゲートとが電氣的に接続される。トランジスタ 1 5 は、信号 R I N の電位に従って導通または非導通が選択される。トランジスタ 1 5 が導通状態にあるとき、電位 V D D の与えられる配線と、トランジスタ 1 3 のゲートとが電氣的に接続される。トランジスタ 1 6 は、信号 R I N の電位に従って導通または非導通が選択される。トランジスタ 1 6 が導通状態にあるとき、電位 V S S の与えられる配線と、トランジスタ 1 2 のゲートとが電氣的に接続される。トランジスタ 1 7 は、信号 L I N の電位に従って導通または非導通が選択される。トランジスタ 1 7 が導通状態にあるとき、電位 V S S の与えられる配線と、トランジスタ 1 3 のゲートとが電氣的に接続される。

40

【0029】

図 1 (B) に示す順序回路 1 0 の動作例について、トランジスタ 1 2 のソース及びドレインの一方が、信号 S i g が与えられる配線に接続されている場合を例に挙げて説明する。また、図 3 に、図 1 (B) に示す順序回路 1 0 のタイミングチャートを例示する。ただし、図 3 では、トランジスタ 1 2 乃至トランジスタ 1 7 が全て n チャネル型である場合のタイミングチャートを例示している。また、図 3 では、トランジスタ 1 2 のゲートをノードとして示している。

【0030】

図 3 に示すように、期間 T 1 では、信号 S i g の電位がローレベル、信号 L I N の電位が

50

ハイレベル、信号 R I N の電位がローレベルである。よって、期間 T 1 では、トランジスタ 1 4 及びトランジスタ 1 7 が導通状態になり、トランジスタ 1 5 及びトランジスタ 1 6 が非導通状態になる。よって、ノード には、電位 V D D からトランジスタ 1 4 の閾値電圧分だけ低下した電位が与えられる。また、トランジスタ 1 3 のゲートには電位 V S S が与えられるため、トランジスタ 1 3 は非導通状態となる。

【 0 0 3 1 】

次いで、図 3 に示すように、期間 T 2 では、信号 S i g の電位がハイレベル、信号 L I N の電位がローレベル、信号 R I N の電位がローレベルである。そのため、期間 T 2 では、トランジスタ 1 4 乃至トランジスタ 1 7 が非導通状態になるため、ノード がフローティングの状態となる。よって、ノード に付加された寄生容量がトランジスタ 1 2 のソースとゲートの間に形成される容量に比べて著しく小さい理想的な状態の場合、期間 T 1 から期間 T 2 にかけて生じた信号 S i g の電位の変化分だけ、すなわち信号 S i g のローレベルの電位とハイレベルの電位の電位差だけ、ノード の電位が上昇する。そして、ノード の電位が上昇すると、トランジスタ 1 2 のゲート電圧がその閾値電圧よりも十分高くなるため、信号 S i g のハイレベルの電位が、出力端子 O U T に与えられる。

10

【 0 0 3 2 】

なお、ノード の電位の上昇幅は、ノード に付加された寄生容量とトランジスタ 1 4 のソースとゲートの間に形成される容量 C との、容量比によって変化する。すなわち、ノード に付加された寄生容量が容量 C に比べて小さいほど、ノード の電位の上昇幅は大きく、ノード に付加された寄生容量が容量 C に比べて大きいほど、ノード の電位の上昇幅は小さい。よって、トランジスタ 1 2 のゲート電圧がその閾値電圧よりも十分高くなる程度に、ノード の電位が上昇するように、トランジスタ 1 4 のソースとゲートの間に形成される容量 C を、ノード に付加された寄生容量よりも大きくすることが望ましい。

20

【 0 0 3 3 】

次いで、図 3 に示すように、期間 T 3 では、信号 S i g の電位がローレベル、信号 L I N の電位がローレベル、信号 R I N の電位がハイレベルである。そのため、期間 T 3 では、トランジスタ 1 4 及びトランジスタ 1 7 が非導通状態になり、トランジスタ 1 5 及びトランジスタ 1 6 が導通状態になる。よって、ノード には、電位 V S S が与えられるため、トランジスタ 1 2 は非導通状態となる。また、トランジスタ 1 3 のゲートには電位 V D D が与えられるため、トランジスタ 1 3 は導通状態となる。そのため、電位 V S S が、出力端子 O U T に与えられる。

30

【 0 0 3 4 】

次いで、図 3 に示すように、期間 T 4 では、信号 S i g の電位がハイレベル、信号 L I N の電位がローレベル、信号 R I N の電位がローレベルである。そのため、期間 T 4 では、トランジスタ 1 4 乃至トランジスタ 1 7 が非導通状態になる。よって、トランジスタ 1 2 は非導通状態を維持し、トランジスタ 1 3 は導通状態を維持する。そのため、電位 V S S が、出力端子 O U T に与えられる。

【 0 0 3 5 】

上記期間 T 1 乃至期間 T 4 における動作により、順序回路 1 0 の出力端子 O U T からは、パルスをもつ出力信号が出力される。なお、順序回路 1 0 の出力端子 O U T の電位を含む出力信号を、複数の画素に接続されたバスラインと呼ばれる配線、例えば走査線などに供給する場合、トランジスタ 1 2 と同様に、トランジスタ 1 4 乃至トランジスタ 1 7 は、ソースまたはドレインの一方に対してゲートの電位が低い状態にある期間が、トランジスタ 1 3 に比べて長く、閾値電圧がマイナス方向へシフトしやすいことがわかる。

40

【 0 0 3 6 】

そこで、本発明の一態様では、トランジスタ 1 4 乃至トランジスタ 1 7 の少なくとも一つが、電氣的に接続され、なおかつ半導体膜を間に挟んで重なり合った、一对のゲート電極を有していてもよい。図 1 (B) では、トランジスタ 1 4 乃至トランジスタ 1 7 が、電氣的に接続された一对のゲート電極を有する場合を例示している。電氣的に接続された一对のゲート電極をトランジスタ 1 4 乃至トランジスタ 1 7 に設けることで、トランジスタ 1

50

4乃至トランジスタ17の閾値電圧がマイナス方向へシフトするのを抑えることができる。よって、順序回路10、延いては順序回路10を用いた半導体装置の信頼性を高めることができる。

【0037】

また、オン電流の低下を抑えつつトランジスタ14乃至トランジスタ17のサイズを小さく抑えることができるので、順序回路10、延いては順序回路10を用いた駆動回路の面積を小さく抑えることができる。

【0038】

また、電氣的に接続された一对のゲート電極を設けることで、半導体膜に空乏層ができやすくなるため、トランジスタ14乃至トランジスタ17のS値を改善することができる。

【0039】

トランジスタの構成例

次いで、図1に示したトランジスタ12、トランジスタ14乃至トランジスタ17として用いることができる、電氣的に接続された一对のゲート電極を有するトランジスタ20の具体的な構成例を、図2に示す。図2(A)には、トランジスタ20の上面図を示す。なお、図2(A)では、トランジスタ20のレイアウトを明確にするために、ゲート絶縁膜などの各種の絶縁膜を省略している。また、図2(A)に示した上面図の、破線A1-A2における断面図を図2(B)に示し、破線A3-A4における断面図を図2(C)に示す。

【0040】

図2に示すように、トランジスタ20は、絶縁表面を有する基板31上に、ゲート電極としての機能を有する導電膜21と、ゲート絶縁膜としての機能を有し、なおかつ導電膜21上に位置する絶縁膜22と、絶縁膜22上において導電膜21と重なる酸化物半導体膜23と、酸化物半導体膜23に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜24及び導電膜25とを有する。

【0041】

また、図2では、酸化物半導体膜23、導電膜24及び導電膜25上に、絶縁膜26及び絶縁膜27が、順に積層するように設けられている。トランジスタ20は、絶縁膜26及び絶縁膜27をその構成要素に含んでいても良い。なお、図2では、順に積層された絶縁膜26及び絶縁膜27を例示しているが、絶縁膜26及び絶縁膜27の代わりに、単層の絶縁膜が用いられていてもよいし、積層された3層以上の絶縁膜が用いられていてもよい。

【0042】

また、絶縁膜26及び絶縁膜27上には窒化物絶縁膜28と、絶縁膜29とが、順に積層するように設けられている。絶縁膜29は必ずしも設ける必要はない。ただし、絶縁膜29は窒化物絶縁膜28と共に、後述する画素の容量素子の誘電体膜としての機能を有する。窒化物絶縁膜28は、酸化珪素などの酸化物絶縁膜に比べて、比誘電率が高く、内部応力が大きい傾向を有する。そのため、容量素子の誘電体膜として絶縁膜29を用いずに窒化物絶縁膜28だけを用いる場合、窒化物絶縁膜28の膜厚が小さいと容量素子の容量値が大きくなりすぎてしまい、画像信号の画素への書き込みの速度を低消費電力にて高めることが難しくなる。逆に、窒化物絶縁膜28の膜厚が大きいと、内部応力が大きくなりすぎて、トランジスタの閾値電圧がシフトするなど、半導体膜を用いて形成される半導体素子の特性が悪化する恐れが生じる。また、窒化物絶縁膜28の内部応力が大きくなりすぎると、窒化物絶縁膜28が基板31から剥離しやすくなり、歩留りの向上を妨げる。しかし、窒化物絶縁膜28よりも比誘電率の低い酸化珪素などの絶縁物を用いた絶縁膜29を、窒化物絶縁膜28と共に、画素の容量素子の誘電体膜として用いることで、誘電体膜の誘電率を、窒化物絶縁膜28の膜厚を大きくすることなく所望の値に調整することができる。

【0043】

絶縁膜22、絶縁膜26、絶縁膜27、窒化物絶縁膜28、及び絶縁膜29は、開口部3

10

20

30

40

50

2を有する。開口部32は、酸化物半導体膜23、導電膜24及び導電膜25とは異なる領域であって、なおかつ導電膜21と重なる領域に設けられている。

【0044】

また、トランジスタ20は、ゲート電極としての機能を有する導電膜30を、絶縁膜29上に、或いは絶縁膜29が設けられていない場合は窒化物絶縁膜28上に有する。導電膜30は、導電膜21及び酸化物半導体膜23と重なる位置に設けられている。よって、トランジスタ20は、電氣的に接続されており、なおかつ、半導体膜である酸化物半導体膜23を間に挟んで重なり合った一対のゲート電極を有することとなる。また、導電膜30は、開口部32において導電膜21と電氣的に接続されている。導電膜30は可視光に対して透光性を有する。

10

【0045】

なお、図2(C)では、絶縁膜26及び絶縁膜27に開口部を形成した後、窒化物絶縁膜28、及び絶縁膜29を形成し、次いで、当該開口部と重なるように絶縁膜22、窒化物絶縁膜28、及び絶縁膜29に開口部32が形成されている場合を例示している。しかし、本発明の一態様では、絶縁膜22、絶縁膜26、絶縁膜27、窒化物絶縁膜28、及び絶縁膜29に、一のマスクを用いてエッチング等により開口部32が形成されていてもよい。ただし、画素において、絶縁膜29上に、或いは絶縁膜29が設けられていない場合は窒化物絶縁膜28上に画素電極が設けられており、当該画素電極が、絶縁膜22と絶縁膜26及び絶縁膜27との間に位置する導電膜と、絶縁膜26、絶縁膜27、窒化物絶縁膜28、及び絶縁膜29に形成された開口部において電氣的に接続されている場合、画素電極用の当該開口部と開口部32とでは、エッチングにより除去する絶縁膜の膜厚に差を有することとなる。そのため、一のマスクで画素電極用の開口部と開口部32とを共に形成する場合、絶縁膜22と絶縁膜26及び絶縁膜27の間に位置する導電膜が画素電極用の開口部において部分的にエッチングされ過ぎる、或いはエッチングが足りずに開口部32において導電膜21が露出されないなどの不具合が生じる恐れがある。しかし、図2(C)に示す断面図の構造が得られるように、絶縁膜26及び絶縁膜27に開口部を形成した後、絶縁膜22、窒化物絶縁膜28、及び絶縁膜29に開口部32を形成する場合、一のマスクで上記開口部と開口部32とを共に形成しても、開口部と開口部32とでエッチングにより除去する絶縁膜の膜厚に差が生じにくい。よって、上述したような不具合が生じにくく、歩留りを高めることができる。

20

30

【0046】

また、図2に示すトランジスタ20は、酸化物半導体膜23の端部のうち、導電膜24及び導電膜25とは重ならない端部、言い換えると、導電膜24及び導電膜25が位置する領域とは異なる領域に位置する端部と、導電膜21及び導電膜30とが、重なる構成を有する。酸化物半導体膜23の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図2に示すトランジスタ20では、導電膜24及び導電膜25とは重ならない酸化物半導体膜23の端部と、導電膜21及び導電膜30とが重なるため、導電膜21及び導電膜30の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜23の端部を介して導電膜24と導電膜25の間に流れる電流を、導電膜21及び導電膜30に与える電位によって制御することができる。

40

【0047】

具体的に、トランジスタ20が非導通状態となるような電位を導電膜21及び導電膜30に与えたときは、当該端部を介して導電膜24と導電膜25の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ20では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜23の端部における導電膜24と導電膜25の間の長さが短くなっても、トランジスタ20のオフ電流を小さく抑えることができ

50

る。よって、トランジスタ20は、チャンネル長を短くすることで、導通状態のときには大きいオン電流を得ることができ、非導通状態のときにはオフ電流を小さく抑えることができる。大きなオン電流を得るために、チャンネル長は、 $0.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下が好ましく、さらには $1\mu\text{m}$ 以上 $4\mu\text{m}$ 以下が好ましく、よりさらには $1\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下が好ましく、よりさらには $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下が好ましく、 $2\mu\text{m}$ とするのが最も好ましい。

【0048】

図25に、酸化物半導体膜23の端部におけるトランジスタ20の断面図の一例を示す。なお、図25では、図2(A)の破線A3-A4に相当するチャンネル幅方向において、酸化物半導体膜23の端部が、導電膜21と重なるように位置する場合を例示している。また、図25では、絶縁膜26、絶縁膜27、窒化物絶縁膜28、及び絶縁膜29を、単層の絶縁膜として示している。

10

【0049】

図25に示すように、酸化物半導体膜23の端部と導電膜30の端部との距離を T_{ov} とし、導電膜21と導電膜30の距離を T_{ge} とする。本発明の一態様では、 T_{ov} が T_{ge} の1.0倍以上である方が、酸化物半導体膜23の端部を介して導電膜24と導電膜25の間に流れる電流を制御することができるので好ましい。また、 T_{ov} が T_{ge} の7.5倍以下である方が、上記電流を制御できるという効果を得ることができ、なおかつ、トランジスタ20のサイズをより小さく抑えることができる。

【0050】

また、具体的に、トランジスタ20が導通状態となるような電位を導電膜21及び導電膜30に与えたときは、当該端部を介して導電膜24と導電膜25の間に流れる電流を大きくすることができる。当該電流は、トランジスタ20の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜23の端部と、導電膜21及び導電膜30とが重なることで、酸化物半導体膜23においてキャリアが、絶縁膜22及び絶縁膜26と酸化物半導体膜23との界面のみでなく、酸化物半導体膜23の広い範囲において流れるため、トランジスタ20におけるキャリアの移動量が増加する。この結果、トランジスタ20のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電界効果移動度である。

20

30

【0051】

また、図2に示すトランジスタ20は、導電膜24及び導電膜25を形成するためのエッチング時において、酸化物半導体膜23の表面を保護するための絶縁膜(保護絶縁膜)が設けられている構造(チャンネル保護構造)とは異なり、当該保護絶縁膜が設けられていない構造(チャンネルエッチ構造)を有する。

【0052】

チャンネル保護構造のトランジスタの場合、酸化物半導体膜23の表面を保護するという目的を達成するために、導電膜24の端部及び導電膜25の端部が、それぞれ保護絶縁膜上に位置している必要がある。そのため、導電膜24及び導電膜25をエッチングにより形成する際に用いるマスクの位置合わせには、チャンネル保護構造のトランジスタの方が、チャンネルエッチ構造のトランジスタよりも、より高い精度が求められる。よって、チャンネル保護構造のトランジスタの場合、導電膜24の端部及び導電膜25の端部を、より確実に保護絶縁膜上に位置させるために、チャンネル長方向における導電膜24の端部と導電膜25の端部の距離を短くすることが、歩留まりの低下を抑えるために望ましい。しかし、導電膜24の端部と導電膜25の端部の距離を短くすると、導電膜24及び導電膜25と酸化物半導体膜23とが重なる領域が広がるため、ゲートとしての機能を有する導電膜30から、酸化物半導体膜23に加えられるはずの電界が、導電膜24及び導電膜25により遮蔽されやすくなる。なお、チャンネル長方向とは、導電膜24及び導電膜25の間を最短距離でキャリアが移動する方向に相当する。

40

50

【 0 0 5 3 】

一方、チャンネルエッチ構造のトランジスタ 20 の場合、導電膜 24 及び導電膜 25 をエッチングにより形成する際に用いるマスクの位置合わせに、チャンネル保護構造のトランジスタよりも高い精度は求められない。そのため、チャンネルエッチ構造のトランジスタ 20 は、チャンネル保護構造のトランジスタよりも、導電膜 24 の端部と導電膜 25 の端部の距離を長くしても、歩留まりの低下は抑えられる。よって、導電膜 24 及び導電膜 25 と酸化物半導体膜 23 とが重なる領域を狭くすることができるため、導電膜 30 から酸化物半導体膜 23 に加えられるはずの電界が、導電膜 24 及び導電膜 25 により遮蔽されにくくなる。したがって、チャンネルエッチ構造のトランジスタ 20 の方が、チャンネル保護構造のトランジスタよりも、大きなオン電流が得られやすく、また、チャンネル長を短くしても、酸化物半導体膜 23 の端部に流れるオフ電流を小さく抑えることができる。

10

【 0 0 5 4 】

また、保護絶縁膜は、導電膜 24 及び導電膜 25 を形成する際のエッチングでプラズマに曝されるため、酸素が脱離しやすい状態にあり、酸素欠損が形成されやすいと考えられる。よって、保護絶縁膜は、保護絶縁膜に接する酸化物半導体膜 23 に、酸化物半導体膜 23 中の酸素欠損を低減させるのに十分な量の酸素を供給する能力が、乏しいと言える。一方、チャンネルエッチ構造のトランジスタ 20 では、酸化物半導体膜 23 のうち、導電膜 24 及び導電膜 25 とは重ならない部分が、導電膜 24 及び導電膜 25 を形成する際のエッチングでプラズマに曝される。しかし、導電膜 24 及び導電膜 25 を形成した後に、十分な量の酸素を酸化物半導体膜 23 に供給する能力を有する、絶縁膜 26 及び絶縁膜 27 を形成することで、酸化物半導体膜 23 中の酸素欠損を低減させることができる。よって、チャンネルエッチ構造のトランジスタ 20 の方が、チャンネル保護構造のトランジスタよりも、高い信頼性を得ることができる。

20

【 0 0 5 5 】

特に、チャンネルエッチ構造のトランジスタ 20 において、酸化物半導体膜 23 に C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜を用いる場合、非晶質酸化物半導体膜、または微結晶酸化物半導体膜を酸化物半導体膜 23 に用いる場合に比べて、導電膜 24 及び導電膜 25 を形成する際のエッチングにより、酸化物半導体膜 23 のうち導電膜 24 及び導電膜 25 とは重ならない領域が、エッチングにより除去されにくい。よって、酸化物半導体膜 23 に C A A C - O S 膜を用いたトランジスタ 20 は、より高い信頼性が得られる。C A A C - O S 膜、非晶質酸化物半導体膜、及び微結晶酸化物半導体膜の詳細について、後述する。

30

【 0 0 5 6 】

なお、酸化物半導体膜を有するトランジスタは、蓄積型のトランジスタである。ここで、酸化物半導体膜を有するトランジスタのオフ状態及びオン状態におけるキャリアの流れについて、図 36 に示す模式図を用いて説明する。また、図 36 (A) 及び図 36 (B) は、チャンネル長方向の断面図であり、図 36 (C) は、チャンネル幅方向の断面図である。

【 0 0 5 7 】

図 36 において、酸化物半導体膜を有するトランジスタは、ゲート電極 G E _ 1 と、ゲート電極 G E _ 1 上のゲート絶縁膜 G I _ 1 と、ゲート絶縁膜 G I _ 1 上の酸化物半導体膜 O S と、酸化物半導体膜 O S 上の電極 S、D と、酸化物半導体膜 O S 及び電極 S、D 上のゲート絶縁膜 G I _ 2 と、ゲート絶縁膜 G I _ 2 上のゲート電極 G E _ 2 とを有する。酸化物半導体膜 O S は、チャンネル領域 i と、電極 S、D に接する低抵抗領域 n + とを有する。ゲート電極 G E _ 1 及びゲート電極 G E _ 2 は、図 36 (C) に示すように、接続されている。

40

【 0 0 5 8 】

トランジスタがオフ状態の場合、図 36 (A) に示すように、ゲート電極 G E _ 1、G E _ 2 に負の電圧が印加されると、酸化物半導体膜 O S のチャンネル領域 i から電子が排斥され、チャンネル領域 i は完全に空乏化する。この結果、トランジスタのオフ電流が極めて小さくなる。

50

【0059】

一方、オン状態の場合、図36(B)に示すように、電極Sと接する低抵抗領域 n^+ から電極Dと接する低抵抗領域 n^+ へかけて電子が蓄積され、矢印で示すように電流パスが形成される。図36(C)に示すように、ゲート電極GE_1及びゲート電極GE_2を同電位とし、且つ酸化半導体膜OSの側面がゲート電極GE_2と対向することで、さらには、チャンネル幅方向において、ゲート電極GE_1及びゲート電極GE_2が、ゲート絶縁膜GI_1及びゲート絶縁膜GI_2を介して酸化半導体膜OSを囲むことで、図36(B)に示すように、酸化半導体膜OSにおいてキャリアが、ゲート絶縁膜GI_1、GI_2と酸化半導体膜OSとの界面のみでなく、酸化半導体膜OS中の広い範囲において流れるため、トランジスタにおけるキャリアの移動量が増加する。この結果、トランジスタのオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電界効果移動度である。なお、トランジスタのチャンネル長 L を $0.5\text{ }\mu\text{m}$ 以上 $6.5\text{ }\mu\text{m}$ 以下、好ましくは $1\text{ }\mu\text{m}$ より大きく $6\text{ }\mu\text{m}$ 未満、より好ましくは $1\text{ }\mu\text{m}$ より大きく $4\text{ }\mu\text{m}$ 以下、より好ましくは $1\text{ }\mu\text{m}$ より大きく $3.5\text{ }\mu\text{m}$ 以下、より好ましくは $1\text{ }\mu\text{m}$ より大きく $2.5\text{ }\mu\text{m}$ 以下とすることで、電界効果移動度の増加が顕著である。また、チャンネル長が $0.5\text{ }\mu\text{m}$ 以上 $6.5\text{ }\mu\text{m}$ 以下のように小さいことで、チャンネル幅も小さくすることが可能である。このため、図36(C)に示すように、ゲート電極GE_1及びゲート電極GE_2の接続部となるための領域を設けても、トランジスタの面積を縮小することが可能である。

10

20

【0060】

次いで、電氣的に接続された一对のゲート電極を有するトランジスタ20の、具体的な構成例を図19に示す。図19(A)には、トランジスタ20の上面図を示す。なお、図19(A)では、トランジスタ20のレイアウトを明確にするために、絶縁膜26及び絶縁膜27以外の、ゲート絶縁膜などの各種の絶縁膜を省略している。また、図19(A)に示した上面図の、破線A1-A2における断面図を図19(B)に示し、破線A3-A4における断面図を図19(C)に示す。

【0061】

図19に示すトランジスタ20は、絶縁膜26及び絶縁膜27がトランジスタ20の周辺において部分的に除去されている点において、図2に示すトランジスタ20と構造が異なる。具体的に、図19では、酸化半導体膜23の端部のうち、導電膜24及び導電膜25とは重ならない端部を、絶縁膜26及び絶縁膜27が少なくとも覆うように、絶縁膜26及び絶縁膜27が部分的に除去されている。図19に示すトランジスタ20では、上記構成により、ゲートとして機能する導電膜30を、絶縁膜26及び絶縁膜27の端部において、酸化半導体膜23の端部により近づけることができる。上述したように、酸化半導体膜23の端部は n 型化しやすいが、導電膜30を酸化半導体膜23の上記端部により近づけることで、導電膜30から当該端部にかかる電界をより強くすることができる。よって、酸化半導体膜23の端部を介して導電膜24と導電膜25の間に流れる電流を、導電膜30に与える電位によって、より確実に制御することができる。その結果、トランジスタ20のチャンネル長を短くしても、トランジスタ20のオフ電流をより小さく抑えることができ、なおかつより大きなオン電流を確保することができる。

30

40

【0062】

なお、図2、及び図19に示すトランジスタ20では、チャンネル長方向において、導電膜30の端部が酸化半導体膜23と重なる位置に設けられているが、酸化半導体膜23の端部が導電膜30と重なる位置に設けられていてもよい。

【0063】

また、電氣的に接続された一对のゲート電極を有するトランジスタ20の、具体的な構成例を図20に示す。図20(A)には、トランジスタ20の上面図を示す。なお、図20(A)では、トランジスタ20のレイアウトを明確にするために、ゲート絶縁膜などの各

50

種の絶縁膜を省略している。また、図20(A)に示した上面図の、破線A1 - A2における断面図を図20(B)に示し、破線A3 - A4における断面図を図20(C)に示す。

【0064】

図20に示すトランジスタ20は、酸化物半導体膜23が位置する領域内にて、導電膜30が導電膜24及び導電膜25と重なっていない点において、言い換えると、酸化物半導体膜23が位置する領域内にて、導電膜24及び導電膜25が位置する領域とは異なる領域に、導電膜30が位置する点において、図2に示すトランジスタ20と構造が異なる。

【0065】

また、電氣的に接続された一对のゲート電極を有するトランジスタ20の、具体的な構成例を図21に示す。図21(A)には、トランジスタ20の上面図を示す。なお、図21(A)では、トランジスタ20のレイアウトを明確にするために、ゲート絶縁膜などの各種の絶縁膜を省略している。また、図21(A)に示した上面図の、破線A1 - A2における断面図を図21(B)に示し、破線A3 - A4における断面図を図21(C)に示す。

10

【0066】

図21に示すトランジスタ20は、酸化物半導体膜23が位置する領域内にて、導電膜30が、導電膜24と重なり、導電膜25と重なっていない点において、図2に示すトランジスタ20と構造が異なる。言い換えると、酸化物半導体膜23が位置する領域内にて、導電膜24が位置する領域の一部に導電膜30が位置し、なおかつ、酸化物半導体膜23が位置する領域内にて、導電膜25が位置する領域とは異なる領域に、導電膜30が位置する点において、図2に示すトランジスタ20と構造が異なる。

20

【0067】

また、電氣的に接続された一对のゲート電極を有するトランジスタ20の、具体的な構成例を図24に示す。図24(A)には、トランジスタ20の上面図を示す。なお、図24(A)では、トランジスタ20のレイアウトを明確にするために、ゲート絶縁膜などの各種の絶縁膜を省略している。また、図24(A)に示した上面図の、破線A1 - A2における断面図を図24(B)に示し、破線A3 - A4における断面図を図24(C)に示す。

【0068】

図24に示すトランジスタ20は、導電膜21と導電膜30とが、導電膜34を介して電氣的に接続されている点において、図2に示すトランジスタ20と構造が異なる。具体的に、導電膜34は絶縁膜22上に形成されており、絶縁膜22に形成された開口部32aにおいて導電膜21と接している。また、導電膜30は、絶縁膜26乃至絶縁膜29に形成された開口部32bにおいて導電膜34と接している。

30

【0069】

図20、図21、及び図24に示すトランジスタ20も、図19に示すトランジスタと同様に、絶縁膜26及び絶縁膜27が部分的に除去されていてもよい。

【0070】

また、図2、図19、図20、及び図21に示すトランジスタ20では、酸化物半導体膜23は、単膜の酸化物半導体膜で構成されているとは限らず、積層された複数の酸化物半導体膜で構成されていても良い。図23(A)では、酸化物半導体膜23が、3層の積層された酸化物半導体膜で構成されている場合を、例示している。具体的に、図23(A)に示すトランジスタ20では、酸化物半導体膜23として、酸化物半導体膜23a乃至酸化物半導体膜23cが、絶縁膜22側から順に積層されている。

40

【0071】

そして、酸化物半導体膜23a及び酸化物半導体膜23cは、酸化物半導体膜23bを構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜23bよりも0.05 eV以上、0.07 eV以上、0.1 eV以上又は0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下又は0.4 eV以下、真

50

空準位に近い酸化膜である。さらに、酸化半導体膜 23b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0072】

なお酸化半導体膜 23c は、図 23 (B) に示すように、導電膜 24 及び導電膜 25 の上層で絶縁膜 22 と重畳させて設ける構成としてもよい。

【0073】

次いで、半導体膜を間に挟んで重なり合う一対のゲート電極を有するトランジスタの、回路記号を図 22 (A) に示す。図 22 (A) に示す回路記号では、一対のゲート電極を FG、BG で示し、ソース電極を S、ドレイン電極を D で示している。図 22 (A) に示す回路記号では、ゲート電極として機能する導電膜 30 と、ソース電極またはドレイン電極として機能する導電膜 24 及び導電膜 25 の位置関係には、限定がない。

10

【0074】

図 22 (B1) に、ソース電極またはドレイン電極として機能する導電膜 24 及び導電膜 25 が、酸化半導体膜 23 上において、ゲート電極として機能する導電膜 30 と部分的に重なっているトランジスタ 20 の、回路記号を示す。図 22 (B1) に示す回路記号では、図 22 (A) に示す回路記号と同様に、一対のゲート電極を FG、BG で示し、ソース電極を S、ドレイン電極を D で示している。

【0075】

図 22 (B2) に、図 22 (B1) に示す回路記号に対応した、トランジスタ 20 の断面図を一例として示す。図 22 (B2) に示すトランジスタ 20 は、チャンネル長方向において、導電膜 24 の端部と導電膜 25 の端部の距離 Wsd が、導電膜 30 の端部間の距離 Wbg に比べて短い。そして、チャンネル長方向における断面図では、導電膜 30 の一対の端部が、導電膜 24 及び導電膜 25 と重なっている。

20

【0076】

また、図 22 (C1) に、ソース電極またはドレイン電極として機能する導電膜 24 及び導電膜 25 が、酸化半導体膜 23 上において、ゲート電極として機能する導電膜 30 と重なっていないトランジスタ 20 の、回路記号を示す。図 22 (C1) に示す回路記号では、図 22 (A) に示す回路記号と同様に、一対のゲート電極を FG、BG で示し、ソース電極を S、ドレイン電極を D で示している。

【0077】

図 22 (C2) に、図 22 (C1) に示す回路記号に対応した、トランジスタ 20 の断面図を一例として示す。図 22 (C2) に示すトランジスタ 20 は、チャンネル長方向において、導電膜 24 の端部と導電膜 25 の端部の距離 Wsd が、導電膜 30 の端部間の距離 Wbg に比べて長い。そして、チャンネル長方向における断面図では、導電膜 30 の一対の端部が、導電膜 24 及び導電膜 25 と重なっていない。

30

【0078】

本明細書に添付された図面では、図 22 (A) に示す回路記号が、図 22 (B1) の回路記号で表される構造のトランジスタ 20 と、図 22 (C1) の回路記号で表される構造のトランジスタ 20 とを、含むものとする。

【0079】

トランジスタの電気的特性の測定

次いで、酸化半導体膜にチャンネル形成領域を有するトランジスタに光を照射したときの、トランジスタの電気的特性を測定した結果について述べる。

40

【0080】

まず、測定に用いたトランジスタの構造について説明する。測定には、ゲート電極を一つ有する第 1 トランジスタと、半導体膜を間に挟んで重なり合う一対のゲート電極を有する第 2 トランジスタとを用いた。

【0081】

第 1 トランジスタは、絶縁表面上に、膜厚 200 nm のタンゲステン膜を用いたゲート電極と、上記ゲート電極上において、膜厚 400 nm の窒化珪素膜と膜厚 50 nm の酸化窒

50

化珪素膜とが順に積層されたゲート絶縁膜とを有していた。さらに、第1トランジスタは、ゲート絶縁膜上においてゲート電極と重なる位置に、膜厚35nmのIn-Ga-Zn系酸化物半導体膜を有していた。また、第1トランジスタは、酸化物半導体膜上に、膜厚が50nmのタンゲステン膜と、膜厚が400nmのアルミニウム膜と、膜厚が200nmのチタン膜とが順に積層されたソース電極及びドレイン電極を有していた。また、酸化物半導体膜及びソース電極及びドレイン電極上には、膜厚が50nmの酸化窒化珪素膜と、膜厚が400nmの酸化窒化珪素膜と、膜厚100nmの窒化珪素膜が、順に積層されるように設けられていた。

【0082】

第2トランジスタは、窒化珪素膜上に、膜厚100nmの、酸化珪素を添加したインジウム錫酸化物膜を用いたゲート電極をさらに有する点においてのみ、第1トランジスタと構成が異なっていた。そして、第2トランジスタでは、タンゲステン膜を用いたゲート電極と、酸化珪素を添加したインジウム錫酸化物膜を用いたゲート電極とは、電氣的に接続されていた。

【0083】

なお、第1トランジスタ及び第2トランジスタにおいて、In-Ga-Zn系酸化物半導体膜は、In、Ga、Znの組成(原子数比)が1:1:1であるターゲットを用い、スパッタリング法により形成された。また、第1トランジスタ及び第2トランジスタにおいて、膜厚が50nmの酸化窒化珪素膜は、流量20sccmのシラン及び流量3000sccmの一酸化二窒素を原料ガスとし、処理室の圧力を200Pa、基板温度を350とし、27.12MHzの高周波電源を用いて150W(電力密度 $2.5 \times 10^{-2} \text{ W/cm}^2$)の高周波電力を平行平板電極に供給したプラズマCVD法により、形成された。また、第1トランジスタ及び第2トランジスタにおいて、膜厚が400nmの酸化窒化珪素膜は、流量160sccmのシラン及び流量4000sccmの一酸化二窒素を原料ガスとし、処理室の圧力を200Pa、基板温度を220とし、27.12MHzの高周波電源を用いて1500W(電力密度 $2.5 \times 10^{-1} \text{ W/cm}^2$)の高周波電力を平行平板電極に供給したプラズマCVD法により、形成された。また、第1トランジスタ及び第2トランジスタにおいて、膜厚100nmの窒化珪素膜は、流量50sccmのシランと、流量5000sccmの窒素と、流量100sccmのアンモニアとを原料ガスとし、処理室の圧力を100Pa、基板温度を350とし、27.12MHzの高周波電源を用いて1000W(電力密度 $1.6 \times 10^{-1} \text{ W/cm}^2$)の高周波電力を平行平板電極に供給したプラズマCVD法により、形成された。

【0084】

また、第1トランジスタ及び第2トランジスタは、チャンネル長Lが6 μm 、チャンネル幅Wが50 μm であった。

【0085】

そして、第1トランジスタ及び第2トランジスタの電氣的特性の測定は、ストレス印加工程前のドレイン電流の測定(測定1)、ストレス印加工程後のドレイン電流の測定(測定2)の順序で行われた。ストレス印加工程では、暗室内の光の照射が行われない環境下において、基板温度が60、ゲート電圧V_gが-30Vである状態を1時間保った。具体的に、測定1及び測定2におけるドレイン電流の測定は、暗室内の光の照射が行われない環境下において、基板温度60として行った。また、測定時は、ゲート電圧V_gを-15Vと30Vの間において0.25Vずつ変化させ、ソース電極とドレイン電極間の電圧V_{ds}は0.1Vまたは10Vとした。

【0086】

図17(A)に、測定によって得られた、第1トランジスタのゲート電圧V_gとドレイン電流I_dの関係を示す。さらに、電圧V_{ds}が10Vの場合において、計算により得られた電界効果移動度 μ_{FE} も、併せて示す。また、図17(B)に、測定によって得られた、第2トランジスタのゲート電圧V_gとドレイン電流I_dの関係を示す。さらに、電圧V_{ds}が10Vの場合において、計算により得られた電界効果移動度 μ_{FE} も、併せて示す

10

20

30

40

50

。図17(A)及び図17(B)から、第2トランジスタの方が第1トランジスタよりも、ドレイン電流 I_d と電界効果移動度 μ_{FE} が大きいことが分かった。

【0087】

そして、下記の表1に、測定によって得られた第1トランジスタ(Single Gate)と、第2トランジスタ(Dual Gate)の閾値電圧(V_{th})と、シフト値(Shift)とを示す。なお、シフト値とは、ドレイン電流が立ち上がる時のゲート電圧の値と定義する。具体的には、リニアスケールのゲート電圧に対するLogスケールのドレイン電流の関係を示す片対数グラフにおいて、ドレイン電流の傾きの変化が最も急峻となる接線と、 $1e-12$ [A]のドレイン電流に対応する目盛線と、が交差する点における電圧と定義している。シフト値は、電圧 V_{ds} が10Vであるときの値を用いた。

10

【0088】

【表1】

	Single Gate		Dual Gate	
	Vth	Shift	Vth	Shift
初期値	4.29	0.47	4.03	1.31
変動値(Δ値)	-4.48	-6.80	0.27	0.25

【0089】

表1に示すように、第1トランジスタでは、ストレス印加工程により、閾値電圧が-4.48V、シフト値が-6.80Vシフトしたことが分かった。また、第2トランジスタでは、ストレス印加工程により、閾値電圧が0.27V、シフト値が0.25Vシフトしたことが分かった。したがって、第2トランジスタの方が第1トランジスタよりも、閾値電圧及びシフト値のマイナス方向へのシフトが抑えられることが分かった。

20

【0090】

従って、上記測定により、半導体膜を間に挟んで位置する一对のゲート電極を設けることで、トランジスタの閾値電圧がマイナス方向へシフトするのを抑えられることが分かった。また、一对のゲート電極に同じ電位を与えることで、ドレイン電流の増加を実現できることが分かった。

30

【0091】

Dual Gate駆動におけるチャンネルエッチ型のトランジスタ及びチャンネル保護型のトランジスタの比較

ここで、チャンネルエッチ型のトランジスタ及びチャンネル保護型のトランジスタ、それぞれの電界効果移動度及びオン電流について比較する。なお、ここでは、酸化物半導体膜を挟んで対向するゲート電極が接続され、同電位であるDual Gate駆動のトランジスタの電界効果移動度(μ_{FE})及びオン電流(I_{on})について、比較する。

【0092】

チャンネルエッチ型のトランジスタ及びチャンネル保護型のトランジスタの電気的特性について計算した。図29(A)に、計算で用いたチャンネル保護型のトランジスタの構造を示す。なお、計算にはデバイスシミュレーションソフトAtlas(Silvaco社製)を用いた。

40

【0093】

チャンネル保護型のトランジスタは、ゲート電極 GE_1 上にゲート絶縁膜 GI_1 が形成され、ゲート絶縁膜 GI_1 上に酸化物半導体膜 OS が形成される。ゲート絶縁膜 GI_1 及び酸化物半導体膜 OS 上にソース電極 S 及びドレイン電極 D が形成される。なお、ソース電極 S 及びドレイン電極 D の端部と酸化物半導体膜 OS の間にはチャンネル保護膜 CS が形成される。酸化物半導体膜 OS 、ソース電極 S 及びドレイン電極 D 、並びにチャンネル保護膜 CS 上にゲート絶縁膜 GI_2 が形成される。ゲート絶縁膜 GI_2 上にゲート電極 GE_2 が形成される。また、ゲート電極 GE_1 及びゲート電極 GE_2 は、ゲート

50

絶縁膜 GI_1 及びゲート絶縁膜 GI_2 に形成される開口部（図示しない。）において、接続する。

【0094】

チャンネルエッチ型のトランジスタは、チャンネル保護膜 CS が設けられず、ソース電極 S 及びドレイン電極 D の端部が、酸化物半導体膜 OS に接する構造である。

【0095】

計算に用いた条件を表 2 に示す。

【0096】

【表 2】

チャンネル長L	10 μ m
チャンネル幅W	100 μ m
GI_1の厚さT1	450nm
GI_2の厚さT2	450nm
チャンネル保護膜CSの厚さT3	100nm
GI_1、GI_2、CSの誘電率Er	3.9
OSの厚さ	35nm
OSの移動度	10cm ² /Vsec
OSの誘電率Er	15
SD直下におけるOSのドナー密度	1 × 10 ¹⁹ / cm ³
チャンネル領域におけるOSのドナー密度	6.6 × 10 ⁻⁹ / cm ³

10

20

【0097】

図 29 (A) は、Dual Gate 駆動のトランジスタを示すが、比較例として、ゲート電極 GE_2 を有さない、Single Gate 駆動のトランジスタに関しても、Dual Gate 駆動のトランジスタと同様の計算を行った。

30

【0098】

チャンネル保護型のトランジスタにおいて、チャンネル保護膜 CS を介して、酸化物半導体膜 OS とソース電極 S またはドレイン電極 D とが重畳する領域の長さを Sov とする。また、ソース電極 S 及びドレイン電極 D において、チャンネル保護膜 CS を介して酸化物半導体膜 OS と重畳する領域を Sov 領域とする。Sov と電界効果移動度との関係を計算した結果を図 29 (B) に示し、Sov とオン電流との関係を計算した結果を図 29 (C) に示す。

【0099】

また、チャンネルエッチ型のトランジスタにおいては、Sov を 0 μ m として、電界効果移動度及びオン電流を計算した。また、計算結果をそれぞれ図 29 (B) 及び図 29 (C) に示す。

40

【0100】

なお、図 29 (B) は、ドレイン電圧 Vd を 1 V としたときの結果である。また、図 29 (C) は、ドレイン電圧 Vd を 1 V、ゲート電圧 Vg を 10 V としたときの結果である。

【0101】

図 29 (B) に示すように、チャンネルエッチ型のトランジスタ (Sov が 0 μ m) では、Single Gate 駆動のトランジスタと比較して、Dual Gate 駆動のトランジスタの電界効果移動度は約 2 倍になっている。一方、チャンネル保護型のトランジスタでは、Dual Gate 駆動のトランジスタの電界効果移動度は、Sov の長さが大きくなるに従って減少している。

50

【0102】

また、図29(C)に示すように、チャンネルエッチ型のトランジスタ(Sov が $0\mu m$)では、Single Gate駆動のトランジスタと比較して、Dual Gate駆動のトランジスタのオン電流は約2倍になっている。一方、チャンネル保護型のトランジスタでは、Dual Gate駆動のトランジスタのオン電流は、 Sov の長さが大きくなるに従って減少している。

【0103】

チャンネル保護型のトランジスタでは、ソース電極S及びドレイン電極Dにおける Sov 領域がゲート電極GE_2の電界を遮蔽する。このため、酸化半導体膜OSにおいて、ゲート電極GE_2の電圧によりキャリア密度を制御できない領域が広がる。この結果、 Sov の長さが大きくなるにつれ、電界効果移動度が低減し、オン電流が小さくなると考えられる。以上のことから、チャンネル保護型のトランジスタと比較して、チャンネルエッチ型のトランジスタの方が、Dual Gate駆動における電界効果移動度の上昇効果及び電流増幅効果が有効である。

10

【0104】

Dual Gate駆動による電流駆動力の向上について酸化半導体膜を挟んで対向するゲート電極が接続し、同電位であるDual Gate駆動のトランジスタにおいて、チャンネル長Lを小さくすることにより、電流駆動力が向上することについて説明する。

20

【0105】

理想的なモデルにおける飽和移動度についてはじめに、界面準位や界面散乱などの効果を考慮しない、理想的なモデルについてシミュレーションで検討を行った。図30に、計算で用いたトランジスタのモデルを示す。なお、計算にはデバイスシミュレーションソフトAtlas(Silvaco社製)を用いた。

30

【0106】

図30に示すトランジスタは、ゲート電極GE_1上にゲート絶縁膜GI_1が形成され、ゲート絶縁膜GI_1上に酸化半導体膜OSが形成される。ゲート絶縁膜GI_1及び酸化半導体膜OS上にソース電極S及びドレイン電極Dが形成される。酸化半導体膜OS、ソース電極S及びドレイン電極D上にゲート絶縁膜GI_2が形成される。ゲート絶縁膜GI_2上にゲート電極GE_2が形成される。また、ゲート電極GE_1及びゲート電極GE_2は、ゲート絶縁膜GI_1及びゲート絶縁膜GI_2に形成される開口部(図示しない。)において、接続する。

30

【0107】

計算に用いた条件を表3に示す。

【0108】

【表 3】

チャネル長(条件振り)	2, 3, 6, 10 μm
チャネル幅	50 μm
GI_1の厚さT1	450nm
GI_2の厚さT2	450nm
GI_1、GI_2の誘電率Er	3.9
OSの厚さ	35nm
OSの移動度	10cm ² /V sec
GI_1、GI_2の誘電率Er	15
SD直下におけるOSのドナー密度	1 $\times 10^{19}$ /cm ³
チャネル領域におけるOSのドナー密度	6.6 $\times 10^{-9}$ /cm ³
ドレイン電圧	1V, 10V

10

【0109】

ゲート電極 GE__1 及びゲート電極 GE__2 は接続されているため、常に等電位である。また、当該モデルは二次元シミュレーションを用いているため、チャネル幅方向の効果については考慮されない。また、ドレイン電圧 (V_d) が 10V のときの V_g - I_d 特性の値を数式 1 に代入することによって飽和移動度 μ_{FE} を算出した。なお、ここでは、飽和領域の電界効果移動度を飽和移動度として説明する。計算によって得られる飽和移動度の最大値は、飽和領域 (ゲート電圧 (V_g) < ドレイン電圧 (V_d) + しきい値電圧 (V_{th})) における電流駆動力の指標であって、酸化物半導体膜の物性値としての移動度の近似値とは異なる。

20

【0110】

【数 1】

$$\mu_{FE} = \left(\frac{\partial \sqrt{I_d}}{\partial V_g} \right)^2 \frac{2L}{C_{Bottom} W} \quad (1)$$

30

【0111】

なお、数式 1 において、W はトランジスタのチャネル幅であり、C_{Bottom} は、ゲート電極 GE__1 及び酸化物半導体膜 OS の間の単位面積あたりの容量値である。Dual Gate 駆動のトランジスタの場合はさらにゲート電極 GE__2 と酸化物半導体膜 OS との間にも容量が形成されるが、飽和移動度を電流駆動能力を比べる指標として用いるために、Dual Gate 駆動トランジスタにおけるゲート電極 GE__2 側の容量は省略し、Dual Gate 駆動トランジスタも Single Gate 駆動トランジスタと同じ数式 1 を用いている。

40

【0112】

Dual Gate 駆動のトランジスタの計算結果を図 31 (A) に示し、ゲート電極 GE__2 を有さない Single Gate 駆動のトランジスタの計算結果を図 31 (B) に示す。

【0113】

図 31 より、Dual Gate 駆動のトランジスタ、及び Single Gate 駆動のトランジスタそれぞれにおいて、鋭いピークを有する飽和移動度が得られた。また、L 長が短いほど飽和移動度のピーク値が高くなっている。

【0114】

50

ここで、チャンネル長 L が短くなるにつれ飽和移動度が向上しているが、これがトランジスタの電流駆動力の向上に相当するかについて、以下に説明する。

【0115】

理想的なモデルのシミュレーションから得られた結果において、ゲート電圧が $V_g = V_{th} + 5$ のときと $V_g = V_{th} + 10$ のときにおける、オン電流を L 長に対してプロットしたグラフを図32に示す。図32の上段は、オン電流を示し、図32の下段は、オン電流 \times チャンネル長を示す。なお、図32では、左欄はドレイン電圧 (V_d) が $1V$ のときの計算結果であり、右欄はドレイン電圧 (V_d) が $10V$ のときの計算結果を示す。

【0116】

図32に示すオン電流は、チャンネル長 (L) に反比例している。これは、オン電流はチャンネル長 (L) に反比例するためである。

10

【0117】

オン電流が完全にチャンネル長に反比例するのであれば、オン電流 \times チャンネル長の値は、チャンネル長に依存せず一定値となる。図32において、ドレイン電圧 (V_d) が $1V$ の場合は、オン電流 \times チャンネル長の値は、チャンネル長 (L) に対して一定値となっている。一方、ドレイン電圧 (V_d) が $10V$ の場合は、チャンネル長 (L) が短くなるにつれ、オン電流 \times チャンネル長の値が増加している。これは、ドレイン電圧 (V_d) が $10V$ の場合は、実効チャンネル長 (後述において説明する) が、図30において定められるチャンネル長 (ソース電極 S とドレイン電極 D の間の距離) よりも短くなっていることを表している。

【0118】

20

バルク電流の理論

以下、理想的なモデルのトランジスタの飽和移動度において、低いゲート電圧でピークが生じる原因について説明する。

【0119】

図30に示すトランジスタにおいて、酸化物半導体膜 OS に含まれる電子密度は、酸化物半導体膜 OS の膜厚方向に一定の値 $n_0(y)$ で表されると仮定する。 y は酸化物半導体膜 OS 内のチャンネル長方向の任意の位置を表している。酸化物半導体膜 OS の膜厚方向におけるポテンシャルは数式2に示され、一定となる。ただし、ゲート電極 GE_1 のゲート電圧 V_{g_1} 及びゲート電極 GE_2 のゲート電圧 V_{g_2} が同電位であり、ゲート電極 GE_1 側及びゲート電極 GE_2 側におけるフラットバンド電圧を共に、フラット

30

バンド電圧 V_{FB} と仮定する。

【0120】

【数2】

$$\phi - V(y) = V_g - V_{FB} - V(y) \quad (2)$$

【0121】

このとき、蓄積型である酸化物半導体膜を有するトランジスタにおいて、ドレイン電流 I_d は、数式3に示すようなバルク電流 I_{bulk} のみで近似的に与えられる。

【0122】

40

【数3】

$$I_d \cong I_{bulk} = \frac{Wt}{L_{eff}} \mu k_B T [n_0(0) - n_0(L_{eff})] \quad (3)$$

【0123】

なお、数式3において、 t は酸化物半導体膜の膜厚、 μ は酸化物半導体膜の電子移動度、 k_B はボルツマン定数、 T は絶対温度、 L_{eff} は実効チャンネル長である。なお、ここでは、チャンネル長はソース電極及びドレイン電極の間隔のことであり、実効チャンネル長とは、酸化物半導体膜において、ソース電極下から広がる n 領域と、ドレイン電極下から広が

50

る n 領域の間の距離を表す。特に、チャネル長が短い場合あるいはドレイン電圧が高い場合、実効チャネル長はチャネル長よりも短くなる。

【 0 1 2 4 】

なお、 $n_0(0)$ は上述の実効チャネル長で定められる領域のソース電極側端部における電子密度であり、数式 4 で表させる。また、 $n_0(L_{eff})$ は、上述の実効チャネル長で定められる領域のドレイン電極側端部における電子密度であり、数式 5 で表される。なお、数式 4 及び数式 5 において、 N_D は酸化物半導体膜のチャネル領域のドナー密度であり、 q は素電荷である。

【 0 1 2 5 】

【 数 4 】

$$n_0(0) = N_D e^{q\phi/k_B T} = N_D e^{q(V_g - V_{FB})/k_B T} \quad (4)$$

10

【 0 1 2 6 】

【 数 5 】

$$n_0(L_{eff}) = N_D e^{q(\phi - V_d)/k_B T} = N_D e^{q(V_g - V_{FB} - V_d)/k_B T} \quad (5)$$

【 0 1 2 7 】

$V_d > V_g - V_{th}$ 、且つ $V_g > V_{th}$ の飽和領域の場合、ドレイン電圧 V_d は $V_g - V_{th}$ に置き換えられるので、数式 3 は数式 6 となる。

20

【 0 1 2 8 】

【 数 6 】

$$I_d = \frac{Wt}{L_{eff}} \mu k_B T N_D e^{-qV_{FB}/k_B T} (e^{qV_g/k_B T} - e^{qV_{th}/k_B T}) \quad (6)$$

【 0 1 2 9 】

数式 6 で得られるドレイン電流 I_d に対して、飽和移動度 μ_{FE}^{sat} を計算すると数式 7 となる。

【 0 1 3 0 】

【 数 7 】

30

$$\mu_{FE}^{sat} \equiv \left(\frac{d\sqrt{I_d}}{dV_g} \right)^2 \frac{2L}{C_{GI}W} = \frac{Lt\mu q^2 N_D e^{-qV_{FB}/k_B T}}{2L_{eff}C_{GI}k_B T} \frac{e^{qV_g/k_B T}}{1 - e^{q(V_g - V_{th})/k_B T}} \quad (7)$$

【 0 1 3 1 】

数式 7 において、 V_g を V_{th} とすると、分母が 0 になり、飽和移動度 μ_{FE}^{sat} は無限大に発散する。この性質が、図 3 1 に示されるような飽和移動度における、低いゲート電圧 V_g でのピークの原因である。すなわち、酸化物半導体膜 OS の内部を流れるバルク電流がドレイン電流の主要因であればあるほど、図 3 1 のチャネル長が $2 \mu m$ のときの飽和移動度のように、よりはっきりとしたピークが表れる。

40

【 0 1 3 2 】

また、飽和移動度が大きくなる他の要因の一つとして、実効チャネル長 L_{eff} がチャネル長 L に比べて短くなることが考えられる。例えば、酸化物半導体膜 OS において、ソース電極 S 及びドレイン電極 D と接する領域近傍において、n 領域が広がることにより、実効チャネル長 L_{eff} がチャネル長 L より短くなる。この影響は、数式 7 に示す飽和移動度 μ_{FE}^{sat} の L/L_{eff} に対する比例関係からも明らかである。

【 0 1 3 3 】

酸化物半導体膜 OS 中の電流密度

50

バルク電流が飽和移動度に影響することは、蓄積型のデバイスである酸化物半導体膜を有するトランジスタに特有の現象であり、半導体膜としてシリコン膜を有するトランジスタのような、反転型のデバイスではバルク電流の影響が少ない。

【0134】

次に、デバイスシミュレーションによって得られた、電流密度分布をプロットしたグラフを図33に示す。図33(A)は、ドレイン電圧を10Vとして計算で得られた $V_g - I_d$ 特性を示し、図33(B)及び図33(C)は、酸化物半導体膜のA1 - A2の断面方向の電流密度分布を示す。図33(B)は飽和領域($V_g = 0.5V$)、図33(C)は線形領域($V_g = 1.5V$)における電流密度分布を示す。なお、計算に用いたトランジスタのチャンネル長 L /チャンネル幅 W は $2\mu m / 50\mu m$ であり、ドレイン電圧 V_d を10Vとした。

10

【0135】

図33(B)より、飽和領域(低いゲート電圧 V_g)では、酸化物半導体膜OS中にほぼ一様に電流密度が分布している。一方で、図33(C)に示すように、線形領域(高いゲート電圧 V_g)では、酸化物半導体膜OSの表面付近を流れる電流が支配的になっている。図33(B)に示すように飽和領域では、酸化物半導体膜OS中において電流密度がほぼ一様に分布していることから、飽和移動度にピークが生じている原因の一つは、バルク電流であることが分かる。

【0136】

一方、デバイスシミュレーションによって得られた反転型デバイスの半導体膜の電流密度分布を図34に示す。図34は、図30に示すトランジスタの酸化物半導体膜OSを、 $n-p-n$ 接合を含む半導体膜(シリコン)に置き換えた場合の計算結果である。半導体膜のチャンネル領域には、 $1 \times 10^{17} / cm^3$ の密度をもつアクセプタ型不純物を仮定した。

20

【0137】

図34(A)は、ドレイン電圧を10Vとして計算で得られた $V_g - I_d$ 特性を示し、図34(B)及び図34(C)は、図30に示す半導体膜のA1 - A2の断面方向の電流密度分布を示す。図34(B)は飽和領域($V_g = 0.5V$)、図34(C)は線形領域($V_g = 1.5V$)における電流密度分布である。なお、計算に用いたトランジスタのチャンネル長 L /チャンネル幅 W は $2\mu m / 50\mu m$ であり、ドレイン電圧 V_d を10Vとした。

【0138】

蓄積型デバイスである酸化物半導体膜を有するトランジスタと異なり、反転型デバイスである半導体膜を有するトランジスタは、図34(B)に示すように、しきい値電圧近傍においても、半導体膜の表面を流れる電流が多くなっており、バルク電流の寄与は蓄積型デバイスと比べると小さい。

30

【0139】

以上のことから、蓄積型デバイスである酸化物半導体膜を有するトランジスタにおいて、理想的なモデルでは、バルク電流によって飽和移動度に鋭いピークが生じることが分かる。

【0140】

なお、チャンネル長 L が短くなるほど、バルク電流によって生じた飽和移動度のピーク値が高くなる原因として、酸化物半導体膜OSにおいて、ソース電極S及びドレイン電極Dと接する領域近傍において、 n 領域が広がることにより、実効チャンネル長 L_{eff} がチャンネル長 L より短くなることが考えられる。また、チャンネル長 L が小さいと、ソース電極S及びドレイン電極Dの影響で酸化物半導体膜OSの伝導帯下端のエネルギー(E_c)が低くなり、伝導帯下端のエネルギーとフェルミエネルギーが近づく現象(CBL効果(Conduction band lowering effect))により、実効チャンネル長 L_{eff} がチャンネル長 L より短くなることが考えられる。飽和移動度は、数式7に示したように、実効チャンネル長 L_{eff} が小さくなることで、 L / L_{eff} に比例して大きくなる。この効果は、チャンネル長 L が小さいほど顕著に生じるので、チャンネル長 L が小さいほど飽和移動度が向上していると考えられる。

40

50

【0141】

浅い電子トラップ準位を仮定したモデル

次に、実際のトランジスタの飽和移動度に近似させるために、理想的なモデルのトランジスタにおいて、ゲート絶縁膜GI₁及び酸化物半導体膜OSの界面に、電子をトラップすると負に帯電するアクセプタ型の準位、即ち浅い電子トラップ準位を仮定して計算した結果を図35に示す。

【0142】

図35(A)に、ゲート絶縁膜GI₁及び酸化物半導体膜OSの界面に仮定した電子トラップ準位のDOS(density of state)を示す。

【0143】

次に、Dual Gate駆動のトランジスタ及びSingle Gate駆動のトランジスタそれぞれの飽和移動度を計算した。Dual Gate駆動のトランジスタの計算結果を図35(B)に示し、Single Gate駆動のトランジスタの計算結果を図35(C)に示す。

【0144】

図35(B)及び図35(C)より、Dual Gate駆動のトランジスタ及びSingle Gate駆動のトランジスタの飽和移動度において、理想的なモデルで得られたような鋭いピークが現れなかった。また、図35(C)より、Single Gate駆動のトランジスタでは、チャンネル長Lにあまり依存せず、飽和移動度のピーク値はおおよそ5前後であった。一方、Dual Gate駆動のトランジスタでは、チャンネル長Lが小さくなるほど、飽和移動度のピーク値が高くなり、その値は15乃至20弱となった。この結果は、後述する実施例の結果と同じ傾向である。

【0145】

このことから、Dual Gate駆動のトランジスタにおいて、チャンネル長Lを小さくする程、飽和移動度が上昇することが分かる。

【0146】

半導体表示装置の構成例

次いで、本発明の一態様にかかる半導体表示装置の構成例について説明する。

【0147】

図6(A)に示す半導体表示装置70には、画素部71に、複数の画素55と、画素55を行毎に選択するための、配線GL1乃至配線GL_y(yは自然数)で示される配線GLと、選択された画素55に画像信号を供給するための、配線SL1乃至配線SL_x(xは自然数)で示される配線SLとが、設けられている。配線GLへの信号の入力は、駆動回路72により制御されている。配線SLへの画像信号の入力は、駆動回路73により制御されている。複数の画素55は、配線GLの少なくとも一つと、配線SLの少なくとも一つとに、それぞれ接続されている。

【0148】

なお、画素部71に設けられる配線の種類及びその数は、画素55の構成、数及び配置によって決めることができる。具体的に、図6(A)に示す画素部71の場合、x列×y行の画素55がマトリクス状に配置されており、配線SL1乃至配線SL_x、配線GL1乃至配線GL_yが、画素部71内に配置されている場合を例示している。

【0149】

なお、図6(A)では、駆動回路72及び駆動回路73が、画素部71とともに一の基板上に形成されている場合を例示しているが、駆動回路72及び駆動回路73は、画素部71と異なる基板上に形成されていても良い。

【0150】

また、図6(B)に、画素55の構成を一例として示す。各画素55は、液晶素子60と、当該液晶素子60への画像信号の供給を制御するトランジスタ56と、液晶素子60の画素電極と共通電極間の電圧を保持するための容量素子57とを有する。液晶素子60は、画素電極と、共通電極と、画素電極と共通電極の間の電圧が印加される液晶材料を含ん

10

20

30

40

50

だ液晶層と、を有している。

【0151】

トランジスタ56は、液晶素子60の画素電極に、配線SLの電位を与えるか否かを制御する。液晶素子60の共通電極には、所定の電位が与えられている。

【0152】

以下、トランジスタ56と液晶素子60の具体的な接続構成について説明する。図6(B)では、トランジスタ56のゲートが、配線GL1から配線GLyのいずれか1つに接続されている。トランジスタ56のソース及びドレインの一方は、配線SL1から配線SLxのいずれか1つに接続され、トランジスタ56のソース及びドレインの他方は、液晶素子60の画素電極に接続されている。

10

【0153】

液晶素子60では、画素電極と共通電極の間に与えられる電圧の値に従って、液晶層に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子60は、画素電極に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。そして、画素部71が有する複数の画素55のそれぞれにおいて、液晶素子60の階調が画像情報を有する画像信号に従って調整されることで、画素部71に画像が表示される。

【0154】

図6(B)では、画素55において、画像信号の画素55への入力を制御するスイッチとして、一のトランジスタ56を用いる場合を例示している。しかし、一のスイッチとして機能する、複数のトランジスタを、画素55に用いていても良い。

20

【0155】

本発明の一態様では、オフ電流が著しく小さいトランジスタ56を、画像信号の画素55への入力を制御するスイッチとして用いるのが好ましい。トランジスタ56のオフ電流が小さいと、トランジスタ56を介して電荷がリークするのを防ぐことができる。よって、液晶素子60及び容量素子57に与えられた画像信号の電位をより確実に保持することができるので、1フレーム期間内において電荷のリークにより液晶素子60の透過率が変化するのを防ぎ、それにより、表示する画像の質を向上させることができる。また、トランジスタ56のオフ電流が小さい場合、トランジスタ56を介して電荷がリークするのを防ぐことができるため、静止画を表示する期間において、駆動回路72及び駆動回路73への電源電位または信号の供給を停止しても良い。上記構成により、画素部71への画像信号の書き込み回数を少なくし、半導体表示装置の消費電力を低減させることができる。

30

【0156】

例えば、酸化物半導体を半導体膜に含むトランジスタはオフ電流が著しく小さいため、当該をトランジスタ56として用いるのが適している。

【0157】

また、図6(B)では、トランジスタ56が、半導体膜を間に挟んで重なり合った、一对のゲート電極を有する場合を例示している。当該一对のゲート電極は電氣的に接続されている。本発明の一態様では、上記構成により、トランジスタ56のオン電流を大きくし、なおかつトランジスタ56の信頼性を高めることができる。

40

【0158】

次いで、図6(C)に、画素55の別の一例を示す。画素55は、画素55への画像信号の入力を制御するトランジスタ95と、発光素子98と、画像信号に従って発光素子98に供給する電流値を制御するトランジスタ96と、画像信号の電位を保持するための容量素子97と、を有する。

【0159】

発光素子98は、LED(Light Emitting Diode)やOLED(Organic Light Emitting Diode)などの、電流または電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、OLEDは、EL層と、アノードと、カソードとを少なくとも有している。EL層はアノードとカソードの間に設

50

けられた単層または複数の層で構成されており、これらの層の中に、発光性の物質を含む発光層を少なくとも含んでいる。

【0160】

なお、EL層は、カソードとアノード間の電位差が、発光素子98の閾値電圧以上になったときに供給される電流により、エレクトロルミネッセンスが得られる。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

【0161】

発光素子98のアノードとカソードのいずれか一方は、画素55に入力される画像信号に従ってその電位が制御される。アノードとカソードのうち、画像信号に従ってその電位が制御される電極を画素電極とし、もう一方の電極を共通電極とする。発光素子98の共通電極には、所定の電位が与えられており、発光素子98の輝度は、画素電極と共通電極間の電位差によって定まる。よって、発光素子98は、画像信号の電位に従ってその輝度が制御されることで、階調を表示することができる。そして、画素部が有する複数の画素55のそれぞれにおいて、発光素子98の階調が画像情報を有する画像信号に従って調整されることで、画素部71に画像が表示される。

10

【0162】

次いで、画素55が有する、トランジスタ95、トランジスタ96、容量素子97、発光素子98の接続構成について説明する。

【0163】

トランジスタ95は、ソースまたはドレインの一方が配線SLに接続され、ソースまたはドレインの他方がトランジスタ96のゲートに接続されている。トランジスタ95のゲートは、配線GLに接続されている。トランジスタ96は、ソースまたはドレインの一方が電源線VLに接続され、ソースまたはドレインの他方が発光素子98に接続されている。具体的に、トランジスタ96のソースまたはドレインの他方は、発光素子98のアノードとカソードのいずれか一方に接続されている。発光素子98のアノードとカソードのいずれか他方には、所定の電位が与えられる。

20

【0164】

図6(C)では、トランジスタ96が、半導体膜を間に挟んで重なり合った、一对のゲート電極を有する場合を例示している。当該一对のゲート電極は電氣的に接続されている。本発明の一態様では、上記構成により、トランジスタ96のオン電流を大きくし、なおかつトランジスタ96の信頼性を高めることができる。

30

【0165】

画素の構成

次いで、図6(A)に示した半導体表示装置70の一つである液晶表示装置を例に挙げて、画素55の構成例について説明する。図4に、図2に示したトランジスタ20と共に基板31上に形成された画素55の上面図を、一例として示す。なお、図4では、画素55のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図4に示す画素55を有する素子基板を用いて形成された液晶表示装置の断面図を、図5に示す。図5に示す液晶表示装置のうち、基板31を含む素子基板は、図4の破線B1-B2における断面図に相当する。

40

【0166】

図4及び図5に示す画素55は、トランジスタ56と、容量素子57とを有する。さらに、図5に示す画素55は、液晶素子60を有する。

【0167】

トランジスタ56は、絶縁表面を有する基板31上に、ゲート電極としての機能を有する導電膜40と、ゲート絶縁膜としての機能を有し、なおかつ導電膜40上に位置する絶縁膜22と、絶縁膜22上において導電膜40と重なる酸化物半導体膜41と、酸化物半導体膜41に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜43及び導電膜44とを有する。導電膜40は、図6(B)に示す配線GLとしての機

50

能を有する。また、導電膜 4 3 は、図 6 (B) に示す配線 S L としての機能を有する。

【 0 1 6 8 】

また、画素 5 5 は、絶縁膜 2 2 上に金属酸化物膜 4 2 を有する。金属酸化物膜 4 2 は、可視光に対して透光性を有する導電膜である。そして、金属酸化物膜 4 2 上には、金属酸化物膜 4 2 に電氣的に接続された導電膜 6 1 が設けられている、導電膜 6 1 は、金属酸化物膜 4 2 に所定の電位を供給する配線としての機能を有する。

【 0 1 6 9 】

また、図 5 では、酸化物半導体膜 4 1、導電膜 4 3 及び導電膜 4 4 上と、金属酸化物膜 4 2 及び導電膜 6 1 上とに、絶縁膜 2 6 及び絶縁膜 2 7 が、順に積層するように設けられている。トランジスタ 5 6 は、絶縁膜 2 6 及び絶縁膜 2 7 をその構成要素に含んでも良い。なお、図 5 では、順に積層された絶縁膜 2 6 及び絶縁膜 2 7 を例示しているが、絶縁膜 2 6 及び絶縁膜 2 7 の代わりに、単層の絶縁膜が用いられていてもよいし、積層された 3 層以上の絶縁膜が用いられていてもよい。

10

【 0 1 7 0 】

そして、絶縁膜 2 6 及び絶縁膜 2 7 は、金属酸化物膜 4 2 と重なる位置に開口部 5 8 を有する。開口部 5 8 は、酸化物半導体膜 4 1、導電膜 4 3 及び導電膜 4 4 とは異なる領域であって、なおかつ金属酸化物膜 4 2 と重なる領域に設けられている。

【 0 1 7 1 】

また、図 5 では、絶縁膜 2 6 及び絶縁膜 2 7 上と、開口部 5 8 における金属酸化物膜 4 2 上とに、窒化物絶縁膜 2 8 と、絶縁膜 2 9 とが、順に積層するように設けられている。

20

【 0 1 7 2 】

なお、絶縁膜 2 2 上に酸化物半導体膜を形成し、当該酸化物半導体膜に接するように窒化物絶縁膜 2 8 を形成することで、上記酸化物半導体膜の導電性を高めることができる。そして、導電性の高まった酸化物半導体膜を、金属酸化物膜 4 2 として用いることができる。酸化物半導体膜の導電性が高まるのは、開口部 5 8 の形成時、または、窒化物絶縁膜 2 8 の形成時に酸化物半導体膜中に酸素欠損が形成され、窒化物絶縁膜 2 8 から拡散してきた水素が当該酸素欠損に結合することでドナーが生成されるからだと考えられる。具体的に、金属酸化物膜 4 2 の抵抗率は、代表的には $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-4} \text{ cm}$ 未満、さらに好ましくは、抵抗率が $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-1} \text{ cm}$ 未満であるとよい。

30

【 0 1 7 3 】

金属酸化物膜 4 2 は、酸化物半導体膜 4 1 より水素濃度が高いことが好ましい。金属酸化物膜 4 2 において、二次イオン質量分析法 (S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y) により得られる水素濃度は、 $8 \times 10^{19} \text{ atoms / cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms / cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms / cm}^3$ 以上である。酸化物半導体膜 4 1 において、二次イオン質量分析法により得られる水素濃度は、 $5 \times 10^{19} \text{ atoms / cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms / cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms / cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms / cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms / cm}^3$ 以下である。

40

【 0 1 7 4 】

窒化物絶縁膜 2 8 として、例えば、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることができる。上述した材料を用いた窒化物絶縁膜 2 8 は、酸化シリコンや酸化アルミニウムなどの酸化物絶縁膜に比べて、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体膜 4 1 に拡散するのを防ぐことができる。

【 0 1 7 5 】

また、窒化物絶縁膜 2 8 及び絶縁膜 2 9 には、導電膜 4 4 と重なる位置に開口部 6 2 が設けられている。そして、窒化物絶縁膜 2 8 及び絶縁膜 2 9 上には、可視光に対して透光性を有し、画素電極としての機能を有する導電膜 4 5 が設けられている。導電膜 4 5 は、開

50

口部 6 2 において、導電膜 4 4 に電氣的に接続されている。また、導電膜 4 5 は、開口部 5 8 において金属酸化物膜 4 2 と重なっている。導電膜 4 5 と金属酸化物膜 4 2 とが、窒化物絶縁膜 2 8 及び絶縁膜 2 9 を間に挟んで重なる部分が、容量素子 5 7 として機能する。

【 0 1 7 6 】

容量素子 5 7 は、一对の電極として機能する金属酸化物膜 4 2 及び導電膜 4 5 と、誘電体膜として機能する窒化物絶縁膜 2 8 及び絶縁膜 2 9 とが、可視光に対して透光性を有している。よって、容量素子 5 7 は可視光に対して透光性を有することとなり、容量素子の可視光に対する透光性が低い画素に比べて、画素 5 5 の開口率を高めることができる。そのため、高い画質を得るために必要な容量値を確保しつつ、パネル内における光の損失を小さく抑えて、半導体装置の消費電力を低減させることができる。

10

【 0 1 7 7 】

なお、上述したように、絶縁膜 2 9 は必ずしも設ける必要はないが、窒化物絶縁膜 2 8 よりも比誘電率の低い絶縁物を用いた絶縁膜 2 9 を窒化物絶縁膜 2 8 と共に誘電体膜として用いることで、容量素子 5 7 の誘電体膜の誘電率を、窒化物絶縁膜 2 8 の膜厚を大きくすることなく所望の値に調整することができる。

【 0 1 7 8 】

導電膜 4 5 上には、配向膜 5 2 が設けられている。

【 0 1 7 9 】

また、基板 3 1 と対向するように、基板 4 6 が設けられている。基板 4 6 上には、可視光を遮る機能を有する遮蔽膜 4 7 と、特定の波長範囲の可視光を透過する着色層 4 8 とが、設けられている。遮蔽膜 4 7 及び着色層 4 8 上には、樹脂膜 5 0 が設けられており、樹脂膜 5 0 上には共通電極としての機能を有する導電膜 5 9 が設けられている。また、導電膜 5 9 上には配向膜 5 1 が設けられている。

20

【 0 1 8 0 】

そして、基板 3 1 と基板 4 6 の間には、配向膜 5 2 と配向膜 5 1 に挟まれるように、液晶材料を含む液晶層 5 3 が設けられている。液晶素子 6 0 は、導電膜 4 5、導電膜 5 9、及び液晶層 5 3 を有する。

【 0 1 8 1 】

なお、図 4 及び図 5 では、液晶の駆動方法として TN (Twisted Nematic) モードを用いる場合を例示したが、液晶の駆動方法としては、FFS (Fringe Field Switching) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード、IPS (In-Plane Switching) モード、OCB (Optically Compensated Birefringence) モード、ブルー相モード、TBA (Transverse Bend Alignment) モード、VA-IPS モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモード、ASV (Advanced Super View) モードなどを適用することも可能である。

30

40

【 0 1 8 2 】

また、本発明の一態様に係る液晶表示装置において、液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることが

50

できる。或いは、液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、高分子分散型液晶（P D L C）に分類される液晶材料を用いることができる。

【0183】

また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤を含む液晶組成物は、応答速度が1 m s e c以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

10

【0184】

また、図5では、カラーフィルタを用いることでカラーの画像を表示する液晶表示装置を例示しているが、本発明の一態様にかかる液晶表示装置は、異なる色相の光を発する複数の光源を順次点灯させることで、カラーの画像を表示する構成を有していてもよい。

【0185】

順序回路の構成例2

次いで、本発明の一態様にかかる順序回路の、図1とは異なる構成例について説明する。

【0186】

図7(A)に、本発明の一態様にかかる順序回路10の構成例を示す。図7(A)に示す順序回路10は、トランジスタ80乃至トランジスタ86を有する。また、順序回路10には、信号R E S、信号L I N、信号R I N、信号C K 1、及び信号C K 2が入力されている。また、順序回路10には、ハイレベルの電位V D Dとローレベルの電位V S Sが供給されている。そして、上記信号の電位に従って、トランジスタ80乃至トランジスタ86の導通または非導通がそれぞれ選択されることで、順序回路10が有する出力端子A及び出力端子Bから、電位V S Sまたは電位V D Dを含む信号が出力される。

20

【0187】

具体的に、トランジスタ80のゲートは、信号L I Nの入力される配線に接続されている。トランジスタ80が有するソース及びドレインは、一方が出力端子Aに接続されており、他方が電位V D Dの与えられる配線に接続されている。トランジスタ81のゲートは、出力端子Bに接続されている。トランジスタ81が有するソース及びドレインは、一方が電位V S Sの与えられる配線に接続されており、他方が出力端子Aに接続されている。トランジスタ82のゲートは、信号C K 2の入力される配線に接続されている。トランジスタ82が有するソース及びドレインは、一方が、トランジスタ83のソース及びドレインの他方に接続されており、他方が、電位V D Dの与えられる配線に接続されている。トランジスタ83のゲートは、信号C K 1の入力される配線に接続されている。トランジスタ83が有するソース及びドレインは、一方が、出力端子Bに接続されており、他方が、トランジスタ82のソース及びドレインの一方に接続されている。トランジスタ84のゲートは、信号R I Nの入力される配線に接続されている。トランジスタ84が有するソース及びドレインは、一方が出力端子Bに接続されており、他方が電位V D Dの与えられる配線に接続されている。トランジスタ85のゲートは、信号L I Nの入力される配線に接続されている。トランジスタ85が有するソース及びドレインは、一方が電位V S Sの与えられる配線に接続されており、他方が出力端子Bに接続されている。トランジスタ86のゲートは、信号R E Sの入力される配線に接続されている。トランジスタ86が有するソース及びドレインは、一方が出力端子Bに接続されており、他方が電位V D Dの与えられる配線に接続されている。

30

40

【0188】

なお、図7(A)に示す順序回路10が有する出力端子Aは、図1(A)に示す出力端子O U Tに相当し、トランジスタ80が図1(A)のトランジスタ12としての機能を有し、トランジスタ81が図1(A)のトランジスタ13としての機能を有する。そして、ト

50

ランジスタ 8 2 乃至トランジスタ 8 6 が、図 1 (A) の回路 1 1 としての機能を有する。

【 0 1 8 9 】

そして、本発明の一態様では、トランジスタ 8 0、トランジスタ 8 2、トランジスタ 8 3、トランジスタ 8 4、トランジスタ 8 5、及びトランジスタ 8 6 の少なくともいずれか一つが、電氣的に接続され、なおかつ半導体膜を間に挟んで重なり合った、一对のゲート電極を有するものとする。図 7 (A) では、トランジスタ 8 0、トランジスタ 8 2、トランジスタ 8 3、トランジスタ 8 4、トランジスタ 8 5、及びトランジスタ 8 6 の全てが、上述した一对のゲート電極を有する場合を例示している。電氣的に接続された一对のゲート電極を上記複数のトランジスタの一つまたは全てに設けることで、素子基板の表面近傍にプラスの固定電荷が発生しても、固定電荷によって半導体膜の表面近傍にマイナスの電荷が生じるのを防ぎ、当該トランジスタの閾値電圧がマイナス方向へシフトするのを抑えることができる。よって、順序回路 1 0、延いては順序回路 1 0 を用いた半導体装置の信頼性を高めることができる。

10

【 0 1 9 0 】

また、一对のゲート電極を電氣的に接続させることで、一对のゲート電極の片方にだけ一定の電位を与える場合とは異なり、一对のゲート電極に同じ電位が与えられるので、チャネル形成領域が増え、上記トランジスタのドレイン電流の増加を実現することができる。よって、オン電流の低下を抑えつつ上記トランジスタのサイズを小さく抑えることができるので、順序回路 1 0、延いては順序回路 1 0 を用いた駆動回路の面積を小さく抑えることができる。

20

【 0 1 9 1 】

また、電氣的に接続された一对のゲート電極を設けることで、半導体膜に空乏層ができやすくなるため、上記トランジスタの S 値 (サブスレッショルド値) を改善することができる。

【 0 1 9 2 】

図 8 に、図 7 (A) に示した順序回路 1 0 を複数段接続させることで構成されるシフトレジスタを、一例として示す。

【 0 1 9 3 】

図 8 に示すシフトレジスタは、順序回路 1 0 __ 1 乃至順序回路 1 0 __ y を有する。順序回路 1 0 __ 1 乃至順序回路 1 0 __ y は、それぞれ、図 7 (A) に示した順序回路 1 0 と同じ構成を有する。ただし、図 8 に示す順序回路 1 0 __ 1 乃至順序回路 1 0 __ y では、信号 C K 1 及び信号 C K 2 として、信号 C L K 1 乃至信号 C L K 8 のいずれか二つが、それぞれ用いられている。また、図 8 に示すシフトレジスタは、バッファ B U F __ 1 乃至バッファ B U F __ y で示される複数のバッファ B U F を有する。バッファ B U F __ 1 乃至バッファ B U F __ y には、順序回路 1 0 __ 1 乃至順序回路 1 0 __ y からの出力信号が、それぞれ入力される。さらに、図 8 に示すシフトレジスタは、ダミーとして用いる順序回路 1 0 __ D U M 及びバッファ B U F __ D U M を有する。順序回路 1 0 __ D U M からの出力信号が、バッファ B U F __ D U M に入力される。

30

【 0 1 9 4 】

具体的に、順序回路 1 0 __ 8 m + 1 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 6 及び信号 C L K 7 が、それぞれ用いられる。順序回路 1 0 __ 8 m + 2 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 3 及び信号 C L K 4 が、それぞれ用いられる。順序回路 1 0 __ 8 m + 3 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 8 及び信号 C L K 1 が、それぞれ用いられる。順序回路 1 0 __ 8 m + 4 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 5 及び信号 C L K 6 が、それぞれ用いられる。順序回路 1 0 __ 8 m + 5 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 2 及び信号 C L K 3 が、それぞれ用いられる。順序回路 1 0 __ 8 m + 6 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 7 及び信号 C L K 8 が、それぞれ用いられる。順序回路 1 0 __ 8 m + 7 では、信号 C K 1 及び信号 C K 2 として、信号 C L K 4 及び信号 C L K 5 が、それぞれ用いられる。順序回路 1 0 __ 8 m では、信号 C K 1 及び信号 C K 2 として、信号 C L K 1 及び信号 C L K 2 が

40

50

、それぞれ用いられる。ただし、 $8m$ 乃至 $8m+7$ は、順序回路10の総数が y であることを満たす、任意の自然数とする。

【0195】

また、順序回路10__DUMでは、信号CK1及び信号CK2として用いる信号は、前段の順序回路10の段数によって異なる。例えば、前段に順序回路10__ $8m+1$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK3及び信号CLK4がそれぞれ用いられる。前段に順序回路10__ $8m+2$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK8及び信号CLK1がそれぞれ用いられる。前段に順序回路10__ $8m+3$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK5及び信号CLK6がそれぞれ用いられる。前段に順序回路10__ $8m+4$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK2及び信号CLK3がそれぞれ用いられる。前段に順序回路10__ $8m+5$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK7及び信号CLK8がそれぞれ用いられる。前段に順序回路10__ $8m+6$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK4及び信号CLK5がそれぞれ用いられる。前段に順序回路10__ $8m+7$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK1及び信号CLK2がそれぞれ用いられる。前段に順序回路10__ $8m$ が存在する場合、順序回路10__DUMでは、信号CK1及び信号CK2として、信号CLK6及び信号CLK7がそれぞれ用いられる。

10

20

【0196】

また、図8に示したシフトレジスタにおいて、順序回路10__ j (j は、 y 以下の自然数)に接続された各配線の位置を、図7(B)に模式的に示す。図8と図7(B)から分かるように、順序回路10__ j では、信号LINとして、前段の順序回路10__ $j-1$ の出力端子A及び出力端子Bに接続されたバッファBUFが有する、出力端子GOUT5($j-2$)+5からの出力信号が用いられる。ただし、1段目の順序回路10__1では、信号LINとして、信号SPが用いられる。

【0197】

また、順序回路10__ j では、信号RINとして、後段の順序回路10__ $j+1$ の出力端子A及び出力端子Bに接続されたバッファBUFが有する、出力端子GOUT5 $j+2$ からの出力信号が用いられる。ただし、 y 段目の順序回路10__ y では、順序回路10__DUMの出力端子A及び出力端子Bに接続されたバッファBUF__DUMが有する、出力端子OUT2からの出力信号が用いられる。

30

【0198】

また、図8に示したシフトレジスタにおいて、バッファBUFに接続された各配線の位置を、図9(A)に模式的に示す。図9(A)に示すように、バッファBUFには、順序回路10の出力端子A及び出力端子Bからの出力信号に加えて、信号CK1乃至信号CK5が入力されている。バッファBUFでは、信号CK1乃至信号CK5として、信号CLK1乃至信号CLK8のいずれか五つが、それぞれ用いられている。

【0199】

具体的に、バッファBUF__ $8m+1$ では、信号CK1乃至信号CK5として、信号CLK1乃至信号CLK5が、それぞれ用いられる。バッファBUF__ $8m+2$ では、信号CK1乃至信号CK5として、信号CLK6乃至信号CLK8と、信号CLK1及び信号CLK2とが、それぞれ用いられる。バッファBUF__ $8m+3$ では、信号CK1乃至信号CK5として、信号CLK3乃至信号CLK7が、それぞれ用いられる。バッファBUF__ $8m+4$ では、信号CK1乃至信号CK5として、信号CLK8と、信号CLK1乃至信号CLK4とが、それぞれ用いられる。バッファBUF__ $8m+5$ では、信号CK1乃至信号CK5として、信号CLK5乃至信号CLK8と、信号CLK1とが、それぞれ用いられる。バッファBUF__ $8m+6$ では、信号CK1乃至信号CK5として、信号CLK2乃至信号CLK6が、それぞれ用いられる。バッファBUF__ $8m+7$ では、信号C

40

50

K 1 乃至信号 C K 5 として、信号 C L K 7 及び信号 C L K 8 と、信号 C L K 1 乃至信号 C L K 3 が、それぞれ用いられる。バッファ B U F _ 8 m では、信号 C K 1 乃至信号 C K 5 として、信号 C L K 4 乃至信号 C L K 8 が、それぞれ用いられる。

【 0 2 0 0 】

また、図 8 に示したシフトレジスタにおいて、バッファ B U F _ D U M に接続された各配線の位置を、図 9 (B) に模式的に示す。図 9 (B) に示すように、バッファ B U F _ D U M には、順序回路 1 0 の出力端子 A 及び出力端子 B からの出力信号に加えて、信号 C K 1 及び信号 C K 2 が入力されている。バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 1 乃至信号 C L K 8 のいずれか二つが、それぞれ用いられている。

10

【 0 2 0 1 】

バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として用いる信号は、前段のバッファ B U F の段数によって異なる。例えば、前段にバッファ B U F _ 8 m + 1 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 6 及び信号 C L K 7 がそれぞれ用いられる。前段にバッファ B U F _ 8 m + 2 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 3 及び信号 C L K 4 がそれぞれ用いられる。前段にバッファ B U F _ 8 m + 3 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 8 及び信号 C L K 1 がそれぞれ用いられる。前段にバッファ B U F _ 8 m + 4 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 5 及び信号 C L K 6 がそれぞれ用いられる。前段にバッファ B U F _ 8 m + 5 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 2 及び信号 C L K 3 がそれぞれ用いられる。前段にバッファ B U F _ 8 m + 6 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 7 及び信号 C L K 8 がそれぞれ用いられる。前段にバッファ B U F _ 8 m + 7 が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 4 及び信号 C L K 5 がそれぞれ用いられる。前段にバッファ B U F _ 8 m が存在する場合、バッファ B U F _ D U M では、信号 C K 1 及び信号 C K 2 として、信号 C L K 1 及び信号 C L K 2 がそれぞれ用いられる。

20

【 0 2 0 2 】

また、バッファ B U F _ 1 乃至バッファ B U F _ y は、それぞれ出力端子 O U T 1 乃至出力端子 O U T 5 を有する。バッファ B U F _ 1 乃至バッファ B U F _ y が有する全ての出力端子 O U T 1 乃至出力端子 O U T 5 から、出力信号 G O U T 1 乃至出力信号 G O U T y がそれぞれ出力される。バッファ B U F _ D U M は、出力端子 D U M O U T 1 及び出力端子 D U M O U T 2 を有する。

30

【 0 2 0 3 】

図 9 (C) に、バッファ B U F のより具体的な構成の一例を示す。図 9 (C) に示すバッファ B U F は、五つのバッファ 9 0 を有する。各バッファ 9 0 には、順序回路 1 0 の出力端子 A 及び出力端子 B からの出力信号に加えて、信号 C K 1 乃至信号 C K 5 のいずれか一つが、それぞれ入力されている。そして、五つのバッファ 9 0 の各出力端子が、バッファ B U F の出力端子 O U T 1 乃至出力端子 O U T 5 のそれぞれに相当する。

40

【 0 2 0 4 】

なお、図 8、図 9 (A) 及び図 9 (C) では、バッファ B U F が、五つのバッファ 9 0 を有する場合を例示しているが、バッファ B U F が有するバッファ 9 0 の数は五つ以外の複数であってもよいし、単数であってもよい。バッファ B U F が有するバッファ 9 0 の数が多いほど、シフトレジスタが有する順序回路 1 0 の数を小さく抑えることができるので、当該シフトレジスタを有する駆動回路の面積を縮小し、半導体表示装置の狭額縁化を実現することができる。

【 0 2 0 5 】

また、図 9 (D) に、バッファ B U F _ D U M のより具体的な構成の一例を示す。図 9 (

50

D) に示すバッファ B U F _ D U M は、二つのバッファ 9 0 を有する。各バッファ 9 0 には、順序回路 1 0 _ D U M の出力端子 A 及び出力端子 B からの出力信号に加えて、信号 C K 1 及び信号 C K 2 のいずれか一つが、それぞれ入力されている。そして、二つのバッファ 9 0 の各出力端子が、バッファ B U F _ D U M の出力端子 O U T 1 及び出力端子 O U T 2 のそれぞれに相当する。なお、図 8、図 9 (B) 及び図 9 (D) では、バッファ B U F _ D U M が、二つのバッファ 9 0 を有する場合を例示しているが、バッファ B U F _ D U M が有するバッファ 9 0 の数は二つ以外の複数であってもよいし、単数であってもよい。

【 0 2 0 6 】

図 1 0 に、バッファ 9 0 のより具体的な構成例を示す。図 1 0 に示すバッファ 9 0 は、トランジスタ 9 1 乃至トランジスタ 9 3 を有する。トランジスタ 9 1 は、ゲートが、電位 V D D の与えられる配線に接続されている。また、トランジスタ 9 1 は、ソース及びドレインの一方が、順序回路 1 0 _ D U M の出力端子 B に接続されており、ソース及びドレインの他方が、トランジスタ 9 2 のゲートに接続されている。トランジスタ 9 2 は、ソース及びドレインの一方が、バッファ 9 0 の出力端子 O U T 1 乃至出力端子 O U T 5 のいずれか一つ (図 1 0 では出力端子 O U T として示す) に接続されており、ソース及びドレインの他方が、信号 C K 1 乃至信号 C K 5 のいずれか一つ (図 1 0 では信号 C K として示す) が入力される配線に接続されている。トランジスタ 9 3 は、ゲートが、順序回路 1 0 _ D U M の出力端子 A に接続されている。また、トランジスタ 9 3 は、ソース及びドレインの一方が、電位 V S S の与えられる配線に接続されており、ソース及びドレインの他方が、出力端子 O U T 1 乃至出力端子 O U T 5 のいずれか一つ (図 1 0 では出力端子 O U T として示す) に接続されている。

【 0 2 0 7 】

そして、本発明の一態様では、ソース及びドレインの他方に信号 C K が与えられるトランジスタ 9 2 が、電氣的に接続され、なおかつ半導体膜を間に挟んで重なり合った、一对のゲート電極を有するものとする。電氣的に接続された一对のゲート電極をトランジスタ 9 2 に設けることで、素子基板の表面近傍にプラスの固定電荷が発生しても、固定電荷によって半導体膜の表面近傍にマイナスの電荷が生じるのを防ぎ、トランジスタ 9 2 の閾値電圧がマイナス方向へシフトするのを抑えることができる。よって、バッファ B U F 、延いてはバッファ B U F を用いた半導体装置の信頼性を高めることができる。

【 0 2 0 8 】

また、一对のゲート電極を電氣的に接続させることで、一对のゲート電極の片方にだけ一定の電位を与える場合とは異なり、一对のゲート電極に同じ電位が与えられるので、チャネル形成領域が増え、トランジスタ 9 2 のドレイン電流の増加を実現することができる。よって、オン電流の低下を抑えつつトランジスタ 9 2 のサイズを小さく抑えることができるので、バッファ B U F 、延いてはバッファ B U F を用いた駆動回路の面積を小さく抑えることができる。特に、バッファ B U F の出力側に設けられたトランジスタ 9 2 には、トランジスタ 9 1 よりも大きな電流供給能力が求められるため、トランジスタ 9 2 が上述したような一对のゲート電極を有することで、トランジスタ 9 1 に同じ構成を適用させた場合に比べて、バッファ B U F または駆動回路の面積を小さく抑える効果は大きいと言える。

【 0 2 0 9 】

また、電氣的に接続された一对のゲート電極を設けることで、半導体膜に空乏層ができやすくなるため、トランジスタ 9 2 の S 値 (サブスレッショルド値) を改善することができる。

【 0 2 1 0 】

半導体膜について

なお、電子供与体 (ドナー) となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (p u r i f i e d O x i d e S e m i c o n d u c t o r) は、キャリア発生源が少ないため、i 型 (真性半導体) 又は i 型に限りなく近くすることができる。そのため、高純度化された酸化物半導体

10

20

30

40

50

膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電気的特性（ノーマリーオフ特性ともいう。）になりやすい。

【0211】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100\text{zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

10

【0212】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム（ In ）あるいは亜鉛（ Zn ）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（ Ga ）を有することが好ましい。また、スタビライザーとしてスズ（ Sn ）を有することが好ましい。また、スタビライザーとしてハフニウム（ Hf ）を有することが好ましい。また、スタビライザーとしてアルミニウム（ Al ）を有することが好ましい。また、スタビライザーとしてジルコニウム（ Zr ）を含むことが好ましい。

20

【0213】

酸化物半導体の中でも $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

30

【0214】

また、他のスタビライザーとして、ランタノイドである、ランタン（ La ）、セリウム（ Ce ）、プラセオジウム（ Pr ）、ネオジウム（ Nd ）、サマリウム（ Sm ）、ユウロピウム（ Eu ）、ガドリニウム（ Gd ）、テルビウム（ Tb ）、ジスプロシウム（ Dy ）、ホルミウム（ Ho ）、エルビウム（ Er ）、ツリウム（ Tm ）、イッテルビウム（ Yb ）、ルテチウム（ Lu ）のいずれか一種または複数種を含んでもよい。

40

【0215】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、 $\text{In}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Zn}$ 系酸化物、 $\text{Zn}-\text{Mg}$ 系酸化物、 $\text{Sn}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Ga}$ 系酸化物、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物（ IGZO とも表記する）、 $\text{In}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-$

50

Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

【0216】

なお、例えば、In - Ga - Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In - Ga - Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0217】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

10

【0218】

以下では、酸化物半導体膜の構造について説明する。

【0219】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC - OS膜などをいう。

【0220】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

20

【0221】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0222】

CAAC - OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC - OS膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。CAAC - OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。CAAC - OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC - OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0223】

CAAC - OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC - OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC - OS膜の被形成面または上面と平行に配列する。

40

【0224】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0225】

一方、CAAC - OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列しているこ

50

とを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0226】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0227】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0228】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

20

【0229】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0230】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

【0231】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなる場合がある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0232】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0233】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0234】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0235】

50

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0236】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 80 以下、好ましくは - 100 以下である成膜ガスを用いる。

【0237】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平
10
板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0238】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0239】

ターゲットの一例として、In - Ga - Zn系酸化物ターゲットについて以下に示す。

【0240】

InO_x粉末、GaO_y粉末及びZnO_z粉末を所定のmol数比で混合し、加圧処理後、1000 以上 1500 以下の温度で加熱処理をすることで多結晶であるIn - Ga - Zn系酸化物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末及びZnO_z粉末が、2 : 1 : 3、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3または3 : 1 : 2である。なお、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。

20

【0241】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa⁺となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

30

【0242】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

40

【0243】

また、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及び

50

ドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

【0244】

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げるができる。よって、n型化された領域が形成されることで、トランジスタの移動度及びオン電流を高めることができ、それにより、トランジスタを用いた半導体装置の高速動作を実現することができる。

【0245】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。

【0246】

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

【0247】

また、酸化物半導体膜は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていても良い。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜及び第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下、真空準位に近い酸化物膜である。さらに、第2の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0248】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第2の金属酸化物膜にチャンネル領域が形成される。即ち、第2の金属酸化物膜とゲート絶縁膜との間に第3の金属酸化物膜が設けられていることによって、ゲート絶縁膜と離隔している第2の金属酸化物膜に、チャンネル領域を形成することができる。

【0249】

また、第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第3の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいいため、トランジスタの電界効果移動度が高くなる。

【0250】

また、第2の金属酸化物膜と第1の金属酸化物膜の界面に界面準位が形成されると、界面近傍の領域にもチャンネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第1の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第1の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【0251】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の酸化物半導体膜を積層させることが望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を

10

20

30

40

50

低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0252】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせる排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

10

【0253】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、第2の金属酸化物膜がIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第2の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn = x_1 : y_1 : z_1 とすると、 x_1/y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であって、 z_1/y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_1/y_1 を1以上6以下とすることで、第2の金属酸化物膜としてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:1:1、In:M:Zn = 1:1:1.2、In:M:Zn = 3:1:2等がある。

20

【0254】

具体的に、第1の金属酸化物膜、第3の金属酸化物膜がIn-M-Zn酸化物（Mは、Ga、Y、Zr、La、Ce、またはNd）の場合、第1の金属酸化物膜、第3の金属酸化物膜を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn = x_2 : y_2 : z_2 とすると、 $x_2/y_2 < x_1/y_1$ であって、 z_2/y_2 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_2/y_2 を1以上6以下とすることで、第1の金属酸化物膜、第3の金属酸化物膜としてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:3:2、In:M:Zn = 1:3:4、In:M:Zn = 1:3:6、In:M:Zn = 1:3:8等がある。

30

【0255】

なお、第1の金属酸化物膜及び第3の金属酸化物膜の厚さは、3 nm以上100 nm以下、好ましくは3 nm以上50 nm以下とする。また、第2の金属酸化物膜の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下であり、さらに好ましくは3 nm以上50 nm以下である。

40

【0256】

3層構造の半導体膜において、第1の金属酸化物膜乃至第3の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャンネル領域が形成される第2の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第2の金属酸化物膜は結晶質であることが好ましい。

【0257】

なお、チャンネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャンネル領域とは、チャンネル形成領域において、電流が主として流れる領域をいう。

【0258】

50

例えば、第1の金属酸化物膜及び第3の金属酸化物膜として、スパッタリング法により形成したIn-Ga-Zn系酸化物膜を用いる場合、第1の金属酸化物膜及び第3の金属酸化物膜の成膜には、In-Ga-Zn系酸化物(In:Ga:Zn=1:3:2[原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200とし、DC電力0.5kWとすればよい。

【0259】

また、第2の金属酸化物膜をCAAC-OS膜とする場合、第2の金属酸化物膜の成膜には、In-Ga-Zn系酸化物(In:Ga:Zn=1:1:1[原子数比])であり、多結晶のIn-Ga-Zn系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。

10

【0260】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していても良いし、半導体膜の端部が丸みを帯びる構造を有していても良い。

【0261】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極及びドレイン電極に接する領域が、n型化されていても良い。上記構成により、トランジスタの移動度及びオン電流を高め、トランジスタを用いた半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n型化される領域は、チャンネル領域となる第2の金属酸化物膜にまで達していることが、トランジスタの移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

20

【0262】

作製方法

次いで、液晶表示装置を例に挙げて、本発明の一態様にかかる半導体表示装置の作製方法の一例について、図11乃至図14を用いて説明する。なお、図11乃至図14では、図5に示す、画素55が有するトランジスタ56と、図2に示す、駆動回路が有するトランジスタ20とを有する、素子基板の作製方法について説明する。

30

【0263】

図11(A)に示すように、基板31上に導電膜を形成した後、上記導電膜をエッチング等により形状を加工(パターンング)することで、導電膜21及び導電膜40を形成する。

【0264】

基板31としては、後の作製工程において耐えうる程度の耐熱性を有する基板が望ましく、例えば、ガラス基板、石英基板、セラミック基板、サファイア基板等が用いられる。

【0265】

導電膜21及び導電膜40としては、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電性材料でなる膜を1層または2層以上積層させて用いるとよい。例えば、導電膜21及び導電膜40として、窒化タングステン膜上に銅膜を積層した導電膜や、単層のタングステン膜を用いることができる。本実施の形態では、導電膜21及び導電膜40としては、膜厚200nmのタングステン膜を用いるものとする。

40

【0266】

次いで、図11(B)に示すように、導電膜21及び導電膜40を覆うように、絶縁膜22を形成した後、絶縁膜22上に酸化物半導体膜23、酸化物半導体膜41、及び酸化物半導体膜42aを形成する。なお、酸化物半導体膜23は導電膜21と重なる位置に形成され、酸化物半導体膜41は導電膜40と重なる位置に形成される。

【0267】

50

絶縁膜 2 2 としては、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、または積層させて用いればよい。

【0268】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0269】

例えば、2層構造の絶縁膜 2 2 とする場合、1層目を窒化珪素膜とし、2層目を酸化珪素膜とした多層膜とすればよい。2層目の酸化珪素膜は酸化窒化珪素膜にすることができる。また、1層目の窒化珪素膜を窒化酸化珪素膜とすることができる。本実施の形態では、膜厚 400 nm の窒化珪素膜と、膜厚 50 nm の酸化窒化珪素膜とを順に積層させて、絶縁膜 2 2 として用いる。

10

【0270】

酸化珪素膜は、欠陥密度の小さい酸化珪素膜を用いると好ましい。具体的には、電子スピン共鳴 (ESR: Electron Spin Resonance) にて g 値が 2.001 の信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化珪素膜を用いる。酸化珪素膜は、過剰に酸素を有する酸化珪素膜を用いると好ましい。窒化珪素膜は水素及びアンモニアの放出量が少ない窒化珪素膜を用いる。水素、アンモニアの放出量は、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて測定すればよい。

20

【0271】

酸化物半導体膜 2 3、酸化物半導体膜 4 1、及び酸化物半導体膜 4 2 a として、酸化物半導体膜を用いることができる。酸化物半導体膜 2 3、酸化物半導体膜 4 1 として用いる酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタ 2 0 及びトランジスタ 5 6 の閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理 (脱水素化処理) を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないようにすることが好ましい。

30

【0272】

本実施の形態では、金属元素の原子数比が $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ の金属酸化物で構成されるターゲットを用いて形成された、膜厚 35 nm の In - Ga - Zn 系酸化物半導体膜を、酸化物半導体膜 2 3、酸化物半導体膜 4 1、及び酸化物半導体膜 4 2 a として用いる。

【0273】

酸化物半導体膜 2 3、酸化物半導体膜 4 1、及び酸化物半導体膜 4 2 a の厚さは、1 nm 以上 100 nm 以下、更に好ましくは 1 nm 以上 50 nm 以下、更に好ましくは 1 nm 以上 30 nm 以下、更に好ましくは 3 nm 以上 20 nm 以下とすることが好ましい。

40

【0274】

なお、酸化物半導体膜への脱水化処理 (脱水素化処理) によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理 (脱水素化処理) によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0275】

このように、酸化物半導体膜は、脱水化処理 (脱水素化処理) により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i 型 (真性) 化または i 型に限りなく近く実質的に i 型 (真性) である酸化物半導体膜とすることができる。

【0276】

50

次いで、酸化物半導体膜 2 3、酸化物半導体膜 4 1、及び酸化物半導体膜 4 2 a 及び絶縁膜 2 2 上に導電膜を形成した後、当該導電膜の形状をエッチング等により加工することにより、酸化物半導体膜 2 3 に接する導電膜 2 4 及び導電膜 2 5 と、酸化物半導体膜 4 1 に接する導電膜 4 3 及び導電膜 4 4 とを形成する（図 1 2 (A) 参照）。導電膜 2 4 及び導電膜 2 5 と、導電膜 4 3 及び導電膜 4 4 とは、導電膜 2 1 及び導電膜 4 0 と同じ導電性材料を用いることができる。

【 0 2 7 7 】

本実施の形態では、膜厚 5 0 n m のタングステン膜と、膜厚 4 0 0 n m のアルミニウム膜と、膜厚 2 0 0 n m のチタン膜とを順に積層させて、導電膜 2 4 及び導電膜 2 5 と、導電膜 4 3 及び導電膜 4 4 として用いる。

10

【 0 2 7 8 】

次いで、基板 3 1 を覆うように、酸化物膜または絶縁膜を形成する。図 1 2 (B) では、絶縁膜 2 6 及び絶縁膜 2 7 を順に積層するように形成する場合を例示する。

【 0 2 7 9 】

絶縁膜 2 7 は、絶縁膜 2 6 を形成した後、大気に曝すことなく連続的に形成することが好ましい。絶縁膜 2 6 を形成した後、大気開放せず、原料ガスの流量、圧力、高周波電力及び基板温度の一以上を調整して、絶縁膜 2 7 を連続的に形成することで、絶縁膜 2 6、及び絶縁膜 2 7 における界面の不純物濃度を低減することができると共に、絶縁膜 2 7 に含まれる酸素を酸化物半導体膜 2 3 及び酸化物半導体膜 4 1 に移動させることが可能であり、酸化物半導体膜 2 3 及び酸化物半導体膜 4 1 の酸素欠損量を低減することができる。

20

【 0 2 8 0 】

プラズマ C V D 装置の真空排気された処理室内に載置された基板を 1 8 0 以上 4 0 0 以下、さらに好ましくは 2 0 0 以上 3 7 0 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 3 0 P a 以上 2 5 0 P a 以下、さらに好ましくは 4 0 P a 以上 2 0 0 P a 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、絶縁膜 2 6 として酸化珪素膜または酸化窒化珪素膜を形成する。

【 0 2 8 1 】

絶縁膜 2 6 の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

30

【 0 2 8 2 】

上記条件を用いることで、絶縁膜 2 6 として酸素を透過する酸化物絶縁膜を形成することができる。また、絶縁膜 2 6 を設けることで、後に形成する絶縁膜 2 7 の形成工程において、酸化物半導体膜 2 3、酸化物半導体膜 4 1、及び酸化物半導体膜 4 2 a へのダメージ低減が可能である。

【 0 2 8 3 】

なお、シリコンを含む堆積性気体に対する酸化性気体量を 1 0 0 倍以上とすることで、絶縁膜 2 6 における水素の含有量を低減することが可能であるとと共に、絶縁膜 2 6 に含まれるダングリングボンドを低減することができる。絶縁膜 2 7 から移動する酸素は、絶縁膜 2 6 に含まれるダングリングボンドによって捕獲される場合があるため、絶縁膜 2 7 に含まれる酸素を効率よく酸化物半導体膜 2 3 及び酸化物半導体膜 4 1 へ移動させ、酸化物半導体膜 2 3 及び酸化物半導体膜 4 1 に含まれる酸素欠損を補填することが可能である。この結果、酸化物半導体膜 2 3 及び酸化物半導体膜 4 1 に混入する水素量を低減できると共に酸化物半導体膜 2 3 及び酸化物半導体膜 4 1 に含まれる酸素欠損を低減させることが可能であるため、トランジスタ 2 0 及びトランジスタ 5 6 の閾値電圧のマイナスシフトを抑制することができると共に、トランジスタ 2 0 及びトランジスタ 5 6 のオフ電流を低減することが可能であり、トランジスタの電気的特性を向上させることができる。

40

【 0 2 8 4 】

本実施の形態では、絶縁膜 2 6 として、流量 2 0 s c c m のシラン及び流量 3 0 0 0 s c

50

cmの一酸化窒素を原料ガスとし、処理室の圧力を200Pa、基板温度を350とし、27.12MHzの高周波電源を用いて100Wの高周波電力を平行平板電極に供給したプラズマCVD法により、厚さ50nmの酸化窒化珪素膜を形成する。なお、プラズマCVD装置は電極面積が6000cm²である平行平板型のプラズマCVD装置であり、供給した電力を単位面積あたりの電力(電力密度)に換算すると $1.6 \times 10^{-2} \text{ W/cm}^2$ である。当該条件により、酸素を透過する酸化窒化珪素膜を形成することができる。

【0285】

絶縁膜27は、プラズマCVD装置の真空排気された処理室内に載置された基板を180以上260以下、さらに好ましくは180以上230以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に 0.17 W/cm^2 以上 0.5 W/cm^2 以下、さらに好ましくは 0.25 W/cm^2 以上 0.35 W/cm^2 以下の高周波電力を供給する条件により、酸化珪素膜または酸化窒化珪素膜を形成する。

10

【0286】

絶縁膜27の成膜条件として、上記圧力の反応室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜27中における酸素含有量が化学量論的組成よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いため、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。また、酸化物半導体膜23、酸化物半導体膜41、及び酸化物半導体膜42a上に絶縁膜26が設けられているため、絶縁膜27の形成工程において、絶縁膜26が酸化物半導体膜23、酸化物半導体膜41、及び酸化物半導体膜42aの保護をする機能を有する。この結果、酸化物半導体膜23、酸化物半導体膜41、及び酸化物半導体膜42aへのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁膜27を形成することができる。

20

【0287】

本実施の形態では、絶縁膜27として、流量160sccmのシランを原料ガスとし、反応室の圧力を200Pa、基板温度を220とし、27.12MHzの高周波電源を用いて1500Wの高周波電力を平行平板電極に供給したプラズマCVD法により、厚さ400nmの酸化窒化珪素膜を形成する。なお、プラズマCVD装置は電極面積が6000cm²である平行平板型のプラズマCVD装置であり、供給した電力を単位面積あたりの電力(電力密度)に換算すると $2.5 \times 10^{-1} \text{ W/cm}^2$ である。

30

【0288】

次いで、少なくとも絶縁膜27を形成した後に加熱処理を行い、絶縁膜26または絶縁膜27に含まれる酸素を酸化物半導体膜23及び酸化物半導体膜41に移動させ、酸化物半導体膜23及び酸化物半導体膜41の酸素欠損を補填することが好ましい。なお、該加熱処理は、酸化物半導体膜23及び酸化物半導体膜41の脱水素化または脱水化を行う加熱処理として行えばよい。具体的に、本実施の形態では、窒素及び酸素雰囲気下において、350、1時間の加熱処理を行う。

40

【0289】

上記一連の工程により、トランジスタ20及びトランジスタ56が形成される。

【0290】

次いで、図13(A)に示すように、絶縁膜26及び絶縁膜27を部分的にエッチングすることで、開口部58を形成する。開口部58において、酸化物半導体膜42aは、一部または全てが露出する。

【0291】

次いで、開口部58を覆うように、絶縁膜26及び絶縁膜27上に、窒化物絶縁膜28及

50

び絶縁膜 29 を順に積層するように形成する。窒化物絶縁膜 28 は、開口部 58 において酸化半導体膜 42a と接する。

【0292】

窒化物絶縁膜 28 として、例えば、CVD 法などを用いて形成された、窒化シリコン、窒化酸化珪素、窒化アルミニウム、窒化酸化アルミニウムなどを用いることができる。上述した材料を用いた窒化物絶縁膜 28 は、酸化珪素や酸化アルミニウムなどの酸化半導体膜に比べて、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化半導体膜 23 及び酸化半導体膜 41 に拡散するのを防ぐことができる。また、開口部 58 において酸化半導体膜 42a に接するように窒化物絶縁膜 28 を形成することで、酸化半導体膜 42a の導電性を高めることができる。導電性が高められた酸化半導体膜 42a を、図 13 (B) では金属酸化膜 42 として示す。

10

【0293】

本実施の形態では、窒化物絶縁膜 28 として、流量 50 sccm のシランと、流量 5000 sccm の窒素と、流量 100 sccm のアンモニアとを原料ガスとし、処理室の圧力を 100 Pa、基板温度を 350 とし、27.12 MHz の高周波電源を用いて 1000 W (電力密度としては $1.6 \times 10^{-1} \text{ W/cm}^2$) の高周波電力を平行平板電極に供給したプラズマ CVD 法により、厚さ 100 nm の窒化シリコン膜を形成する。

【0294】

絶縁膜 29 は、窒化物絶縁膜 28 よりも比誘電率が低く、内部応力が小さい絶縁膜を用いることが望ましい。具体的に、絶縁膜 29 として、例えば、酸化珪素膜、酸化窒化珪素膜、酸化アルミニウムなどを用いることができる。

20

【0295】

例えば、絶縁膜 29 として、有機シランガスを用いた CVD 法により形成した酸化珪素膜を用いることができる。有機シランガスとしては、珪酸エチル (TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン (TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) などを用いることができる。

【0296】

本実施の形態では、絶縁膜 29 として、珪酸エチルを用いた CVD 法により形成した膜厚 200 nm の酸化珪素膜を用いる。

30

【0297】

次いで、図 14 (A) に示すように、窒化物絶縁膜 28 及び絶縁膜 29 を部分的にエッチングすることで、開口部 62 を形成する。開口部 62 において、導電膜 44 の少なくとも一部が露出する。

【0298】

次いで、図 14 (B) に示すように、絶縁膜 29 上に透明導電膜を形成し、エッチング等により当該透明導電膜の形状を加工することで、導電膜 30 及び導電膜 45 を形成する。導電膜 30 は、酸化半導体膜 23 を間に挟んで導電膜 21 と重なる位置に設けられる。また、導電膜 45 は、開口部 62 において導電膜 44 に接続されている。

40

【0299】

なお、導電膜 21 及び導電膜 45 を形成するのに用いられる透明導電膜としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛、酸化珪素を添加したインジウム錫酸化物等を含む導電膜を用いることができる。

【0300】

本実施の形態では、膜厚 100 nm の、酸化珪素を添加したインジウム錫酸化物等を含む導電膜を用いて、導電膜 21 及び導電膜 45 を形成する。

50

【0301】

導電膜21及び導電膜45を形成した後、加熱処理を行ってもよい。加熱処理は、例えば、窒素雰囲気下において、250、1時間で行えばよい。

【0302】

次いで、導電膜45上に図5に示すように配向膜52を形成することで、素子基板を形成することができる。

【0303】

配向膜52は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜52に接するように、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜52の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜52を直接形成することも可能である。

10

【0304】

素子基板と対向基板を形成した後は、図5に示すように基板31と基板46の間に液晶層53を封入すれば、液晶表示装置のパネルを形成することができる。液晶層53を形成するために行われる液晶の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。

【0305】

半導体表示装置の上面図と断面図

20

次いで、液晶表示装置を例に挙げて、本発明の一態様にかかる半導体表示装置の外観について、図15を用いて説明する。図15は、基板4001と基板4006とを封止材4005によって接着させた液晶表示装置の上面図である。また、図16は、図15の破線C1-C2における断面図に相当する。

【0306】

基板4001上に設けられた画素部4002と、一对の駆動回路4004とを囲むように、封止材4005が設けられている。また、画素部4002、駆動回路4004の上に基板4006が設けられている。よって、画素部4002と、駆動回路4004とは、基板4001と封止材4005と基板4006とによって封止されている。

【0307】

また、基板4001上の封止材4005によって囲まれている領域とは異なる領域に、駆動回路4003が実装されている。

30

【0308】

また、基板4001上に設けられた画素部4002、駆動回路4004は、トランジスタを複数有している。図16では、画素部4002に含まれるトランジスタ4010を例示している。トランジスタ4010上には、窒化物絶縁膜を含む各種絶縁膜で構成される絶縁膜4020が設けられており、トランジスタ4010は、絶縁膜4020に設けられた開口部において、絶縁膜4020上の画素電極4021に接続されている。

【0309】

また、基板4006上には樹脂膜4059が設けられており、樹脂膜4059上には共通電極4060が設けられている。そして、基板4001と基板4006の間には、画素電極4021と共通電極4060の間に挟まれるように、液晶層4028が設けられている。液晶素子4023は、画素電極4021、共通電極4060、及び液晶層4028を有する。

40

【0310】

液晶素子4023では、画素電極4021と共通電極4060の間に与えられる電圧の値に従って、液晶層4028に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子4023は、画素電極4021に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。

【0311】

50

また、図16に示すように、本発明の一態様では、絶縁膜4020は、パネルの端部において除去されている。そして、絶縁膜4020の除去されている領域において、導電膜4050が形成されている。導電膜4050と、トランジスタ4010のソースまたはドレインとして機能する導電膜とは、一の導電膜をエッチングすることで形成することができる。

【0312】

そして、基板4001と基板4006の間には、導電性を有する導電性粒子4061が分散された樹脂膜4062が設けられている。導電膜4050は、共通電極4060と、導電性粒子4061を介して電氣的に接続されている。すなわち、共通電極4060と導電膜4050とは、パネルの端部において、導電性粒子4061を介して電氣的に接続されていることとなる。樹脂膜4062には、熱硬化性樹脂、または紫外線硬化樹脂を用いることができる。また、導電性粒子4061には、例えば球状の有機樹脂をAuやNi、Co等の薄膜状の金属で被覆した粒子を用いることができる。

10

【0313】

なお、図16では配向膜を図示しなかったが、配向膜を画素電極4021及び共通電極4060上に設ける場合、共通電極4060と、導電性粒子4061と、導電膜4050とを電氣的に接続するために、共通電極4060と重なる部分において配向膜を一部除去し、導電膜4050と重なる部分において配向膜を一部除去すれば良い。

【0314】

なお、本発明の一態様に係る液晶表示装置では、カラーフィルタを用いることでカラーの画像を表示しても良いし、異なる色相の光を発する複数の光源を順次点灯させることで、カラーの画像を表示しても良い。

20

【0315】

また、駆動回路4003からの画像信号や、FPC4018からの各種制御信号及び電位は、引き回し配線4030及び4031を介して、駆動回路4004または画素部4002に与えられる。

【0316】

半導体装置を用いた電子機器の構成例

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す。

30

【0317】

図18(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。表示部5003または表示部5004や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。なお、図18(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

40

【0318】

図18(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部56

50

05により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能となっている。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602の間の角度に従って、切り替える構成としても良い。第1表示部5603または第2表示部5604や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0319】

図18(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。表示部5402や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0320】

図18(D)は腕時計であり、筐体5201、表示部5202、操作ボタン5203、バンド5204等を有する。表示部5202や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0321】

図18(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを、接続部5806における第1筐体5801と第2筐体5802の間の角度に従って行う構成としても良い。表示部5803や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0322】

図18(F)は携帯電話であり、筐体5901に、表示部5902、マイク5907、スピーカー5904、カメラ5903、外部接続部5906、操作用のボタン5905が設けられている。表示部5902や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。また、本発明の一態様に係る半導体装置を、可撓性を有する基板に形成した場合、図18(F)に示すような曲面を有する表示部5902に当該半導体装置を適用することが可能である。

【実施例】

【0323】

本実施例では、トランジスタを作製し、そのVg-I_d特性および信頼性の評価を行った結果について説明する。

【0324】

[試料の作製]

本実施例では、本発明の一態様である試料1、2と、比較用の試料3をそれぞれ作製した。より具体的には、本発明の一態様である試料1として、図2に示す構成に相当するトランジスタを作製した。また本発明の一態様である試料2として、図19に示す構成に相当するトランジスタを作製した。また比較用の試料3としては、図2に示す構成のうち、導電膜30を有さない構成に相当するトランジスタを作製した。

【0325】

[試料1]

まず、基板としてガラス基板を用い、基板上にゲート電極を形成した。

【0326】

ゲート電極として、スパッタリング法で厚さ200nmのタングステン膜を形成し、フォトリソグラフィ工程により該タングステン膜上にマスクを形成し、該マスクを用いて該タングステン膜の一部をエッチングして形成した。

【0327】

次に、ゲート電極上にゲート絶縁膜を形成した。

10

20

30

40

50

【0328】

ゲート絶縁膜として、厚さ400nmの窒化珪素膜と、厚さ50nmの酸化窒化珪素膜を積層して形成した。

【0329】

なお、窒化珪素膜は、第1の窒化珪素膜、第2の窒化珪素膜、および第3の窒化珪素膜の3層積層構造とした。

【0330】

第1の窒化珪素膜としては、流量200sccmのシラン、流量2000sccmの窒素、及び流量100sccmのアンモニアガスを原料ガスとしてプラズマCVD装置の処理室に供給し、処理室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成した。第2の窒化珪素膜としては、流量200sccmのシラン、流量2000sccmの窒素、及び流量2000sccmのアンモニアガスを原料ガスとしてプラズマCVD装置の処理室に供給し、処理室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが300nmとなるように形成した。第3の窒化珪素膜としては、流量200sccmのシラン、及び流量5000sccmの窒素を原料ガスとしてプラズマCVD装置の処理室に供給し、処理室内の圧力を100Paに制御し、27.12MHzの高周波電源を用いて2000Wの電力を供給して、厚さが50nmとなるように形成した。なお、第1の窒化珪素膜、第2の窒化珪素膜、及び第3の窒化珪素膜形成時の基板温度は350とした。

10

20

【0331】

酸化窒化珪素膜としては、流量20sccmのシラン、流量3000sccmの一酸化二窒素を原料ガスとしてプラズマCVD装置の処理室に供給し、処理室内の圧力を40Paに制御し、27.12MHzの高周波電源を用いて100Wの電力を供給して、酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜形成時の基板温度は350とした。

【0332】

次に、ゲート絶縁膜を介してゲート電極に重なる酸化物半導体膜を形成した。

【0333】

本実施例では、ゲート絶縁膜上に厚さ35nmの酸化物半導体膜をスパッタリング法で形成した。

30

【0334】

酸化物半導体膜は、スパッタリングターゲットをIn:Ga:Zn=1:1:1(原子数比)のターゲットとし、流量100sccmの酸素をスパッタリングガスとしてスパッタリング装置の処理室内に供給し、処理室内の圧力を0.6Paに制御し、5kWの直流電力を供給して形成した。なお、酸化物半導体膜を形成する際の基板温度を170とした。

【0335】

次に、酸化物半導体膜に接するソース電極及びドレイン電極を形成した。

【0336】

まず、ゲート絶縁膜および酸化物半導体膜上に導電膜を形成した。該導電膜として、厚さ50nmのタングステン膜上に厚さ400nmのアルミニウム膜を形成し、該アルミニウム膜上に厚さ200nmのチタン膜を形成した。次に、フォトリソグラフィ工程により該導電膜上にマスクを形成し、該マスクを用いて該導電膜の一部をエッチングし、ソース電極及びドレイン電極を形成した。

40

【0337】

次に、減圧された処理室に基板を移動し、350で加熱した後、処理室に設けられる上部電極に27.12MHzの高周波電源を用いて150Wの高周波電力を供給して、一酸化二窒素雰囲気が発生させた酸素プラズマに酸化物半導体膜を曝した。

【0338】

次に、酸化物半導体膜、ソース電極及びドレイン電極上に保護膜を形成した。本実施例で

50

は、保護膜として第1の酸化物絶縁膜、第2の酸化物絶縁膜、および窒化物絶縁膜の3層構造とした。

【0339】

第1の酸化物絶縁膜は、流量20 sccmのシラン及び流量3000 sccmの一酸化二窒素を原料ガスとし、処理室の圧力を200 Pa、基板温度を350 とし、100 Wの高周波電力を平行平板電極に供給したプラズマCVD法により形成した。

【0340】

第2の酸化物絶縁膜は、流量160 sccmのシラン及び流量4000 sccmの一酸化二窒素を原料ガスとし、処理室の圧力を200 Pa、基板温度を220 とし、1500 Wの高周波電力を平行平板電極に供給したプラズマCVD法により形成した。当該条件により、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化窒化珪素膜を形成することができる。

10

【0341】

次に、加熱処理を行い、第1の酸化物絶縁膜および第2の酸化物絶縁膜から水、窒素、水素等を脱離させると共に、第2の酸化物絶縁膜に含まれる酸素の一部を酸化物半導体膜へ供給した。本実施例では、窒素及び酸素雰囲気、350、1時間の加熱処理を行った。

【0342】

次に、第2の酸化物絶縁膜上に、厚さ100 nmの窒化物絶縁膜を形成した。窒化物絶縁膜は、流量50 sccmのシラン、流量5000 sccmの窒素、及び流量100 sccmのアンモニアガスを原料ガスとし、処理室の圧力を100 Pa、基板温度を350 とし、1000 Wの高周波電力を平行平板電極に供給したプラズマCVD法により形成した。

20

【0343】

次に、酸化物半導体膜、ソース電極及びドレイン電極が設けられていない領域において、ゲート絶縁膜及び保護膜の一部に、ゲート電極に達する開口部を形成した。当該開口部は、フォトリソグラフィ工程により保護膜上にマスクを形成し、該マスクを用いてゲート絶縁膜及び保護膜の一部をエッチングすることにより形成した。

【0344】

次に、保護膜上にゲート電極を形成した。当該ゲート電極は、ゲート絶縁膜及び保護膜の一部に設けられた開口部を介して、酸化物半導体膜の下層に位置するゲート電極と電気的に接続する構成とした。なお、以下、保護膜上のゲート電極をバックゲート電極と呼ぶ。

30

【0345】

本実施例では、バックゲート電極として、スパッタリング法により厚さ100 nmの酸化珪素を含む酸化インジウム-酸化スズ化合物(ITO-SiO_2)の導電膜を形成した。なお該導電膜に用いたターゲットの組成は、 $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{SiO}_2 = 85 : 10 : 5$ [重量%]とした。この後、窒素雰囲気、250、1時間の加熱処理を行った。

【0346】

以上の工程により、本実施例の試料1を得た。

40

【0347】

〔試料2〕

試料2は試料1と比較し、保護膜及びバックゲート電極の構造が異なる。より具体的には、トランジスタのチャンネル幅方向において、第1の酸化物絶縁膜及び第2の酸化物絶縁膜の側面をバックゲート電極が覆うような構成とした。

【0348】

試料2の作製は、上述した試料1の作製工程において、第1の酸化物絶縁膜、第2の酸化物絶縁膜を成膜し、加熱処理を行ったのちに、フォトリソグラフィ工程により第2の酸化物絶縁膜上にマスクを形成した。続いて該マスクを用いて第1の酸化物絶縁膜、第2の酸化物絶縁膜の一部をエッチングした。それ以外の工程は、上述した試料1と同様であるた

50

め、試料1の記載を援用できる。

【0349】

〔試料3〕

比較のための試料3は、試料1と比較し、バックゲート電極を有さない点で相違する構成とした。

【0350】

試料3の作製は、上述した試料1の作製工程において、バックゲート電極の形成工程を省略することにより作製した。それ以外の工程は、上述した試料1と同様であるため、試料1の記載を援用できる。

【0351】

なお、上述した試料1乃至試料3には、チャンネル長(L)が2 μ m、3 μ m、または6 μ mである、3種類のトランジスタがそれぞれ含まれていた。そして、試料1乃至試料3に含まれる全てのトランジスタは、チャンネル幅(W)が50 μ mであった。

【0352】

[Vg - Id特性]

次に、試料1乃至試料3のトランジスタの初期特性として、Vg - Id特性を測定した。本実施例では、基板温度を25とし、ソース - ドレイン間の電位差(以下、ドレイン電圧、Vdともいう)を1V、10Vとし、ソース - バックゲート電極間の電位差(以下、ゲート電圧、Vgともいう)を-15V乃至15Vまで変化させたときのソース - ドレイン間に流れる電流(以下、ドレイン電流、Idともいう)の変化特性、すなわちVg - Id特性を測定した。

【0353】

ここで、試料1及び試料2においては、ゲート電極とバックゲート電極とが電氣的に短絡した状態でゲート電圧を加えるような駆動方法を用いた。Dual Gate駆動では、常にゲート電極とバックゲート電極のゲート電圧が等しくなる。

【0354】

図26に、試料3のVg - Id特性を示す。図26(A)、(B)、(C)はそれぞれ、チャンネル長(L)が2 μ m、3 μ m、6 μ mであるトランジスタについての結果である。また同様に、図27には試料1のVg - Id特性を、図28には試料2のVg - Id特性をそれぞれ示している。

【0355】

また、図26、図27、図28のそれぞれにおいて、横軸はゲート電圧Vgを、第1の縦軸はドレイン電流Idを、第2の縦軸は、電界効果移動度をそれぞれ示す。ここで、電界効果移動度は、飽和領域での値を示すために、Vd = 10Vで算出した電界効果移動度を示している。

【0356】

図26に示す比較のための試料3では、チャンネル長(L)によらず、電界効果移動度の値はほとんど変化しないことが分かった。また、チャンネル長(L)が小さいほど、ドレイン電圧Vdが大きいほどしきい値電圧がマイナス方向にシフトする結果が示された。

【0357】

一方、図27に示す、本発明の一態様の試料1では、すべてのチャンネル長(L)の条件で、上記試料3に比べて電界効果移動度が向上していることが確認できた。さらに、チャンネル長(L)が小さいほど、電界効果移動度が向上することが分かった。また、もっともチャンネル長(L)の小さい条件(L = 2 μ m)であっても、ドレイン電圧Vdに対するしきい値電圧の変化は試料3に比べて極めて小さいものであることが分かった。

【0358】

図28に示す、本発明の一態様の試料2においても、すべてのチャンネル長(L)の条件で、上記試料3に比べて電界効果移動度が向上していることが確認できた。さらに、チャンネル長(L)が小さいほど、電界効果移動度が向上することが分かった。また、もっともチャンネル長(L)の小さい条件(L = 2 μ m)であっても、ドレイン電圧Vdに対するしき

10

20

30

40

50

い値電圧の変化は試料3に比べて極めて小さいものであることが分かった。

【0359】

試料1及び試料2ではDual Gate駆動により、試料3に比べてチャネルが形成される酸化物半導体に対してより効果的に電界を加えることが可能となり、その結果チャネル長(L)が小さい状態であってもドレイン電圧Vdに対するしきい値電圧の変化を小さくすることができていることがわかる。また同様の理由により、試料1及び試料2ではDual Gate駆動によりドレイン電圧Vdの影響を受けにくくなり、飽和領域における飽和性も向上させることができる。

【0360】

以上の結果から、本発明の一態様に係る半導体装置では、トランジスタのチャネル長(L)が小さいほど電界効果移動度が向上すること、さらには、チャネル長(L)が小さい場合であっても、しきい値電圧を良好な値とすることができることが確認できた。このようなトランジスタを用いることにより、半導体表示装置の狭額縁化を実現することができる。

10

【符号の説明】

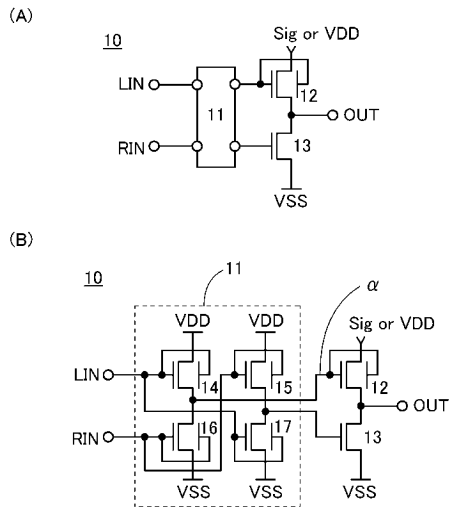
【0361】

10	順序回路	
10__DUM	順序回路	
10__j	順序回路	
10__j-1	順序回路	20
10__y	順序回路	
10__1	順序回路	
10__8m	順序回路	
11	回路	
12	トランジスタ	
13	トランジスタ	
14	トランジスタ	
15	トランジスタ	
16	トランジスタ	
17	トランジスタ	30
20	トランジスタ	
21	導電膜	
22	絶縁膜	
23	酸化物半導体膜	
23a	酸化物半導体膜	
23b	酸化物半導体膜	
23c	酸化物半導体膜	
24	導電膜	
25	導電膜	
26	絶縁膜	40
27	絶縁膜	
28	窒化物絶縁膜	
29	絶縁膜	
30	導電膜	
31	基板	
32	開口部	
32a	開口部	
32b	開口部	
34	導電膜	
40	導電膜	50

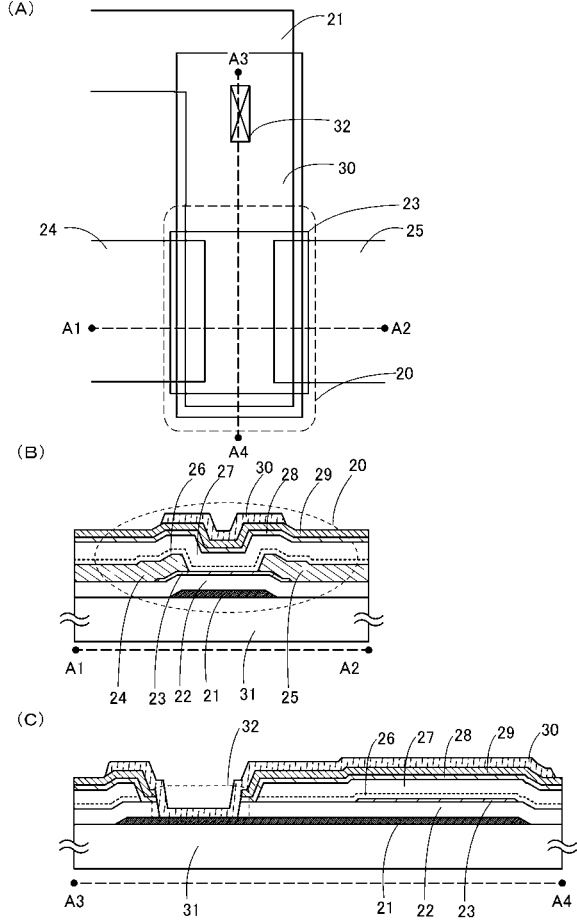
4 1	酸化物半導体膜	
4 2	金属酸化物膜	
4 2 a	酸化物半導体膜	
4 3	導電膜	
4 4	導電膜	
4 5	導電膜	
4 6	基板	
4 7	遮蔽膜	
4 8	着色層	
5 0	樹脂膜	10
5 1	配向膜	
5 2	配向膜	
5 3	液晶層	
5 5	画素	
5 6	トランジスタ	
5 7	容量素子	
5 8	開口部	
5 9	導電膜	
6 0	液晶素子	
6 1	導電膜	20
6 2	開口部	
7 0	半導体表示装置	
7 1	画素部	
7 2	駆動回路	
7 3	駆動回路	
8 0	トランジスタ	
8 1	トランジスタ	
8 2	トランジスタ	
8 3	トランジスタ	
8 4	トランジスタ	30
8 5	トランジスタ	
8 6	トランジスタ	
9 0	バッファ	
9 1	トランジスタ	
9 2	トランジスタ	
9 3	トランジスタ	
9 5	トランジスタ	
9 6	トランジスタ	
9 7	容量素子	
9 8	発光素子	40
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	駆動回路	
4 0 0 4	駆動回路	
4 0 0 5	封止材	
4 0 0 6	基板	
4 0 1 0	トランジスタ	
4 0 1 8	F P C	
4 0 2 0	絶縁膜	
4 0 2 1	画素電極	50

4 0 2 3	液晶素子	
4 0 2 8	液晶層	
4 0 3 0	配線	
4 0 5 0	導電膜	
4 0 5 9	樹脂膜	
4 0 6 0	共通電極	
4 0 6 1	導電性粒子	
4 0 6 2	樹脂膜	
5 0 0 1	筐体	
5 0 0 2	筐体	10
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	操作ボタン	
5 2 0 4	バンド	20
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	30
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	
5 9 0 1	筐体	
5 9 0 2	表示部	
5 9 0 3	カメラ	
5 9 0 4	スピーカー	40
5 9 0 5	ボタン	
5 9 0 6	外部接続部	
5 9 0 7	マイク	

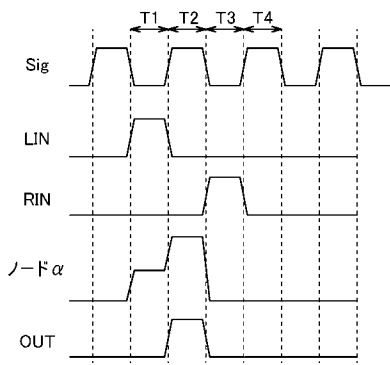
【 図 1 】



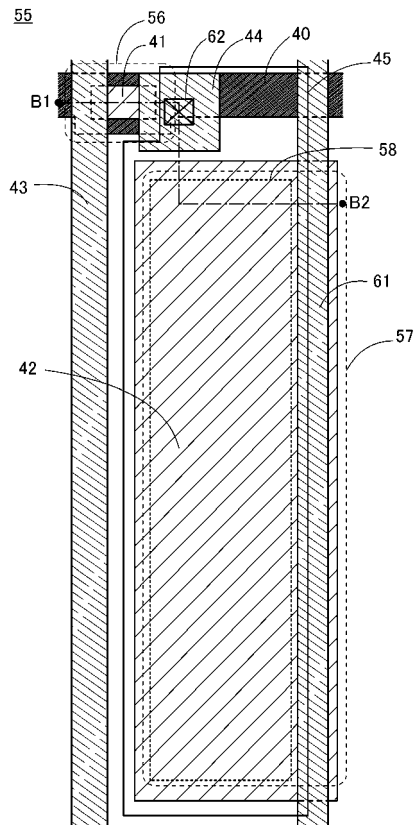
【 図 2 】



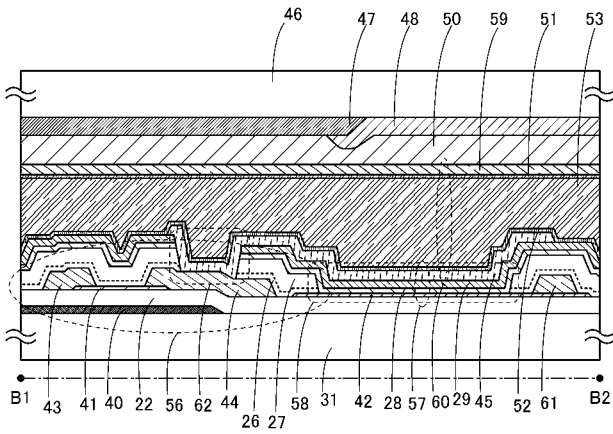
【 図 3 】



【 図 4 】

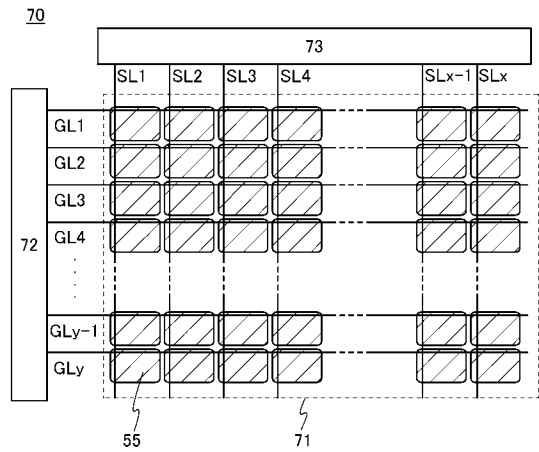


【 図 5 】

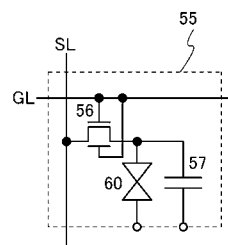


【 図 6 】

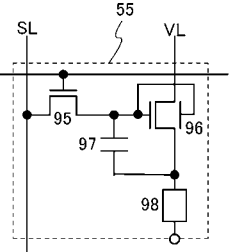
(A)



(B)

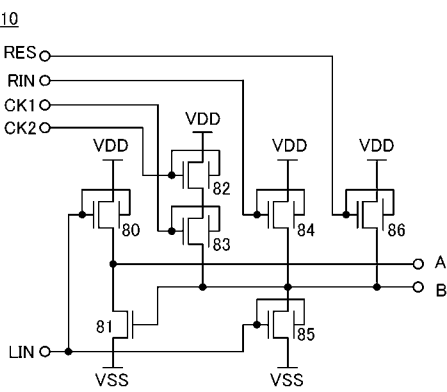


(C)

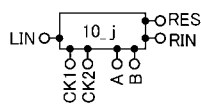


【 図 7 】

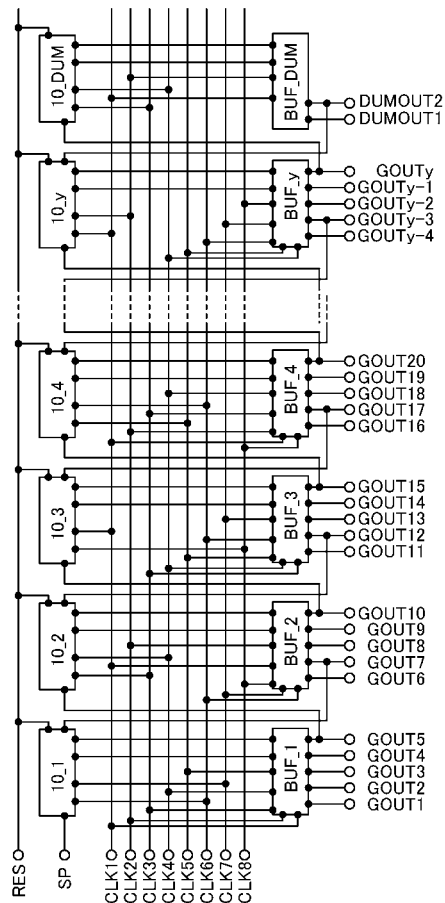
(A)



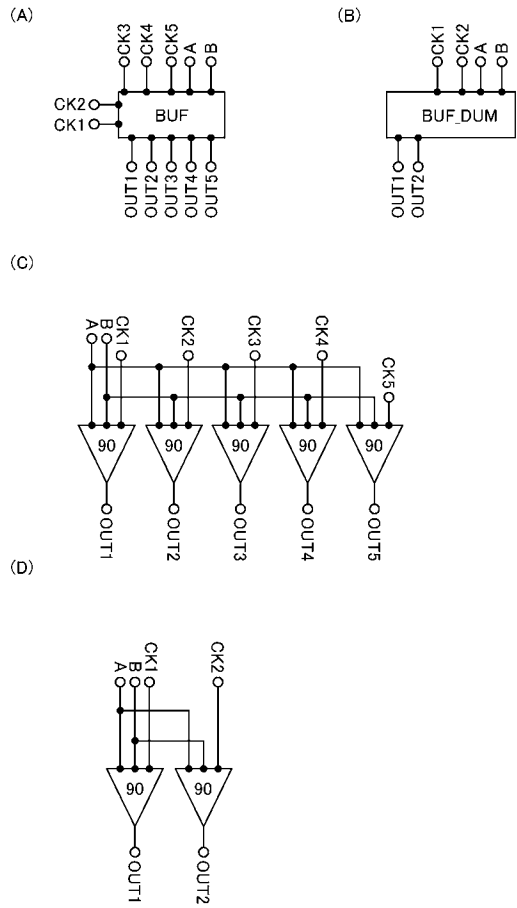
(B)



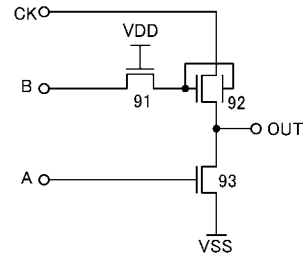
【 図 8 】



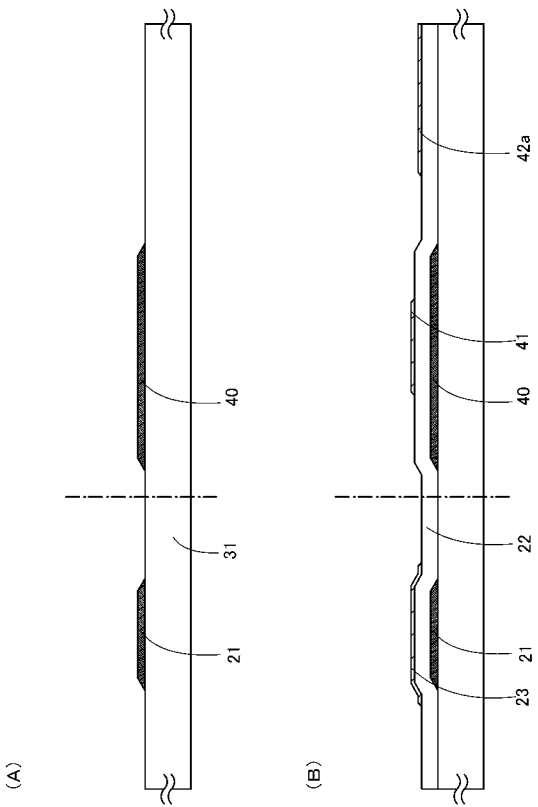
【 図 9 】



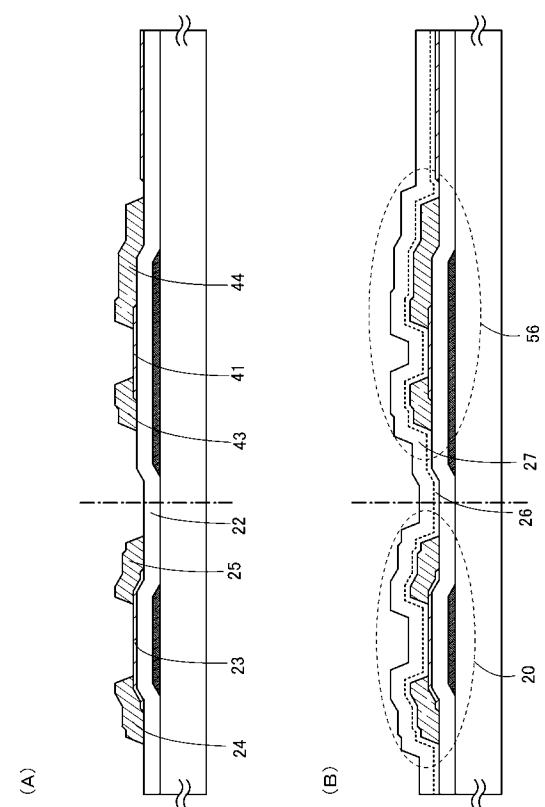
【 図 10 】



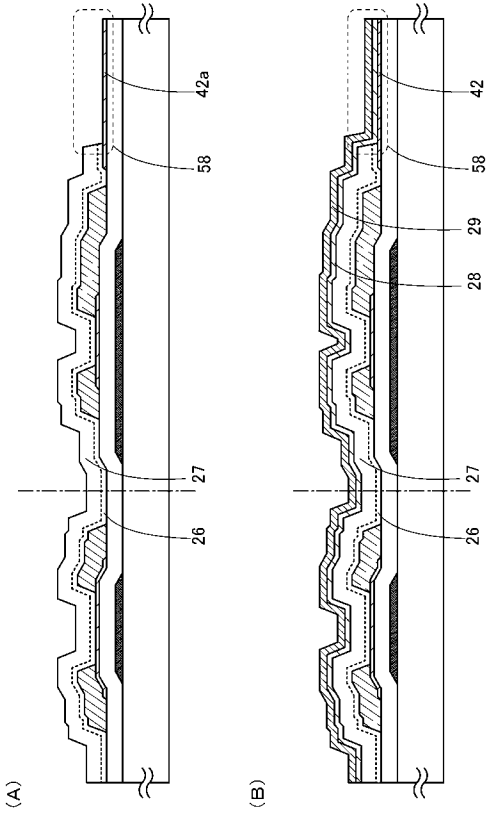
【 図 11 】



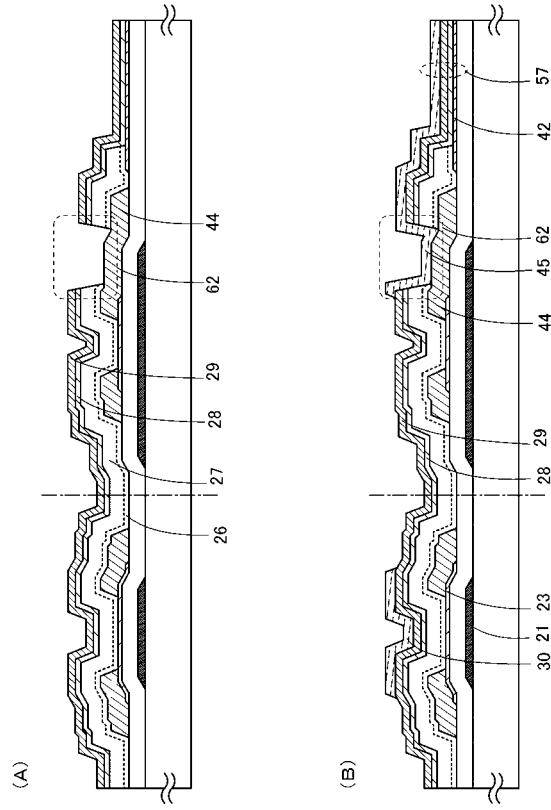
【 図 12 】



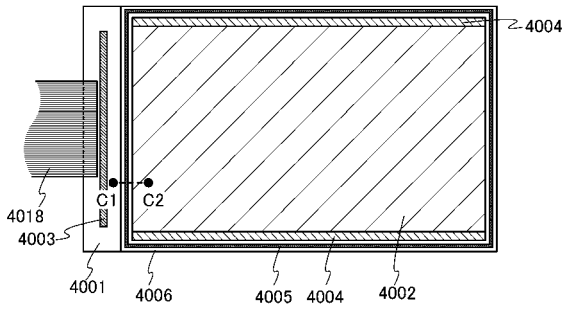
【 図 1 3 】



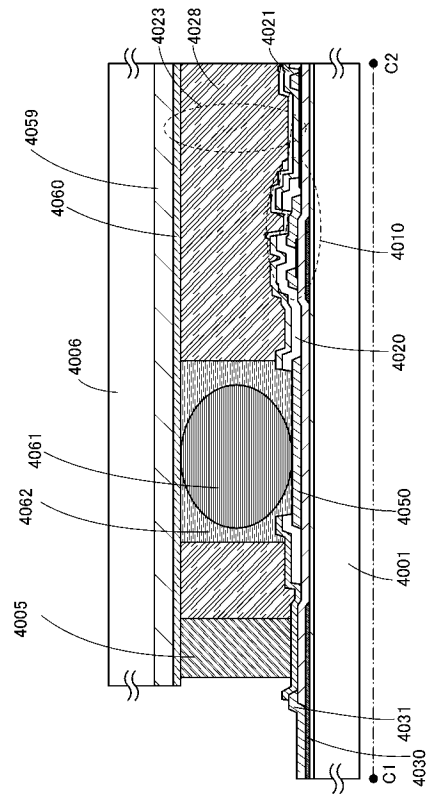
【 図 1 4 】



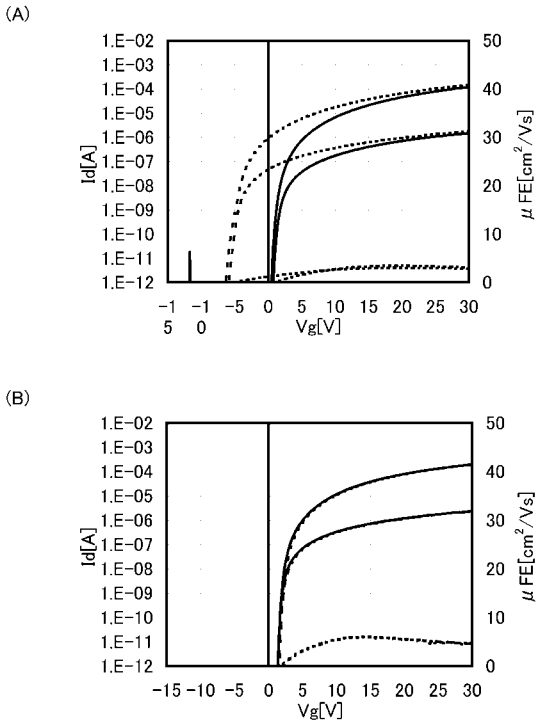
【 図 1 5 】



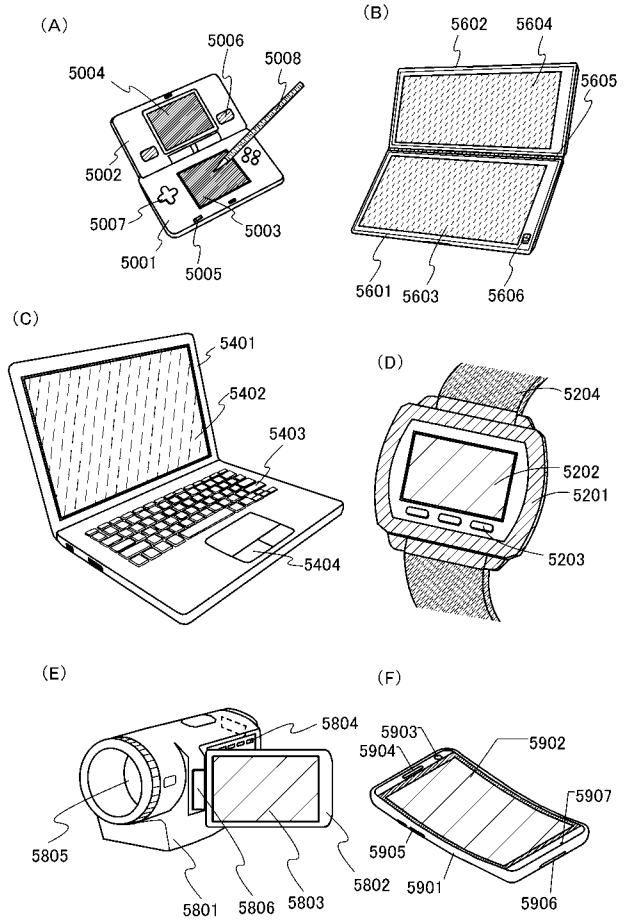
【 図 1 6 】



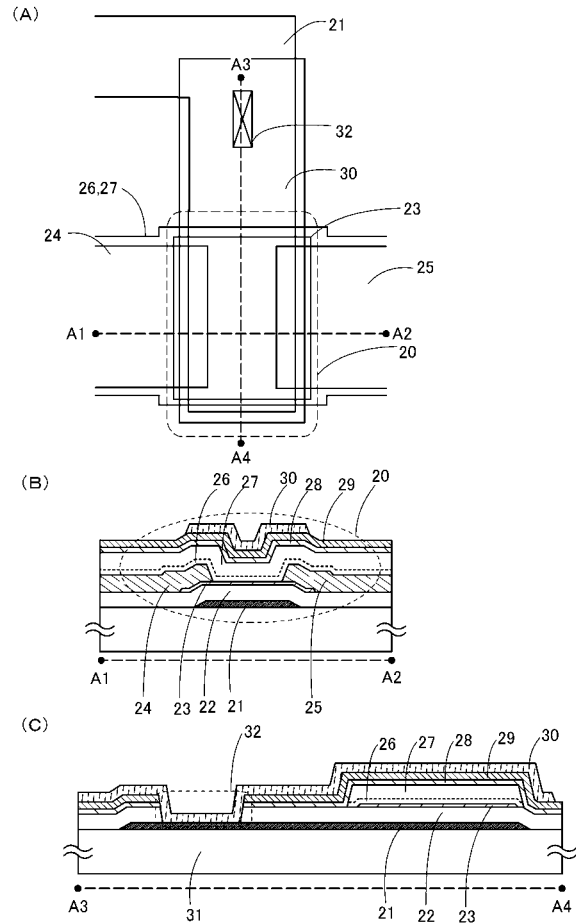
【 図 1 7 】



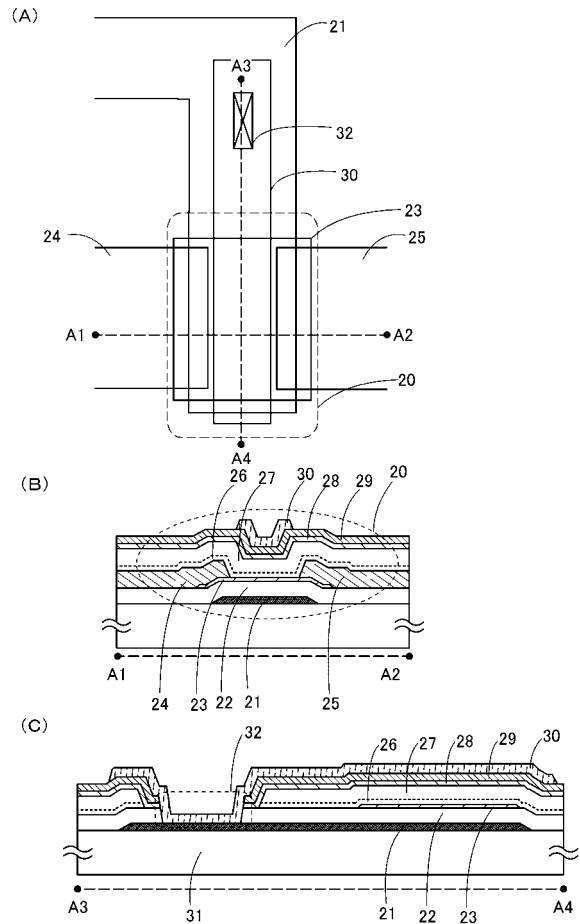
【 図 1 8 】



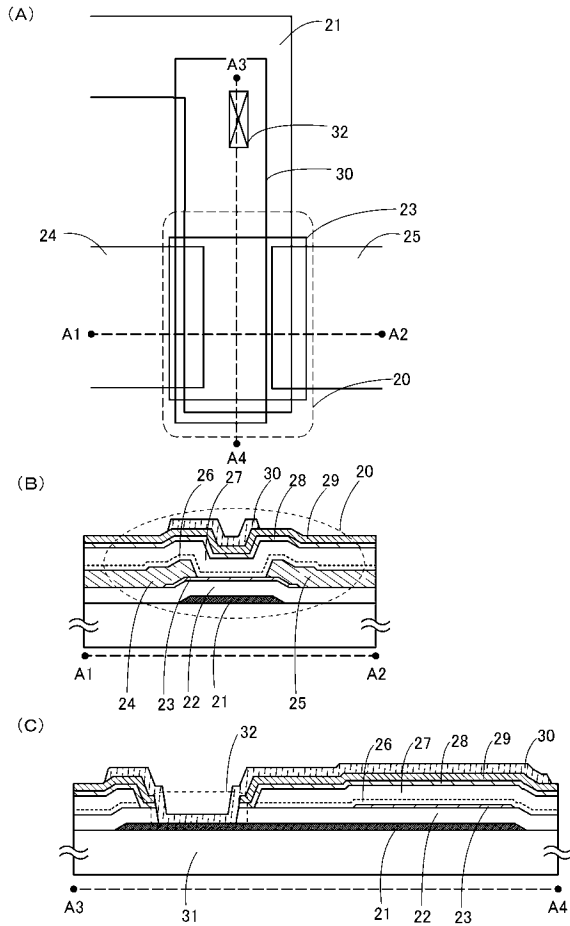
【 図 1 9 】



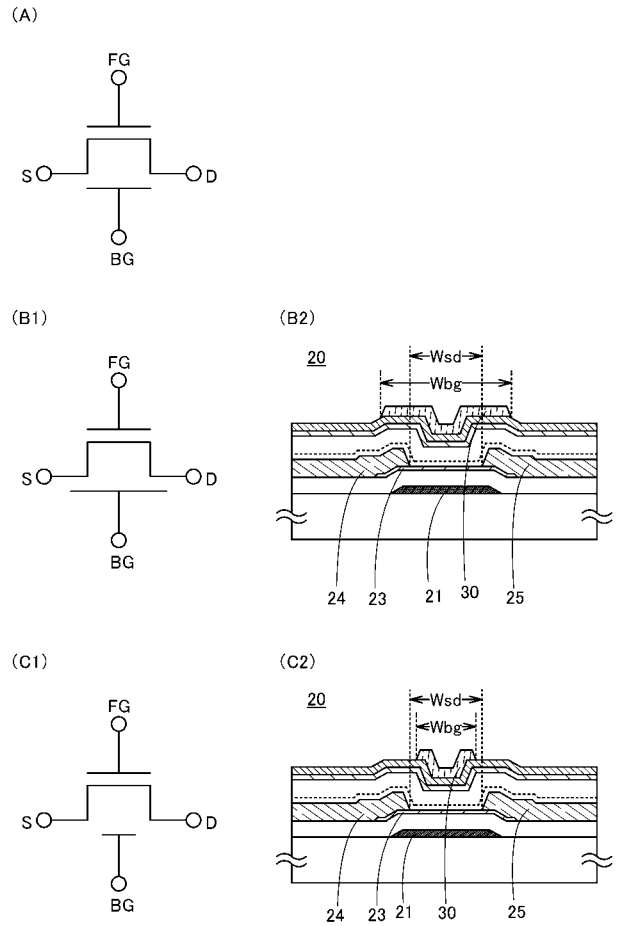
【 図 2 0 】



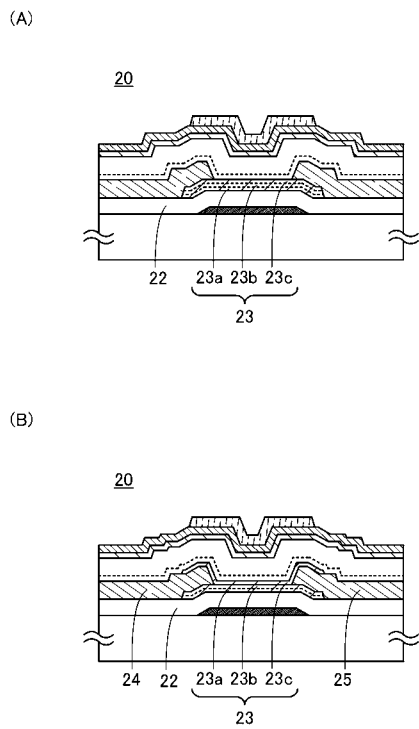
【 図 2 1 】



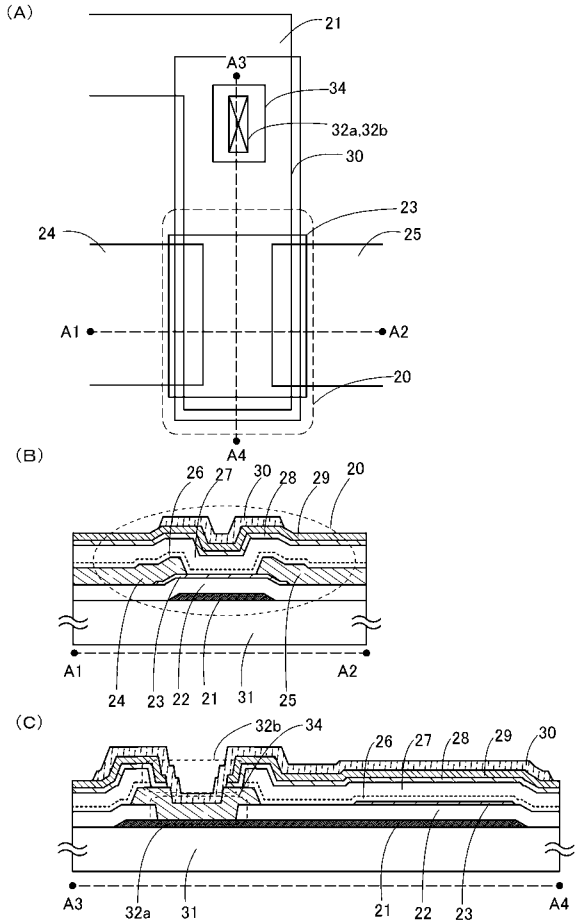
【 図 2 2 】



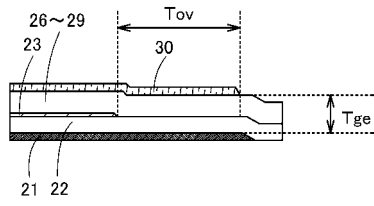
【 図 2 3 】



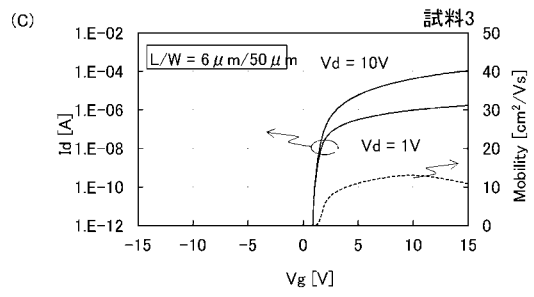
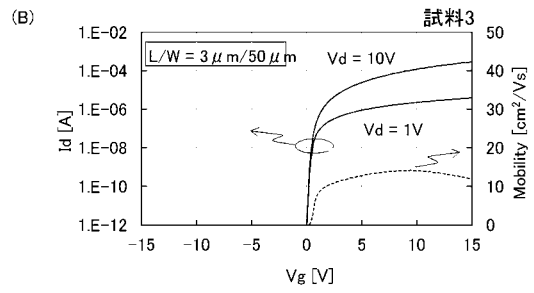
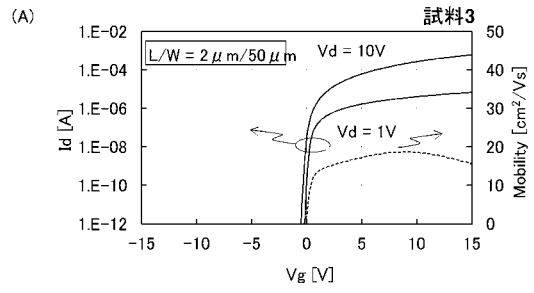
【 図 2 4 】



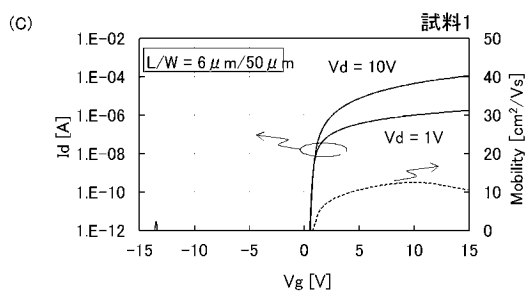
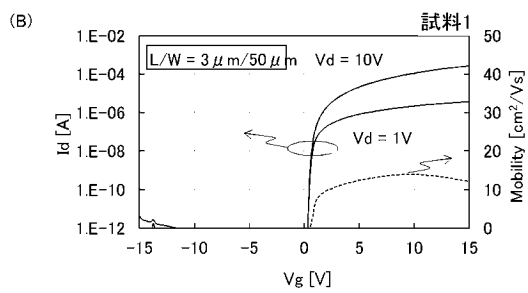
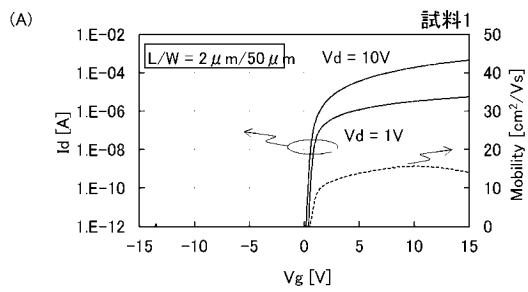
【 図 2 5 】



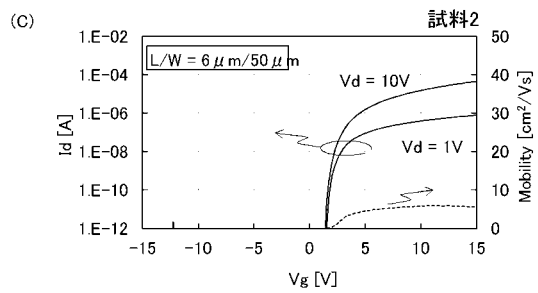
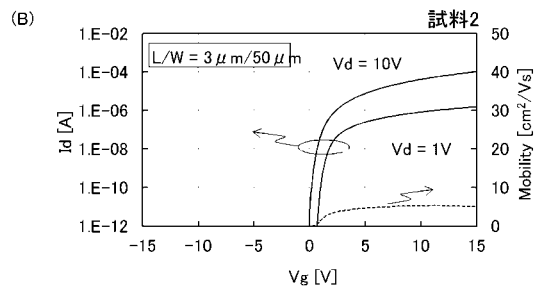
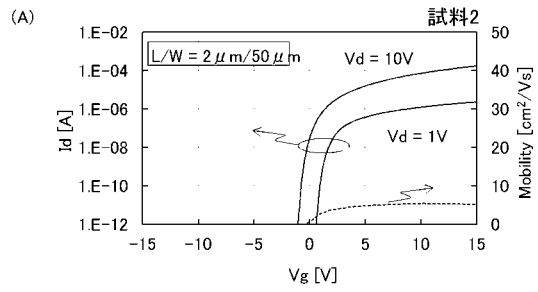
【 図 2 6 】



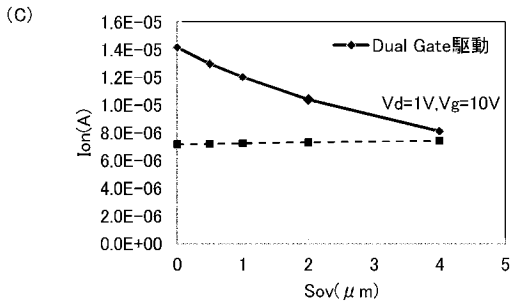
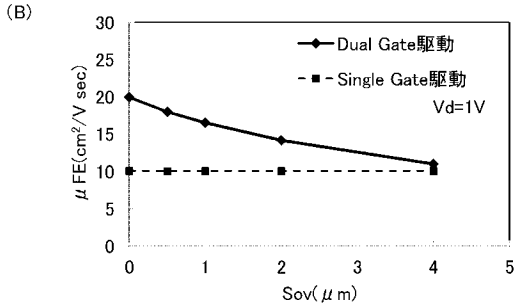
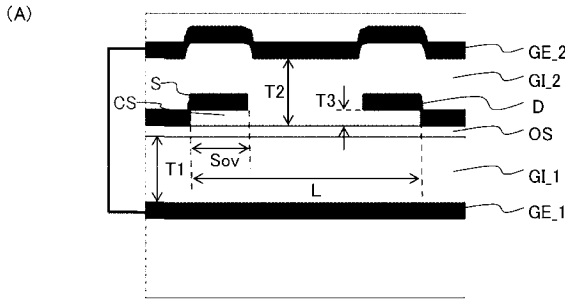
【 図 2 7 】



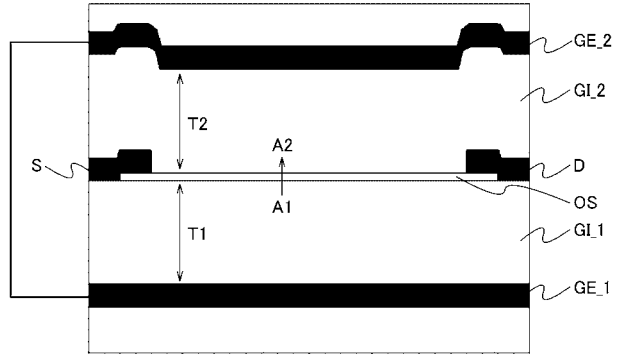
【 図 2 8 】



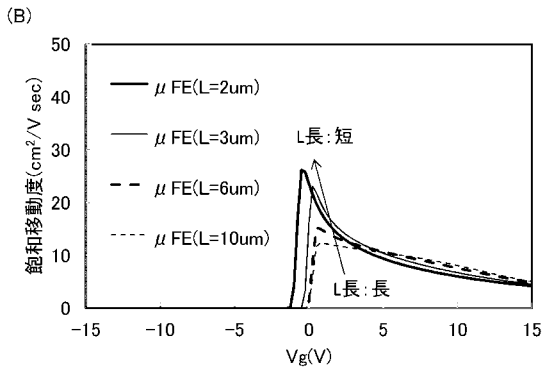
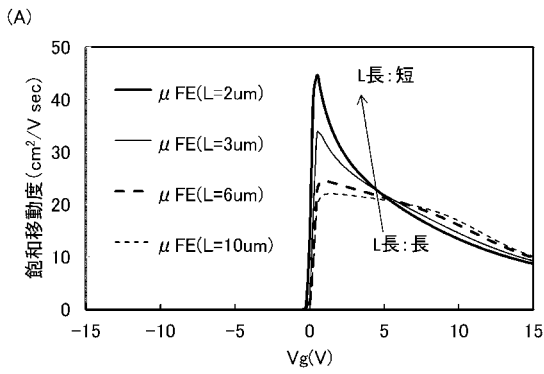
【 図 2 9 】



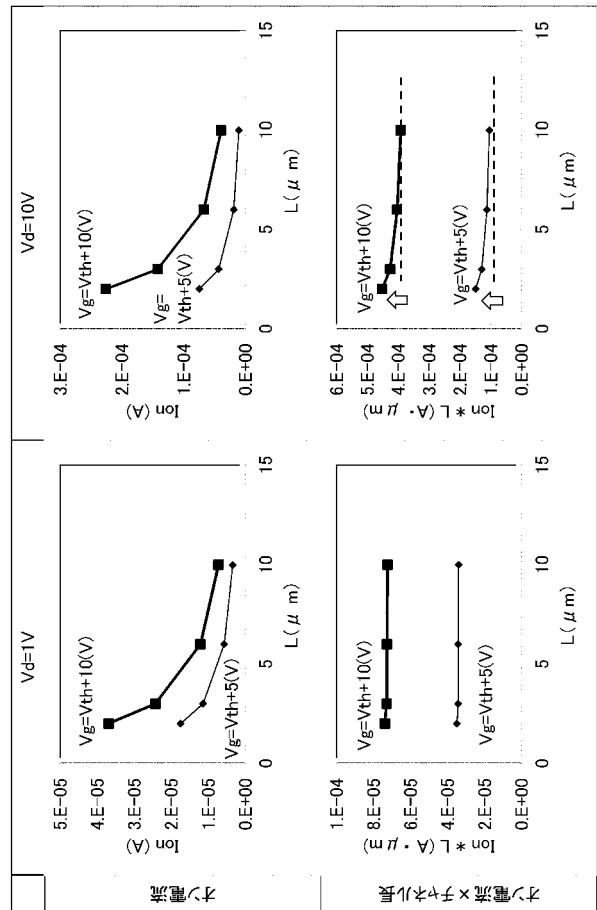
【 図 3 0 】



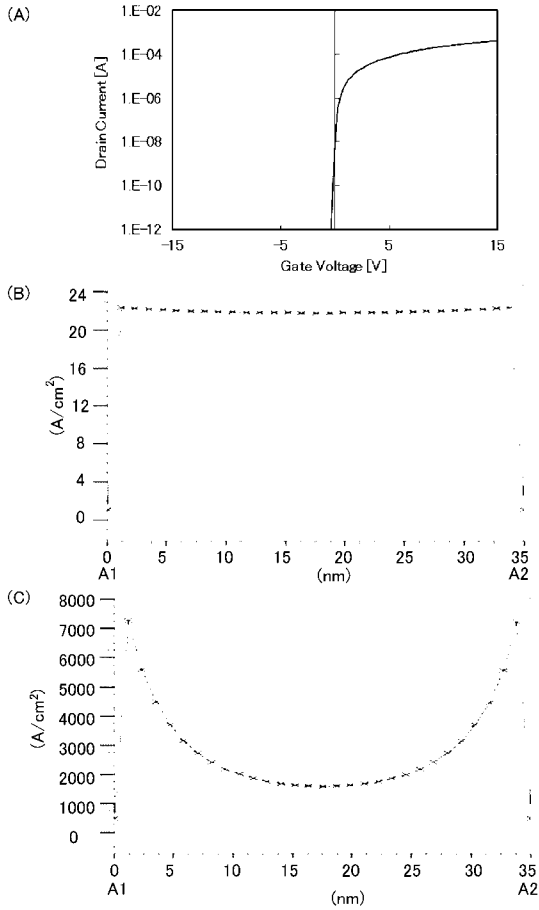
【 図 3 1 】



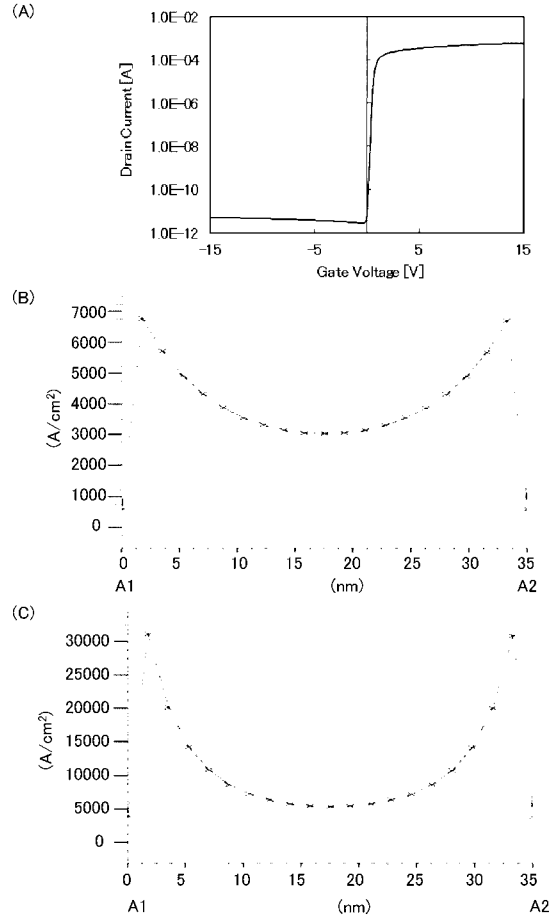
【 図 3 2 】



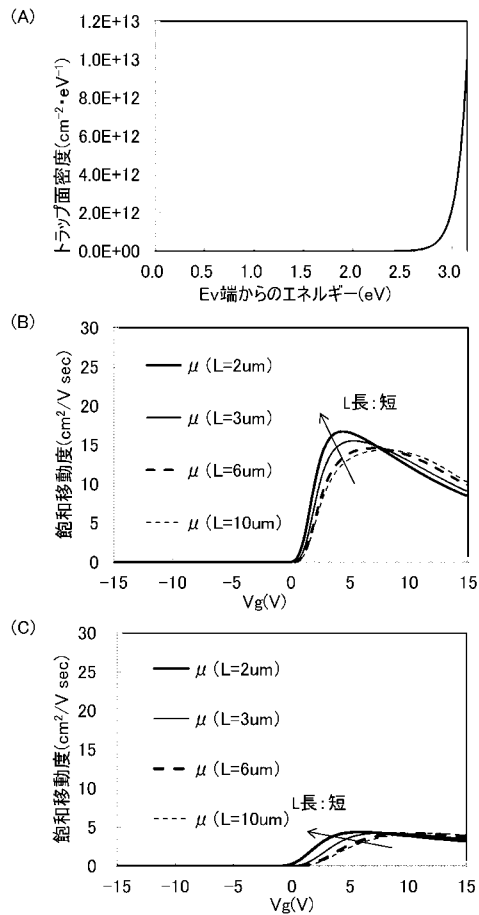
【 図 3 3 】



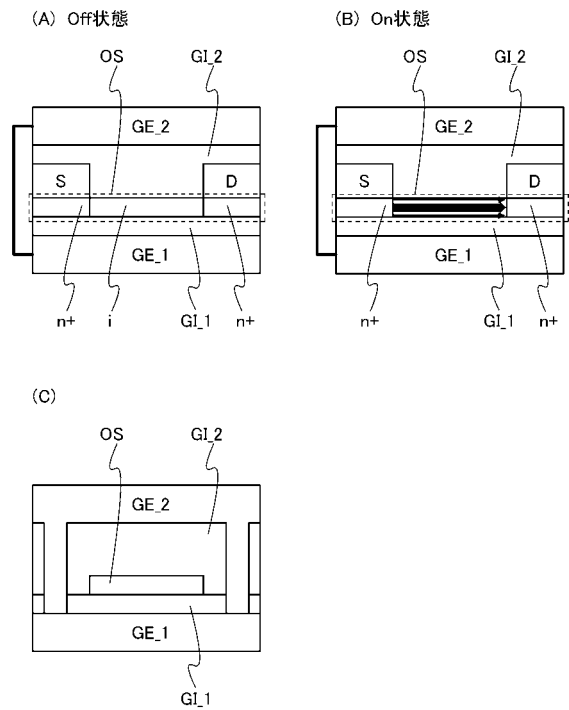
【 図 3 4 】



【 図 3 5 】



【 図 3 6 】



【手続補正書】

【提出日】平成31年1月23日(2019.1.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の導電膜と、
前記第1の導電膜上の第1の絶縁膜と、
前記第1の絶縁膜上の酸化物半導体膜と、
前記第1の絶縁膜上の金属酸化物膜と、
前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第2の導電膜と、
前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第3の導電膜と、
前記酸化物半導体膜上に位置し、かつ、第2の絶縁膜を介して前記酸化物半導体膜のチャンネル形成領域と重なる領域を有する第4の導電膜と、
前記金属酸化物膜上に位置し、かつ、前記金属酸化物膜と電氣的に接続された第5の導電膜と、
前記第3の導電膜と電氣的に接続された画素電極と、を有し、
前記酸化物半導体膜は、In、Ga、及びZnを含み、
前記金属酸化物膜は、In、Ga、及びZnを含み、
前記金属酸化物膜は、第1の領域と、第2の領域と、を有し、
前記第1の領域は、前記第5の導電膜と重なる領域を有さず、かつ、前記酸化物半導体膜のチャンネル形成領域よりも導電性が高く、
前記第2の領域は、前記第5の導電膜と重なる領域を有し、
前記画素電極は、前記第1の領域と重なる領域を有する表示装置。

【請求項2】

第1の導電膜と、
前記第1の導電膜上の第1の絶縁膜と、
前記第1の絶縁膜上の酸化物半導体膜と、
前記第1の絶縁膜上の金属酸化物膜と、
前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第2の導電膜と、
前記酸化物半導体膜上に位置し、かつ、前記酸化物半導体膜と電氣的に接続された第3の導電膜と、
前記酸化物半導体膜上に位置し、かつ、第2の絶縁膜を介して前記酸化物半導体膜のチャンネル形成領域と重なる領域を有する第4の導電膜と、
前記金属酸化物膜上に位置し、かつ、前記金属酸化物膜と電氣的に接続された第5の導電膜と、
前記第3の導電膜と電氣的に接続された画素電極と、を有し、
前記酸化物半導体膜は、In、Ga、及びZnを含み、
前記金属酸化物膜は、In、Ga、及びZnを含み、
前記金属酸化物膜は、第1の領域と、第2の領域と、を有し、
前記第1の領域は、前記第5の導電膜と重なる領域を有さず、かつ、前記酸化物半導体膜のチャンネル形成領域よりも導電性が高く、
前記第2の領域は、前記第5の導電膜と重なる領域を有し、
前記画素電極は、前記第1の領域と重なる領域を有し、

前記第4の導電膜は、前記第2の導電膜と重なる領域を有さず、
前記第4の導電膜は、前記第3の導電膜と重なる領域を有さない表示装置。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/088 (2006.01) H 0 1 L 27/088 3 3 1 E
H 0 1 L 27/088 J

(72)発明者 松林 大介
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 松田 慎平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

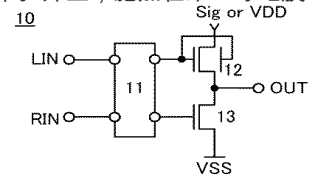
Fターム(参考) 2H092 GA29 GA39 GA59 HA04 JA26 JB56 JB66 JB69 KA08 PA06
PA08 PA09 QA07
2H192 AA24 BC31 CB05 CB08 CB37 CB56 DA12 DA24 DA44 DA62
EA22 EA43 EA74 FA26 FA65 FA73 FB02 FB15 FB27 FB33
JA06
5F048 AA07 AA08 AB03 AB05 AC01 AC10 BA14 BA16 BB02 BB09
BB12 BB13 BF02 BF07
5F110 AA04 AA09 AA14 AA30 BB02 BB03 CC07 DD01 DD02 DD03
DD04 EE01 EE02 EE03 EE04 EE07 EE14 EE15 EE30 EE48
FF01 FF02 FF03 FF04 FF09 FF29 FF30 FF36 GG01 GG06
GG14 GG15 GG17 GG19 GG25 GG28 GG29 GG35 GG43 GG58
HK01 HK02 HK03 HK04 HK07 HK22 HL07 HL27 NN03 NN04
NN22 NN23 NN24 NN35 NN40 NN72 NN73 QQ09

专利名称(译)	表示装置		
公开(公告)号	JP2019053302A	公开(公告)日	2019-04-04
申请号	JP2018193460	申请日	2018-10-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 三宅博之 豊高耕平 早川昌彦 松林大介 松田慎平		
发明人	山崎 舜平 三宅 博之 豊高 耕平 早川 昌彦 松林 大介 松田 慎平		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 H01L21/8234 H01L27/06 H01L27/088		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.617.N H01L29/78.618.B H01L27/06.102.A H01L27/088.331.E H01L27/088.J H01L29/78.612.B		
F-TERM分类号	2H092/GA29 2H092/GA39 2H092/GA59 2H092/HA04 2H092/JA26 2H092/JB56 2H092/JB66 2H092/JB69 2H092/KA08 2H092/PA06 2H092/PA08 2H092/PA09 2H092/QA07 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB08 2H192/CB37 2H192/CB56 2H192/DA12 2H192/DA24 2H192/DA44 2H192/DA62 2H192/EA22 2H192/EA43 2H192/EA74 2H192/FA26 2H192/FA65 2H192/FA73 2H192/FB02 2H192/FB15 2H192/FB27 2H192/FB33 2H192/JA06 5F048/AA07 5F048/AA08 5F048/AB03 5F048/AB05 5F048/AC01 5F048/AC10 5F048/BA14 5F048/BA16 5F048/BB02 5F048/BB09 5F048/BB12 5F048/BB13 5F048/BF02 5F048/BF07 5F110/AA04 5F110/AA09 5F110/AA14 5F110/AA30 5F110/BB02 5F110/BB03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE30 5F110/EE48 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF29 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG06 5F110/GG14 5F110/GG15 5F110/GG17 5F110/GG19 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG35 5F110/GG43 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK22 5F110/HL07 5F110/HL27 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN40 5F110/NN72 5F110/NN73 5F110/QQ09		
优先权	2013119037 2013-06-05 JP		
其他公开文献	JP6503502B2		
外部链接	Espacenet		

摘要(译)

提供一种具有高可靠性并且可以实现框架变窄的半导体器件。驱动电路包括第一晶体管，第一晶体管具有第一栅极和第二栅极，第二栅极与插入其间的半导体膜电连接，并且源极和漏极中的一个是第一晶体管的源极和漏极中的一个。并且像素部分具有第三晶体

管，液晶元件和电容器元件，并且液晶元件电连接到第三晶体管的源极和漏极中的一个。并且，施加在第一导电膜和第二导电膜之间产生电场的液晶层。并且，氮化物绝缘膜位于第一导电膜和第三导电膜之间，氮化物绝缘膜是第一晶体管的半导体膜位于第二道门之间。 [选图]图1



(B)

