

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-156754

(P2017-156754A)

(43) 公開日 平成29年9月7日(2017.9.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H192
H01L 29/786 (2006.01)	H01L 29/78 618B	3K107
H01L 21/336 (2006.01)	H01L 29/78 618Z	5C094
G02F 1/1368 (2006.01)	H01L 29/78 612C	5F110
H01L 51/50 (2006.01)	H01L 29/78 613Z	
審査請求 有 請求項の数 6 O L (全 67 頁) 最終頁に続く		

(21) 出願番号 特願2017-70406 (P2017-70406)
 (22) 出願日 平成29年3月31日 (2017.3.31)
 (62) 分割の表示 特願2012-238463 (P2012-238463)
 の分割
 原出願日 平成24年10月30日 (2012.10.30)
 (31) 優先権主張番号 特願2011-247258 (P2011-247258)
 (32) 優先日 平成23年11月11日 (2011.11.11)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-247256 (P2011-247256)
 (32) 優先日 平成23年11月11日 (2011.11.11)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H192 AA24 BC31 CB05 CB71 CC42
 DA15 HA47
 3K107 AA01 BB01 BB03 BB04 BB06
 BB08 CC33 CC45 EE04 FF15
 HH05

最終頁に続く

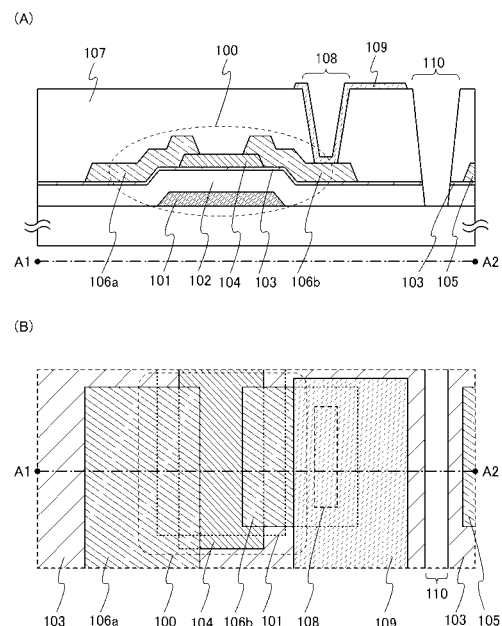
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 少ない枚数のマスクで作製でき、なおかつ信頼性が高い液晶表示装置及び発光装置。

【解決手段】 ゲート電極と、ゲート電極上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置し、ゲート電極と重なる半導体膜と、半導体膜上に位置し、ゲート電極と重なる島状の第1絶縁膜と、半導体膜上に位置する第1導電膜と、第1絶縁膜を間に挟み、なおかつ半導体膜上に位置する一対の第2導電膜と、第1絶縁膜、第1導電膜、及び一対の第2導電膜上に位置する第2絶縁膜と、第2絶縁膜上に位置し、第2絶縁膜に設けられた第1開口部を介して、一対の第2導電膜のいずれか一方に接続される画素電極と、を有し、第2絶縁膜及び半導体膜には、第1導電膜と、一対の第2導電膜のいずれか一方または他方の間に位置する第2開口部が設けられている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
前記ゲート電極上方に位置するゲート絶縁膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記ゲート電極と重なる領域を有する第 1 の半導体膜と、
前記ゲート絶縁膜上方に位置する第 2 の半導体膜と、
前記第 1 の半導体膜上方に位置する一对の第 1 の導電膜と、
前記第 2 の半導体膜上方に位置する第 2 の導電膜と、
前記第 1 の半導体膜上方、前記第 2 の半導体膜上方、前記一对の第 1 の導電膜上方、及び前記第 2 の導電膜上方に位置する絶縁膜と、
前記絶縁膜上方に位置し、なおかつ前記絶縁膜の第 1 の開口部において、前記一对の第 1 の導電膜のいずれか一方と電気的に接続される画素電極と、を有し、
前記絶縁膜の第 2 の開口部は、前記第 1 の半導体膜と、前記第 2 の半導体膜との間の領域を有し、
前記第 2 の開口部は、前記一对の第 1 の導電膜のいずれか一と、前記第 2 の導電膜との間の領域を有し、
前記一对の第 1 の導電膜は、前記第 2 の導電膜と電気的に分離している表示装置。

【請求項 2】

ゲート電極と、
前記ゲート電極上方に位置するゲート絶縁膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記ゲート電極と重なる領域を有する第 1 の半導体膜と、
前記ゲート絶縁膜上方に位置する第 2 の半導体膜と、
前記第 1 の半導体膜上方に位置する一对の第 1 の導電膜と、
前記第 2 の半導体膜上方に位置する第 2 の導電膜と、
前記第 1 の半導体膜上方、前記第 2 の半導体膜上方、前記一对の第 1 の導電膜上方、及び前記第 2 の導電膜上方に位置する絶縁膜と、
前記絶縁膜上方に位置し、なおかつ前記絶縁膜、及び前記ゲート絶縁膜の開口部において、前記一对の第 1 の導電膜のいずれか一方と電気的に接続される画素電極と、を有し、
前記開口部は、前記第 1 の半導体膜と、前記第 2 の半導体膜との間の領域を有し、
前記開口部は、前記一对の第 1 の導電膜のいずれか一と、前記第 2 の導電膜との間の領域を有する表示装置。

【請求項 3】

ゲート電極及び第 1 の導電膜と、
前記ゲート電極上方及び前記第 1 の導電膜上方に位置するゲート絶縁膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記ゲート電極と重なる領域を有する第 1 の半導体膜と、
前記ゲート絶縁膜上方に位置し、なおかつ前記第 1 の導電膜と重なる領域を有する第 2 の半導体膜と、
前記第 1 の半導体膜上方に位置する一对の第 2 の導電膜と、
前記第 2 の半導体膜上方に位置し、なおかつ前記第 1 の導電膜と重なる領域を有する第 3 の導電膜と、
前記第 1 の半導体膜上方、前記第 2 の半導体膜上方、前記一对の第 2 の導電膜上方、及び前記第 3 の導電膜上方に位置する絶縁膜と、
前記絶縁膜上方に位置し、なおかつ前記絶縁膜の第 1 の開口部において、前記一对の第 2 の導電膜のいずれか一方と電気的に接続される画素電極と、を有し、
前記絶縁膜、及び前記ゲート絶縁膜の第 2 の開口部は、前記第 1 の半導体膜と、前記第 2 の半導体膜との間の領域を有し、
前記第 2 の開口部は、前記一对の第 2 の導電膜のいずれか一と、前記第 3 の導電膜との

間の領域を有し、

前記第 2 の開口部は、前記第 1 の導電膜と重なる領域を有する表示装置。

【請求項 4】

ゲート電極及び第 1 の導電膜と、

前記ゲート電極上方及び前記第 1 の導電膜上方に位置するゲート絶縁膜と、

前記ゲート絶縁膜上方に位置し、なおかつ前記ゲート電極と重なる領域を有する第 1 の半導体膜と、

前記ゲート絶縁膜上方に位置し、なおかつ前記第 1 の導電膜と重なる領域を有する第 2 の半導体膜と、

前記第 1 の半導体膜上方に位置する一对の第 2 の導電膜と、

10

前記第 2 の半導体膜上方に位置し、なおかつ前記第 1 の導電膜と重なる領域を有する第 3 の導電膜と、

前記第 1 の半導体膜上方、前記第 2 の半導体膜上方、前記一对の第 2 の導電膜上方、及び前記第 3 の導電膜上方に位置する絶縁膜と、

前記絶縁膜上方に位置し、なおかつ前記絶縁膜、及び前記ゲート絶縁膜の第 1 の開口部において、前記第 1 の導電膜と電氣的に接続される画素電極と、

前記絶縁膜、及び前記ゲート絶縁膜の第 2 の開口部において、前記第 1 の導電膜と電氣的に接続されており、なおかつ前記一对の第 2 の導電膜のいずれか一方と電氣的に接続されている第 4 の導電膜と、を有し、

前記第 2 の開口部は、前記第 1 の半導体膜と、前記第 2 の半導体膜との間の領域を有し

20

、
前記第 2 の開口部は、前記一对の第 2 の導電膜のいずれか一と、前記第 3 の導電膜との間の領域を有する表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記半導体膜は、酸化物半導体を有する表示装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記半導体膜は、In、Ga、及びZnを含む酸化物半導体を有する表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、各画素にトランジスタを有する液晶表示装置と、その作製方法に関する。本発明は、各画素にトランジスタを有する発光装置と、その作製方法に関する。

【背景技術】

【0002】

結晶性を有するシリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透光性を有する画素電極に用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャンネル形成領域に用いるトランジスタが、既に知られている（特許文献 1 及び特許文献 2）。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007-123861 号公報

【特許文献 2】特開 2007-96055 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0004】

ところで、液晶表示装置に用いられるトランジスタは、経時劣化による電気的特性（閾値電圧、移動度、S値など）の変化が小さいこと、また、経時劣化により生じる電気的特性のばらつきが小さいことが望まれる。経時劣化による電気的特性の変化が小さいトランジスタ、また、経時劣化により生じる電気的特性のばらつきが小さいトランジスタを用いることで、液晶表示装置の信頼性を高めることができ、表示する画像の品質を高めることができる。

【0005】

また、フォトリソグラフィ法で用いられる露光用のマスクは一般的に高価であり、なおかつ、フォトリソグラフィ法では、1枚のマスクにつき、フォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程が必要となる。よって、液晶表示装置の作製に必要なマスクの枚数が増えると、それだけ作製工程数が増加し、なおかつ作製に費やされるコストが高くなりやすい。

【0006】

上述したような技術的背景のもと、本発明は、信頼性の高い液晶表示装置の提供を、課題の一つとする。また、本発明は、少ない枚数のマスクで作製でき、なおかつ信頼性の高い液晶表示装置の提供を、課題の一つとする。

【0007】

或いは、本発明は、少ない枚数のマスクを用いて、信頼性の高い液晶表示装置を得られる、液晶表示装置の作製方法の提供を、課題の一つとする。

【0008】

また、OLED (Organic Light Emitting Diode) などの発光素子を用いたアクティブマトリクス型の発光装置において、各画素に設けられたトランジスタは、経時劣化による電気的特性の変化が小さいこと、また、経時劣化により生じる電気的特性のばらつきが小さいことが望まれる。経時劣化による電気的特性の変化が小さいトランジスタ、また、経時劣化により生じる電気的特性のばらつきが小さいトランジスタを用いることで、発光装置の信頼性を高めることができ、表示する画像の品質を高めることができる。

【0009】

また、フォトリソグラフィ法で用いられる露光用のマスクは一般的に高価であり、なおかつ、フォトリソグラフィ法では、1枚のマスクにつき、フォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程が必要となる。よって、発光装置の作製に必要なマスクの枚数が増えると、それだけ作製工程数が増加し、なおかつ作製に費やされるコストが高くなりやすい。

【0010】

上述したような技術的背景のもと、本発明は、信頼性の高い発光装置の提供を、課題の一つとする。また、本発明は、少ない枚数のマスクで作製でき、なおかつ信頼性の高い発光装置の提供を、課題の一つとする。

【0011】

或いは、本発明は、少ない枚数のマスクを用いて、信頼性の高い発光装置を得られる、発光装置の作製方法の提供を、課題の一つとする。

【課題を解決するための手段】

【0012】

本発明の一態様では、画素電極とソース電極またはドレイン電極とを接続するための開口部を、ソース電極及びドレイン電極上の絶縁膜に形成する工程において、当該絶縁膜の形状のみならず、半導体膜の形状をも加工する。具体的に、本発明の一態様に係る液晶表示装置の作製方法では、ゲート電極を形成する工程と、半導体膜が有するチャンネル形成領域を保護する機能を有する絶縁膜（以下、チャンネル保護膜とも呼ぶ）を形成する工程と、ソース電極またはドレイン電極を形成する工程と、ソース電極及びドレイン電極上の絶縁膜

10

20

30

40

50

に開口部を形成し、なおかつ半導体膜の形状を加工する工程と、画素電極を形成する工程とにおいて、マスクを利用したフォトリソグラフィ法を用いる。よって、半導体膜の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、本発明の一態様では、省略することができる。

【0013】

また、具体的に、本発明の一態様に係る発光装置の作製方法では、ゲート電極を形成する工程と、半導体膜が有するチャンネル形成領域を保護する機能を有する絶縁膜を形成する工程と、ソース電極またはドレイン電極を形成する工程と、ソース電極及びドレイン電極上の絶縁膜に開口部を形成し、なおかつ半導体膜の形状を加工する工程と、画素電極を形成する工程と、画素電極上の絶縁膜に開口部を設けることで隔壁を形成する工程と、において、マスクを利用したフォトリソグラフィ法を用いる。よって、半導体膜の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、本発明の一態様では、省略することができる。

10

【0014】

なお、ソース電極及びドレイン電極と、ソース電極及びドレイン電極と同じ層に形成された導電膜とは、ソース電極及びドレイン電極上の絶縁膜と、半導体膜の間に存在する。そのため、上述したような、ソース電極及びドレイン電極上の絶縁膜の形状と半導体膜の形状を同一のマスクで加工する作製方法を用いる場合、半導体膜のうち上記導電膜の下部に位置する部分は、その形状を加工することが難しい。そして、複数の導電膜が半導体膜と重なっていると、画素電極から半導体膜に印加される電界により、導電膜間において半導体膜にチャンネル（以下、寄生チャンネルと呼ぶ）が形成されることがある。寄生チャンネルが形成されると、電氣的に分離されるべき導電膜どうしが半導体膜を介して電氣的に接続されるため、表示される画質の低下が引き起こされる。

20

【0015】

そこで、本発明の一態様に係る液晶表示装置または発光装置では、複数の導電膜間において複数の導電膜上の絶縁膜が開口部を有し、半導体膜は上記開口部と重なる領域において除去されている構成とする。よって、複数の各導電膜と重なる位置に設けられた半導体膜どうしは、当該開口部において離隔している構成となる。上記構成により、寄生チャンネルの形成が抑制され、導電膜どうしが電氣的に接続されるのを防ぐことができる。

【0016】

また、チャンネル保護膜を形成する工程、或いは、ソース電極またはドレイン電極を形成する工程において、エッチングにより露出した半導体膜またはチャンネル保護膜の表面に不純物が付着すると、トランジスタのオフ電流の増加、或いはトランジスタの電氣的特性の劣化がもたらされやすい。また、半導体膜に寄生チャンネルが生じやすくなり、電氣的に分離されるべき導電膜どうしが半導体膜を介して電氣的に接続されやすくなる。具体的に、上記不純物には、ソース電極またはドレイン電極を構成する元素、エッチングを行った処理室内に存在する元素、或いは、エッチングに用いたエッチングガスやエッチング液を構成する元素などが含まれる。そこで、本発明の一態様に係る液晶表示装置または発光装置の作製方法では、チャンネル保護膜を形成するためのエッチングが終了した後、もしくは、ソース電極またはドレイン電極を形成するためのエッチングが終了した後に、半導体膜またはチャンネル保護膜の表面に付着したであろう不純物を除去する工程も有する。

30

40

【0017】

具体的に、本発明の一態様に係る液晶表示装置は、ゲート電極と、ゲート電極上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置し、ゲート電極と重なる半導体膜と、半導体膜上に位置し、ゲート電極と重なる島状の第1絶縁膜と、半導体膜上に位置する第1導電膜と、島状の第1絶縁膜を間に挟み、なおかつ半導体膜上に位置する一対の第2導電膜と、半導体膜、島状の第1絶縁膜、第1導電膜、及び一対の第2導電膜上に位置する第2絶縁膜と、第2絶縁膜上に位置し、第2絶縁膜に設けられた第1開口部を介して、一対の第2導電膜のいずれか一方に接続される画素電極と、を有し、第2絶縁膜及び半導体膜には、第1導電膜と、一対の第2導電膜のいずれか一方または他方の間に位置する第2開口部が

50

設けられている。

【0018】

具体的に、本発明の一態様に係る液晶表示装置の作製方法は、ゲート絶縁膜上においてゲート電極と重なるように半導体膜を形成する工程と、半導体膜上においてゲート電極と重なるように島状の第1絶縁膜を、フォトリソグラフィ法により形成する工程と、第1導電膜と、島状の第1絶縁膜を間に挟む一対の第2導電膜とを、フォトリソグラフィ法により半導体膜上に形成する工程と、第2絶縁膜を、半導体膜、島状の第1絶縁膜、第1導電膜、及び一対の第2導電膜上に形成する工程と、一対の第2導電膜の一方を部分的に露出させる第1開口部と、第2絶縁膜及び半導体膜に、第1導電膜と一対の第2導電膜のいずれか一方または他方の間に位置する第2開口部とを、フォトリソグラフィ法により形成する工程と、第2絶縁膜上に、第1開口部を介して一対の第2導電膜の一方に接続される画素電極を、フォトリソグラフィ法により形成する工程と、を有する。

10

【0019】

具体的に、本発明の一態様に係る発光装置は、ゲート電極と、ゲート電極上に位置するゲート絶縁膜と、ゲート絶縁膜上に位置し、ゲート電極と重なる半導体膜と、半導体膜上に位置し、ゲート電極と重なる島状の第1絶縁膜と、半導体膜上に位置する第1導電膜と、島状の第1絶縁膜を間に挟み、なおかつ半導体膜上に位置する一対の第2導電膜と、半導体膜、島状の第1絶縁膜、第1導電膜、及び一対の第2導電膜上に位置する第2絶縁膜と、第2絶縁膜上に位置し、第2絶縁膜に設けられた第1開口部を介して、一対の第2導電膜のいずれか一方に接続される画素電極と、画素電極上の第3絶縁膜と、を有し、第2絶縁膜及び半導体膜には、第1導電膜と、一対の第2導電膜のいずれか一方または他方の間に位置する第2開口部が設けられており、第3絶縁膜には、画素電極が部分的に露出するような第3開口部が設けられている。

20

【0020】

具体的に、本発明の一態様に係る発光装置の作製方法は、ゲート絶縁膜上においてゲート電極と重なるように半導体膜を形成する工程と、半導体膜上においてゲート電極と重なるように島状の第1絶縁膜を、フォトリソグラフィ法により形成する工程と、第1導電膜と、島状の第1絶縁膜を間に挟む一対の第2導電膜とを、フォトリソグラフィ法により半導体膜上に形成する工程と、第2絶縁膜を、半導体膜、島状の第1絶縁膜、第1導電膜、及び一対の第2導電膜上に形成する工程と、一対の第2導電膜の一方を部分的に露出させる第1開口部と、第2絶縁膜及び半導体膜に、第1導電膜と一対の第2導電膜のいずれか一方または他方の間に位置する第2開口部とを、フォトリソグラフィ法により形成する工程と、第2絶縁膜上に、第1開口部を介して一対の第2導電膜の一方に接続される画素電極を、フォトリソグラフィ法により形成する工程と、画素電極上に、画素電極と重なる位置に開口部を有する第3絶縁膜を、フォトリソグラフィ法により形成する工程と、を有する。

30

【発明の効果】

【0021】

本発明の一態様では、信頼性の高い液晶表示装置を提供することができる。また、本発明の一態様では、少ない枚数のマスクで、信頼性の高い液晶表示装置を提供することができる。

40

【0022】

また、本発明の一態様に係る液晶表示装置の作製方法では、少ない枚数のマスクで、信頼性の高い液晶表示装置を作製することができる。

【0023】

本発明の一態様では、信頼性の高い発光装置を提供することができる。また、本発明の一態様では、少ない枚数のマスクで、信頼性の高い発光装置を提供することができる。

【0024】

また、本発明の一態様に係る発光装置の作製方法では、少ない枚数のマスクで、信頼性の高い発光装置を作製することができる。

50

【図面の簡単な説明】

【0025】

- 【図1】液晶表示装置の構造を示す図。
 【図2】液晶表示装置の構造を示す図。
 【図3】液晶表示装置の構造を示す図。
 【図4】液晶表示装置の構造を示す図。
 【図5】液晶表示装置の画素の上面図。
 【図6】液晶表示装置の画素の断面図。
 【図7】液晶表示装置の構造を示す図。
 【図8】液晶表示装置の画素部の構造と、画素の回路図。
 【図9】液晶表示装置の作製方法を示す図。
 【図10】液晶表示装置の作製方法を示す図。
 【図11】液晶表示装置の作製方法を示す図。
 【図12】液晶表示装置の作製方法を示す図。
 【図13】液晶表示装置の作製方法を示す図。
 【図14】パネルの構造を示す図。
 【図15】液晶表示装置の斜視図。

10

- 【図16】電子機器の図。
 【図17】発光装置の構造を示す図。
 【図18】発光装置の構造を示す図。
 【図19】発光装置の構造を示す図。
 【図20】発光装置の構造を示す図。
 【図21】発光装置の画素の上面図。
 【図22】発光装置の画素の断面図。
 【図23】発光装置の画素の断面図。
 【図24】発光装置の画素部の構造と、画素の回路図。
 【図25】発光装置の構造を示す図。
 【図26】発光装置の作製方法を示す図。
 【図27】発光装置の作製方法を示す図。
 【図28】発光装置の作製方法を示す図。
 【図29】発光装置の作製方法を示す図。
 【図30】発光装置の作製方法を示す図。
 【図31】画素の断面図。
 【図32】パネルの構造を示す図。
 【図33】発光装置の斜視図。

20

【発明を実施するための形態】

【0026】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【0027】

なお、本明細書において液晶表示装置とは、液晶素子が各画素に形成されたパネルと、駆動回路またはコントローラを含むIC等を当該パネルに実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る液晶表示装置は、当該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、トランジスタを介して電圧が供給される画素電極とを、複数の各画素に備える。

【0028】

また、本明細書において発光装置とは、発光素子が各画素に形成されたパネルと、駆動回

50

路またはコントローラを含むＩＣ等を当該パネルに実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る発光装置は、当該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、トランジスタを介して電圧が供給される画素電極とを、複数の各画素に備える。

【００２９】

（実施の形態１）

図１に、本発明の一態様に係る液晶表示装置の構造を例示する。図１（Ａ）は、画素が有するトランジスタ１００の、チャンネル長方向における断面図の一例である。

【００３０】

図１（Ａ）では、絶縁表面上のゲート電極１０１と、ゲート電極１０１上に位置するゲート絶縁膜１０２と、ゲート絶縁膜１０２上に位置し、ゲート電極１０１と重なる半導体膜１０３と、半導体膜１０３上に位置し、ゲート電極１０１と重なる島状の絶縁膜１０４と、半導体膜１０３上に位置する導電膜１０５と、絶縁膜１０４を間に挟み、なおかつ半導体膜１０３上に位置する導電膜１０６ａ及び導電膜１０６ｂと、半導体膜１０３、絶縁膜１０４、導電膜１０５、導電膜１０６ａ及び導電膜１０６ｂ上に位置する絶縁膜１０７と、絶縁膜１０７上に位置し、絶縁膜１０７に設けられた開口部１０８を介して導電膜１０６ｂに接続される画素電極１０９と、絶縁膜１０７及び半導体膜１０３に設けられた開口部１１０とが、図示されている。

【００３１】

そして、図１（Ａ）では、ゲート電極１０１、ゲート絶縁膜１０２、半導体膜１０３、チャンネル保護膜として機能する絶縁膜１０４、導電膜１０６ａ及び導電膜１０６ｂがトランジスタ１００を構成している。そして、導電膜１０６ａ及び導電膜１０６ｂは、いずれか一方がソース電極、他方がドレイン電極として機能する。

【００３２】

本発明の一態様に係る液晶表示装置の作製方法では、ゲート電極１０１を形成する工程と、絶縁膜１０４を形成する工程と、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂを形成する工程と、絶縁膜１０７に開口部１０８を形成し、なおかつ絶縁膜１０７及び半導体膜１０３に開口部１１０を形成する工程と、画素電極１０９を形成する工程とにおいて、マスクを用いたフォトリソグラフィ法を用いる。すなわち、本発明の一態様では、絶縁膜１０７に開口部１１０を形成する工程において、半導体膜１０３の形状を加工しているため、半導体膜１０３の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、省略することができる。よって、本発明の一態様に係る液晶表示装置では、フォトリソグラフィ法で行なわれるフォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程を一部省略することができる。そして、高価な露光用のマスクの枚数を抑えることができるので、液晶表示装置の作製に費やされるコストを抑えることができる。

【００３３】

なお、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂは、絶縁膜１０７と、半導体膜１０３の間に存在する。そのため、絶縁膜１０７に開口部１０８を形成する工程において半導体膜１０３の形状をも加工する作製方法を用いる場合、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂの下部に位置する半導体膜１０３の形状を加工することが難しい。そして、導電膜１０５、導電膜１０６ａ、及び導電膜１０６ｂが半導体膜１０３と重なっていると、画素電極１０９から半導体膜１０３に印加される電界により半導体膜１０３に寄生チャンネルが形成されることがある。寄生チャンネルが形成されると、電氣的に分離されるべき導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂとが、半導体膜１０３を介して電氣的に接続されるため、表示される画質の低下が引き起こされる。

【００３４】

そこで、本発明の一態様に係る液晶表示装置では、開口部１１０の位置を、導電膜１０５と、導電膜１０６ａまたは導電膜１０６ｂの間に定め、それにより、半導体膜１０３を部

10

20

30

40

50

分的に除去する構成とする。なお、図 1 (A) では、開口部 110 において半導体膜 103 及び絶縁膜 107 だけではなく、ゲート絶縁膜 102 が除去されている場合を例示している。本発明の一態様では、開口部 110 においてゲート絶縁膜 102 を必ずしも除去する必要はなく、開口部 110 においてゲート絶縁膜 102 が残存していても良い。

【0035】

図 1 (B) に、図 1 (A) に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図 1 (B) では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜 102 及び絶縁膜 107 を省略した上面図を示す。また、図 1 (B) の一点鎖線 A1-A2 における断面図が、図 1 (A) に相当する。

【0036】

図 1 (A) 及び図 1 (B) に示すように、本発明の一態様では、半導体膜 103 及び絶縁膜 107 に、導電膜 105 と、導電膜 106 a または導電膜 106 b の間に位置する、開口部 110 が設けられている。

【0037】

開口部 110 により、本発明の一態様では、図 1 (A) 及び図 1 (B) に示すように、導電膜 106 a または導電膜 106 b の下に位置する半導体膜 103 と、導電膜 105 の下に位置する半導体膜 103 とが、離隔した状態にある。よって、本発明の一態様では、画素電極 109 などから半導体膜 103 に電界が印加されても、開口部 110 が導電膜 105 と、導電膜 106 a または導電膜 106 b の間に存在することで、半導体膜 103 に寄生チャネルが形成されるのを抑制することができる。そして、寄生チャネルの形成が抑制されることで、導電膜 105 と、導電膜 106 a または導電膜 106 b とが意図せず電氣的に接続されるのを防ぎ、液晶表示装置に表示される画質の低下を防ぐことができる。

【0038】

なお、図 1 (B) では、導電膜 106 a または導電膜 106 b の下に位置する半導体膜 103 と導電膜 105 の下に位置する半導体膜 103 とが、完全に離隔している場合を例示している。しかし、本発明の一態様では、半導体膜 103 が必ずしも完全に離隔している必要はなく、導電膜 105 と、導電膜 106 a または導電膜 106 b の間において、半導体膜 103 が部分的に離隔していても良い。

【0039】

図 2 に、図 1 (A) に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図 2 では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜 102 及び絶縁膜 107 を省略した上面図を示す。

【0040】

図 2 に示す液晶表示装置では、開口部 110 の形状が図 1 (B) の場合と異なる。図 2 では、開口部 110 が、図 1 (B) の場合と同様に導電膜 105 と、導電膜 106 a または導電膜 106 b の間に位置しているが、導電膜 106 a または導電膜 106 b の下に位置する半導体膜 103 と導電膜 105 の下に位置する半導体膜 103 とが、開口部 110 以外の領域で繋がっている。すなわち、図 2 では、導電膜 105 と、導電膜 106 a または導電膜 106 b の間において、半導体膜 103 が部分的に離隔した状態にある。半導体膜 103 が部分的に離隔した状態にあっても、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0041】

また、開口部 110 が形成される領域の一部は、導電膜 106 a または導電膜 106 b と重なっていても良い。或いは、開口部 110 が形成される領域の一部は、導電膜 105 が形成される領域と重なっていても良い。

【0042】

図 3 (A) に、画素が有するトランジスタ 100 の、チャネル長方向における断面図の一例を示す。また、図 3 (B) に、図 3 (A) に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図 3 (B) では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜 102 及び絶縁膜 107 を省略した上面図を示す。また、図 3 (B

10

20

30

40

50

）の一点鎖線 B 1－B 2 における断面図が、図 3（A）に相当する。

【0043】

図 3（A）及び図 3（B）に示す液晶表示装置では、開口部 110 の形成される領域が図 1（A）及び図 1（B）の場合と異なる。図 3（A）及び図 3（B）では、開口部 110 が形成される領域の一部が、導電膜 106b が形成される領域と重なっている。導電膜 106b の下に位置する半導体膜 103 は、開口部 110 の形成の際に、除去されない。よって、開口部 110 が形成されている領域内において、半導体膜 103 は、部分的に残存している状態にあり、開口部 110 における半導体膜 103 の端部と絶縁膜 107 の端部とは一致しない。

【0044】

本発明の一態様では、図 3（A）及び図 3（B）に示すように、開口部 110 が形成される領域の一部が、導電膜 106b が形成される領域と重なっていても、導電膜 106b の下に位置する半導体膜 103 と、導電膜 105 の下に位置する半導体膜 103 とを、離隔した状態にすることができる。よって、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0045】

なお、開口部 110 が形成される領域の一部と、導電膜 106a が形成される領域とが重なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。或いは、開口部 110 が形成される領域の一部と、導電膜 105 が形成される領域とが重なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0046】

そして、開口部 110 が形成される領域が、導電膜 106b が形成される領域と部分的に重なっている場合、導電膜 106b と画素電極 109 を接続するための開口部 108 を設ける必要がない。よって、開口部 108 を形成するための領域を確保する必要がないので、画素部の高精細化を実現することができる。

【0047】

また、図 4（A）に、画素が有するトランジスタ 100 の、チャネル長方向における断面図の一例を示す。また、図 4（B）に、図 4（A）に示した断面構造を有する液晶表示装置の、上面図の一例を示す。ただし、図 4（B）では、液晶表示装置のレイアウトを明確にするために、ゲート絶縁膜 102 及び絶縁膜 107 を省略した上面図を示す。また、図 4（B）の一点鎖線 C 1－C 2 における断面図が、図 4（A）に相当する。

【0048】

図 4（A）及び図 4（B）に示す液晶表示装置は、ゲート電極 101 と同じ層に導電膜 111 が設けられている点において、図 1（A）及び図 1（B）に示す液晶表示装置と構造が異なる。具体的に、図 4（A）及び図 4（B）では、絶縁表面上に導電膜 111 が位置し、導電膜 111 上にゲート絶縁膜 102 及び半導体膜 103 が順に積層されるように設けられており、半導体膜 103 上において導電膜 111 と重なる位置に導電膜 105 が設けられている。

【0049】

そして、図 4（A）及び図 4（B）では、開口部 110 が形成される領域と、導電膜 111 が形成される領域とが部分的に重なっており、開口部 110 において導電膜 111 の一部が露出した状態にある。そして、導電膜 111 は半導体膜 103 の下に位置するため、開口部 110 において半導体膜 103 は部分的に除去された状態にある。よって、図 4（A）及び図 4（B）の場合でも、導電膜 106a または導電膜 106b の下に位置する半導体膜 103 と、導電膜 105 の下に位置する半導体膜 103 とが、離隔した状態にあるため、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0050】

なお、本発明の一態様に係る液晶表示装置では、トランジスタ 100 が有する半導体膜 103 が、酸化物半導体などのワイドギャップ半導体を含んでいる。

【0051】

酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を含むことが好ましい。

【0052】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

【0053】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物（IGZOとも表記する）、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を、半導体膜 103 に用いることができる。

【0054】

なお、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In-Ga-Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0055】

例えば、In:Ga:Zn=1:1:1（=1/3:1/3:1/3）あるいは In:Ga:Zn=2:2:1（=2/5:2/5:1/5）の原子比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）あるいは In:Sn:Zn=2:1:5（=1/4:1/8:5/8）の原子比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0056】

例えば、In-Sn-Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0057】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（purified Oxide Semiconductor）は、i 型（真性半導体）又は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV

10

20

30

40

50

以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0058】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャンネル幅が $1 \times 10^6\ \mu\text{m}$ でチャンネル長が $10\ \mu\text{m}$ の素子であっても、ソース端子とドレイン端子間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャンネル幅で除した数値に相当するオフ電流は、 $100\text{ zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャンネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース端子とドレイン端子間の電圧が 3 V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャンネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0059】

なお、特に断りがない限り、本明細書でオフ電流とは、 n チャンネル型トランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも高い電位とした状態において、ソース端子の電位を基準としたときのゲート電極の電位が 0 以下であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、 p チャンネル型トランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも低い電位とした状態において、ソース端子の電位を基準としたときのゲート電極の電位が 0 以上であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。

【0060】

また、トランジスタのソース端子とは、活性層の一部であるソース領域、或いは活性層に接続されたソース電極を意味する。同様に、トランジスタのドレイン端子とは、活性層の一部であるドレイン領域、或いは活性層に接続されたドレイン電極を意味する。

【0061】

また、酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。好ましくは、酸化物半導体膜は、 CAAC-OS ($\text{C Axis Aligned Crystalline Oxide Semiconductor}$) 膜とする。

【0062】

CAAC-OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。 CAAC-OS 膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 ($\text{TEM: Transmission Electron Microscope}$) による観察像では、 CAAC-OS 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、 TEM によって CAAC-OS 膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、 CAAC-OS 膜は、粒界に起因する電子移動度の低下が抑制される。

【0063】

CAAC-OS 膜に含まれる結晶部は、 c 軸が CAAC-OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ ab 面に垂直な方向から見て三角形形状または六角形状の原子配列を有し、 c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 8

5°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0064】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0065】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

10

【0066】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0067】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

20

【0068】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0069】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80℃以下、好ましくは-100℃以下である成膜ガスを用いる。

30

【0070】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100℃以上740℃以下、好ましくは200℃以上500℃以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0071】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

40

【0072】

スパッタリング用ターゲットの一例として、In-Ga-Zn系酸化物ターゲットについて以下に示す。

【0073】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol数比で混合し、加圧処理後、1000℃以上1500℃以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系酸化物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2

50

：2：1、8：4：3、3：1：1、1：1：1、4：2：3または3：1：2である。
なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0074】

（実施の形態2）

次いで、本発明の一態様に係る液晶表示装置の、画素部の具体的な構成について、一例を挙げて説明する。

【0075】

図8（A）に、画素部10の構成例を示す。図8（A）では、画素部10に、走査線駆動回路によって電位が制御されるy本の走査線GL（GL1乃至GLy）と、信号線駆動回路によって電位が制御されるx本の信号線SL（SL1乃至SLx）とが設けられている。

10

【0076】

そして、走査線GLは、複数の画素11にそれぞれ接続されている。具体的に、各走査線GLは、マトリクス状に設けられた複数の画素11のうち、いずれかの行に設けられたx個の画素11に接続される。

【0077】

また、信号線SLは、画素部10においてx列y行に設けられた複数の画素11のうち、いずれかの列に設けられたy個の画素11に接続される。

【0078】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

20

【0079】

なお、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

【0080】

図8（B）に、画素11の回路図の一例を示す。図8（B）に示す画素11は、スイッチング素子として機能するトランジスタ12と、トランジスタ12を介して与えられた画像信号の電位に従って、その透過率が制御される液晶素子13と、容量素子14とを有する。

【0081】

液晶素子13は、画素電極と、共通電極と、画素電極と共通電極間の電圧が印加される液晶を含んだ液晶層とを有している。そして、容量素子14は、液晶素子13が有する画素電極と共通電極間の電圧を保持する機能を有している。

【0082】

液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、高分子分散型液晶（PDLC）に分類される液晶材料を用いることができる。

40

【0083】

また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相

50

の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

【0084】

また液晶の駆動方法としては、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード、IPS (In-Plane Switching) モード、OCB (Optically Compensated Birefringence) モード、FFS (Fringe Field Switching) モード、ブルー相モード、TBA (Transverse Bend Alignment) モード、VA-IPSモード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどを適用することが可能である。

【0085】

画素11は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0086】

具体的に、図8 (B) では、トランジスタ12のゲート電極が走査線GLに接続されている。トランジスタ12は、そのソース端子またはドレイン端子の一方が信号線SLに接続され、他方が液晶素子13の画素電極に接続されている。容量素子14は、一方の電極が液晶素子13の画素電極に接続されており、他方の電極が、特定の電位の与えられているノードに接続されている。なお、液晶素子13が有する共通電極にも特定の電位が与えられている。そして、共通電極に与えられる電位は、容量素子14が有する他方の電極に与えられる電位と共通であっても良い。

【0087】

なお、図8 (B) では、画素11において、一のトランジスタ12をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを用いていても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0088】

本明細書において、トランジスタが直列に接続されている状態とは、例えば、第1のトランジスタのソース端子またはドレイン端子の一方のみが、第2のトランジスタのソース端子またはドレイン端子の一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタのソース端子またはドレイン端子の一方が第2のトランジスタのソース端子またはドレイン端子の一方に接続され、第1のトランジスタのソース端子またはドレイン端子の他方が第2のトランジスタのソース端子またはドレイン端子の他方に接続されている状態を意味する。

【0089】

トランジスタ12が酸化物半導体をチャネル形成領域に含むことで、オフ電流が極めて小さく、なおかつ高耐圧であるトランジスタ12を実現することができる。そして、上記構成を有するトランジスタ12をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素

子 1 3 に蓄積された電荷のリークを防ぐことができる。

【0090】

オフ電流の極めて小さいトランジスタ 1 2 を用いることで、液晶素子 1 3 に与えられる電圧が保持される期間を長く確保することができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部 1 0 に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素部 1 0 への画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。例えば、高純度化された酸化物半導体を活性層に用いたトランジスタ 1 2 を用いることで、画像信号の書き込みの間隔を 1 0 秒以上、好ましくは 3 0 秒以上、さらに好ましくは 1 分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、消費電力をより低減することができる。

10

【0091】

また、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために、液晶素子 1 3 に容量素子 1 4 を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子 1 4 を設けないことによって、或いは容量素子 1 4 のサイズを小さくすることによって、開口率を高めることができるため、液晶表示装置の消費電力を低減させることができる。

【0092】

また、画像信号の電位の極性を、共通電極の電位を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶材料の劣化を防ぐことができる。しかし、反転駆動を行うと、画像信号の極性が変化する際に信号線 S L に与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ 1 2 のソース端子とドレイン端子の電位差が大きくなる。よって、トランジスタ 1 2 は、閾値電圧がシフトするなどの特性劣化が生じやすい。また、液晶素子 1 3 に保持されている電圧を維持するために、ソース端子とドレイン端子の電位差が大きくても、オフ電流が低いことが要求される。トランジスタ 1 2 に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いることで、トランジスタ 1 2 の耐圧性を高め、オフ電流を著しく小さくすることができる。よって、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ 1 2 の劣化を防ぎ、液晶素子 1 3 に保持されている電圧を維持することができる。

20

30

【0093】

次いで、図 8 (B) に示した画素 1 1 のレイアウトについて、図 5 及び図 6 を用いて説明する。図 5 は、画素 1 1 の上面図の一例である。また、図 6 (A) は、図 5 に示す上面図の、一点鎖線 D 1 - D 2 における断面図の一例に相当する。図 6 (B) は、図 5 に示す上面図の、一点鎖線 D 3 - D 4 における断面図の一例に相当する。ただし、図 5 では、画素 1 1 のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素 1 1 の上面図を示す。また、図 5 では、画素 1 1 が有する各種半導体素子のレイアウトを明確に示すために、液晶素子 1 3 が有する液晶層及び共通電極を省略して、画素 1 1 の上面図を示す。

【0094】

図 5 及び図 6 に示す画素 1 1 において、トランジスタ 1 2 は、絶縁表面を有する基板 2 0 2 上に、ゲート電極として機能する導電膜 2 0 3 と、導電膜 2 0 3 上のゲート絶縁膜 2 0 4 と、導電膜 2 0 3 と重なる位置においてゲート絶縁膜 2 0 4 上に位置する半導体膜 2 0 5 と、導電膜 2 0 3 と重なる位置において半導体膜 2 0 5 上に位置し、チャネル保護膜として機能する絶縁膜 2 0 6 と、ソース端子またはドレイン端子として機能し、半導体膜 2 0 5 上に位置する導電膜 2 0 7 及び導電膜 2 0 8 とを有する。

40

【0095】

導電膜 2 0 3 はトランジスタ 1 2 のゲート電極に電位を与える走査線としても機能する。また、導電膜 2 0 7 は、画像信号の電位を画素 1 1 に与える信号線としても機能する。

【0096】

容量素子 1 4 は、絶縁表面を有する基板 2 0 2 上に、導電膜 2 1 0 と、導電膜 2 1 0 上の

50

ゲート絶縁膜 204 及び半導体膜 205 と、導電膜 210 と重なる位置においてゲート絶縁膜 204 及び半導体膜 205 上に位置する導電膜 211 とを有する。

【0097】

また、導電膜 207、導電膜 208、及び導電膜 211 上には絶縁膜 212 が設けられている。そして、絶縁膜 212、半導体膜 205、及びゲート絶縁膜 204 には、開口部 213 及び開口部 214 が設けられている。

【0098】

開口部 213 は、導電膜 207 または導電膜 208 と、導電膜 211 との間に設けられている。また、開口部 213 が形成されている領域の一部は、導電膜 208 が形成されている領域の一部、及び導電膜 210 が形成されている領域の一部と重なっている。開口部 213 において、導電膜 208 上の絶縁膜 212 と、導電膜 210 上の絶縁膜 212、半導体膜 205、及びゲート絶縁膜 204 とが除去されており、導電膜 208 及び導電膜 210 は、導電膜 208 及び導電膜 210 上の導電膜 215 により電氣的に接続されている。

10

【0099】

また、開口部 214 において、導電膜 210 上の絶縁膜 212、半導体膜 205、及びゲート絶縁膜 204 が除去されており、導電膜 210 は、画素電極として機能する導電膜 216 と接続されている。なお、導電膜 216 は、開口部 214 における導電膜 210 上のみならず、絶縁膜 212 上にも設けられている。

【0100】

また、開口部 214 において、導電膜 203 上の絶縁膜 212、半導体膜 205、及びゲート絶縁膜 204 も除去されている。上記構成により、導電膜 203、ゲート絶縁膜 204、及び半導体膜 205 が重なる領域に形成される寄生容量を、小さくすることができる。

20

【0101】

また、絶縁膜 212 上において導電膜 211 と重なる位置に、スペーサとして機能する絶縁膜 217 が設けられている。

【0102】

なお、図 5 及び図 6 では、開口部 213 が形成されている領域の一部は、導電膜 208 が形成されている領域の一部、及び導電膜 210 が形成されている領域の一部と重なっている場合を例示している。この場合、導電膜 208 及び導電膜 215 の接続と、導電膜 210 及び導電膜 215 の接続とは、共に開口部 213 において行われることとなる。しかし、本発明の一態様では、導電膜 208 及び導電膜 215 の接続と、導電膜 210 及び導電膜 215 の接続とが、互いに異なる開口部で行われていても良い。

30

【0103】

図 7 に、導電膜 208 及び導電膜 210 と導電膜 215 との接続箇所における、画素 11 の断面図の一例を示す。図 7 では、絶縁膜 212 に設けた開口部 213 a において、導電膜 208 と導電膜 215 が接続されている。また、絶縁膜 212、半導体膜 205、及びゲート絶縁膜 204 に設けた開口部 213 b において、導電膜 210 と導電膜 215 が接続されている。

【0104】

ただし、図 5 及び図 6 のように、導電膜 208 及び導電膜 215 の接続と、導電膜 210 及び導電膜 215 の接続とが、共に開口部 213 において行われる場合、複数の開口部を形成するための領域を確保する必要がないので、画素部 10 の高精細化を実現することができる。

40

【0105】

なお、図 5 及び図 6 では、画素電極として機能する導電膜 216 上に、液晶層及び共通電極が順に設けられる場合の画素 11 のレイアウトを示しているが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。画素 11 は、IPS 型の液晶素子やブルー相を用いた液晶素子のように、画素電極と共通電極の上に液晶層が設けられている構造を有していても良い。

50

【0106】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0107】

(実施の形態3)

本実施の形態では、図5及び図6に示した画素11を例に挙げて、本発明の一態様に係る液晶表示装置の作製方法について説明する。

【0108】

まず、図9(A)に示すように、絶縁表面を有する基板202上に、ゲート電極として機能する導電膜203と、容量素子14の電極として機能する導電膜210とを形成する。

【0109】

絶縁表面を有する基板202として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0110】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。ただし、液晶表示装置が透過型または半透過型である場合、基板202に透光性を有する基板を用いる。

【0111】

導電膜203、導電膜210の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、ニオブ等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【0112】

例えば、2層の構造を有する導電膜203、導電膜210として、チタン膜上に銅膜が積層された2層の構造、アルミニウム膜上にモリブデン膜が積層された2層の構造、銅膜上にモリブデン膜を積層した2層の構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した2層の構造、または、窒化チタン膜とモリブデン膜とを積層した2層の構造とすることが好ましい。3層の構造を有する導電膜203、導電膜210としては、例えば、窒化チタン膜と、銅膜と、タングステン膜とを積層した3層の構造とすることが好ましい。

【0113】

また、導電膜203、導電膜210に酸化インジウム、酸化インジウム-酸化スズ、酸化インジウム-酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する金属酸化物を用いることもできる。

【0114】

導電膜203、導電膜210の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、スパッタ法により膜厚200nmのタングステン膜を形成した後、該タングステン膜を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工（パターニング）することで、導電膜203、導電膜210を形成する。なお、形成された導電膜203及び導電膜210の端部がテーパ形状であると、上に積層するゲート絶縁膜204の被覆性が向上するため好ましい。なお、レジストマスクを

10

20

30

40

50

インクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

【0115】

なお、本実施の形態では、基板202上に直接導電膜203及び導電膜210を形成する場合を例示しているが、基板202上に下地膜として機能する絶縁膜を形成してから、上記下地膜上に導電膜203及び導電膜210を形成しても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか1つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板202内に含まれるアルカリ金属、重金属などの不純物が、後に形成される半導体膜205内、ゲート絶縁膜204内、或いは、半導体膜205と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

10

【0116】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0117】

なお、図11は、上述の工程が終了した時点での、液晶表示装置の上面図である。図11の一点鎖線A1-A2における断面図が、図9(A)に相当する。

20

【0118】

次いで、図9(B)に示すように、導電膜203及び導電膜210上に、ゲート絶縁膜204を形成する。ゲート絶縁膜204は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ガリウム膜、酸化ランタン膜、または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜204は、水分、水素などの不純物を極力含まないことが望ましい。

【0119】

ゲート絶縁膜204は、単層の絶縁膜で構成されていても良いし、複数の絶縁膜が積層されることで構成されていても良い。いずれにしても、化学量論的組成を超える量の酸素を含む絶縁膜が、後に形成される半導体膜205と接するように、ゲート絶縁膜204を形成することが望ましい。上記構成により、ゲート絶縁膜204から半導体膜205に酸素を供給することができるので、良好な電気的特性を有するトランジスタ12を得ることができる。

30

【0120】

また、バリア性の高い絶縁膜と、酸素を含む絶縁膜とを積層させた構造を有するゲート絶縁膜204を形成する場合、バリア性の高い絶縁膜は、酸素を含む絶縁膜と、導電膜203及び導電膜210との間に設けることが望ましい。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板202内に含まれるアルカリ金属、重金属などの不純物が、半導体膜205内、ゲート絶縁膜204内、或いは、半導体膜205と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。

40

【0121】

ゲート絶縁膜204の膜厚は、トランジスタに要求される特性によって適宜設定すればよく、例えば1nm以上800nm以下、好ましくは200nm以上500nm以下とする。ゲート絶縁膜204を厚く形成することで、トランジスタ12の耐圧を向上させることができる。本実施の形態では、プラズマCVD法で形成された膜厚100nmの酸化窒化

50

珪素膜をゲート絶縁膜 204 として用いる。

【0122】

次いで、図 9 (B) に示すように、ゲート絶縁膜 204 上に膜厚 2 nm 以上 200 nm 以下、好ましくは膜厚 3 nm 以上 50 nm 以下、さらに好ましくは膜厚 3 nm 以上 20 nm 以下の半導体膜 205 を形成する。半導体膜 205 は、酸化物半導体をターゲットとして用い、スパッタ法により形成する。また、半導体膜 205 は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0123】

なお、酸化物半導体膜をスパッタ法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜 204 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0124】

半導体膜 205 に用いる酸化物半導体として、上述したように、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物（IGZO とも表記する）、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物などが挙げられる。

【0125】

なお、例えば、半導体膜 205 は、In（インジウム）、Ga（ガリウム）、及び Zn（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn 系の半導体膜 205 をスパッタリング法で形成する場合、好ましくは、原子数比が In:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または 3:1:4 で示される In-Ga-Zn 系酸化物のターゲットを用いる。前述の原子数比を有する In-Ga-Zn 系酸化物のターゲットを用いて酸化物半導体膜を形成することで、多結晶または CAC が形成されやすくなる。また、In、Ga、及び Zn を含むターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上 100% 未満である。充填率の高いターゲットを用いることにより、形成した酸化物半導体膜は緻密な膜となる。

【0126】

なお、酸化物半導体として In-Zn 系酸化物を用いる場合、用いるターゲットの組成は、原子数比で、In:Zn=50:1~1:2（モル数比に換算すると In₂O₃:ZnO=25:1~1:4）、好ましくは In:Zn=20:1~1:1（モル数比に換算すると In₂O₃:ZnO=10:1~1:2）、さらに好ましくは In:Zn=1.5:1~15:1（モル数比に換算すると In₂O₃:ZnO=3:4~15:2）とする。例えば、In-Zn 系酸化物である半導体膜 205 の形成に用いるターゲットは、原子数比が In:Zn:O=X:Y:Z のとき、Z>1.5X+Y とする。Zn の比率を上記範

10

20

30

40

50

囲に収めることで、移動度の向上を実現することができる。

【0127】

また、酸化物半導体として In-Sn-Zn 系酸化物の材料を用いる場合、用いるターゲットの組成は、 $\text{In}:\text{Sn}:\text{Zn}$ の原子数比を、 $1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 、または $20:45:35$ とすれば良い。

【0128】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板202上に酸化物半導体膜を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水 (H_2O) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で形成した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0129】

なお、 CAAC-Os で構成される半導体膜205を形成する方法として、三つ挙げられる。一つめは、成膜温度を 200°C 以上 450°C 以下として半導体膜205の形成を行う方法である。二つめは、半導体膜205を薄い膜厚で形成した後、 200°C 以上 700°C 以下の熱処理を行う方法である。三つめは、一層目の酸化物半導体膜を薄く形成した後、 200°C 以上 700°C 以下の熱処理を行い、さらに2層目の酸化物半導体膜の形成を行うことで、半導体膜205を形成する方法である。

【0130】

本実施の形態では、基板202とターゲットの距離を 100mm 、圧力 0.4Pa 、直流 (DC) 電源 0.5kW 、基板温度 250°C とし、アルゴンと酸素の流量がそれぞれ 30sccm 、 15sccm の雰囲気下において、 In-Ga-Zn 系酸化物半導体を含む、膜厚 25nm の半導体膜205の形成を行う。

【0131】

なお、半導体膜205に水素、水酸基及び水分がなるべく含まれないようにするために、形成の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜204までが形成された基板202を予備加熱し、基板202に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、 100°C 以上 400°C 以下、好ましくは 150°C 以上 300°C 以下である。

【0132】

なお、スパッタ等で形成された半導体膜205中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、半導体膜205を形成した後、半導体膜205中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、半導体膜205に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下で、加熱処理を施す。

【0133】

半導体膜205に加熱処理を施すことで、半導体膜205中の水分又は水素を脱離させることができる。具体的には、 250°C 以上 750°C 以下、好ましくは 400°C 以上基板の歪み点未満の温度で加熱処理を行えば良い。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、超乾燥エア雰囲気下において、 450°C で1時間程度、加熱処理を行う。

【0134】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas

10

20

30

40

50

Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0135】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0136】

以上の工程により、半導体膜205中の水分又は水素の濃度を低減することができる。なお、半導体膜205では、上記加熱処理により水分又は水素が除去されると共に、酸素の脱離による酸素欠損が増加している恐れがある。そこで、上記加熱処理の後に、半導体膜205に酸素を供給する処理を行い、酸素欠損を低減させることが望ましい。

【0137】

水分又は水素の濃度が低減され、なおかつ酸素欠損が低減されることで高純度化された半導体膜205を用いることで、耐圧性が高く、オフ電流の著しく小さいトランジスタ12を作製することができる。

20

【0138】

例えば、酸素を含むガス雰囲気下において加熱処理を行うことで、半導体膜205に酸素を供給することができる。酸素を供給するための加熱処理は、上述した、水分又は水素の濃度を低減するための加熱処理と同様の条件で行えば良い。ただし、酸素を供給するための加熱処理は、酸素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55℃)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)などの雰囲気下において行う。

30

【0139】

上記酸素を含むガスには、水、水素などの濃度が低いことが好ましい。具体的には、酸素を含むガス内に含まれる不純物濃度を、1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

【0140】

或いは、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いて、半導体膜205に酸素を供給することができる。上記方法を用いて酸素を半導体膜205に供給した後、半導体膜205に含まれる結晶部が損傷を受けた場合は、加熱処理を行い、損傷を受けた結晶部を修復するようにしても良い。

40

【0141】

半導体膜205を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0142】

次いで、図9(C)に示すように、半導体膜205上に絶縁膜を形成した後、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、チャネル保護膜として機能する島状の絶縁膜206を形成する。絶縁膜206は、半導体膜205上において導電膜203と重なる位置に設ける。

50

【0143】

絶縁膜206の膜厚は、50nm以上600nm以下、好ましくは100nm以上400nm以下とする。そして、絶縁膜206は、ゲート絶縁膜204と同様の構造、材料を用いて形成することができる。そして、絶縁膜206は、ゲート絶縁膜204と同様に、水分、水素などの不純物を極力含まないことが望ましく、なおかつ、化学量論的組成を超える量の酸素を含むことが望ましい。上記構成により、半導体膜205中における水分、水素などの不純物の濃度を低く抑え、なおかつ絶縁膜206から半導体膜205に酸素を供給することができるので、良好な電気的特性を有するトランジスタ12を得ることができる。

【0144】

本実施の形態では、プラズマCVD法にて形成した膜厚300nmの酸化窒化珪素膜を、絶縁膜206として用いる。

【0145】

なお、絶縁膜206として、少なくともInまたはZnの一方を含む金属酸化物であり、なおかつ、Ti、Zr、Hf、Ge、Ceなどを含むことで、半導体膜205よりも絶縁性の高まった、金属酸化物を用いても良い。

【0146】

例えば、In-M₁-M₂-Zn系酸化物を、絶縁膜206に用いても良い。ただし、元素M₁は、3A族、3B族、及び4A族に含まれる元素のうち、3価の元素である。元素M₂は4A族、及び4B族に含まれる元素のうち、4価の元素である。具体的に、元素M₁にGaを用いる場合、In-M₁-M₂-Zn系酸化物において、3価のGaの一部が、4価の元素で置き換えられることになる。4価の元素は3価の元素よりも一本結合手が多いので、3価の元素の一部を4価の元素に置き換えることで、In-M₁-M₂-Zn系酸化物を構成する金属元素(M₁またはM₂)と酸素の結合力を高めることができる。よって、In-M₁-M₂-Zn系酸化物を絶縁膜206に用いることで、絶縁膜206の絶縁性を高めることができる。具体的に、元素M₂として、Ti、Zr、Hf、Ge、Ceなどが挙げられる。

【0147】

例えば、In:Zr:Ga:Zn=3:0.05:0.95:2のターゲットを用いて、スパッタリング法により、In-M₁-M₂-Zn系酸化物を用いた絶縁膜206を形成すれば良い。

【0148】

また、例えば、化学式InMZnO_xで表されるIn-M-Zn系酸化物を絶縁膜206に用いても良い。元素Mとして、In-M-Zn系酸化物の絶縁性が、半導体膜205を構成する金属酸化物の絶縁性よりも高くなるような元素を適用する。例えば、元素Mとして、Ti、Zr、Hf、Ge、Ceなどの4価の元素を適用することができる。4価の元素は3価の元素よりも一本結合手が多いので、これら4価の元素を元素Mとして用いたIn-M-Zn系酸化物は、元素Mと酸素の結合力が高い。よって、In-M-Zn系酸化物を絶縁膜206に用いることで、絶縁膜206の絶縁性を高めることができる。

【0149】

例えば、元素MとしてZrを用いたIn-Zr-Zn系酸化物のエネルギーギャップは、In-Ga-Zn系酸化物のエネルギーギャップ(約3.2eV)よりも大きくなる。すなわち、In-Zr-Zn系酸化物はIn-Ga-Zn系酸化物よりも絶縁性が高いと言える。

【0150】

また、イットリウムはGaよりも電気陰性度が小さい。そのため、In-M₁-M₂-Zn系酸化物において、元素M₂をイットリウムとすると、酸素と元素M₂の電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素M₂をイットリウムとしても、In-M₁-M₂-Zn系酸化物を用いた絶縁膜206の絶縁性を高めることができる。また、In-M-Zn系

10

20

30

40

50

酸化物において、元素Mをイットリウムとすると、酸素と元素Mの電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素Mをイットリウムとしても、 $\text{In}-\text{M}-\text{Zn}$ 系酸化物を用いた絶縁膜206の絶縁性を高めることができる。

【0151】

なお、本明細書において、「エネルギーギャップ」という用語は、「バンドギャップ」や、「禁制帯幅」と同じ意味で用いている。また、バンドギャップの値は、材料の単膜のエリプソで測定して得られる値を用いる。

【0152】

また、 $\text{In}-\text{M}-\text{Zn}$ 系酸化物中の元素Mの含有量は、Inの含有量の0.3倍以上1.3倍未満である。また、 $\text{In}-\text{M}-\text{Zn}$ 系酸化物中の元素Mの含有量は、Znの含有量の0.3倍以上1.3倍未満である。元素Mに対するInまたはZnの相対的な数が少ないほど、より絶縁性の高い絶縁膜206を得ることができる。

【0153】

具体的には、元素Mを含ませた金属酸化物材料をスパッタリング法で形成する場合、好ましくは原子数比が $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $3:1:3$ 、 $3:2:4$ 、 $2:1:3$ 、 $4:5:4$ 、または $4:2:3$ で示される金属酸化物ターゲットを用いる。

【0154】

$\text{In}-\text{M}-\text{Zn}$ 系酸化物や、 $\text{In}-\text{M}_1-\text{M}_2-\text{Zn}$ 系酸化物を絶縁膜206に用いることで、絶縁膜206と半導体膜205の界面の状態を良好に保つことができ、トランジスタ12の電気的特性を良好にすることができる。

【0155】

なお、絶縁膜206を形成するためのエッチングにより露出した半導体膜205の表面には、不純物が付着しやすい。上記不純物には、エッチングに用いたエッチングガスまたはエッチング液を構成する元素、或いはエッチングを行った処理室内に存在する元素などが含まれる。上記不純物として、具体的には、ボロン、塩素、フッ素、炭素、アルミニウムなどが挙げられる。

【0156】

上記不純物が半導体膜205の表面に付着すると、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化がもたらされやすい。また、半導体膜205に寄生チャネルが生じやすくなり、電氣的に分離されるべき導電膜が半導体膜205を介して電氣的に接続されやすくなる。そこで、本発明の一態様では、絶縁膜206を形成するためのエッチングが終了した後、半導体膜205及び絶縁膜206の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【0157】

洗浄処理は、TMAH（水酸化テトラメチルアンモニウム）溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、50重量%フッ酸を、水で $1/10^2$ 乃至 $1/10^5$ に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が0.5重量%乃至 5×10^{-4} 重量%の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜205及び絶縁膜206の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜205に付着した不純物を、半導体膜205の一部とともに除去することができる。

【0158】

次いで、半導体膜205上に、スパッタ法や真空蒸着法で導電膜を形成したあと、フォトリソグラフィ法を用いたエッチングにより当該導電膜をパターニングすることで、図9（D）に示すように、半導体膜205上において、絶縁膜206を間に挟む様に設けられた導電膜207及び導電膜208と、導電膜210と重なる位置においてゲート絶縁膜204及び半導体膜205上に設けられた導電膜211とを、それぞれ形成する。導電膜207及び導電膜208は、トランジスタ12のソース電極またはドレイン電極として機能す

10

20

30

40

50

る。また、導電膜 211 は容量素子 14 の電極として機能する。

【0159】

導電膜 207、導電膜 208、及び導電膜 211 は、導電膜 203 及び導電膜 210 と同様の構造、材料を用いることができる。導電膜 207、導電膜 208、及び導電膜 211 の形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。本実施の形態では、導電膜 207、導電膜 208、及び導電膜 211 として、膜厚 150 nm のタンゲステン膜を用いる。

【0160】

なお、導電膜 207、導電膜 208、及び導電膜 211 を形成するためのエッチングの際に、半導体膜 205 になるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、半導体膜 205 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0161】

本実施の形態では、ICP エッチング法によるドライエッチングを用いて、導電膜 207、導電膜 208、及び導電膜 211 を形成する。具体的には、エッチングガスである六フッ化硫黄の流量を 50 sccm、反応圧力 1.5 Pa、下部電極の温度 70℃、コイル型の電極に投入する RF (13.56 MHz) 電力を 500 W、下部電極（バイアス側）に投入する電力を 50 W とした後、エッチングガスである三塩化ホウ素の流量を 60 sccm、塩素の流量 20 sccm、反応圧力 1.9 Pa、下部電極の温度 21℃、コイル型の電極に投入する RF (13.56 MHz) 電力 450 W、下部電極（バイアス側）に投入する電力 100 W となるように、途中で条件を変更してドライエッチングを行う。

【0162】

なお、フォトリソグラフィ法で用いるマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、工程の簡略化が可能となる。

【0163】

なお、導電膜 207、導電膜 208、及び導電膜 211 を形成するためのエッチングにより露出した半導体膜 205 及び絶縁膜 206 の表面には、ボロン、塩素、フッ素、炭素、アルミニウムなどの不純物が付着しやすい。さらに、上記不純物には、導電膜 207、導電膜 208、及び導電膜 211 を構成する元素も含まれる場合がある。

【0164】

上記不純物が半導体膜 205 の表面に付着すると、上述したように、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化をもたらされやすい。また、半導体膜 205 に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜が半導体膜 205 を介して電気的に接続されやすくなる。そこで、本発明の一態様では、導電膜 207、導電膜 208、及び導電膜 211 を形成するためのエッチングが終了した後、半導体膜 205 及び絶縁膜 206 の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【0165】

洗浄処理は、TMAH 溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、50 重量% フッ酸を、水で 1/10² 乃至 1/10⁵ に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が 0.5 重量% 乃至 5×10⁻⁴ 重量% の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜 205 及び絶縁膜 206 の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜 205 に付着

した不純物を、半導体膜 205 の一部とともに除去することができる。

【0166】

なお、本実施の形態では、エッチング後における不純物除去を目的とした洗浄処理を、絶縁膜 206 の形成後と、導電膜 207、導電膜 208、及び導電膜 211 の形成後の 2 回行う場合について説明したが、本発明の一態様では、上記洗浄処理をいずれか 1 回のみとしても良い。

【0167】

なお、図 12 は、上述の工程が終了した時点での、液晶表示装置の上面図である。図 12 の一点鎖線 A1-A2 における断面図が、図 9 (D) に相当する。

【0168】

次いで、図 10 (A) に示すように、半導体膜 205 と、絶縁膜 206 と、導電膜 207 及び導電膜 208 と、導電膜 211 とを覆うように、絶縁膜 212 を形成する。絶縁膜 212 は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜 212 に水素が含まれると、その水素が半導体膜 205 に侵入し、又は水素が半導体膜 205 中の酸素を引き抜き、半導体膜 205 の表面近傍が低抵抗化 (n 型化) してしまう。そして、低抵抗化した半導体膜 205 の表面近傍には寄生チャネルが形成されやすく、寄生チャネルにより導電膜 208 と導電膜 211 が電氣的に接続されるおそれがある。よって、絶縁膜 212 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0169】

なお、上記洗浄処理を行った場合でも、絶縁膜 212 を形成する前に基板 202 を大気にさらすと、大気中に含まれる炭素などの不純物が、半導体膜 205 及び絶縁膜 206 の表面に付着することがある。そこで、本発明の一態様では、絶縁膜 212 を形成するための処理室内において、絶縁膜 212 を形成する前に、半導体膜 205 及び絶縁膜 206 の表面に付着した炭素などの不純物を、酸素、一酸化二窒素、もしくは希ガス (代表的にはアルゴン) などを用いたプラズマ処理により洗浄し、炭素などの不純物を除去するようにしても良い。そして、プラズマ処理による不純物の除去を行った後、基板 202 を大気にさらすことなく、絶縁膜 212 を形成することで、半導体膜 205 及び絶縁膜 206 と絶縁膜 212 の界面近傍に不純物が入り込むのを防ぎ、トランジスタのオフ電流の増加、或いはトランジスタの電氣的特性の劣化を防ぐことができる。

【0170】

また、上記絶縁膜 212 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、酸素を含む酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、半導体膜 205 に近い側に形成する。そして、酸素を含む絶縁膜を間に挟んで、半導体膜 205 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、半導体膜 205 内、ゲート絶縁膜 204 内、或いは、半導体膜 205 と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

【0171】

また、複数の積層された絶縁膜を絶縁膜 212 として用いる場合、1 層目以外の絶縁膜として、例えば、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、アルミナ等を用いることができる。シロキサン系樹脂は、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される材料である。置換基として、水素の他、フッ素、フルオロ基、有機基 (例えばアルキル基、芳香族炭化水素) のうち、少なくとも 1 種を有していても良い。そして、絶縁膜 212 の形成には、その材料に応じて、CVD 法、スパッタ法、

10

20

30

40

50

スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、印刷法（スクリーン印刷、オフセット印刷等）などの方法で形成する。また、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いて形成しても良い。或いは、1層目以外の絶縁膜として、有機シランを用いて化学気相成長法により作製される酸化珪素膜を用いることもできる。有機シランとしては、珪酸エチル（TEOS： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、トリメチルシラン（TMS： $(\text{CH}_3)_3\text{SiH}$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等を用いることができる。

10

【0172】

本実施の形態では、スパッタ法で形成された膜厚300nmの酸化珪素膜を絶縁膜212として用いる。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。

【0173】

次いで、図10（B）に示すように、ゲート絶縁膜204、半導体膜205、及び絶縁膜212を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、開口部213及び開口部214を形成する。

【0174】

本実施の形態では、ICPエッチング法によるドライエッチングを用いて、ゲート絶縁膜204、半導体膜205、及び絶縁膜212をパターニングする。具体的には、エッチングガスであるトリフルオロメタン、ヘリウム、メタンの流量をそれぞれ22.5sccm、127.5sccm、5sccm、反応圧力を3.5Pa、下部電極の温度21℃、コイル型の電極に投入するRF（13.56MHz）電力を475W、下部電極（バイアス側）に投入する電力を300Wとして、ドライエッチングを行う。

20

【0175】

開口部213が形成される領域は、導電膜208が形成されている領域の一部、及び導電膜210が形成されている領域の一部と重なっているため、開口部213において導電膜208及び導電膜210は部分的に露出する。また、開口部214が形成される領域は、導電膜210が形成されている領域の一部と重なっているため、開口部214において導電膜210は部分的に露出する。

30

【0176】

なお、図13は、上述の工程が終了した時点での、液晶表示装置の上面図である。図13の一点鎖線A1-A2における断面図が、図10（B）に相当する。

【0177】

次いで、図10（C）に示すように、開口部213において導電膜208及び導電膜210と接する導電膜215と、開口部214において導電膜210と接する導電膜216とを形成する。導電膜216は画素電極として機能し、その一部は絶縁膜212上にも設けられている。

【0178】

導電膜215及び導電膜216は、透過型の液晶表示装置の場合、透光性を有する導電性材料で形成することが望ましい。また、導電膜215及び導電膜216は、反射型の液晶表示装置の場合、光を反射する導電性材料で形成することが望ましい。

40

【0179】

具体的に導電膜215及び導電膜216として、酸化インジウム、酸化インジウム－酸化スズ（ITO：Indium Tin Oxide）、珪素若しくは酸化珪素を含有した酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛（Indium Zinc Oxide）、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、窒素を含ませたAl-Zn系酸化物半導体、窒素を含ませたZn系酸化物半導体、窒素を含ませたSn-Zn系酸化物半導体、金（Au）、白金（Pt）、ニッケル（Ni）、タングステン（W）

50

、クロム（C r）、モリブデン（M o）、鉄（F e）、コバルト（C o）、銅（C u）、パラジウム（P d）、チタン（T i）の他、元素周期表の第 1 族または第 2 族に属する元素、すなわちリチウム（L i）やセシウム（C s）等のアルカリ金属、およびマグネシウム（M g）、カルシウム（C a）、ストロンチウム（S r）等のアルカリ土類金属、およびこれらを含む合金（M g A g、A l L i）、ユウロビウム（E u）、イッテルビウム（Y b）等の希土類金属およびこれらを含む合金などを用いることができる。なお、導電膜 2 1 5 及び導電膜 2 1 6 は、例えばスパッタリング法や蒸着法（真空蒸着法を含む）等により上記材料を用いて導電膜を形成した後、フォトリソグラフィ法を用いたエッチングにより当該導電膜を所望の形状に加工することで、形成することができる。

【0180】

10

上記工程の後、スペーサとして機能する絶縁膜を絶縁膜 2 1 2 上に形成し、画素電極として機能する導電膜 2 1 6 と、別途用意した対向電極とを、間に液晶層が挟まるように対峙させることで、液晶表示装置を作製することができる。

【0181】

なお、本実施の形態では、トランジスタ 1 2 がシングルゲート構造である場合を例示しているが、必要に応じて、電氣的に接続された複数の導電膜 2 0 3 を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0182】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0183】

20

（実施の形態 4）

次いで、本発明の一態様に係る液晶表示装置のパネルの外観について、図 1 4 を用いて説明する。図 1 4（A）は、基板 4 0 0 1 と対向基板 4 0 0 6 とをシール材 4 0 0 5 によって接着させたパネルの上面図であり、図 1 4（B）は、図 1 4（A）の一点鎖線 E 1－E 2 における断面図に相当する。

【0184】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むように、シール材 4 0 0 5 が設けられている。また、画素部 4 0 0 2、走査線駆動回路 4 0 0 4 の上に対向基板 4 0 0 6 が設けられている。よって、画素部 4 0 0 2 と走査線駆動回路 4 0 0 4 は、基板 4 0 0 1 とシール材 4 0 0 5 と対向基板 4 0 0 6 とによって、液晶層 4 0 0 7 と共に封止されている。

30

【0185】

また、基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、信号線駆動回路 4 0 0 3 が形成された基板 4 0 2 1 が、実装されている。図 1 4 では、信号線駆動回路 4 0 0 3 に含まれるトランジスタ 4 0 0 9 を例示している。なお、本実施の形態では、走査線駆動回路 4 0 0 4 が画素部 4 0 0 2 と共に基板 4 0 0 1 上に形成されている場合を例示しているが、別の基板に形成された走査線駆動回路 4 0 0 4 が基板 4 0 0 1 に実装されていても良い。また、本実施の形態では、基板 4 0 2 1 に形成された信号線駆動回路 4 0 0 3 が基板 4 0 0 1 に実装されている場合を例示しているが、信号線駆動回路 4 0 0 3 が画素部 4 0 0 2 と共に基板 4 0 0 1 上に形成されていても良い。或いは、信号線駆動回路 4 0 0 3 の一部、または走査線駆動回路 4 0 0 4 の一部が、画素部 4 0 0 2 と共に基板 4 0 0 1 上に形成されていても良い。

40

【0186】

また、基板 4 0 0 1 上に設けられた画素部 4 0 0 2、走査線駆動回路 4 0 0 4 は、トランジスタを複数有している。図 1 4（B）では、画素部 4 0 0 2 に含まれるトランジスタ 4 0 1 0 を図示している。液晶素子 4 0 1 1 が有する画素電極 4 0 3 0 は、トランジスタ 4 0 1 0 に接続されている。そして、液晶素子 4 0 1 1 の対向電極 4 0 3 1 は、対向基板 4 0 0 6 に形成されている。画素電極 4 0 3 0 と対向電極 4 0 3 1 と液晶層 4 0 0 7 とが重なっている部分が、液晶素子 4 0 1 1 に相当する。

【0187】

50

また、対向基板 4006 に形成されている遮蔽膜 4040 は、トランジスタ 4010 が形成されている領域と重なっている。また、対向基板 4006 には、カラーフィルタとして機能する、特定の波長領域の可視光のみを優先的に透過する着色層 4041 が形成されており、着色層 4041 は、液晶素子 4011 が形成されている領域と重なっている。

【0188】

赤、青、緑に対応する波長領域の光を、それぞれ優先的に透過するような着色層 4041 を画素ごとに設けることで、フルカラーの画像を表示することができる。この場合、白の光が得られるバックライトを用いることが、画像の有する色の純度を高める上で望ましい。白の光が得られるバックライトとして、例えば、赤の光源と青の光源と緑の光源を組み合わせた構成、黄または橙の光源と青の光源を組み合わせた構成、白の光源を単体で用いる構成、シアンとマゼンタの光源と黄の光源を組み合わせた構成などを、用いることができる。

10

【0189】

或いは、バックライトから、赤、青、緑に対応する波長領域の光を順に出力するようにしても良い。この場合、カラーフィルタを用いなくともフルカラーの画像を表示することができ、液晶表示装置の発光効率を高めることができる。

【0190】

また、バックライトに用いる光源として、冷陰極管の他、LED、OLEDなどの発光素子を用いることができる。ただし、光源によって得られる光の波長が異なるので、必要とする色に合わせて適宜用いる光源を選択すると良い。

20

【0191】

なお、図14では、遮蔽膜 4040 と着色層 4041 とを、対向基板 4006 側に設けた場合を例示しているが、遮蔽膜 4040 または着色層 4041 を、基板 4001 側に設けても良い。液晶素子 4011 への光の入射方向と、液晶素子 4011 を透過した光の射出方向とに合わせて、適宜、遮蔽膜 4040 と着色層 4041 の設ける位置を定めることができる。

【0192】

また、スペーサ 4035 が、画素電極 4030 と対向電極 4031 との間の距離（セルギャップ）を制御するために設けられている。なお、図14（B）では、スペーサ 4035 が、絶縁膜をパターンニングすることで形成されている場合を例示しているが、球状スペーサを用いていても良い。

30

【0193】

また、信号線駆動回路 4003、走査線駆動回路 4004、画素部 4002 に与えられる各種信号及び電位は、引き回し配線 4014 及び 4015 を介して、接続端子 4016 から供給されている。接続端子 4016 は、FPC 4018 が有する端子と異方性導電膜 4019 を介して電氣的に接続されている。

【0194】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0195】

（実施の形態5）

40

図15は、液晶表示装置の構造を示す、斜視図の一例である。図15に示す液晶表示装置は、一对の基板間に画素部が形成されたパネル 1601 と、第1の拡散板 1602 と、プリズムシート 1603 と、第2の拡散板 1604 と、導光板 1605 と、複数の光源 1607 を有するバックライト 1620 と、反射板 1606 と、回路基板 1608 と、信号線駆動回路の形成された基板 1611 とを有している。

【0196】

パネル 1601 と、第1の拡散板 1602 と、プリズムシート 1603 と、第2の拡散板 1604 と、導光板 1605 と、反射板 1606 とは、順に積層されている。バックライト 1620 は導光板 1605 の端部に配置されている。導光板 1605 内部に拡散された光源 1607 からの光は、第1の拡散板 1602、プリズムシート 1603 及び第2の拡

50

散板 1 6 0 4 によって、均一にパネル 1 6 0 1 に照射される。

【0 1 9 7】

なお、本実施の形態では、第 1 の拡散板 1 6 0 2 と第 2 の拡散板 1 6 0 4 とを用いているが、拡散板の数はこれに限定されず、単数であっても 3 以上であっても良い。そして、拡散板は導光板 1 6 0 5 とパネル 1 6 0 1 の間に設けられていれば良い。よって、プリズムシート 1 6 0 3 よりもパネル 1 6 0 1 に近い側にのみ拡散板が設けられていても良いし、プリズムシート 1 6 0 3 よりも導光板 1 6 0 5 に近い側にのみ拡散板が設けられていても良い。

【0 1 9 8】

またプリズムシート 1 6 0 3 は、図 1 5 に示した断面が鋸歯状の形状に限定されず、導光板 1 6 0 5 からの光をパネル 1 6 0 1 側に集光できる形状を有していれば良い。

10

【0 1 9 9】

回路基板 1 6 0 8 には、パネル 1 6 0 1 に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図 1 5 では、回路基板 1 6 0 8 とパネル 1 6 0 1 とが、COF テープ 1 6 0 9 を介して接続されている。また、信号線駆動回路の形成された基板 1 6 1 1 が、COF (Chip On Film) 法を用いて COF テープ 1 6 0 9 に接続されている。

【0 2 0 0】

図 1 5 では、バックライト 1 6 2 0 の駆動を制御する制御系の回路が回路基板 1 6 0 8 に設けられており、該制御系の回路とバックライト 1 6 2 0 とが FPC 1 6 1 0 を介して接続されている例を示している。ただし、上記制御系の回路はパネル 1 6 0 1 に形成されていても良く、この場合はパネル 1 6 0 1 とバックライト 1 6 2 0 とが FPC などにより接続されるようにする。

20

【0 2 0 1】

なお、図 1 5 では、パネル 1 6 0 1 の端部に配置されたエッジライト型のバックライト 1 6 2 0 を用いている場合を例示しているが、本発明はこの構成に限定されない。本発明の一態様では、パネル 1 6 0 1 の直下に配置される直下型のバックライトを用いていても良い。或いは、本発明の一態様では、フロントライトを用いていても良い。

【0 2 0 2】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

30

【0 2 0 3】

(実施の形態 6)

図 1 7 に、本発明の一態様に係る発光装置の構造を例示する。図 1 7 (A) は、画素が有するトランジスタ 3 0 0 の、チャンネル長方向における断面図の一例である。

【0 2 0 4】

図 1 7 (A) では、絶縁表面上のゲート電極 3 0 1 と、ゲート電極 3 0 1 上に位置するゲート絶縁膜 3 0 2 と、ゲート絶縁膜 3 0 2 上に位置し、ゲート電極 3 0 1 と重なる半導体膜 3 0 3 と、半導体膜 3 0 3 上に位置し、ゲート電極 3 0 1 と重なる島状の絶縁膜 3 0 4 と、半導体膜 3 0 3 上に位置する導電膜 3 0 5 と、絶縁膜 3 0 4 を間に挟み、なおかつ半導体膜 3 0 3 上に位置する導電膜 3 0 6 a 及び導電膜 3 0 6 b と、半導体膜 3 0 3、絶縁膜 3 0 4、導電膜 3 0 5、導電膜 3 0 6 a 及び導電膜 3 0 6 b 上に位置する絶縁膜 3 0 7 と、絶縁膜 3 0 7 上に位置し、絶縁膜 3 0 7 に設けられた開口部 3 0 8 を介して導電膜 3 0 6 a に接続される画素電極 3 0 9 と、絶縁膜 3 0 7 及び半導体膜 3 0 3 に設けられた開口部 3 1 0 と、画素電極 3 0 9 上に位置する絶縁膜 3 2 0 と、絶縁膜 3 2 0 に設けられた開口部 3 2 1 において画素電極 3 0 9 上に順に積層された EL 層 3 2 2 及び対向電極 3 2 3 と、が図示されている。

40

【0 2 0 5】

そして、図 1 7 (A) では、ゲート電極 3 0 1、ゲート絶縁膜 3 0 2、半導体膜 3 0 3、チャンネル保護膜として機能する絶縁膜 3 0 4、導電膜 3 0 6 a 及び導電膜 3 0 6 b がトランジスタ 3 0 0 を構成している。そして、導電膜 3 0 6 a 及び導電膜 3 0 6 b は、いずれ

50

か一方がソース電極、他方がドレイン電極として機能する。

【0206】

また、図17(A)では、開口部321において画素電極309、EL層322及び対向電極323が積層されている部分が、発光素子324に相当する。

【0207】

本発明の一態様に係る発光装置の作製方法では、ゲート電極301を形成する工程と、絶縁膜304を形成する工程と、導電膜305、導電膜306a、及び導電膜306bを形成する工程と、絶縁膜307に開口部308を形成し、なおかつ絶縁膜307及び半導体膜303に開口部310を形成する工程と、画素電極309を形成する工程と、絶縁膜320に開口部321を形成する工程と、において、マスクを用いたフォトリソグラフィ法を用いる。すなわち、本発明の一態様では、絶縁膜307に開口部310を形成する工程において、半導体膜303の形状を加工しているため、半導体膜303の形状を単独で加工するためだけの、フォトリソグラフィ法を用いた工程を、省略することができる。よって、本発明の一態様に係る発光装置では、フォトリソグラフィ法で行なわれるフォトレジストの成膜、露光、現像、エッチング、剥離などの一連の工程を一部省略することができる。そして、高価な露光用のマスクの枚数を抑えることができるので、発光装置の作製に費やされるコストを抑えることができる。

【0208】

なお、導電膜305、導電膜306a、及び導電膜306bは、絶縁膜307と、半導体膜303の間に存在する。そのため、絶縁膜307に開口部308を形成する工程において半導体膜303の形状をも加工する作製方法を用いる場合、導電膜305、導電膜306a、及び導電膜306bの下部に位置する半導体膜303の形状を加工することが難しい。そして、導電膜305、導電膜306a、及び導電膜306bが半導体膜303と重なっていると、画素電極309から半導体膜303に印加される電界により半導体膜303に寄生チャネルが形成されることがある。寄生チャネルが形成されると、電氣的に分離されるべき導電膜305と、導電膜306aまたは導電膜306bとが、半導体膜303を介して電氣的に接続されるため、表示される画質の低下が引き起こされる。

【0209】

そこで、本発明の一態様に係る発光装置では、開口部310の位置を、導電膜305と、導電膜306aまたは導電膜306bの間に定め、それにより、半導体膜303を部分的に除去する構成とする。なお、図17(A)では、開口部310において半導体膜303及び絶縁膜307だけではなく、ゲート絶縁膜302が除去されている場合を例示している。本発明の一態様では、開口部310においてゲート絶縁膜302を必ずしも除去する必要はなく、開口部310においてゲート絶縁膜302が残存していても良い。

【0210】

図17(B)に、図17(A)に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図17(B)では、発光装置のレイアウトを明確にするために、ゲート絶縁膜302、絶縁膜307、絶縁膜320、EL層322、及び対向電極323を省略した上面図を示す。また、図17(B)の一点鎖線A1-A2における断面図が、図17(A)に相当する。

【0211】

図17(A)及び図17(B)に示すように、本発明の一態様では、半導体膜303及び絶縁膜307に、導電膜305と、導電膜306aまたは導電膜306bの間に位置する、開口部310が設けられている。

【0212】

開口部310により、本発明の一態様では、図17(A)及び図17(B)に示すように、導電膜306aまたは導電膜306bの下に位置する半導体膜303と、導電膜305の下に位置する半導体膜303とが、離隔した状態にある。よって、本発明の一態様では、画素電極309などから半導体膜303に電界が印加されても、開口部310が導電膜305と、導電膜306aまたは導電膜306bの間に存在することで、半導体膜303

に寄生チャネルが形成されるのを抑制することができる。そして、寄生チャネルの形成が抑制されることで、導電膜 305 と、導電膜 306 a または導電膜 306 b とが意図せず電氣的に接続されるのを防ぎ、発光装置に表示される画質の低下を防ぐことができる。

【0213】

なお、図 17 (B) では、導電膜 306 a または導電膜 306 b の下に位置する半導体膜 303 と導電膜 305 の下に位置する半導体膜 303 とが、完全に離隔している場合を例示している。しかし、本発明の一態様では、半導体膜 303 が必ずしも完全に離隔している必要はなく、導電膜 305 と、導電膜 306 a または導電膜 306 b の間において、半導体膜 303 が部分的に離隔していても良い。

【0214】

図 18 に、図 17 (A) に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図 18 では、発光装置のレイアウトを明確にするために、ゲート絶縁膜 302、絶縁膜 307、絶縁膜 320、EL 層 322、及び対向電極 323 を省略した上面図を示す。

【0215】

図 18 に示す発光装置では、開口部 310 の形状が図 17 (B) の場合と異なる。図 18 では、開口部 310 が、図 17 (B) の場合と同様に導電膜 305 と、導電膜 306 a または導電膜 306 b の間に位置しているが、導電膜 306 a または導電膜 306 b の下に位置する半導体膜 303 と導電膜 305 の下に位置する半導体膜 303 とが、開口部 310 以外の領域で繋がっている。すなわち、図 18 では、導電膜 305 と、導電膜 306 a または導電膜 306 b の間において、半導体膜 303 が部分的に離隔した状態にある。半導体膜 303 が部分的に離隔した状態であっても、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0216】

また、開口部 310 が形成される領域の一部は、導電膜 306 a または導電膜 306 b と重なっていても良い。或いは、開口部 310 が形成される領域の一部は、導電膜 305 が形成される領域と重なっていても良い。

【0217】

図 19 (A) に、画素が有するトランジスタ 300 の、チャネル長方向における断面図の一例を示す。また、図 19 (B) に、図 19 (A) に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図 19 (B) では、発光装置のレイアウトを明確にするために、ゲート絶縁膜 302、絶縁膜 307、絶縁膜 320、EL 層 322、及び対向電極 323 を省略した上面図を示す。また、図 19 (B) の一点鎖線 B1-B2 における断面図が、図 19 (A) に相当する。

【0218】

図 19 (A) 及び図 19 (B) に示す発光装置では、開口部 310 の形成される領域が図 17 (A) 及び図 17 (B) の場合と異なる。図 19 (A) 及び図 19 (B) では、開口部 310 が形成される領域の一部が、導電膜 306 a が形成される領域と重なっている。導電膜 306 a の下に位置する半導体膜 303 は、開口部 310 の形成の際に、除去されない。よって、開口部 310 が形成されている領域内において、半導体膜 303 は、部分的に残存している状態にあり、開口部 310 における半導体膜 303 の端部と絶縁膜 307 の端部とは一致しない。

【0219】

本発明の一態様では、図 19 (A) 及び図 19 (B) に示すように、開口部 310 が形成される領域の一部が、導電膜 306 a が形成される領域と重なっていても、導電膜 306 a の下に位置する半導体膜 303 と、導電膜 305 の下に位置する半導体膜 303 とを、離隔した状態にすることができる。よって、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0220】

なお、開口部 310 が形成される領域の一部と、導電膜 306 b が形成される領域とが重

10

20

30

40

50

なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。或いは、開口部 310 が形成される領域の一部と、導電膜 305 が形成される領域とが重なっている場合でも、寄生チャネルの生成が抑制されるという効果を得ることができる。

【0221】

そして、開口部 310 が形成される領域が、導電膜 306a が形成される領域と部分的に重なっている場合、導電膜 306a と画素電極 309 を接続するための開口部 308 を設ける必要がない。よって、開口部 308 を形成するための領域を確保する必要がないので、画素部の高精細化を実現することができる。

【0222】

また、図 20 (A) に、画素が有するトランジスタ 300 の、チャネル長方向における断面図の一例を示す。また、図 20 (B) に、図 20 (A) に示した断面構造を有する発光装置の、上面図の一例を示す。ただし、図 20 (B) では、発光装置のレイアウトを明確にするために、ゲート絶縁膜 302、絶縁膜 307、絶縁膜 320、EL 層 322、及び対向電極 323 を省略した上面図を示す。また、図 20 (B) の一点鎖線 C1-C2 における断面図が、図 20 (A) に相当する。

10

【0223】

図 20 (A) 及び図 20 (B) に示す発光装置は、ゲート電極 301 と同じ層に導電膜 311 が設けられている点において、図 17 (A) 及び図 17 (B) に示す発光装置と構造が異なる。具体的に、図 20 (A) 及び図 20 (B) では、絶縁表面上に導電膜 311 が位置し、導電膜 311 上にゲート絶縁膜 302 及び半導体膜 303 が順に積層されるように設けられており、半導体膜 303 上において導電膜 311 と重なる位置に導電膜 305 が設けられている。

20

【0224】

そして、図 20 (A) 及び図 20 (B) では、開口部 310 が形成される領域と、導電膜 311 が形成される領域とが部分的に重なっており、開口部 310 において導電膜 311 の一部が露出した状態にある。そして、導電膜 311 は半導体膜 303 の下に位置するため、開口部 310 において半導体膜 303 は部分的に除去された状態にある。よって、図 20 (A) 及び図 20 (B) の場合でも、導電膜 306a または導電膜 306b の下に位置する半導体膜 303 と、導電膜 305 の下に位置する半導体膜 303 とが、離隔した状態にあるため、寄生チャネルの生成が抑制されるという効果を得ることができる。

30

【0225】

なお、本発明の一態様に係る発光装置では、トランジスタ 300 が有する半導体膜 303 が、上述したような酸化物半導体などのワイドギャップ半導体を含んでいる。

【0226】

(実施の形態 7)

次いで、本発明の一態様に係る発光装置の、画素部の具体的な構成について、一例を挙げて説明する。

【0227】

図 24 (A) に、画素部 510 の構成例を示す。図 24 (A) では、画素部 510 に、走査線駆動回路によって電位が制御される y 本の走査線 GL (GL1 乃至 GLy) と、信号線駆動回路によって電位が制御される x 本の信号線 SL (SL1 乃至 SLx) と、画素電極への電位の供給を行う x 本の電源線 VL (VL1 乃至 VLx) と、が設けられている。

40

【0228】

そして、走査線 GL は、複数の画素 511 にそれぞれ接続されている。具体的に、各走査線 GL は、マトリクス状に設けられた複数の画素 511 のうち、いずれかの行に設けられた x 個の画素 511 に接続される。

【0229】

また、信号線 SL は、画素部 510 において x 列 y 行に設けられた複数の画素 511 のうち、いずれかの列に設けられた y 個の画素 511 に接続される。電源線 VL は、画素部 510 において x 列 y 行に設けられた複数の画素 511 のうち、いずれかの列に設けられた

50

y 個の画素 5 1 1 に接続される。

【0 2 3 0】

なお、本実施の形態では、画素 5 1 1 が走査線 G L、信号線 S L、電源線 V L にそれぞれ接続されている場合を例示しているが、各画素 5 1 1 に接続される配線の種類及びその数は、画素 5 1 1 の構成、数及び配置によって、適宜決めることができる。

【0 2 3 1】

図 2 4 (B) に、画素 5 1 1 の回路図の一例を示す。画素 5 1 1 は、画素 5 1 1 への画像信号の入力を制御するトランジスタ 5 1 2 と、画素電極、対向電極、及び画素電極と対向電極の間に設けられた E L 層を有する発光素子 5 1 5 と、画像信号に従って発光素子 5 1 5 が有する画素電極の電位を制御するトランジスタ 5 1 3 と、画像信号の電位を保持するための容量素子 5 1 4 と、を有する。

10

【0 2 3 2】

なお、図 2 4 (B) では、画素 5 1 1 が容量素子 5 1 4 を有する場合を例示しているが、例えばトランジスタ 5 1 3 のゲート電極と活性層の間に形成されるゲート容量が十分大きい場合など、他の容量により画像信号の電位を十分保持できる場合には、必ずしも容量素子 5 1 4 を画素 5 1 1 に設ける必要はない。

【0 2 3 3】

発光素子 5 1 5 は、電流または電圧によって輝度が制御される素子とその範疇に含んでいる。例えば、O L E D 素子などを、発光素子 5 1 5 として用いることができる。O L E D 素子は、E L 層と、陽極と、陰極とを少なくとも有している。陽極と陰極は、いずれか一方が画素電極として機能し、他方が対向電極として機能する。E L 層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。E L 層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

20

【0 2 3 4】

発光素子 5 1 5 の画素電極は、画素 5 1 1 に入力される画像信号に従ってその電位が制御される。また、発光素子 5 1 5 の輝度は、画素電極と対向電極の間の電位差によって定まる。そして、画素部 5 1 0 が有する複数の画素 5 1 1 のそれぞれにおいて、発光素子 5 1 5 の輝度が画像信号に従って調整されることで、画素部 5 1 0 に画像が表示される。

30

【0 2 3 5】

画素 5 1 1 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0 2 3 6】

次いで、画素 5 1 1 が有する、トランジスタ 5 1 2、トランジスタ 5 1 3、容量素子 5 1 4、発光素子 5 1 5 の接続構成について説明する。

【0 2 3 7】

トランジスタ 5 1 2 は、ソース端子またはドレイン端子の一方が信号線 S L に接続され、ソース端子またはドレイン端子の他方がトランジスタ 5 1 3 のゲート電極に接続されている。

40

トランジスタ 5 1 3 は、ソース端子またはドレイン端子の一方が電源線 V L に接続され、ソース端子またはドレイン端子の他方が発光素子 5 1 5 に接続されている。発光素子 5 1 5 は、画素電極と、対向電極と、画素電極と対向電極の間の E L 層とを有しており、具体的に、トランジスタ 5 1 3 のソース端子またはドレイン端子の他方は、発光素子 5 1 5 の画素電極に接続される。発光素子 5 1 5 の対向電極には電位（共通電位）が与えられる。

【0 2 3 8】

電源電位と共通電位は、トランジスタ 5 1 3 がオンのときに、発光素子 5 1 5 の画素電極と対向電極の間に、発光素子 5 1 5 が発光する程度に大きい順方向バイアスの電圧が印加されるような電位差である。

【0 2 3 9】

50

また、トランジスタ512、トランジスタ513は、活性層の片側にだけ存在するゲート電極を少なくとも有していれば良いが、活性層を間に挟んで存在する一对のゲート電極を有していても良い。また、トランジスタ512、トランジスタ513は、単数のゲート電極と単数のチャネル形成領域を有するシングルゲート構造であっても良いし、電氣的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0240】

次に、図24(A)及び図24(B)に示した発光装置の駆動方法について説明する。

【0241】

走査線GL1～走査線GLyが順に選択される。例えば走査線GLj(jは1以上y以下の自然数)が選択されると、走査線GLjにゲート電極が接続されているトランジスタ512がオンになる。そして、信号線SL1乃至信号線SLxに入力された画像信号の電位が、トランジスタ512がオンになることで、トランジスタ513のゲート電極に与えられる。そして、走査線GLjの選択が終了すると、トランジスタ512がオフになり、画像信号の電位はトランジスタ513のゲート電極において保持される。

10

【0242】

そして、画像信号の電位に従ってトランジスタ513がオンである場合、発光素子515に電流が供給されることで発光素子515が点灯する。発光素子515に流れる電流の値は、トランジスタ513のドレイン電流によって決まるため、発光素子515の輝度は、画像信号の電位に従って定まる。逆に、画像信号の電位に従って、トランジスタ513がオフになっている場合、発光素子515への電流の供給は行われず、発光素子515は消灯する。

20

【0243】

上記動作により、画像を表示することができる。

【0244】

なお、図24(B)では、一のトランジスタ512をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを、画素511に用いていても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

30

【0245】

トランジスタ512が酸化物半導体をチャネル形成領域に含むことで、オフ電流が極めて小さく、なおかつ高耐圧であるトランジスタ512を実現することができる。そして、上記構成を有するトランジスタ512をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ513のゲート電極に蓄積された電荷のリークを防ぐことができる。

【0246】

オフ電流の極めて小さいトランジスタ512を用いることで、トランジスタ513のゲート電極の電位が保持される期間を長く確保することができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部510に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素部510への画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。例えば、高純度化された酸化物半導体を活性層に用いたトランジスタ512を用いることで、画像信号の書き込みの間隔を10秒以上、好ましくは30秒以上、さらに好ましくは1分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、消費電力をより低減することができる。

40

【0247】

また、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために、トランジスタ513のゲート電極に容量素子514を接続しなくて

50

も、表示される画質が低下するのを防ぐことができる。よって、容量素子 514 を設けないことによって、或いは容量素子 514 のサイズを小さくすることによって、開口率を高めることができるため、発光装置の消費電力を低減させることができる。

【0248】

次いで、図 24 (B) に示した画素 511 のレイアウトについて、図 21 乃至図 23 を用いて説明する。図 21 は、画素 511 の上面図の一例である。また、図 22 は、図 21 に示す上面図の、一点鎖線 D1-D2 及び一点鎖線 D3-D4 における断面図の一例に相当する。図 23 は、図 21 に示す上面図の、一点鎖線 D5-D6 における断面図の一例に相当する。ただし、図 21 では、画素 511 のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素 511 の上面図を示す。また、図 21 では、画素 511 が有する各種半導体素子のレイアウトを明確に示すために、発光素子 515 が有する EL 層及び対向電極を省略して、画素 511 の上面図を示す。

10

【0249】

図 21 乃至図 23 に示す画素 511 において、トランジスタ 512 は、絶縁表面を有する基板 400 上に、ゲート電極として機能する導電膜 401 と、導電膜 401 上のゲート絶縁膜 402 と、導電膜 401 と重なる位置においてゲート絶縁膜 402 上に位置する半導体膜 403 と、導電膜 401 と重なる位置において半導体膜 403 上に位置し、チャネル保護膜として機能する絶縁膜 404 と、ソース端子またはドレイン端子として機能し、半導体膜 403 上に位置する導電膜 405 及び導電膜 406 とを有する。

【0250】

導電膜 401 はトランジスタ 512 のゲート電極に電位を与える走査線 GL としても機能する。また、導電膜 405 は、画像信号の電位を画素 511 に与える信号線 SL としても機能する。

20

【0251】

また、トランジスタ 513 は、絶縁表面を有する基板 400 上に、ゲート電極として機能する導電膜 407 と、導電膜 407 上のゲート絶縁膜 402 と、導電膜 407 と重なる位置においてゲート絶縁膜 402 上に位置する半導体膜 403 と、導電膜 407 と重なる位置において半導体膜 403 上に位置し、チャネル保護膜として機能する絶縁膜 408 と、ソース端子またはドレイン端子として機能し、半導体膜 403 上に位置する導電膜 409 及び導電膜 410 とを有する。

30

【0252】

容量素子 514 は、絶縁表面を有する基板 400 上に、導電膜 407 と、導電膜 407 上のゲート絶縁膜 402 及び半導体膜 403 と、導電膜 407 と重なる位置においてゲート絶縁膜 402 及び半導体膜 403 上に位置する導電膜 410 とを有する。

【0253】

また、導電膜 405、導電膜 406、導電膜 409、及び導電膜 410 上には、絶縁膜 411 が設けられている。そして、絶縁膜 411、半導体膜 403、及びゲート絶縁膜 402 には、開口部 412、開口部 413、及び開口部 414 が設けられている。

【0254】

開口部 412 は、導電膜 406 と、導電膜 409 の間に設けられている。また、開口部 412 が形成されている領域の一部は、導電膜 406 が形成されている領域の一部と、導電膜 407 が形成されている領域の一部とに、重なっている。開口部 412 において、導電膜 406 上の絶縁膜 411 と、導電膜 407 上の絶縁膜 411、半導体膜 403、及びゲート絶縁膜 402 とが除去されており、導電膜 406 及び導電膜 407 は、導電膜 406 及び導電膜 407 上の導電膜 415 により電氣的に接続されている。

40

【0255】

開口部 413 は、導電膜 410 と、導電膜 405 及び導電膜 406 との間に設けられている。また、開口部 413 が形成されている領域の一部は、導電膜 409 が形成されている領域の一部に、重なっている。開口部 413 において、導電膜 409 上の絶縁膜 411 が除去されており、導電膜 409 は、導電膜 409 及び絶縁膜 411 上の、画素電極として

50

機能する導電膜 4 1 6 に接続されている。

【0 2 5 6】

開口部 4 1 4 は、隣接する画素 5 1 1 間の、導電膜 4 1 0 と導電膜 4 0 5 の間に設けられている。開口部 4 1 4 において、絶縁膜 4 1 1、半導体膜 4 0 3、及びゲート絶縁膜 4 0 2 が、除去されている。

【0 2 5 7】

なお、図 2 1 乃至図 2 3 では、開口部 4 1 2 が形成されている領域の一部が、導電膜 4 0 6 が形成されている領域の一部、及び導電膜 4 0 7 が形成されている領域の一部と重なっている場合を例示している。この場合、導電膜 4 0 6 及び導電膜 4 1 5 の接続と、導電膜 4 0 7 及び導電膜 4 1 5 の接続とは、共に開口部 4 1 2 において行われることとなる。しかし、本発明の一態様では、導電膜 4 0 6 及び導電膜 4 1 5 の接続と、導電膜 4 0 7 及び導電膜 4 1 5 の接続とが、互いに異なる開口部で行われていても良い。

10

【0 2 5 8】

図 2 5 に、導電膜 4 0 6 及び導電膜 4 0 7 と導電膜 4 1 5 との接続箇所における、画素 5 1 1 の断面図の一例を示す。図 2 5 では、絶縁膜 4 1 1 に設けた開口部 4 1 2 a において、導電膜 4 0 6 と導電膜 4 1 5 が接続されている。また、絶縁膜 4 1 1、半導体膜 4 0 3、及びゲート絶縁膜 4 0 2 に設けた開口部 4 1 2 b において、導電膜 4 0 7 と導電膜 4 1 5 が接続されている。

【0 2 5 9】

ただし、図 2 1 乃至図 2 3 のように、導電膜 4 0 6 及び導電膜 4 1 5 の接続と、導電膜 4 0 7 及び導電膜 4 1 5 の接続とが、共に開口部 4 1 2 において行われる場合、複数の開口部を形成するための領域を確保する必要がないので、画素部 5 1 0 の高精細化を実現することができる。

20

【0 2 6 0】

また、導電膜 4 1 6 を一部覆うように、絶縁膜 4 1 1 上に絶縁膜 4 1 7 が設けられている。絶縁膜 4 1 7 が有する開口部 4 1 8 が、導電膜 4 1 6 の一部と重なっており、開口部 4 1 8 において、導電膜 4 1 6 上に E L 層 4 1 9 及び対向電極として機能する導電膜 4 2 0 が順に積層されている。導電膜 4 1 6、E L 層 4 1 9、及び導電膜 4 2 0 が積層されている部分が、発光素子 5 1 5 として機能する。

【0 2 6 1】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

30

【0 2 6 2】

(実施の形態 8)

本実施の形態では、図 2 1 乃至図 2 3 に示した画素 5 1 1 を例に挙げて、本発明の一態様に係る発光装置の作製方法について説明する。

【0 2 6 3】

まず、図 2 6 (A) に示すように、絶縁表面を有する基板 4 0 0 上に、ゲート電極として機能する導電膜 4 0 7 を形成する。

【0 2 6 4】

絶縁表面を有する基板 4 0 0 として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 °C 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

40

【0 2 6 5】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。ただし、発光装置が、発光素子 5 1 5 からの光が基板 4 0 0 側に向かうボトムエミッション構造を有す

50

る場合、基板 400 には透光性を有する基板を用いる。

【0266】

導電膜 407 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、ニオブ等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

10

【0267】

例えば、2 層の構造を有する導電膜 407 として、チタン膜上に銅膜が積層された 2 層の構造、アルミニウム膜上にモリブデン膜が積層された 2 層の構造、銅膜上にモリブデン膜を積層した 2 層の構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した 2 層の構造、または、窒化チタン膜とモリブデン膜とを積層した 2 層の構造とすることが好ましい。3 層の構造を有する導電膜 407 としては、例えば、窒化チタン膜と、銅膜と、タングステン膜とを積層した 3 層の構造とすることが好ましい。

【0268】

また、導電膜 407 に酸化インジウム、酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する金属酸化物を用いることもできる。

20

【0269】

導電膜 407 の膜厚は、10 nm～400 nm、好ましくは 100 nm～200 nm とする。本実施の形態では、スパッタ法により膜厚 200 nm のタングステン膜を形成した後、該タングステン膜を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工（パターニング）することで、導電膜 407 を形成する。なお、形成された導電膜 407 の端部がテーパ形状であると、上に積層するゲート絶縁膜 402 の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0270】

なお、本実施の形態では、基板 400 上に直接導電膜 407 を形成する場合を例示しているが、基板 400 上に下地膜として機能する絶縁膜を形成してから、上記下地膜上に導電膜 407 を形成しても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか 1 つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板 400 内に含まれるアルカリ金属、重金属などの不純物が、後に形成される半導体膜 403 内、ゲート絶縁膜 402 内、或いは、半導体膜 403 と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

40

【0271】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0272】

なお、図 28 は、上述の工程が終了した時点での、発光装置の上面図である。図 28 の一点鎖線 D5－D6 における断面図が、図 26（A）に相当する。

【0273】

次いで、図 26（B）に示すように、導電膜 407 上に、ゲート絶縁膜 402 を形成する

50

。ゲート絶縁膜 402 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ガリウム膜、酸化ランタン膜、または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜 402 は、水分、水素などの不純物を極力含まないことが望ましい。

【0274】

ゲート絶縁膜 402 は、単層の絶縁膜で構成されていても良いし、複数の絶縁膜が積層されることで構成されていても良い。いずれにしても、化学量論的組成を超える量の酸素を含む絶縁膜が、後に形成される半導体膜 403 と接するように、ゲート絶縁膜 402 を形成することが望ましい。上記構成により、ゲート絶縁膜 402 から半導体膜 403 に酸素を供給することができるので、良好な電気的特性を有するトランジスタ 513 を得ることができる。

10

【0275】

また、バリア性の高い絶縁膜と、酸素を含む絶縁膜とを積層させた構造を有するゲート絶縁膜 402 を形成する場合、バリア性の高い絶縁膜は、酸素を含む絶縁膜と、導電膜 407 との間に設けることが望ましい。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板 400 内に含まれるアルカリ金属、重金属などの不純物が、半導体膜 403 内、ゲート絶縁膜 402 内、或いは、半導体膜 403 と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。

20

【0276】

ゲート絶縁膜 402 の膜厚は、トランジスタ 513 に要求される特性によって適宜設定すればよく、例えば 1 nm 以上 800 nm 以下、好ましくは 200 nm 以上 500 nm 以下とする。ゲート絶縁膜 402 を厚く形成することで、トランジスタ 513 の耐圧を向上させることができる。本実施の形態では、プラズマ CVD 法で形成された膜厚 100 nm の酸化窒化珪素膜をゲート絶縁膜 402 として用いる。

【0277】

次いで、図 26 (B) に示すように、ゲート絶縁膜 402 上に膜厚 2 nm 以上 200 nm 以下、好ましくは膜厚 3 nm 以上 50 nm 以下、さらに好ましくは膜厚 3 nm 以上 20 nm 以下の半導体膜 403 を形成する。半導体膜 403 は、酸化物半導体をターゲットとして用い、スパッタ法により形成する。また、半導体膜 403 は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

30

【0278】

なお、酸化物半導体膜をスパッタ法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜 402 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

40

【0279】

半導体膜 403 に用いる酸化物半導体として、上述したように、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である $In-Zn$ 系酸化物、 $Sn-Zn$ 系酸化物、 $Al-Zn$ 系酸化物、 $Zn-Mg$ 系酸化物、 $Sn-Mg$ 系酸化物、 $In-Mg$ 系酸化物、 $In-Ga$ 系酸化物、三元系金属の酸化物である $In-Ga-Zn$ 系酸化物（IGZO とも表記する）、 $In-Al-Zn$ 系酸化物、 $In-Sn-Zn$ 系酸化物、 $Sn-Ga-Zn$ 系酸化物、 $Al-Ga-Zn$ 系酸化物、 $Sn-Al-Zn$ 系酸化物、 $In-Hf-Zn$ 系

50

酸化物、In-La-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物などが挙げられる。

【0280】

なお、例えば、半導体膜403は、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn系の半導体膜403をスパッタリング法で形成する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn-Ga-Zn系酸化物のターゲットを用いて酸化物半導体膜を形成することで、多結晶またはCAACが形成されやすくなる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、形成した酸化物半導体膜は緻密な膜となる。

【0281】

なお、酸化物半導体としてIn-Zn系酸化物を用いる場合、用いるターゲットの組成は、原子数比で、In:Zn=50:1~1:2（モル数比に換算するとIn₂O₃:ZnO=25:1~1:4）、好ましくはIn:Zn=20:1~1:1（モル数比に換算するとIn₂O₃:ZnO=10:1~1:2）、さらに好ましくはIn:Zn=1.5:1~15:1（モル数比に換算するとIn₂O₃:ZnO=3:4~15:2）とする。例えば、In-Zn系酸化物である半導体膜403の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0282】

また、酸化物半導体としてIn-Sn-Zn系酸化物の材料を用いる場合、用いるターゲットの組成は、In:Sn:Znの原子数比を、1:2:2、2:1:3、1:1:1、または20:45:35とすれば良い。

【0283】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に酸化物半導体膜を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（H₂O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で形成した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0284】

なお、CAAC-OSで構成される半導体膜403を形成する方法として、三つ挙げられる。一つめは、成膜温度を200℃以上450℃以下として半導体膜403の形成を行う方法である。二つめは、半導体膜403を薄い膜厚で形成した後、200℃以上700℃以下の熱処理を行う方法である。三つめは、一層目の酸化物半導体膜を薄く形成した後、200℃以上700℃以下の熱処理を行い、さらに2層目の酸化物半導体膜の形成を行うことで、半導体膜403を形成する方法である。

【0285】

本実施の形態では、基板400とターゲットの距離を100mm、圧力0.4Pa、直流(DC)電源0.5kW、基板温度250℃とし、アルゴンと酸素の流量がそれぞれ30sccm、15sccmの雰囲気下において、In-Ga-Zn系酸化物半導体を含む、膜厚25nmの半導体膜403の形成を行う。

【0286】

なお、半導体膜403に水素、水酸基及び水分がなるべく含まれないようにするために、形成の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜402までが形成された基板400を予備加熱し、基板400に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。

10

【0287】

なお、スパッタ等で形成された半導体膜403中には、不純物としての水分又は水素(水酸基を含む)が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、半導体膜403を形成した後、半導体膜403中の水分又は水素などの不純物を低減(脱水化または脱水素化)するために、半導体膜403に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下で、加熱処理を施す。

【0288】

半導体膜403に加熱処理を施すことで、半導体膜403中の水分又は水素を脱離させることができる。具体的には、250℃以上750℃以下、好ましくは400℃以上基板の歪み点未満の温度で加熱処理を行えば良い。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、超乾燥エア雰囲気下において、450℃で1時間程度、加熱処理を行う。

20

【0289】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

30

【0290】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

40

【0291】

以上の工程により、半導体膜403中の水分又は水素の濃度を低減することができる。なお、半導体膜403では、上記加熱処理により水分又は水素が除去されると共に、酸素の脱離による酸素欠損が増加している恐れがある。そこで、上記加熱処理の後に、半導体膜403に酸素を供給する処理を行い、酸素欠損を低減させることが望ましい。

【0292】

水分又は水素の濃度が低減され、なおかつ酸素欠損が低減されることで高純度化された半導体膜403を用いることで、耐圧性が高く、オフ電流の著しく小さいトランジスタ513を作製することができる。

50

【0293】

例えば、酸素を含むガス雰囲気下において加熱処理を行うことで、半導体膜403に酸素を供給することができる。酸素を供給するための加熱処理は、上述した、水分又は水素の濃度を低減するための加熱処理と同様の条件で行えば良い。ただし、酸素を供給するための加熱処理は、酸素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55℃）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）などの雰囲気下において行う。

【0294】

上記酸素を含むガスには、水、水素などの濃度が低いことが好ましい。具体的には、酸素を含むガス内に含まれる不純物濃度を、1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

10

【0295】

或いは、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いて、半導体膜403に酸素を供給することができる。上記方法を用いて酸素を半導体膜403に供給した後、半導体膜403に含まれる結晶部が損傷を受けた場合は、加熱処理を行い、損傷を受けた結晶部を修復するようにしても良い。

【0296】

半導体膜403を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

20

【0297】

次いで、図26（C）に示すように、半導体膜403上に絶縁膜を形成した後、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、チャンネル保護膜として機能する島状の絶縁膜408を形成する。絶縁膜408は、半導体膜403上において導電膜407と重なる位置に設ける。

【0298】

絶縁膜408の膜厚は、50nm以上600nm以下、好ましくは100nm以上400nm以下とする。そして、絶縁膜408は、ゲート絶縁膜402と同様の構造、材料を用いて形成することができる。そして、絶縁膜408は、ゲート絶縁膜402と同様に、水分、水素などの不純物を極力含まないことが望ましく、なおかつ、化学量論的組成を超える量の酸素を含むことが望ましい。上記構成により、半導体膜403中における水分、水素などの不純物の濃度を低く抑え、なおかつ絶縁膜408から半導体膜403に酸素を供給することができるので、良好な電気的特性を有するトランジスタ513を得ることができる。

30

【0299】

本実施の形態では、プラズマCVD法にて形成した膜厚300nmの酸化窒化珪素膜を、絶縁膜408として用いる。

【0300】

なお、絶縁膜408として、少なくともInまたはZnの一方を含む金属酸化物であり、なおかつ、Ti、Zr、Hf、Ge、Ceなどを含むことで、半導体膜403よりも絶縁性の高まった、金属酸化物を用いても良い。

40

【0301】

例えば、 $In-M_1-M_2-Zn$ 系酸化物を、絶縁膜408に用いても良い。ただし、元素 M_1 は、3A族、3B族、及び4A族に含まれる元素のうち、3価の元素である。元素 M_2 は4A族、及び4B族に含まれる元素のうち、4価の元素である。具体的に、元素 M_1 にGaを用いる場合、 $In-M_1-M_2-Zn$ 系酸化物において、3価のGaの一部が、4価の元素で置き換えられることになる。4価の元素は3価の元素よりも一本結合手が多いので、3価の元素の一部を4価の元素に置き換えることで、 $In-M_1-M_2-Zn$

50

系酸化物を構成する金属元素 (M_1 または M_2) と酸素の結合力を高めることができる。よって、 $In-M_1-M_2-Zn$ 系酸化物を絶縁膜 408 に用いることで、絶縁膜 408 の絶縁性を高めることができる。具体的に、元素 M_2 として、 Ti 、 Zr 、 Hf 、 Ge 、 Ce などが挙げられる。

【0302】

例えば、 $In:Zr:Ga:Zn=3:0.05:0.95:2$ のターゲットを用いて、スパッタリング法により、 $In-M_1-M_2-Zn$ 系酸化物を用いた絶縁膜 408 を形成すれば良い。

【0303】

また、例えば、化学式 $InMZnO_x$ で表される $In-M-Zn$ 系酸化物を絶縁膜 408 に用いても良い。元素 M として、 $In-M-Zn$ 系酸化物の絶縁性が、半導体膜 403 を構成する金属酸化物の絶縁性よりも高くなるような元素を適用する。例えば、元素 M として、 Ti 、 Zr 、 Hf 、 Ge 、 Ce などの 4 価の元素を適用することができる。4 価の元素は 3 価の元素よりも一本結合手が多いので、これら 4 価の元素を元素 M として用いた $In-M-Zn$ 系酸化物は、元素 M と酸素の結合力が高い。よって、 $In-M-Zn$ 系酸化物を絶縁膜 408 に用いることで、絶縁膜 408 の絶縁性を高めることができる。

【0304】

例えば、元素 M として Zr を用いた $In-Zr-Zn$ 系酸化物のエネルギーギャップは、 $In-Ga-Zn$ 系酸化物のエネルギーギャップ (約 3.2 eV) よりも大きくなる。すなわち、 $In-Zr-Zn$ 系酸化物は $In-Ga-Zn$ 系酸化物よりも絶縁性が高いと言える。

【0305】

また、イットリウムは Ga よりも電気陰性度が小さい。そのため、 $In-M_1-M_2-Zn$ 系酸化物において、元素 M_2 をイットリウムとすると、酸素と元素 M_2 の電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素 M_2 をイットリウムとしても、 $In-M_1-M_2-Zn$ 系酸化物を用いた絶縁膜 408 の絶縁性を高めることができる。また、 $In-M-Zn$ 系酸化物において、元素 M をイットリウムとすると、酸素と元素 M の電気陰性度の差を大きくすることができ、金属酸化物中での酸素とのイオン結合による結合をより強くすることができる。よって、元素 M をイットリウムとしても、 $In-M-Zn$ 系酸化物を用いた絶縁膜 408 の絶縁性を高めることができる。

【0306】

また、 $In-M-Zn$ 系酸化物中の元素 M の含有量は、 In の含有量の 0.3 倍以上 1.3 倍未満である。また、 $In-M-Zn$ 系酸化物中の元素 M の含有量は、 Zn の含有量の 0.3 倍以上 1.3 倍未満である。元素 M に対する In または Zn の相対的な数が少ないほど、より絶縁性の高い絶縁膜 408 を得ることができる。

【0307】

具体的には、元素 M を含ませた金属酸化物材料をスパッタリング法で形成する場合、好ましくは原子数比が $In:M:Zn=1:1:1$ 、 $3:1:3$ 、 $3:2:4$ 、 $2:1:3$ 、 $4:5:4$ 、または $4:2:3$ で示される金属酸化物ターゲットを用いる。

【0308】

$In-M-Zn$ 系酸化物や、 $In-M_1-M_2-Zn$ 系酸化物を絶縁膜 408 に用いることで、絶縁膜 408 と半導体膜 403 の界面の状態を良好に保つことができ、トランジスタ 513 の電気的特性を良好にすることができる。

【0309】

なお、絶縁膜 408 を形成するためのエッチングにより露出した半導体膜 403 の表面には、不純物が付着しやすい。上記不純物には、エッチングに用いたエッチングガスまたはエッチング液を構成する元素、或いはエッチングを行った処理室内に存在する元素などが含まれる。上記不純物として、具体的には、ボロン、塩素、フッ素、炭素、アルミニウムなどが挙げられる。

10

20

30

40

50

【0310】

上記不純物が半導体膜403の表面に付着すると、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化をもたらされやすい。また、半導体膜403に寄生チャネルが生じやすくなり、電氣的に分離されるべき導電膜が半導体膜403を介して電氣的に接続されやすくなる。そこで、本発明の一態様では、絶縁膜408を形成するためのエッチングが終了した後、半導体膜403及び絶縁膜408の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【0311】

洗浄処理は、TMAH（水酸化テトラメチルアンモニウム）溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、50重量%フッ酸を、水で $1/10^2$ 乃至 $1/10^5$ に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が0.5重量%乃至 5×10^{-4} 重量%の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜403及び絶縁膜408の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜403に付着した不純物を、半導体膜403の一部とともに除去することができる。

【0312】

次いで、半導体膜403上に、スパッタ法や真空蒸着法で導電膜を形成したあと、フォトリソグラフィ法を用いたエッチングにより当該導電膜をパターニングすることで、図26（D）に示すように、半導体膜403上において、絶縁膜408を間に挟む様に設けられた導電膜409及び導電膜410を形成する。導電膜409及び導電膜410は、トランジスタ513のソース電極またはドレイン電極として機能する。

【0313】

導電膜409及び導電膜410は、導電膜407と同様の構造、材料を用いることができる。導電膜409及び導電膜410の形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜409及び導電膜410に持たせることが好ましい。本実施の形態では、導電膜409及び導電膜410として、膜厚150nmのタングステン膜を用いる。

【0314】

なお、導電膜409及び導電膜410を形成するためのエッチングの際に、半導体膜403がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、半導体膜403の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0315】

本実施の形態では、ICPエッチング法によるドライエッチングを用いて、導電膜409及び導電膜410を形成する。具体的には、エッチングガスである六フッ化硫黄の流量を50sccm、反応圧力1.5Pa、下部電極の温度70℃、コイル型の電極に投入するRF（13.56MHz）電力を500W、下部電極（バイアス側）に投入する電力を50Wとした後、エッチングガスである三塩化ホウ素の流量を60sccm、塩素の流量20sccm、反応圧力1.9Pa、下部電極の温度21℃、コイル型の電極に投入するRF（13.56MHz）電力450W、下部電極（バイアス側）に投入する電力100Wとなるように、途中で条件を変更してドライエッチングを行う。

【0316】

なお、フォトリソグラフィ法で用いるマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、工程の簡略化が可

10

20

30

40

50

能となる。

【0317】

なお、導電膜409及び導電膜410を形成するためのエッチングにより露出した半導体膜403及び絶縁膜408の表面には、ボロン、塩素、フッ素、炭素、アルミニウムなどの不純物が付着しやすい。さらに、上記不純物には、導電膜409及び導電膜410を構成する元素も含まれる場合がある。

【0318】

上記不純物が半導体膜403の表面に付着すると、上述したように、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化をもたらされやすい。また、半導体膜403に寄生チャネルが生じやすくなり、電気的に分離されるべき導電膜が半導体膜403を介して電気的に接続されやすくなる。そこで、本発明の一態様では、導電膜409及び導電膜410を形成するためのエッチングが終了した後、半導体膜403及び絶縁膜408の表面に付着したであろう不純物を除去するための洗浄処理を行う。

【0319】

洗浄処理は、TMAH溶液などのアルカリ性の溶液、水、または希フッ酸などを用いて行うことができる。具体的に、希フッ酸を洗浄処理に用いる場合、50重量%フッ酸を、水で $1/10^2$ 乃至 $1/10^5$ に希釈して、洗浄処理に用いることが望ましい。すなわち、濃度が0.5重量%乃至 5×10^{-4} 重量%の希フッ酸を、洗浄処理に用いることが望ましい。洗浄処理により、半導体膜403及び絶縁膜408の表面に付着した上記不純物を、除去することができる。また、洗浄処理に希フッ酸を用いると、半導体膜403に付着した不純物を、半導体膜403の一部とともに除去することができる。

【0320】

なお、本実施の形態では、エッチング後における不純物除去を目的とした洗浄処理を、絶縁膜408の形成後と、導電膜409及び導電膜410の形成後の2回行う場合について説明したが、本発明の一態様では、上記洗浄処理をいずれか1回のみとしても良い。

【0321】

なお、図29は、上述の工程が終了した時点での、発光装置の上面図である。図29の一点鎖線D5-D6における断面図が、図26(D)に相当する。

【0322】

次いで、図27(A)に示すように、半導体膜403と、絶縁膜408と、導電膜409及び導電膜410を覆うように、絶縁膜411を形成する。絶縁膜411は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜411に水素が含まれると、その水素が半導体膜403に侵入し、又は水素が半導体膜403中の酸素を引き抜き、半導体膜403の表面近傍が低抵抗化(n型化)してしまう。そして、低抵抗化した半導体膜403の表面近傍には寄生チャネルが形成されやすく、寄生チャネルにより導電膜409または導電膜410と、半導体膜403上の他の導電膜が電気的に接続されるおそれがある。よって、絶縁膜411はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0323】

なお、上記洗浄処理を行った場合でも、絶縁膜411を形成する前に基板400を大気にさらすと、大気中に含まれる炭素などの不純物が、半導体膜403及び絶縁膜408の表面に付着することがある。そこで、本発明の一態様では、絶縁膜411を形成するための処理室内において、絶縁膜411を形成する前に、半導体膜403及び絶縁膜408の表面に付着した炭素などの不純物を、酸素、一酸化二窒素、もしくは希ガス(代表的にはアルゴン)などを用いたプラズマ処理により洗浄し、炭素などの不純物を除去するようにしても良い。そして、プラズマ処理による不純物の除去を行った後、基板400を大気にさらすことなく、絶縁膜411を形成することで、半導体膜403及び絶縁膜408と絶縁膜411の界面近傍に不純物が入り込むのを防ぎ、トランジスタのオフ電流の増加、或いはトランジスタの電気的特性の劣化を防ぐことができる。

【0324】

また、上記絶縁膜411には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、酸素を含む酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、半導体膜403に近い側に形成する。そして、酸素を含む絶縁膜を間に挟んで、半導体膜403と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、半導体膜403内、ゲート絶縁膜402内、或いは、半導体膜403と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

10

【0325】

また、複数の積層された絶縁膜を絶縁膜411として用いる場合、1層目以外の絶縁膜として、例えば、アクリル樹脂、ポリイミド樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、アルミナ等を用いることができる。シロキサン系樹脂は、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、水素の他、フッ素、フルオロ基、有機基(例えばアルキル基、芳香族炭化水素)のうち、少なくとも1種を有していても良い。そして、絶縁膜411の形成には、その材料に応じて、CVD法、スパッタ法、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法)、印刷法(スクリーン印刷、オフセット印刷等)などの方法で形成する。また、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いて形成しても良い。或いは、1層目以外の絶縁膜として、有機シランを用いて化学気相成長法により作製される酸化珪素膜を用いることもできる。有機シランとしては、珪酸エチル($\text{TEOS: Si(OC}_2\text{H}_5)_4$)、トリメチルシラン($\text{TMS: (CH}_3)_3\text{SiH}$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDs)、トリエトキシシラン($\text{SiH(OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH(N(CH}_3)_2)_3$)等を用いることができる。

20

【0326】

本実施の形態では、スパッタ法で形成された膜厚300nmの酸化珪素膜を絶縁膜411として用いる。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。

30

【0327】

次いで、図27(B)に示すように、ゲート絶縁膜402、半導体膜403、及び絶縁膜411を、フォトリソグラフィ法を用いたエッチングにより所望の形状に加工することで、開口部412乃至開口部414を形成する。

【0328】

本実施の形態では、ICPエッチング法によるドライエッチングを用いて、ゲート絶縁膜402、半導体膜403、及び絶縁膜411をパターンニングする。具体的には、エッチングガスであるトリフルオロメタン、ヘリウム、メタンの流量をそれぞれ22.5sccm、127.5sccm、5sccm、反応圧力を3.5Pa、下部電極の温度21℃、コイル型の電極に投入するRF(13.56MHz)電力を475W、下部電極(バイアス側)に投入する電力を300Wとして、ドライエッチングを行う。

40

【0329】

開口部413が形成される領域は、導電膜409が形成されている領域の一部と重なっているため、開口部413において導電膜409は部分的に露出する。

【0330】

なお、図30は、上述の工程が終了した時点での、発光装置の上面図である。図30の一点鎖線D5-D6における断面図が、図27(B)に相当する。

50

【0331】

次いで、図27(B)に示すように、開口部413において導電膜409と接する導電膜416を形成する。導電膜416は画素電極として機能し、その一部は絶縁膜411上にも設けられている。

【0332】

次いで、図27(C)に示すように、導電膜416の一部を覆うように、導電膜416上に、開口部418を有する絶縁膜417を形成する。絶縁膜417の開口部418において導電膜416はその一部が露出している。絶縁膜417は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル樹脂、ポリイミド樹脂、ポリアミド樹脂など、無機絶縁膜ならば酸化珪素、窒化酸化珪素などを用いることができる。特に感光性の有機樹脂膜を絶縁膜417に用い、導電膜416上に開口部418を形成し、その開口部418の側壁が連続した曲率を持って形成される傾斜面となるように形成することで、導電膜416と、後に形成される導電膜420とが接続するのを防ぐことができる。開口部418を形成するためのマスクを、液滴吐出法または印刷法で形成することができる。また絶縁膜417自体を、液滴吐出法または印刷法で形成することもできる。

【0333】

次いで、導電膜416及び絶縁膜417上に、EL層419及び導電膜420を、順に積層するように形成する。上記工程により、絶縁膜417の開口部418において導電膜416、EL層419及び導電膜420が順に積層された発光素子515を形成することができる。

【0334】

なお、発光素子515は、発光素子515からの光が基板400の方向に向かうトップエミッション構造であっても、発光素子515からの光が基板400と反対側の方向に向かうボトムエミッション構造であっても良い。或いは、発光素子515からの光が基板400の方向と、基板400と反対側の方向とに向かうデュアルエミッション構造であっても良い。上記3つの構造のうち、目的とする構造に合わせて、導電膜416、導電膜420の、それぞれの材料及び膜厚を選択するようにする。

【0335】

具体的に導電膜416または導電膜420として、酸化インジウム、酸化インジウム－酸化スズ（ITO：Indium Tin Oxide）、珪素若しくは酸化珪素を含有した酸化インジウム－酸化スズ、酸化インジウム－酸化亜鉛（Indium Zinc Oxide）、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、窒素を含ませたAl－Zn系酸化物半導体、窒素を含ませたZn系酸化物半導体、窒素を含ませたSn－Zn系酸化物半導体、金（Au）、白金（Pt）、ニッケル（Ni）、タングステン（W）、クロム（Cr）、モリブデン（Mo）、鉄（Fe）、コバルト（Co）、銅（Cu）、パラジウム（Pd）、チタン（Ti）の他、元素周期表の第1族または第2族に属する元素、すなわちリチウム（Li）やセシウム（Cs）等のアルカリ金属、およびマグネシウム（Mg）、カルシウム（Ca）、ストロンチウム（Sr）等のアルカリ土類金属、およびこれらを含む合金（MgAg、AlLi）、ユウロビウム（Eu）、イッテルビウム（Yb）等の希土類金属およびこれらを含む合金などを用いることができる。なお、導電膜416は、例えばスパッタリング法や蒸着法（真空蒸着法を含む）等により上記材料を用いて導電膜を形成した後、フォトリソグラフィ法を用いたエッチングにより当該導電膜を所望の形状に加工することで、形成することができる。

【0336】

なお、発光素子515を形成したら、発光素子515が外気に曝されないように、発光素子515を基板400とカバー材の間に封入することが好ましい。

【0337】

なお、本実施の形態では、トランジスタ513がシングルゲート構造である場合を例示しているが、必要に応じて、電氣的に接続された複数の導電膜407を有することで、チャ

10

20

30

40

50

ネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0338】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0339】

(実施の形態9)

本発明の一態様に係る発光装置では、白色などの単色の光を発する発光素子と、カラーフィルタを組み合わせることで、フルカラー画像の表示を行う、カラーフィルタ方式を採用することができる。或いは、互いに異なる色相の光を発する複数の発光素子を用いて、フルカラー画像の表示を行う方式を採用することもできる。この方式は、発光素子が有する一対の電極間に設けられるEL層を、対応する色ごとに塗り分けるため、塗り分け方式と呼ばれる。

10

【0340】

塗り分け方式の場合、EL層の塗り分けは、通常、メタルマスクなどのマスクを用いて、蒸着法で行われる。そのため、画素のサイズは蒸着法によるEL層の塗り分け精度に依存する。一方、カラーフィルタ方式の場合、塗り分け方式とは異なり、EL層の塗り分けを行う必要がない。よって、塗り分け方式の場合よりも、画素サイズの縮小化が容易であり、高精細の画素部を実現することができる。

【0341】

また、発光装置には、トランジスタが形成された基板、所謂素子基板側から発光素子の光を取り出すボトムエミッション構造と、素子基板とは反対の側から発光素子の光を取り出すトップエミッション構造とがある。トップエミッション構造の場合、発光素子から発せられる光を、配線、トランジスタ、容量素子などの各種素子によって遮られることがないため、ボトムエミッション構造に比べて、画素からの光の取り出し効率を高めることができる。よって、トップエミッション構造は、発光素子に供給する電流値を低く抑えても、高い輝度を得ることができるため、発光素子の長寿命化に有利である。

20

【0342】

また、本発明の一態様に係る発光装置では、EL層から発せられる光を発光素子内で共振させる、マイクロキャビティ（微小光共振器）構造を有していても良い。マイクロキャビティ構造により、特定の波長の光について、発光素子からの取り出し効率を高めることができるので、画素部の輝度と色純度を向上させることができる。

30

【0343】

図31に、画素の断面図を、一例として示す。なお、図31では、赤に対応する画素の断面の一部、青に対応する画素の断面の一部と、緑に対応する画素の断面の一部とを示している。

【0344】

具体的に、図31では、赤に対応した画素340rと、緑に対応した画素340gと、青に対応した画素340bとが示されている。画素340r、画素340g、画素340bは、それぞれ陽極715r、陽極715g、陽極715bを有する。上記陽極715r、陽極715g、陽極715bは、画素340r、画素340g、画素340bのそれぞれにおいて、基板740に形成された絶縁膜750の上に設けられている。

40

【0345】

そして、陽極715r、陽極715g、及び陽極715b上には絶縁膜を有する隔壁730が設けられている。隔壁730は開口部を有し、上記開口部において、陽極715r、陽極715g、及び陽極715bが、それぞれ一部露出している。また、上記露出している領域を覆うように、隔壁730上に、EL層731と、可視光に対して透光性を有する陰極732とが、順に積層されている。

【0346】

陽極715rと、EL層731と、陰極732とが重なる部分が、赤に対応した発光素子741rに相当する。陽極715gと、EL層731と、陰極732とが重なる部分が、緑に対応した発光素子741gに相当する。陽極715bと、EL層731と、陰極73

50

2 とが重なる部分が、青に対応した発光素子 7 4 1 b に相当する。

【0 3 4 7】

また、基板 7 4 2 は、発光素子 7 4 1 r、発光素子 7 4 1 g、及び発光素子 7 4 1 b を間に挟むように、基板 7 4 0 と対峙している。基板 7 4 2 上には、画素 3 4 0 r に対応した着色層 7 4 3 r、画素 3 4 0 g に対応した着色層 7 4 3 g、画素 3 4 0 b に対応した着色層 7 4 3 b が設けられている。着色層 7 4 3 r は、赤に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層 7 4 3 g は、緑に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層 7 4 3 b は、青に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層である。

【0 3 4 8】

さらに、基板 7 4 2 上には、着色層 7 4 3 r、着色層 7 4 3 g、着色層 7 4 3 b を覆うように、オーバーコート 7 4 4 が設けられている。オーバーコート 7 4 4 は、着色層 7 4 3 r、着色層 7 4 3 g、着色層 7 4 3 b を保護するための、可視光に対して透光性を有する層であり、平坦性の高い樹脂材料を用いるのが好ましい。着色層 7 4 3 r、着色層 7 4 3 g、及び着色層 7 4 3 b と、オーバーコート 7 4 4 とを合わせてカラーフィルタと見なしても良いし、着色層 7 4 3 r、着色層 7 4 3 g、及び着色層 7 4 3 b のそれぞれをカラーフィルタと見なしても良い。

【0 3 4 9】

そして、図 3 1 では、陽極 7 1 5 r に、可視光の反射率が高い導電膜 7 4 5 r と、可視光の透過率が上記導電膜 7 4 5 r よりも高い導電膜 7 4 6 r とを、順に積層して用いる。また、陽極 7 1 5 g に、可視光の反射率が高い導電膜 7 4 5 g と、可視光の透過率が上記導電膜 7 4 5 g よりも高い導電膜 7 4 6 g とを、順に積層して用いる。導電膜 7 4 6 g の膜厚は、導電膜 7 4 6 r の膜厚よりも小さいものとする。また、陽極 7 1 5 b に、可視光の反射率が高い導電膜 7 4 5 b を用いる。

【0 3 5 0】

よって、図 3 1 に示す発光装置では、発光素子 7 4 1 r において、E L 層 7 3 1 から発せられた光の光路長は、導電膜 7 4 5 r と陰極 7 3 2 の距離により調節することができる。また、発光素子 7 4 1 g において、E L 層 7 3 1 から発せられた光の光路長は、導電膜 7 4 5 g と陰極 7 3 2 の距離により調節することができる。また、発光素子 7 4 1 b において、E L 層 7 3 1 から発せられた光の光路長は、導電膜 7 4 5 b と陰極 7 3 2 の距離により調節することができる。

【0 3 5 1】

本発明の一態様では、発光素子 7 4 1 r と、発光素子 7 4 1 g と、発光素子 7 4 1 b にそれぞれ対応する光の波長に合わせて、上記光路長を調整することで、E L 層 7 3 1 から発せられた光を上記各発光素子内において共振させる、マイクロキャビティ構造としても良い。

【0 3 5 2】

上記マイクロキャビティ構造を、本発明の一態様に係る発光装置に採用することで、発光素子 7 4 1 r から発せられる光において、赤に対応した波長を有する光の強度が、共振により高まる。よって、着色層 7 4 3 r を通して得られる赤の光の色純度及び輝度が高まる。また、発光素子 7 4 1 g から発せられる光において、緑に対応した波長を有する光の強度が、共振により高まる。よって、着色層 7 4 3 g を通して得られる緑の光の色純度及び輝度が高まる。また、発光素子 7 4 1 b から発せられる光において、青に対応した波長を有する光の強度が、共振により高まる。よって、着色層 7 4 3 b を通して得られる青の光の色純度及び輝度が高まる。

【0 3 5 3】

なお、図 3 1 では、赤、緑、青の 3 色に対応する画素を用いる構成について示したが、本発明の一態様では、当該構成に限定されない。本発明の一態様で用いる色の組み合わせは、例えば、赤、緑、青、黄の 4 色、または、シアン、マゼンタ、イエローの 3 色を用いても良い。或いは、上記色の組み合わせは、淡色の赤、緑、及び青、並びに濃色の赤、

10

20

30

40

50

緑、及び青の6色を用いていても良い。或いは、上記色の組み合わせは、赤、緑、青、シアン、マゼンタ、イエローの6色を用いていても良い。

【0354】

なお、例えば、赤、緑、及び青の画素を用いて表現できる色は、色度図上のそれぞれの発光色に対応する3点が描く三角形の内側に示される色に限られる。従って、赤、緑、青、黄の画素を用いた場合のように、色度図上の該三角形の外側に発光色が存在する発光素子を別途加えることで、当該発光装置において表現できる色域を拡大し、色再現性を豊かにすることができる。

【0355】

また、図31では、発光素子741r、発光素子741g、発光素子741bのうち、光の波長 λ が最も短い発光素子741bにおいて、可視光の反射率が高い導電膜745bを陽極として用い、他の発光素子741r、発光素子741gにおいては、膜厚が互いに異なる導電膜746r及び導電膜746gを用いることにより、光路長を調整している。本発明の一態様では、波長 λ が最も短い発光素子741bにおいても、可視光の反射率が高い導電膜745b上に、導電膜746r及び導電膜746gのような、透過率の高い導電膜を設けていても良い。ただし、図31に示すように、波長 λ が最も短い発光素子741bにおいて、可視光の反射率が高い導電膜745bで陽極を構成する場合、全ての発光素子において、陽極に透過率が高い導電膜を用いる場合よりも、陽極の作製工程が簡素化されるため、好ましい。

【0356】

なお、可視光の反射率が高い導電膜745bは、可視光の透過率が高い導電膜746r及び導電膜746gに比べて、仕事関数が小さい場合が多い。よって、光の波長 λ が最も短い発光素子741bでは、発光素子741r、発光素子741gに比べて、陽極715bからEL層731への正孔注入が行われにくいため、発光効率が低い傾向にある。そこで、本発明の一態様では、光の波長 λ が最も短い発光素子741bにおいて、EL層731のうち、可視光の反射率が高い導電膜745bと接する層において、正孔輸送性の高い物質に、当該正孔輸送性の高い物質に対してアクセプター性（電子受容性）を示す物質を含むさせた複合材料を用いることが好ましい。上記複合材料を、陽極715bに接して形成することにより、陽極715bからEL層731への正孔注入が行われやすくなり、発光素子741bの発光効率を高めることができる。

【0357】

アクセプター性を示す物質としては、7, 7, 8, 8-テトラシアノー2, 3, 5, 6-テトラフルオロキノジメタン（略称：F4-TCNQ）、クロラニル等を挙げることができる。また、遷移金属酸化物を挙げることができる。また、元素周期表における第4族乃至第8族に属する金属の酸化物を挙げることができる。具体的には、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、酸化レニウムはアクセプター性が高いため好ましい。中でも特に、酸化モリブデンは大気中でも安定であり、吸湿性が低く、扱いやすいため好ましい。

【0358】

複合材料に用いる正孔輸送性の高い物質としては、芳香族アミン化合物、カルバゾール誘導体、芳香族炭化水素、高分子化合物（オリゴマー、デンドリマー、ポリマー等）など、種々の化合物を用いることができる。なお、複合材料に用いる有機化合物としては、正孔輸送性の高い有機化合物であることが好ましい。具体的には、 $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質であることが好ましい。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。

【0359】

また、可視光の反射率が高い導電膜745r、導電膜745g、導電膜745bとしては、例えば、アルミニウム、銀、または、これらの金属材料を含む合金等を、単層で、或いは積層することで、形成することができる。また、導電膜745r、導電膜745g、導電膜745bを、反射率の高い導電膜と、膜厚の薄い導電膜（好ましくは20nm以下、

更に好ましくは10nm以下)とを積層させて、形成してもよい。例えば、反射率の高い導電膜上に、薄いチタン膜やモリブデン膜を積層して、導電膜745bを形成することにより、反射率の高い導電膜(アルミニウム、アルミニウムを含む合金、または銀など)の表面に酸化膜が形成されるのを防ぐことができる。

【0360】

また、可視光の透過率が高い導電膜746r及び導電膜746gには、例えば、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物などを用いることができる。

【0361】

また、陰極732は、例えば、光を透過する程度の薄い導電膜(好ましくは20nm以下、更に好ましくは10nm以下)と、導電性の金属酸化物で構成された導電膜とを積層することで、形成することができる。光を透過する程度の薄い導電膜は、銀、マグネシウム、またはこれらの金属材料を含む合金等を、単層で、或いは積層して形成することができる。導電性の金属酸化物としては、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物、またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0362】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0363】

(実施の形態10)

次いで、本発明の一態様に係る発光装置のパネルの外観について、図32を用いて説明する。図32(A)は、基板6001と基板6006とをシール材6005によって接着させたパネルの上面図であり、図32(B)は、図32(A)の一点鎖線E1-E2における断面図に相当する。

【0364】

基板6001上に設けられた画素部6002と、走査線駆動回路6004とを囲むように、シール材6005が設けられている。また、画素部6002、走査線駆動回路6004の上に基板6006が設けられている。よって、画素部6002と走査線駆動回路6004は、基板6001とシール材6005と基板6006とによって、充填材6007と共に封止されている。

【0365】

充填材6007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができる。シール材6005には、樹脂(紫外線硬化性樹脂、熱硬化性樹脂など)、またはガラスフリットなどを用いることができる。

【0366】

また、基板6001上のシール材6005によって囲まれている領域とは異なる領域に、信号線駆動回路6003が形成された基板6021が、実装されている。図32では、信号線駆動回路6003に含まれるトランジスタ6009を例示している。なお、本実施の形態では、走査線駆動回路6004が画素部6002と共に基板6001上に形成されている場合を例示しているが、別の基板に形成された走査線駆動回路6004が基板6001に実装されていても良い。また、本実施の形態では、基板6021に形成された信号線駆動回路6003が基板6001に実装されている場合を例示しているが、信号線駆動回路6003が画素部6002と共に基板6001上に形成されていても良い。或いは、信号線駆動回路6003の一部、または走査線駆動回路6004の一部が、画素部6002と共に基板6001上に形成されていても良い。

【0367】

また、基板6001上に設けられた画素部6002、走査線駆動回路6004は、トランジスタを複数有している。図32(B)では、画素部6002に含まれるトランジスタ6008及びトランジスタ6010を図示している。発光素子6011が有する画素電極6030は、トランジスタ6010に接続されている。画素電極6030と対向電極603

10

20

30

40

50

1とEL層6029とが重なっている部分が、発光素子6011に相当する。

【0368】

また、基板6006に形成されている遮蔽膜6040は、トランジスタ6008及びトランジスタ6010が形成されている領域と重なっている。また、基板6006には、カラーフィルタとして機能する、特定の波長領域の可視光のみを優先的に透過する着色層6041が形成されており、着色層6041は、発光素子6011が形成されている領域と重なっている。

【0369】

赤、青、緑に対応する波長領域の光を、それぞれ優先的に透過するような着色層6041を画素ごとに設け、白の光が得られる発光素子6011を用いることで、フルカラーの画像を表示することができる。或いは、赤の光が得られる発光素子6011と赤に対応する着色層6041を組み合わせ、青の光が得られる発光素子6011と青に対応する着色層6041を組み合わせ、なおかつ、緑の光が得られる発光素子6011と緑に対応する着色層6041を組み合わせることで、色純度の高いフルカラーの画像を表示することができる。或いは、着色層6041を設けずに、赤、青、緑の光がそれぞれ得られる複数の発光素子6011を画素部6002に設けることで、フルカラーの画像を表示することができる。

10

【0370】

なお、図32では、遮蔽膜6040と着色層6041とを、基板6006側に設けた場合を例示しているが、遮蔽膜6040または着色層6041を、基板6001側に設けても良い。発光素子6011への光の入射方向と、発光素子6011を透過した光の射出方向とに合わせて、適宜、遮蔽膜6040と着色層6041の設ける位置を定めることができる。

20

【0371】

また、信号線駆動回路6003、走査線駆動回路6004、画素部6002に与えられる各種信号及び電位は、引き回し配線6014及び6015を介して、接続端子6016から供給されている。接続端子6016は、FPC6018が有する端子及び異方性導電膜6019を介して電氣的に接続されている。

【0372】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

30

【0373】

(実施の形態11)

図33は、本発明の一態様に係る発光装置の斜視図の一例である。

【0374】

図33に示す発光装置は、パネル2601と、回路基板2602と、COFテープ2603と信号線駆動回路の形成されたチップ2604とを有している。信号線駆動回路の形成されたチップ2604は、COF(Chip On Film)法を用いてCOFテープ2603に接続されている。回路基板2602には、パネル2601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、回路基板2602から、COFテープ2603を介して、各種信号及び電位がパネル2601に入力される。

40

【0375】

パネル2601は、画素が複数設けられた画素部2605と、走査線駆動回路2606とを有する。走査線駆動回路2606は、画素部2605が有する複数の画素を、行ごとに選択する。チップ2604に設けられた信号線駆動回路は、走査線駆動回路2606によって選択された行内の画素への、画像信号の入力を制御する。

【0376】

なお、COFテープ2603の代わりに、FPC(Flexible Printed Circuit)などを用いて、回路基板2602とパネル2601を電氣的に接続することも可能である。

50

【0377】

また、COFテープ2603を用いる場合、回路基板2602内の一部の回路を別途用意したチップに形成しておき、COF法を用いて当該チップをCOFテープ2603に接続しておいても良い。また、走査線駆動回路2606の一部または全て、或いは信号線駆動回路の一部をチップに形成し、COF法を用いて当該チップをCOFテープ2603に接続しておいても良い。

【0378】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0379】

(実施の形態12)

本発明の一態様に係る液晶表示装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る液晶表示装置または発光装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図16に示す。

【0380】

図16(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スティラス5008等を有する。表示部5003または表示部5004に、本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高い携帯型ゲーム機を提供することができる。なお、図16(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0381】

図16(B)は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。表示部5202に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高い表示機器を提供することができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

【0382】

図16(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。表示部5402に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高いノート型パーソナルコンピュータを提供することができる。

【0383】

図16(D)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能となっている。第1表示部5603における映像の切り替えを、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された液晶表示装置または発光装置を用いるようにしても良い。なお、位置入力装置としての機能は、液晶表示装置または発光装

10

20

30

40

50

置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を液晶表示装置または発光装置の画素部に設けることでも、付加することができる。第1表示部5603または第2表示部5604に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高い携帯情報端末を提供することができる。

【0384】

図16(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って行う構成としても良い。表示部5803に本発明の一態様に係る液晶表示装置または発光装置を用いることで、信頼性の高いビデオカメラを提供することができる。

10

【0385】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0386】

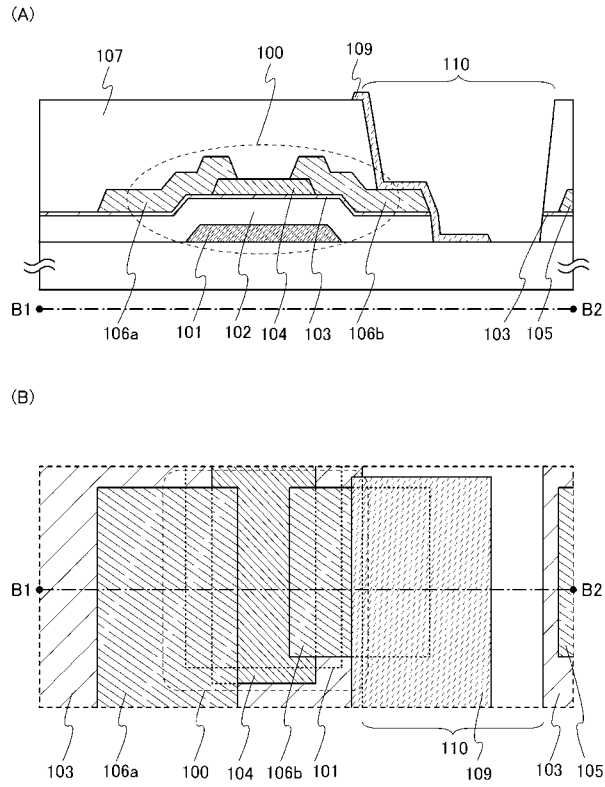
10	画素部	20
11	画素	
12	トランジスタ	
13	液晶素子	
14	容量素子	
100	トランジスタ	
101	ゲート電極	
102	ゲート絶縁膜	
103	半導体膜	
104	絶縁膜	
105	導電膜	30
106a	導電膜	
106b	導電膜	
107	絶縁膜	
108	開口部	
109	画素電極	
110	開口部	
111	導電膜	
202	基板	
203	導電膜	
204	ゲート絶縁膜	40
205	半導体膜	
206	絶縁膜	
207	導電膜	
208	導電膜	
210	導電膜	
211	導電膜	
212	絶縁膜	
213	開口部	
213a	開口部	
213b	開口部	50

2 1 4	開口部	
2 1 5	導電膜	
2 1 6	導電膜	
2 1 7	絶縁膜	
3 0 0	トランジスタ	
3 0 1	ゲート電極	
3 0 2	ゲート絶縁膜	
3 0 3	半導体膜	
3 0 4	絶縁膜	
3 0 5	導電膜	10
3 0 6 a	導電膜	
3 0 6 b	導電膜	
3 0 7	絶縁膜	
3 0 8	開口部	
3 0 9	画素電極	
3 1 0	開口部	
3 1 1	導電膜	
3 2 0	絶縁膜	
3 2 1	開口部	
3 2 2	E L 層	20
3 2 3	対向電極	
3 2 4	発光素子	
3 4 0 b	画素	
3 4 0 g	画素	
3 4 0 r	画素	
4 0 0	基板	
4 0 1	導電膜	
4 0 2	ゲート絶縁膜	
4 0 3	半導体膜	
4 0 4	絶縁膜	30
4 0 5	導電膜	
4 0 6	導電膜	
4 0 7	導電膜	
4 0 8	絶縁膜	
4 0 9	導電膜	
4 1 0	導電膜	
4 1 1	絶縁膜	
4 1 2	開口部	
4 1 2 a	開口部	
4 1 2 b	開口部	40
4 1 3	開口部	
4 1 4	開口部	
4 1 5	導電膜	
4 1 6	導電膜	
4 1 7	絶縁膜	
4 1 8	開口部	
4 1 9	E L 層	
4 2 0	導電膜	
5 1 0	画素部	
5 1 1	画素	50

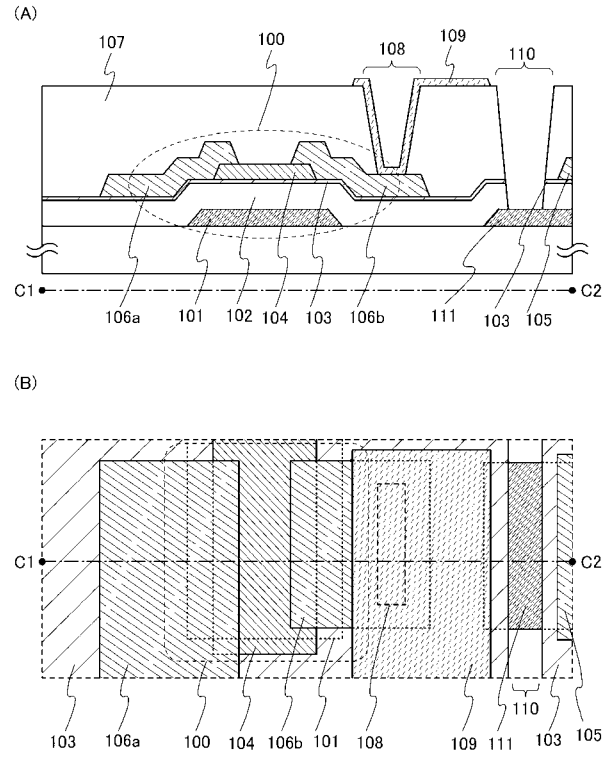
5 1 2	トランジスタ	
5 1 3	トランジスタ	
5 1 4	容量素子	
5 1 5	発光素子	
7 1 5 b	陽極	
7 1 5 g	陽極	
7 1 5 r	陽極	
7 3 0	隔壁	
7 3 1	E L 層	
7 3 2	陰極	10
7 4 0	基板	
7 4 1 b	発光素子	
7 4 1 g	発光素子	
7 4 1 r	発光素子	
7 4 2	基板	
7 4 3 b	着色層	
7 4 3 g	着色層	
7 4 3 r	着色層	
7 4 4	オーバーコート	
7 4 5 b	導電膜	20
7 4 5 g	導電膜	
7 4 5 r	導電膜	
7 4 6 g	導電膜	
7 4 6 r	導電膜	
7 5 0	絶縁膜	
1 6 0 1	パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	
1 6 0 5	導光板	30
1 6 0 6	反射板	
1 6 0 7	光源	
1 6 0 8	回路基板	
1 6 0 9	C O F テープ	
1 6 1 0	F P C	
1 6 1 1	基板	
1 6 2 0	バックライト	
2 6 0 1	パネル	
2 6 0 2	回路基板	
2 6 0 3	C O F テープ	40
2 6 0 4	チップ	
2 6 0 5	画素部	
2 6 0 6	走査線駆動回路	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	対向基板	
4 0 0 7	液晶層	50

4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 4	配線	
4 0 1 6	接続端子	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	基板	
4 0 3 0	画素電極	
4 0 3 1	対向電極	10
4 0 3 5	スペーサ	
4 0 4 0	遮蔽膜	
4 0 4 1	着色層	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	20
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	30
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	40
6 0 0 1	基板	
6 0 0 2	画素部	
6 0 0 3	信号線駆動回路	
6 0 0 4	走査線駆動回路	
6 0 0 5	シール材	
6 0 0 6	基板	
6 0 0 7	充填材	
6 0 0 8	トランジスタ	
6 0 0 9	トランジスタ	
6 0 1 0	トランジスタ	50

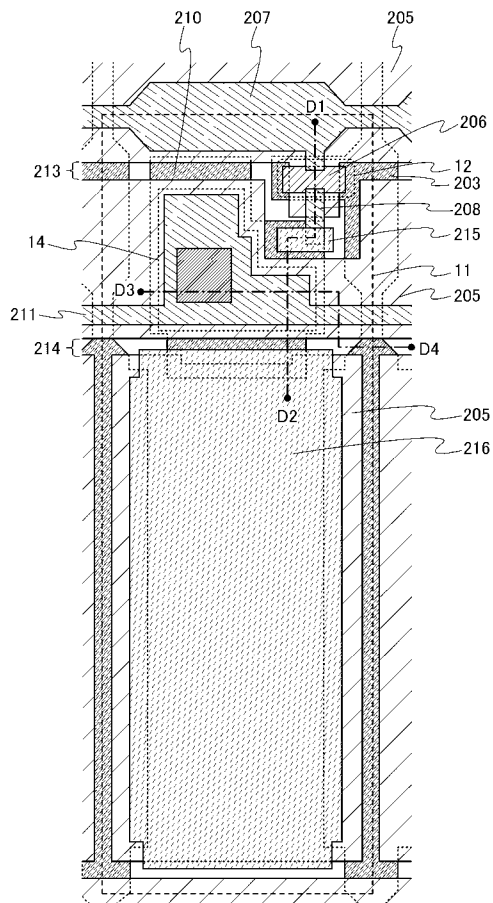
【図 3】



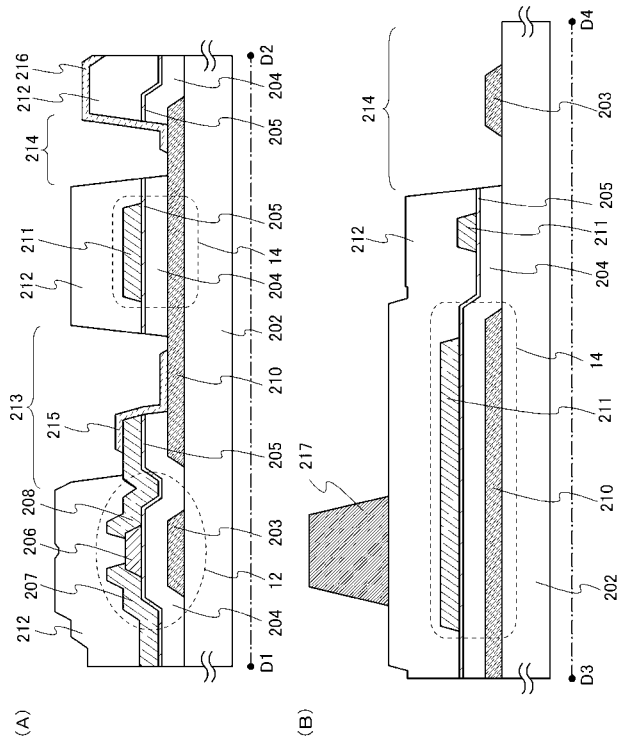
【図 4】



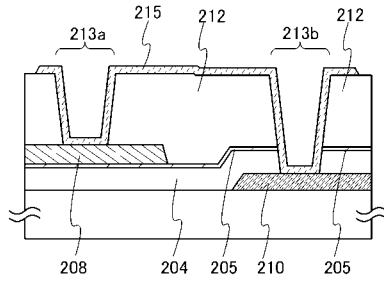
【図 5】



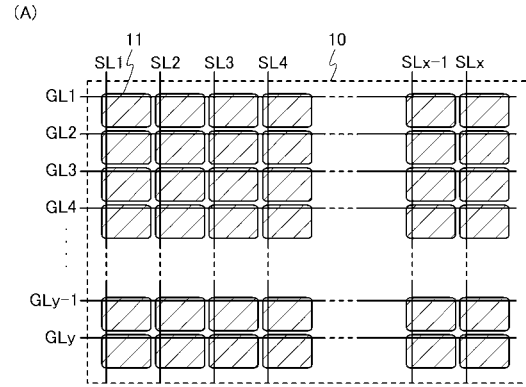
【図 6】



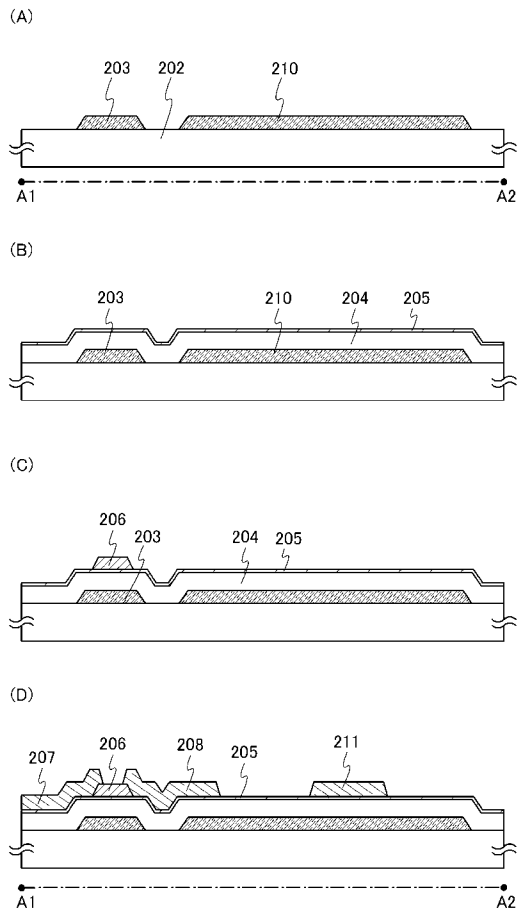
【図 7】



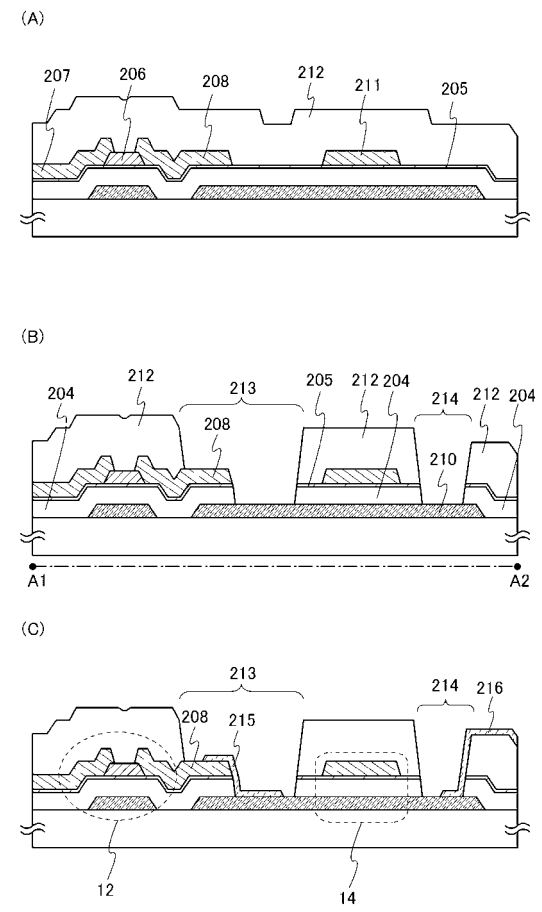
【図 8】



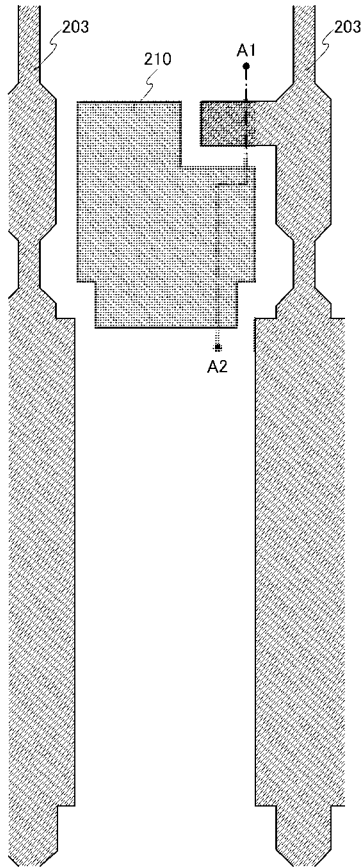
【図 9】



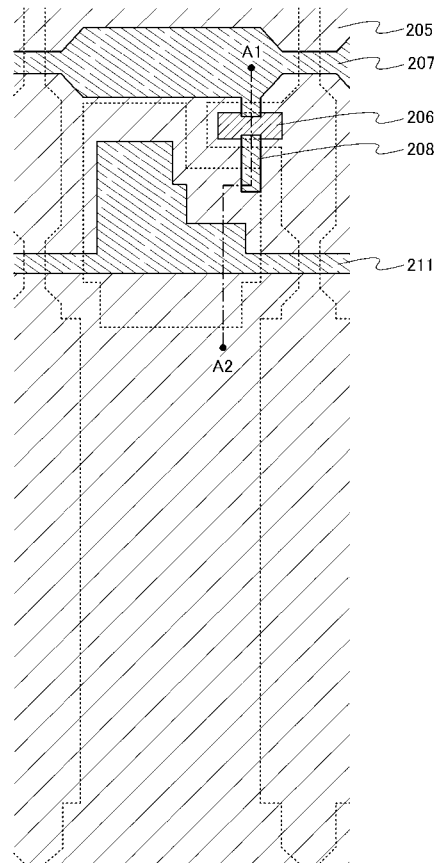
【図 10】



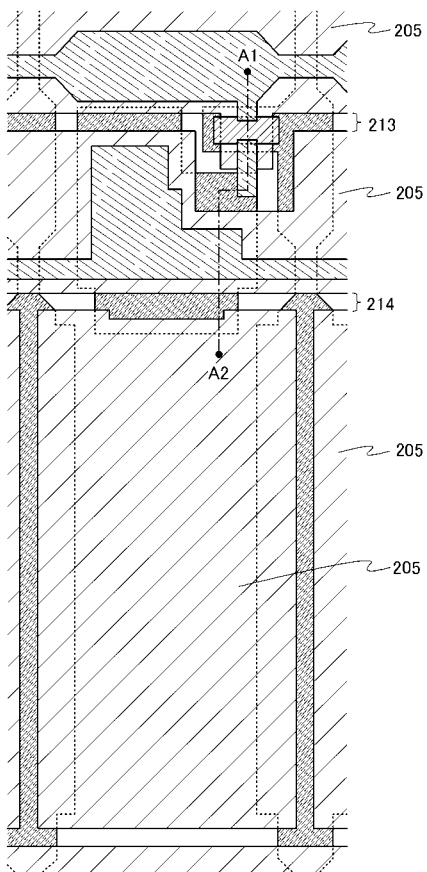
【図 1 1】



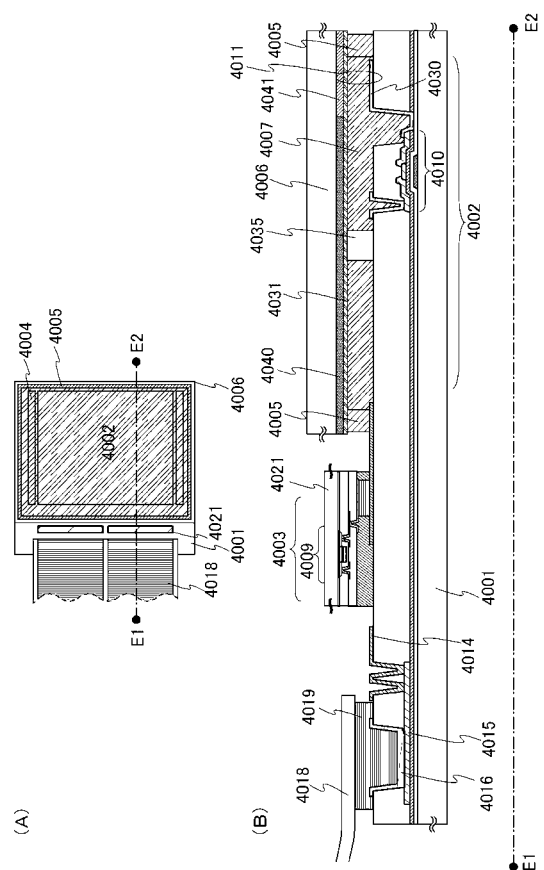
【図 1 2】



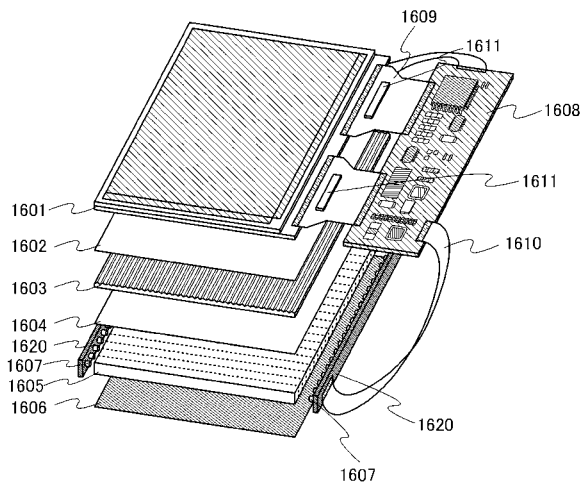
【図 1 3】



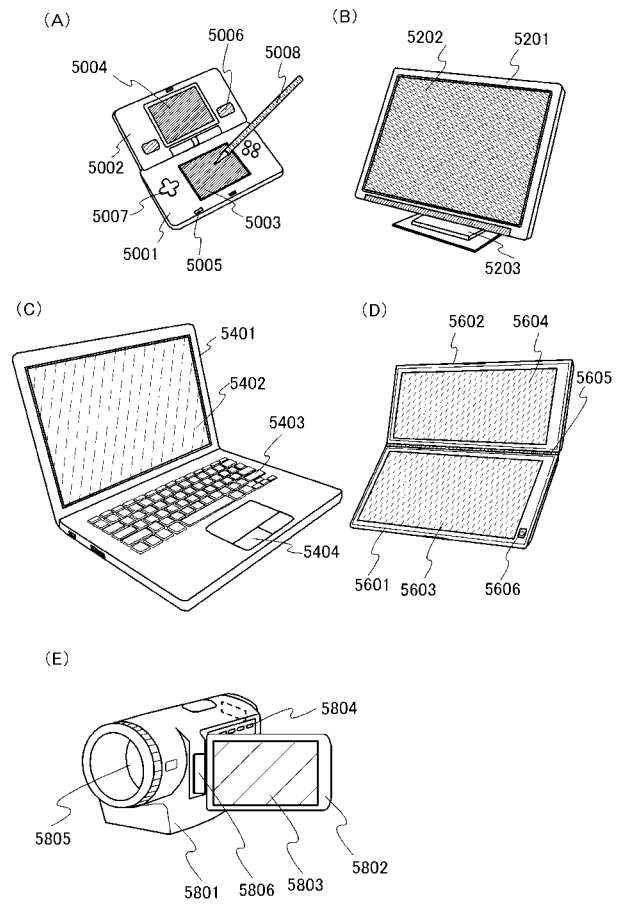
【図 1 4】



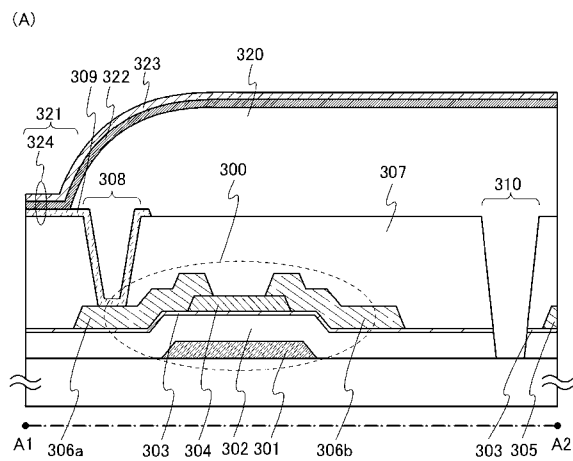
【図 15】



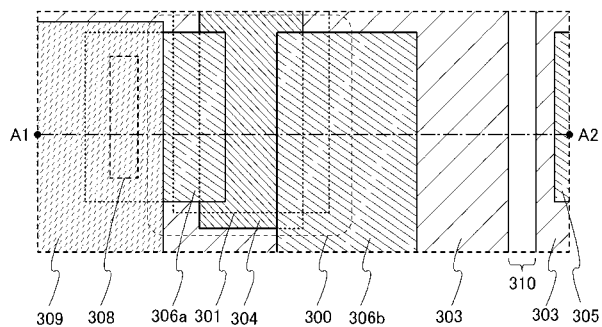
【図 16】



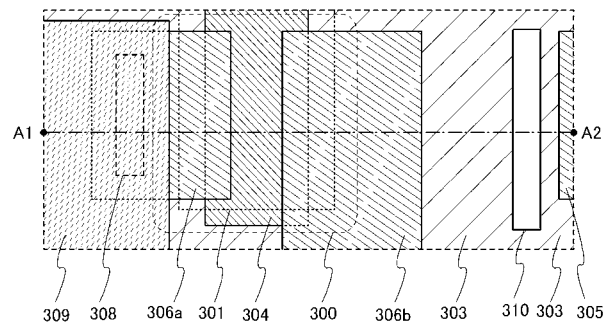
【図 17】



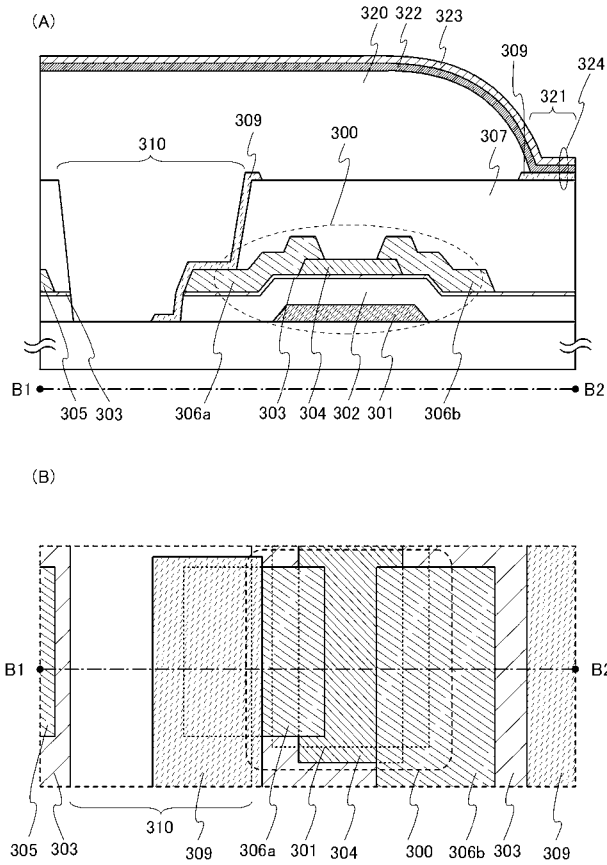
(B)



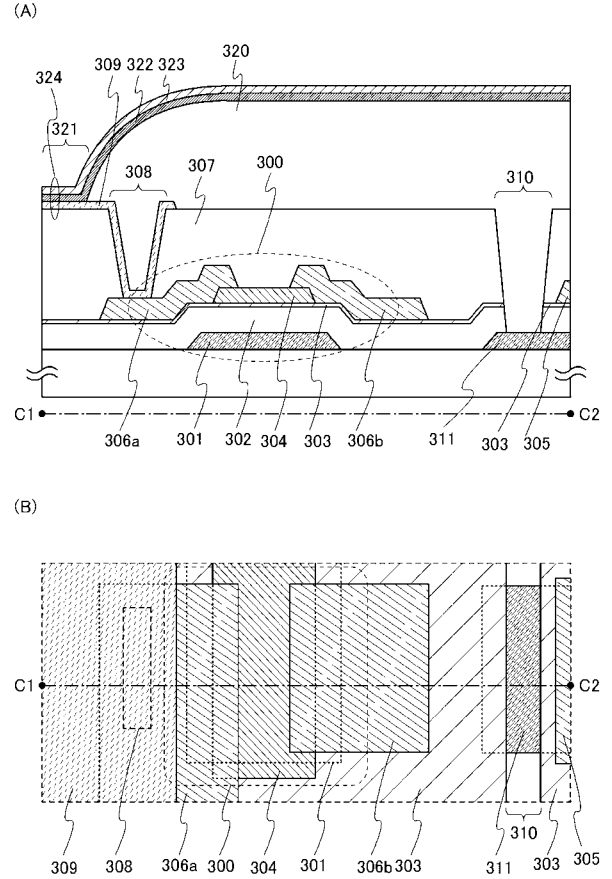
【図 18】



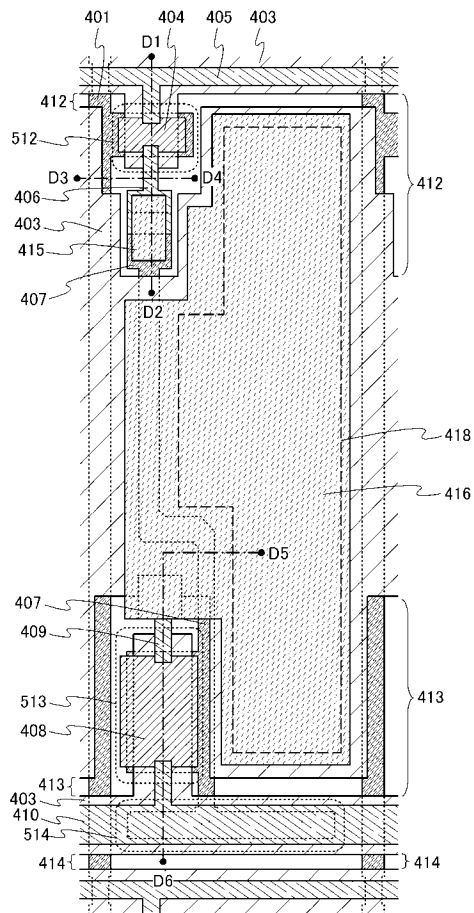
【図 19】



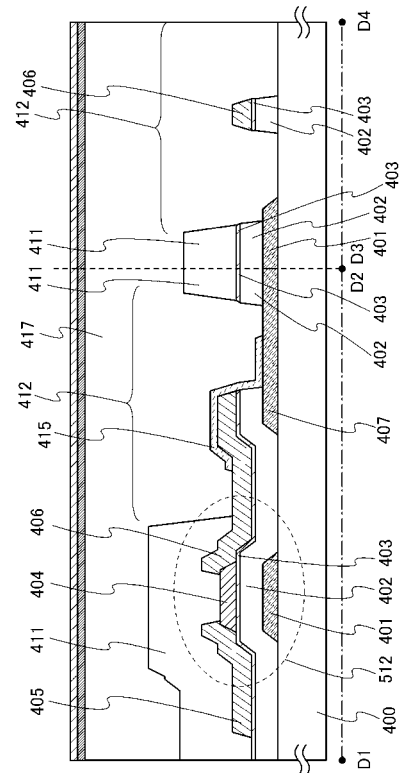
【図 20】



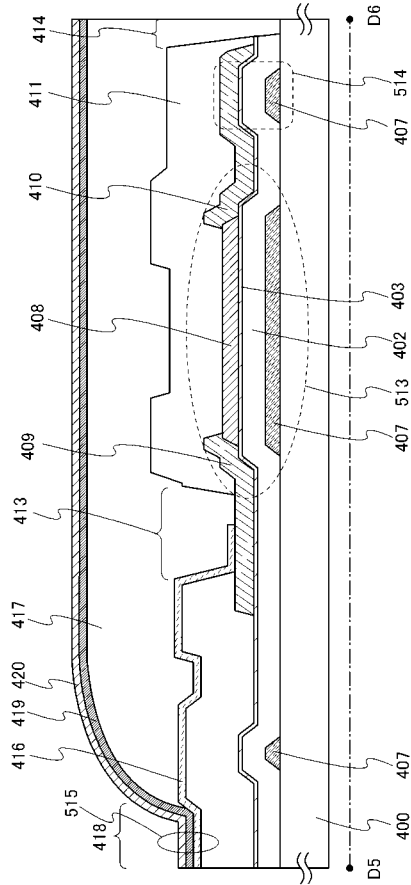
【図 21】



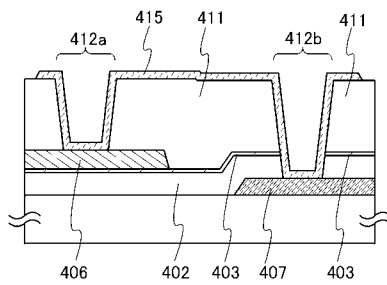
【図 22】



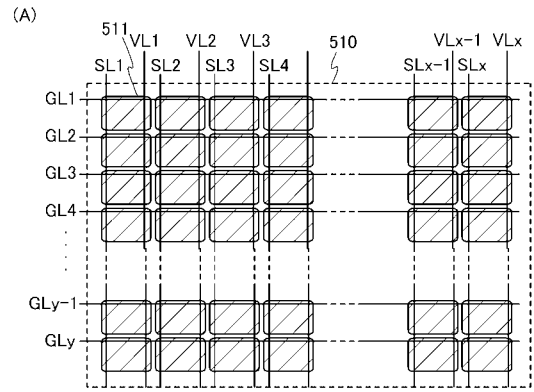
【図 2 3】



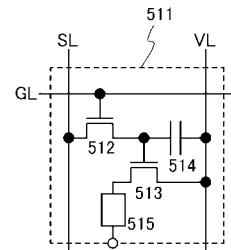
【図 2 5】



【図 2 4】

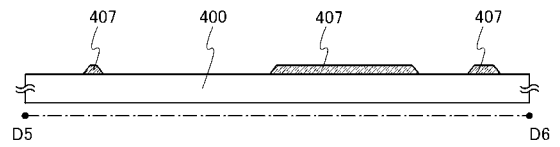


(B)

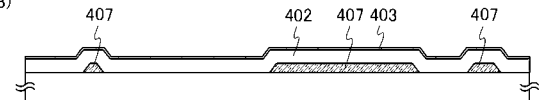


【図 2 6】

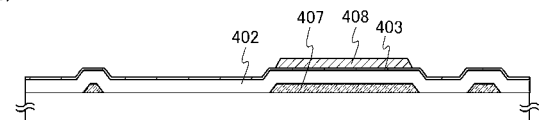
(A)



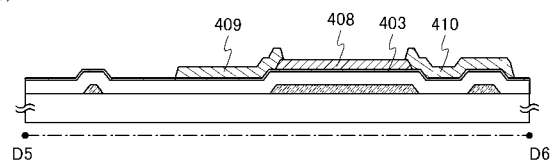
(B)



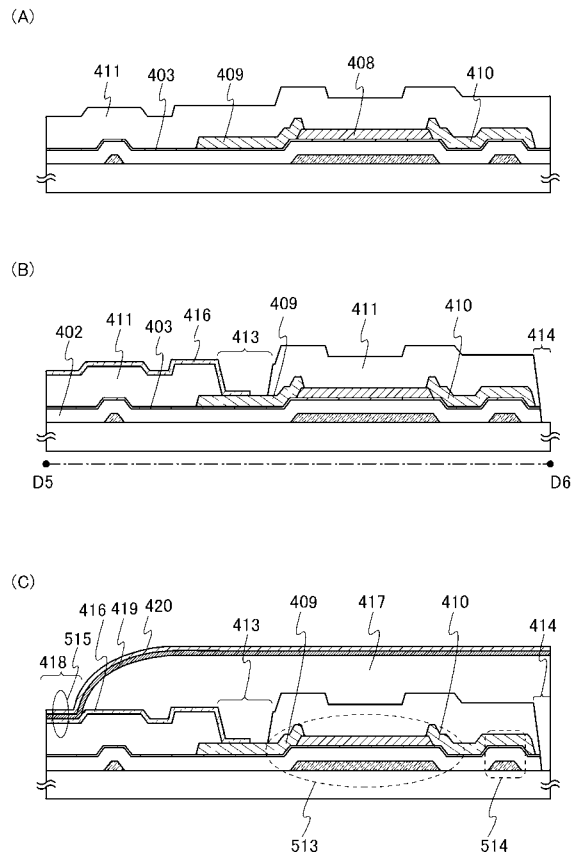
(C)



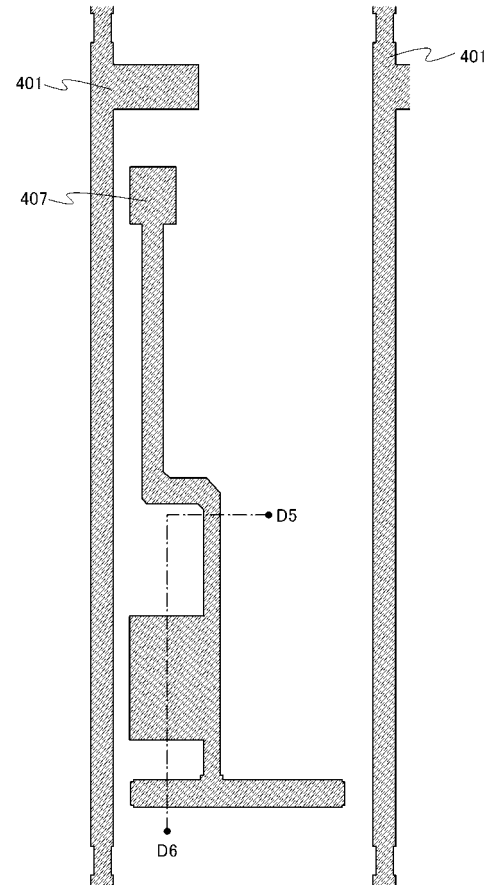
(D)



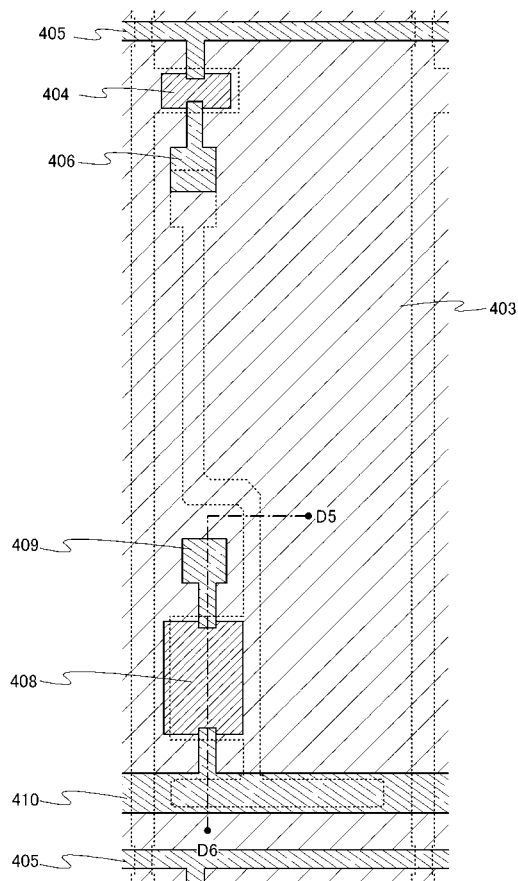
【図 27】



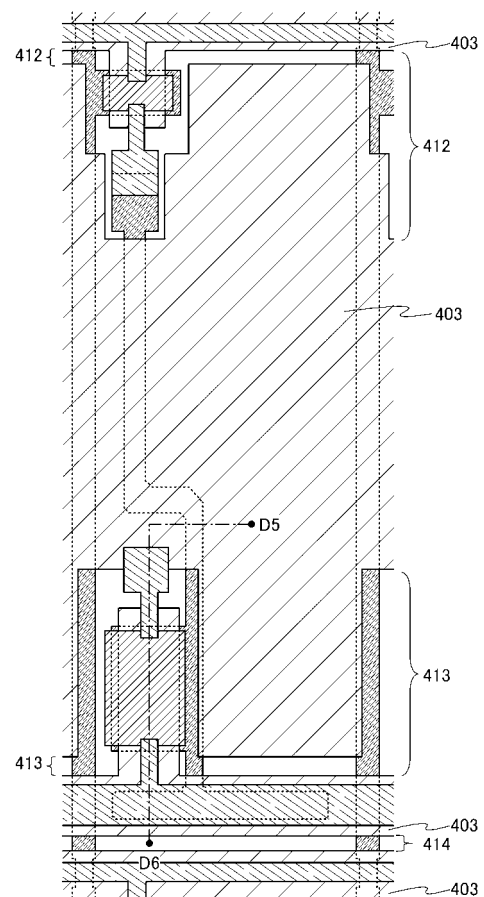
【図 28】



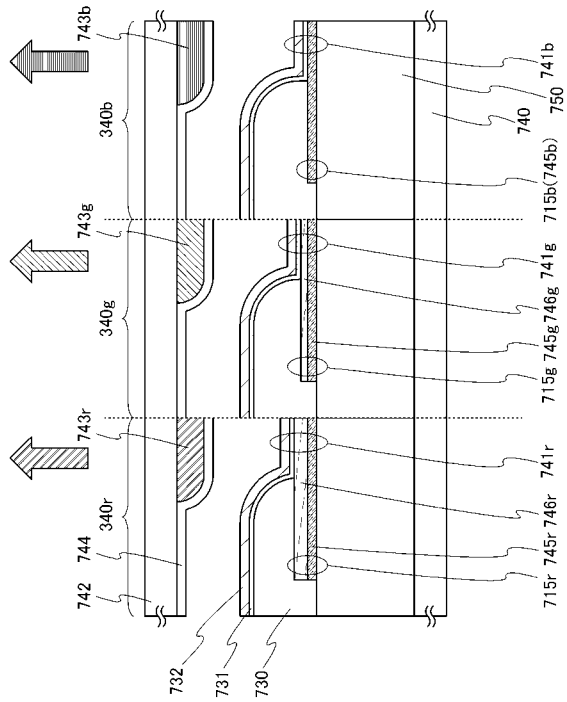
【図 29】



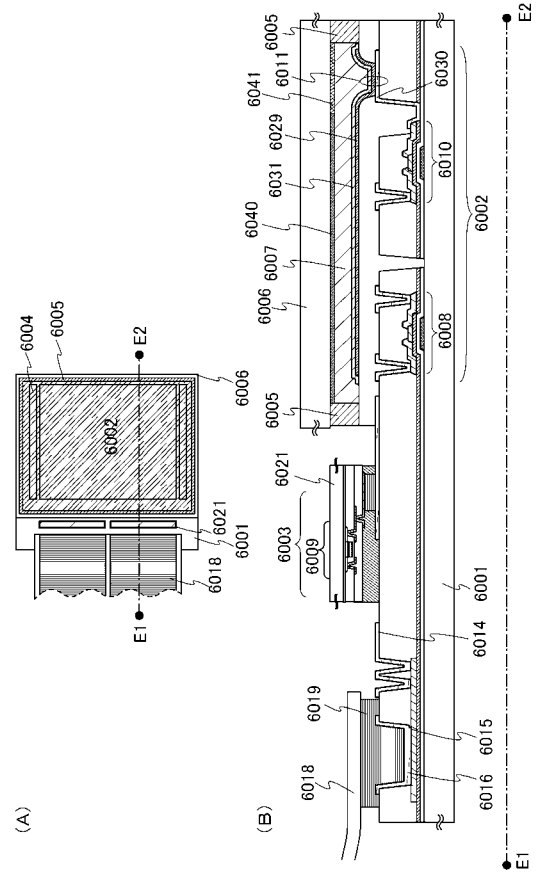
【図 30】



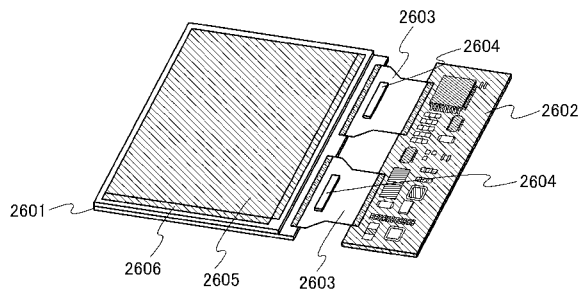
【図 3 1】



【図 3 2】



【図 3 3】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 1 L	27/32		(2006.01)	
		G 0 2 F	1/1368	
		H 0 5 B	33/14	A
		H 0 1 L	27/32	

F ターム (参考)	5C094	AA31	AA43	BA03	BA27	BA43	CA19	DA13	EA04	FA02	FB12
		FB14	FB15	HA04	HA05	HA06	HA07	HA08	HA10		
	5F110	AA06	BB01	DD01	DD02	DD03	DD04	DD07	DD12	DD13	DD14
		DD15	DD17	EE01	EE02	EE03	EE04	EE06	EE07	EE14	EE15
		EE23	EE44	FF01	FF02	FF03	FF04	FF05	FF09	FF28	FF30
		GG01	GG06	GG17	GG19	GG22	GG25	GG28	GG29	GG43	GG57
		GG58	HK04	HK33	HK42	HL02	HL03	HL04	HL06	HL07	HL22
		HL23	HM13	NN02	NN03	NN04	NN12	NN14	NN22	NN23	NN24
		NN27	NN28	NN33	NN34	NN35	NN36	NN40	NN71	NN72	PP01
		PP02	PP10	PP13	PP35	QQ01	QQ02	QQ06			

专利名称(译)	表示装置		
公开(公告)号	JP2017156754A	公开(公告)日	2017-09-07
申请号	JP2017070406	申请日	2017-03-31
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎 舜平 小山 潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G09F9/30 H01L29/786 H01L21/336 G02F1/1368 H01L51/50 H01L27/32		
CPC分类号	G02F1/1368 G02F2001/136231 H01L27/1225 H01L27/1255 H01L27/1259 G02F1/136227 H01L27/1248 H01L29/66969 H01L29/78606 H01L29/7869		
FI分类号	G09F9/30.338 H01L29/78.618.B H01L29/78.618.Z H01L29/78.612.C H01L29/78.613.Z G02F1/1368 H05B33/14.A H01L27/32		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC42 2H192/DA15 2H192/HA47 3K107/AA01 3K107/BB01 3K107/BB03 3K107/BB04 3K107/BB06 3K107/BB08 3K107/CC33 3K107/CC45 3K107/EE04 3K107/FF15 3K107/HH05 5C094/AA31 5C094/AA43 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/HA04 5C094/HA05 5C094/HA06 5C094/HA07 5C094/HA08 5C094/HA10 5F110/AA06 5F110/BB01 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE23 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF05 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG17 5F110/GG19 5F110/GG22 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK04 5F110/HK33 5F110/HK42 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL22 5F110/HL23 5F110/HM13 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN14 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN40 5F110/NN71 5F110/NN72 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP35 5F110/QQ01 5F110/QQ02 5F110/QQ06		
优先权	2011247258 2011-11-11 JP 2011247256 2011-11-11 JP		
其他公开文献	JP6370435B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置和发光装置，其可以用少量掩模和高可靠性制造 位置。 解决方案：半导体器件包括栅电极，位于栅电极上的栅极绝缘膜，与栅电极定位并重叠的半导体膜，岛状，半导体膜上的第一绝缘膜，半导体膜上的第一导电膜，以及插入其间的第一绝缘膜，位于半导体膜上的一对第二导电膜，第一绝缘膜，第一导电膜和一对第二导电膜 第二绝缘膜，位于第二绝缘膜上，位于第二绝缘膜上；并且像素电极通过开口连接到一对第二导电膜中的一个，其中第二个 绝缘膜和半导体膜设置有第一导电膜和一对第二导电膜中的一个或另一个 并且设置位于其间的第二开口部分。 点域1

