

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2017-151434

(P2017-151434A)

(43) 公開日 平成29年8月31日 (2017.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
H01L 29/786 (2006.01)	H01L 29/78 618B	2H192
H01L 21/336 (2006.01)	H01L 29/78 619A	4M104
H01L 21/28 (2006.01)	H01L 29/78 612Z	5C094
G09F 9/30 (2006.01)	H01L 21/28 301B	5F110
審査請求 有 請求項の数 6 O L (全 61 頁) 最終頁に続く		

(21) 出願番号 特願2017-28693 (P2017-28693)
 (22) 出願日 平成29年2月20日 (2017.2.20)
 (62) 分割の表示 特願2016-236520 (P2016-236520)
 の分割
 原出願日 平成22年9月17日 (2010.9.17)
 (31) 優先権主張番号 特願2009-218904 (P2009-218904)
 (32) 優先日 平成21年9月24日 (2009.9.24)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 辻 隆博
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 鈴木 邦彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム (参考) 2H092 GA14 GA17 GA50 GA59 HA04
 JA26 JA42 JA46 JB57 KA08
 MA29

最終頁に続く

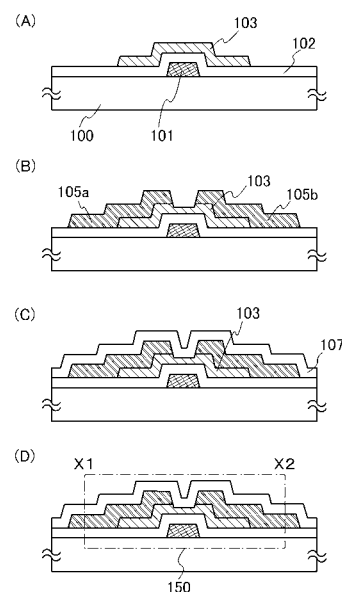
(54) 【発明の名称】 液晶表示装置及びその作製方法

(57) 【要約】 (修正有)

【課題】 酸化物半導体層を用いる薄膜トランジスタにおいて、安定した電気特性を有する信頼性のよい薄膜トランジスタを提供する。

【解決手段】 酸化物半導体層103を用いる薄膜トランジスタ150において、BT試験前後における薄膜トランジスタ150のしきい値電圧の変動幅を2V以下、好ましくは1.5V以下、さらに好ましくは1.0V以下とすることで、信頼性が高く安定した電気特性を有する半導体装置を作製することができる。特に半導体装置のしきい値の変動に起因する表示むらなどの動作不良を低減することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記酸化物半導体層は、結晶を含み、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

基板温度が 150、電界強度が 2 MV/cm、電界印加時間が 1 時間の + B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であることを特徴とする液晶表示装置。

【請求項 2】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記酸化物半導体層は、結晶を含み、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

基板温度が 150、電界強度が 2 MV/cm、電界印加時間が 1 時間の - B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であることを特徴とする液晶表示装置。

【請求項 3】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記酸化物半導体層は、結晶を含み、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

基板温度が 150、電界強度が 2 MV/cm、電界印加時間が 1 時間の + B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第 1 の熱処理を行うことを特徴とする液晶表示装置の作製方法。

【請求項 4】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

10

20

30

40

50

前記酸化物半導体層は、結晶を含み、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

基板温度が150、電界強度が2MV/cm、電界印加時間が1時間の-BT試験前後による前記トランジスタのしきい値電圧の変化量は、2V以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第1の熱処理を行うことを特徴とする液晶表示装置の作製方法。

【請求項5】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記酸化物半導体層は、結晶を含み、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

基板温度が150、電界強度が2MV/cm、電界印加時間が1時間の+BT試験前後による前記トランジスタのしきい値電圧の変化量は、2V以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第1の熱処理を行い、

前記第1の熱処理後、前記無機絶縁層を形成した後に、第2の熱処理を行い、

前記第2の熱処理は、100以上であって、前記第1の熱処理の温度よりも低い温度で行うことを特徴とする液晶表示装置の作製方法。

【請求項6】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記酸化物半導体層は、結晶を含み、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

基板温度が150、電界強度が2MV/cm、電界印加時間が1時間の-BT試験前後による前記トランジスタのしきい値電圧の変化量は、2V以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第1の熱処理を行い、

前記第1の熱処理後、前記無機絶縁層を形成した後に、第2の熱処理を行い、

前記第2の熱処理は、100以上であって、前記第1の熱処理の温度よりも低い温度で行うことを特徴とする液晶表示装置の作製方法。

【請求項7】

請求項1または請求項2において、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有することを特徴とする液晶表示装置。

【請求項8】

請求項 3 乃至請求項 6 のいずれか一において、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

10

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄層（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 及び特許文献 2）。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。

【0007】

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等の表示装置への応用が期待されている。

【0008】

アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧（ V_{th} ）が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態では TFT としてのスイッチング機能を果たすことができず、負荷となる恐れがある。また、しきい値電圧がマイナスであると、ゲート電圧が 0 V でもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

40

【0009】

n チャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くし

50

ないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【0010】

また、半導体装置において回路を構成するトランジスタの特性変動幅（変化量）が大きい場合、そのしきい値電圧の変動に起因する動作不良が発生する恐れがある。

【0011】

特に、液晶表示装置においては、個々の素子間での変動幅が大きい場合、そのしきい値電圧の変動に起因する表示むらなどの動作不良が発生する恐れがある。

【0012】

発光素子を有する表示装置においても、画素電極に一定の電流が流れるように配置されたTFT（駆動回路または画素に配置される発光素子に電流を供給するTFT）のオン電流（ I_{on} ）のバラツキが大きい場合、表示画面において輝度のバラツキなどの動作不良が発生する恐れがある。

【0013】

そこで、本発明の一形態は、長期間安定して動作する薄膜トランジスタ及びそれを用いた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に、ゲート電極層を有し、ゲート電極層上にゲート絶縁層を有し、ゲート絶縁層上に酸化物半導体層を有し、酸化物半導体層上に、ソース電極層及びドレイン電極層を有し、ゲート絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する絶縁層を有することを特徴とする半導体装置である。

【0015】

また、本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に、ゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を形成した後、第1の熱処理を行い、酸化物半導体層上に、ソース電極層及びドレイン電極層を形成し、ゲート絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する絶縁層を形成し、絶縁層を形成した後、第2の熱処理を行うことを特徴とする半導体装置の作製方法である。

【0016】

なお、第1の熱処理は、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第1の熱処理は、処理中の最高温度が350以上750以下の温度で行うことが好ましい。なお、本明細書における最高温度に、温度調節時に発生する所謂オーバーシュート部分の温度は含めない。

【0017】

第2の熱処理は、大気雰囲気、酸素雰囲気、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第2の熱処理は、100以上、第1の熱処理における最高温度以下で行うことが好ましい。

【0018】

上記構成は、上記課題の少なくとも一つを解決する。

【0019】

本明細書中で用いる酸化物半導体は、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。ただし、 m は必ずしも整数にはならない。なお、 M は、 Ga 、 Fe 、 Ni 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。例えば M として、 Ga の場合があるものの他、 Ga と Ni または Ga と Fe など、 Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、または該遷移金属の酸化物が含まれているもの

10

20

30

40

50

がある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶層とも呼ぶ。

【0020】

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Ga-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。また上記酸化物半導体層に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素(SiO_x ($x > 0$))を含ませることで、製造プロセス中において酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

10

【0021】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型(真性)とするため、脱水化または脱水素化は有効である。

【0022】

また、加熱処理の条件または酸化物半導体の材料によっては、酸化物半導体層が非晶質な状態から微結晶層または多結晶層となる場合もある。微結晶層または多結晶層となる場合であっても、TFTとしてスイッチング特性を得ることができる。

20

【発明の効果】

【0023】

しきい値の変動幅が小さく、長期間安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0024】

【図1】半導体装置の作製工程を説明する図。

【図2】半導体装置を説明する図。

30

【図3】半導体装置を説明する図。

【図4】酸化物半導体層中の水素濃度を示す図。

【図5】酸化物半導体層中のH₂Oイオン強度及びH₂Oイオン強度を示す図。

【図6】酸化物半導体から水分子が脱離する機構を解析した結果を示す図。

【図7】半導体装置のブロック図を説明する図。

【図8】信号線駆動回路の回路図およびタイミングチャート。

【図9】シフトレジスタの構成を示す回路図。

【図10】シフトレジスタの回路図およびタイミングチャート。

【図11】半導体装置を説明する図。

【図12】半導体装置を説明する図。

40

【図13】半導体装置を説明する図。

【図14】半導体装置の画素等価回路を説明する図。

【図15】半導体装置を説明する図。

【図16】半導体装置を説明する図。

【図17】半導体装置を説明する図。

【図18】半導体装置を説明する図。

【図19】半導体装置を説明する図。

【図20】半導体装置の構成を示す回路図。

【図21】半導体装置を説明する図。

【図22】半導体装置を説明する図。

50

【図 2 3】半導体装置を説明する図。

【図 2 4】半導体装置の構成を示す回路図。

【図 2 5】電子書籍の例を示す図。

【図 2 6】テレビジョン装置およびデジタルフォトフレームの例を示す図。

【図 2 7】遊技機の例を示す図。

【図 2 8】携帯型のコンピュータ及び携帯電話機の例を示す図。

【図 2 9】V t h の定義を示す図。

【図 3 0】実施例 1 の薄膜トランジスタの B T 試験結果を示す図。

【図 3 1】従来の薄膜トランジスタの B T 試験結果を示す図。

【発明を実施するための形態】

10

【0025】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0026】

(実施の形態 1)

本実施の形態では、図 1 (D) に示す薄膜トランジスタ 150 の作製方法の一形態について、薄膜トランジスタ作製工程の断面図である図 1 (A) 乃至図 1 (D) を用いて説明する。薄膜トランジスタ 150 は、チャネルエッチ型と呼ばれるボトムゲート構造の一つである。

20

【0027】

まず、絶縁表面を有する基板である基板 100 上に、フォトマスクを用いてフォトリソグラフィ工程によりゲート電極層 101 を設ける。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0028】

基板 100 としては、ガラス基板を用いることが好ましい。基板 100 として用いるガラス基板は、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、基板 100 には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素 (B_2O_3) と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

30

【0029】

なお、上記の基板 100 に代えて、セラミック基板、石英ガラス基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0030】

また、下地層となる絶縁層を基板 100 とゲート電極層 101 の間に設けてもよい。下地層は、基板 100 からの不純物元素の拡散を防止する機能があり、窒化珪素、酸化珪素、窒化酸化珪素、または酸化窒化珪素から選ばれた一または複数の層による積層構造により形成することができる。

40

【0031】

下地層に、塩素、フッ素などのハロゲン元素を含ませることで、基板 100 からの不純物元素の拡散を防止する機能をさらに高めることができる。下地層中に含ませるハロゲン元素の濃度は、SIMS (二次イオン質量分析計) を用いた分析により得られる濃度ピークにおいて、 $1 \times 10^{15} \text{ cm}^3$ 以上 $1 \times 10^{20} \text{ cm}^3$ 以下とすればよい。

【0032】

ゲート電極層 101 としては、金属導電層を用いることができる。金属導電層の材料とし

50

ては、アルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電層として単層、または2層構造、または4層以上の積層構造としてもよい。

【0033】

次いで、ゲート電極層101上にゲート絶縁層102を形成する。

【0034】

ゲート絶縁層102は、プラズマCVD法またはスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層または窒化酸化珪素層を単層でまたは積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層102の厚さは、100nm以上500nm以下とし、積層の場合は、例えば、厚さ50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に厚さ5nm以上300nm以下の第2のゲート絶縁層の積層とする。

【0035】

また、酸化物半導体層の形成前に、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において加熱処理（400℃以上基板の歪み点未満）を行い、層内に含まれる水素及び水などの不純物を除去したゲート絶縁層102としてもよい。

【0036】

次いで、ゲート絶縁層102上に、厚さ5nm以上200nm以下、好ましくは10nm以上50nm以下の酸化物半導体層を形成する。酸化物半導体層の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体層を非晶質な状態とするため、厚さを50nm以下と薄くすることが好ましい。酸化物半導体層の厚さを薄くすることで酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

【0037】

酸化物半導体層は、In-Ga-Zn-O系非単結晶層、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Ga-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体層を用いる。本実施の形態では、例えば、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により形成する。また、酸化物半導体層130は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体層に結晶化を阻害する SiO_x ($x > 0$)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。なお、電源としてパルス直流 (DC) 電源を用いると、ごみが軽減でき、厚さ分布も均一となるために好ましい。

【0038】

また、酸化物半導体ターゲット中の酸化物半導体の相対密度は80%以上とするのが好ましい。これにより、形成された酸化物半導体層中の不純物濃度を低減することができ、電気特性または信頼性の高い薄膜トランジスタを得ることができる。

【0039】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁層を形成する場合に用いられ、DCスパッタ法は主に金属層を形成する場合に用いられる。

【0040】

10

20

30

40

50

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料を積層形成することも、同一チャンバーで複数種類の材料を同時に放電させて形成することもできる。

【0041】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0042】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

10

【0043】

また、酸化物半導体膜の成膜を行う前に、スパッタ装置内壁や、ターゲット表面やターゲット材料中に残存している水分または水素を除去するためにプレヒート処理を行うと良い。プレヒート処理としては成膜チャンバー内を減圧下で200～600に加熱する方法や、加熱しながら窒素や不活性ガスの導入と排気を繰り返す方法等がある。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。プレヒート処理を終えたら、基板またはスパッタ装置を冷却し、酸化物半導体膜の成膜を行う。

【0044】

20

また、スパッタ法による成膜中に基板を400以上700以下に加熱してもよい。

【0045】

また、酸化物半導体膜の成膜を行う前、または成膜中、または成膜後に、スパッタ装置内をクライオポンプを用いて中に残存している水分などを除去することが好ましい。

【0046】

また、ゲート絶縁層102、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく形成することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0047】

30

次いで、酸化物半導体層をフォトリソグラフィ工程により島状の酸化物半導体層103に加工する(図1(A)参照。)。また、島状の酸化物半導体層103を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0048】

次いで、第1の熱処理を行って、酸化物半導体層103の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の熱処理の温度は、処理中の最高温度が350以上750以下、好ましくは425以上とする。なお、425以上であれば熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層103を得ることができる。本実施の形態では、酸化物半導体層103の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、ヘリウム、ネオン、アルゴン等の希ガス下において脱水化または脱水素化を行う。

40

【0049】

第1の熱処理により酸化物半導体層103を構成する酸化物半導体の原子レベルの再配列が行われる。第1の熱処理は、酸化物半導体層103中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。

50

【0050】

なお、第1の熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0051】

また、第1の熱処理は、電気炉を用いた加熱方法を用いることができる。なお、第1の熱処理は、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0052】

また、第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層または多結晶層となる場合もある。ここで、酸化物半導体層は、結晶化率が80%以上または90%以上の微結晶層となることがある。また、酸化物半導体層の材料によっては、結晶を有さない酸化物半導体層となることもある。

20

【0053】

また、酸化物半導体層の第1の熱処理は、島状の酸化物半導体層103に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0054】

ここで、酸化物半導体層中の脱水素化有無における、水素濃度分析結果について触れておく。図4(A)は、本分析で用いた試料の断面構造模式図である。ガラス基板400上にプラズマCVD法で酸化窒化絶縁層401を形成し、酸化窒化絶縁層401上にIn-Ga-Zn-O系酸化物半導体層402を約40nm形成したものを用意した。用意した試料を分断し、一つは脱水素化を行わず、もう一つはGRTA法による窒素雰囲気中650、6分間の脱水素化を行なった。それぞれの試料について、酸化物半導体層中の水素濃度を測定することで、熱処理による脱水素化の効果について調査した。

30

【0055】

酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行った。図4(B)は、酸化物半導体層中の厚さ方向の水素濃度分布を示すSIMS分析結果である。横軸は試料表面からの深さを示しており、左端の深さ0nmの位置が試料最表面(酸化物半導体層の最表面)に相当する。図4(A)に示す分析方向403は、SIMS分析の分析方向を示している。分析は酸化物半導体層の最表面からガラス基板400に向かう方向で行った。つまり、図4(B)の横軸において、左端から右端の方向に向かって行った。図4(B)の縦軸は、特定深さにおける試料中の水素濃度と、酸素イオン強度を対数軸で示している。

40

【0056】

図4(B)において、水素濃度プロファイル412は、脱水素化を行っていない酸化物半導体層中の水素濃度プロファイルを示しており、水素濃度プロファイル413は、熱処理による脱水素化を行った後の酸化物半導体層中の水素濃度プロファイルを示している。酸素イオン強度プロファイル411は、水素濃度プロファイル412測定時に同時に取得した酸素イオン強度を示している。酸素イオン強度プロファイル411に極端な変動が無く

50

、ほぼ一定のイオン強度が得られていることから、SIMS分析が正確に行われていることがわかる。なお、図示していないが、水素濃度プロファイル413測定時も同様に酸素イオン強度を測定しており、こちらもほぼ一定のイオン強度が得られている。水素濃度プロファイル412及び水素濃度プロファイル413は、試料と同じIn-Ga-Zn-O系酸化物半導体層で作製した標準試料を用いて定量している。

【0057】

なお、SIMS分析は、その原理上、試料表面近傍や、材質が異なる層の積層界面近傍のデータを正確に得ることが困難であることが知られている。本分析においては、試料最表面から深さ約15nmまでは正確なデータが得られていないと考えられるため、深さ15nm以降のプロファイルを評価した。

10

【0058】

水素濃度プロファイル412から、脱水素化を行っていない酸化物半導体層中に、水素が約 $3 \times 10^{20} \text{ atoms/cm}^3$ 以上、約 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下、平均水素濃度で約 $4 \times 10^{20} \text{ atoms/cm}^3$ 含まれていることがわかる。また、水素濃度プロファイル413から、脱水素化により、酸化物半導体層中の平均水素濃度を約 $2 \times 10^{19} \text{ atoms/cm}^3$ に低減できていることがわかる。

【0059】

本分析により、熱処理による脱水素化を行うことで、酸化物半導体層中の水素濃度を低減できることが確認できた。また、GRTA法による窒素雰囲気中650、6分間の脱水素化により、酸化物半導体層中の水素濃度を1/10以下に低減できることが確認できた。

20

【0060】

また、図4に示したSIMS分析時に同時に測定した、酸化物半導体層中のH+Oイオン強度と、 $\text{H}_2 + \text{O}$ イオン強度の検出結果を図5に示す。図5(A1)は、脱水素化を行っていない酸化物半導体層中のH+Oイオン強度であり、図5(A2)は、脱水素化を行った酸化物半導体層中のH+Oイオン強度である。また、図5(B1)は、脱水素化を行っていない酸化物半導体層中の $\text{H}_2 + \text{O}$ イオン強度であり、図5(B2)は、脱水素化を行った酸化物半導体層中の $\text{H}_2 + \text{O}$ イオン強度である。どちらも脱水素化した試料の方がイオン強度が小さくなっており、GRTA法で650、6分間の加熱処理により、水分またはOHの脱離が効率よく行われていることがわかる。

30

【0061】

つづいて、In-Ga-Zn-O系酸化物半導体から水分子が脱離する機構について、計算化学により解析した結果を図6を用いて説明する。本解析は、量子化学計算プログラムGaussian03を用いて行った。酸化物半導体中では水分子だけでなく、OHがHと化合し水分子として脱離する可能性があるため、酸化物半導体中に存在しているOH基の脱離機構について解析を行った。

【0062】

図6(A)は、OH基を含む酸化物半導体中の最安定構造の始状態を示しており、図6(D)はOH基が水分子(H_2O 分子)となって無限遠に脱離した終状態を示している。図6(B)及び図6(C)は、図6(A)から図6(D)に至るまでの遷移状態及び中間状態を示す図である。 M_1 、 M_2 、 M' は金属原子を表しており、In、Ga、Znを想定している。つまり、 $\text{M}_1 - \text{M}_2$ の全組み合わせは、In-In、Ga-Ga、Zn-Zn、In-Ga、In-Zn、Ga-Znの6通りが存在する。なお、本計算では M' を水素原子に置き換えて、最小分子構造単位での計算を行った。以下、OH基の脱離メカニズムについて順を追って説明する。

40

【0063】

まず、始状態において、OH基701が M_1 と結合し、OH基702が M_1 と M_2 を架橋するように配位結合を形成している(図6(A)参照)。

【0064】

次に、一定以上のエネルギーが酸化物半導体に加えられると、OH基702のHが、OH

50

基 7 0 1 へ転位し (図 6 (B) 参照)、 H_2O 分子 7 0 5 を生成する。 H_2O 分子 7 0 5 は、 M_1 と配位結合を形成する (図 6 (C) 参照)。最後に、 H_2O 分子 7 0 5 は、 M_1 から無限遠に脱離した H_2O 分子 7 1 0 となる (図 6 (D) 参照)。

【 0 0 6 5 】

図 6 (E) は、 $M_1 - M_2$ を $In - Ga$ とした時の、図 6 (A) 乃至図 6 (D) の各状態におけるポテンシャルエネルギーの値を示している。エネルギー 7 1 1 は、図 6 (A) に示す状態の時のエネルギーを示している。エネルギー 7 1 2 は、図 6 (B) に示す状態の時のエネルギーを示している。エネルギー 7 1 3 は、図 6 (C) に示す状態の時のエネルギーを示している。エネルギー 7 1 4 は図 6 (D) に示す状態の時のエネルギーを示している。

10

【 0 0 6 6 】

本解析結果から、 $M_1 - M_2$ が $In - Ga$ の時の、水分子生成の活性化エネルギーは 1 . 1 4 e V であることがわかった。図 6 (F) に、 $M_1 - M_2$ の 6 つの組み合わせにおける水生成反応の活性化エネルギー (E_a) の計算結果を示す。 $M_1 - M_2$ の 6 つの組み合わせの中で、 $M_1 - M_2$ が $In - Ga$ の時の活性化エネルギーが最も小さく、 $Zn - Zn$ の時の活性化エネルギーが最も大きい事がわかった。また、 $M_1 - M_2$ の組み合わせに Zn が含まれると、活性化エネルギーが大きくなる傾向がみられるため、 $In - Ga - Zn - O$ 系酸化物半導体においては、 Zn が OH 基脱離の阻害要因となっている可能性が推測される。

20

【 0 0 6 7 】

本解析結果から、 $In - Ga - Zn - O$ 系酸化物半導体において、熱処理による OH 基の脱離を効率よく行うには、 In と Ga の含有量 (原子数) が同程度、もしくは In が Ga より多い方が好ましい事がわかった。また、 Zn の含有量 (原子数) が、 In と Ga を合わせた含有量よりも少ない事が好ましく、さらに、 In と Ga それぞれの含有量よりも少ない事がより好ましいことがわかった。

【 0 0 6 8 】

酸化物半導体の組成を最適化することで、熱処理による脱水化または脱水素化を効率よく行うことができる。

【 0 0 6 9 】

次いで、ゲート絶縁層 1 0 2、及び酸化物半導体層 1 0 3 上にソース電極層及びドレイン電極層を形成するための導電層を形成する。

30

【 0 0 7 0 】

ソース電極層及びドレイン電極層を形成するための導電層としては、ゲート電極層 1 0 1 と同様に、金属導電層を用いることができる。金属導電層の材料としては、 Al 、 Cr 、 Cu 、 Ta 、 Ti 、 Mo 、 W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電層として単層、または 2 層構造、または 4 層以上の積層構造としてもよい。

40

【 0 0 7 1 】

フォトリソグラフィ工程により、ソース電極層及びドレイン電極層を形成するための導電層から、ソース電極層 1 0 5 a またはドレイン電極層 1 0 5 b を形成する (図 1 (B) 参照)。また、このとき酸化物半導体層 1 0 3 も一部がエッチングされ、溝部 (凹部) を有する酸化物半導体層 1 0 3 となる。

【 0 0 7 2 】

なお、ソース電極層 1 0 5 a またはドレイン電極層 1 0 5 b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

【 0 0 7 3 】

50

また、酸化物半導体層 103 と、ソース電極層 105 a またはドレイン電極層 105 b の間に、酸化物半導体層 103 よりも抵抗が低い酸化物導電層を形成しても良い。このような積層構成とすることで、薄膜トランジスタの耐圧を向上させることができる。具体的には、抵抗が低い酸化物導電層のキャリア濃度は、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。

【0074】

次に、ゲート絶縁層 102、酸化物半導体層 103、ソース電極層 105 a 及びドレイン電極層 105 b を覆い、酸化物半導体層 103 の一部と接する絶縁層 107 を形成する（図 1（C）参照。）。絶縁層 107 は、少なくとも 1 nm 以上の厚さとし、CVD 法、スパッタリング法など、絶縁層 107 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、絶縁層 107 は、例えばスパッタリング法の一つである、リアクティブスパッタリング法を用いて形成する。酸化物半導体層 103 の一部と接して形成される絶縁層 107 は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁層を用い、代表的には酸化珪素層、窒化酸化珪素層、窒化珪素層、酸化アルミニウム層、酸化窒化アルミニウム層又は窒化アルミニウム層、を用いることができる。

10

【0075】

また、絶縁層 107 は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層又は酸化窒化アルミニウム層の上に窒化珪素層又は窒化アルミニウム層を積層する構造としてもよい。特に窒化珪素層は水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックしやすいので好ましい。

20

【0076】

絶縁層 107 の形成時の基板温度は、室温以上 300 °C 以下とすればよく、酸化珪素層のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素及び希ガス雰囲気下でスパッタリング法により酸化珪素を形成することができる。

【0077】

次いで、第 2 の熱処理を行う。第 2 の熱処理は、100 °C 以上、第 1 の熱処理における処理中の最高温度以下で行う。例えば、加熱処理装置の一つである電気炉に基板を導入し、窒素雰囲気下において加熱処理を行う。第 2 の熱処理は、絶縁層 107 形成以降の工程であれば、いつ行ってもよい。

30

【0078】

以上の工程より、絶縁表面を有する基板である基板 100 上にゲート電極層 101 が設けられ、ゲート電極層 101 の上にゲート絶縁層 102 が設けられ、ゲート絶縁層 102 の上に酸化物半導体層 103 が設けられ、酸化物半導体層 103 の上にソース電極層 105 a またはドレイン電極層 105 b が設けられ、ゲート絶縁層 102、酸化物半導体層 103、ソース電極層 105 a 及びドレイン電極層 105 b を覆い、酸化物半導体層 103 の一部と接する絶縁層 107 が設けられている、チャネルエッチ型の薄膜トランジスタ 150 を形成することができる（図 1（D）参照。）。

40

【0079】

図 2 は、本実施の形態で示した薄膜トランジスタ 150 の上面図である。図 1（D）は、図 2 の X1 - X2 部位の断面構成を示している。図 2 において、L はチャネル長を示しており、W はチャネル幅を示している。また、A はチャネル幅方向と平行な方向において、酸化物半導体層 103 がソース電極層 105 a 及びドレイン電極層 105 b と重ならない領域の長さを示している。Ls はソース電極層 105 a とゲート電極層 101 が重なる長さを示しており、Ld はドレイン電極層 105 b とゲート電極層 101 が重なる長さを示している。

【0080】

50

本実施の形態では、薄膜トランジスタ 150 をシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタや、絶縁層 107 上に第 2 のゲート電極層を有する構造の薄膜トランジスタとすることもできる。

【0081】

また、本実施の形態では、チャネルエッチ型の薄膜トランジスタ 150 の作製方法について説明したが、本実施の形態の構成はこれに限られるものではない。図 3 (A) に示すような、ボトムゲート構造の薄膜トランジスタ 160 (逆コプラナ型とも呼ぶ) や、図 3 (B) に示すような、チャネル保護層 110 を有するチャネル保護型 (チャネルストップ型ともいう) の薄膜トランジスタ 170 等も同様の材料、方法を用いて形成することができる。図 3 (C) は、チャネルエッチ型薄膜トランジスタの他の例を示している。図 3 (C) に示す薄膜トランジスタ 180 は、ゲート電極層 101 が酸化物半導体層 103 の端部よりも外側に伸びた構造となっている。

10

【0082】

なお、薄膜トランジスタのチャネル長 (図 2 中の L) は、ソース電極層 105a とドレイン電極層 105b との距離で定義されるが、チャネル保護型の薄膜トランジスタのチャネル長は、キャリアの流れる方向と平行な方向のチャネル保護層の幅で定義される。

【0083】

本実施の形態により、酸化物半導体をチャネル形成領域として用いる薄膜トランジスタのしきい値電圧を 0 V に近づけることができる。

20

【0084】

また、処理温度 150 、処理時間 1 時間、電界強度 2×10^6 V/cm の条件における BT 試験において、BT 試験前後でのしきい値電圧の変化量が 2 V 以下、好ましくは 1.5 V 以下、さらに好ましくは 1.0 V 以下である酸化物半導体層を有する薄膜トランジスタを作製することができる。

【0085】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0086】

(実施の形態 2)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

30

【0087】

画素部に配置する薄膜トランジスタは、実施の形態 1 に従って形成する。また、実施の形態 1 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0088】

アクティブマトリクス型表示装置のブロック図の一例を図 7 (A) に示す。表示装置の基板 5300 上には、画素部 5301、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 を有する。画素部 5301 には、複数の信号線が信号線駆動回路 5304 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5302、及び第 2 の走査線駆動回路 5303 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5300 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 5305 (コントローラ、制御 IC ともいう) に接続されている。

40

【0089】

図 7 (A) では、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 は、画素部 5301 と同じ基板 5300 上に形成される。そのため、

50

外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 5300 外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0090】

なお、タイミング制御回路 5305 は、第 1 の走査線駆動回路 5302 に対し、一例として、第 1 の走査線駆動回路用スタート信号 (GSP1) (スタートパルスともいう)、走査線駆動回路用クロック信号 (GCK1) を供給する。また、タイミング制御回路 5305 は、第 2 の走査線駆動回路 5302 に対し、一例として、第 2 の走査線駆動回路用スタート信号 (GSP2)、走査線駆動回路用クロック信号 (GCK2) を供給する。またタイミング制御回路 5305 は、信号線駆動回路 5304 に、信号線駆動回路用スタート信号 (SSP)、信号線駆動回路用クロック信号 (SCK)、ビデオ信号用データ (DATA) (単にビデオ信号ともいう)、ラッチ信号 (LAT) を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号 (CKB) とともに供給されるものであってもよい。なお、第 1 の走査線駆動回路 5302 と第 2 の走査線駆動回路 5303 との一方を省略することが可能である。

10

【0091】

図 7 (B) では、駆動周波数が低い回路 (例えば、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303) を画素部 5301 と同じ基板 5300 に形成し、信号線駆動回路 5304 を画素部 5301 とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板 5300 に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

20

【0092】

また、実施の形態 1 に示す薄膜トランジスタは、 n チャネル型 TFT である。図 8 (A)、図 8 (B) では n チャネル型 TFT で構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0093】

信号線駆動回路は、シフトレジスタ 5601、及びスイッチング回路 5602 を有する。スイッチング回路 5602 は、スイッチング回路 5602__1 ~ 5602__N (N は自然数) という複数の回路を有する。スイッチング回路 5602__1 ~ 5602__N は、各々、薄膜トランジスタ 5603__1 ~ 5603__k (k は自然数) という複数のトランジスタを有する。薄膜トランジスタ 5603__1 ~ 5603__k は、 N チャネル型 TFT である例を説明する。

30

【0094】

信号線駆動回路の接続関係について、スイッチング回路 5602__1 を例にして説明する。薄膜トランジスタ 5603__1 ~ 5603__k の第 1 端子は、各々、配線 5604__1 ~ 5604__k と接続される。薄膜トランジスタ 5603__1 ~ 5603__k の第 2 端子は、各々、信号線 S1 ~ Sk と接続される。薄膜トランジスタ 5603__1 ~ 5603__k のゲートは、配線 5605__1 と接続される。

40

【0095】

シフトレジスタ 5601 は、配線 5605__1 ~ 5605__N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5602__1 ~ 5602__N を順番に選択する機能を有する。

【0096】

スイッチング回路 5602__1 は、配線 5604__1 ~ 5604__k と信号線 S1 ~ Sk との導通状態 (第 1 端子と第 2 端子との間の導通) を制御する機能、即ち配線 5604__1 ~ 5604__k の電位を信号線 S1 ~ Sk に供給するか否かを制御する機能を有する。このように、スイッチング回路 5602__1 は、セクタとしての機能を有する。また薄膜トランジスタ 5603__1 ~ 5603__k は、各々、配線 5604__1 ~ 5604__k

50

と信号線 $S_1 \sim S_k$ との導通状態を制御する機能、即ち配線 $5604_1 \sim 5604_k$ の電位を信号線 $S_1 \sim S_k$ に供給する機能を有する。このように、薄膜トランジスタ $5603_1 \sim 5603_k$ は、各々、スイッチとしての機能を有する。

【0097】

なお、配線 $5604_1 \sim 5604_k$ には、各々、ビデオ信号用データ (DATA) が入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0098】

次に、図8(A)の信号線駆動回路の動作について、図8(B)のタイミングチャートを参照して説明する。図8(B)には、信号 $Sout_1 \sim Sout_N$ 、及び信号 $Vdata_1 \sim Vdata_k$ の一例を示す。信号 $Sout_1 \sim Sout_N$ は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号 $Vdata_1 \sim Vdata_k$ は、各々、配線 $5604_1 \sim 5604_k$ に入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間 $T_1 \sim$ 期間 T_N に分割される。期間 $T_1 \sim T_N$ は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

10

【0099】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

20

【0100】

期間 $T_1 \sim$ 期間 T_N において、シフトレジスタ 5601 は、Hレベルの信号を配線 $5605_1 \sim 5605_N$ に順番に出力する。例えば、期間 T_1 において、シフトレジスタ 5601 は、Hレベルの信号を配線 5605_1 に出力する。すると、薄膜トランジスタ $5603_1 \sim 5603_k$ はオンになるので、配線 $5604_1 \sim 5604_k$ と、信号線 $S_1 \sim S_k$ とが導通状態になる。このとき、配線 $5604_1 \sim 5604_k$ には、 $Data(S_1) \sim Data(S_k)$ が入力される。 $Data(S_1) \sim Data(S_k)$ は、各々、薄膜トランジスタ $5603_1 \sim 5603_k$ を介して、選択される行に属する画素のうち、1列目 $\sim k$ 列目の画素に書き込まれる。こうして、期間 $T_1 \sim T_N$ において、選択された行に属する画素に、 k 列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

30

【0101】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

【0102】

なお、シフトレジスタ 5601 及びスイッチング回路 5602 としては、実施の形態1に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5601 が有する全てのトランジスタの極性をNチャネル型、又はPチャネル型のいずれかの極性のみで構成することができる。

40

【0103】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図9及び図10を用いて説明する。

【0104】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給され

50

る。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0105】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N (Nは3以上の自然数)を有している(図9(A)参照)。図9(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n (nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)という)(nは2以上の自然数)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__(n+2)からの信号(後段信号OUT(n+2)という)が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の回路等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。ただし、図9(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

【0106】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(L信号、低電源電位レベル、ともいう)を繰り返す信号である。ここで、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う。

【0107】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図9(A)において、第1のパルス出力回路10__1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10__2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

【0108】

第1のパルス出力回路10__1~第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図9(B)参照)。第1のパルス出力回路10__1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力されていることとなる。

【0109】

なお第1のパルス出力回路10__1~第Nのパルス出力回路10__Nは、3端子の薄膜ト

ランジスタの他に、４端子の薄膜トランジスタを用いることができる。４端子の薄膜トランジスタとは、ソース電極と、ドレイン電極と、第１のゲート電極と、第２のゲート電極を有し、第１のゲート電極と第２のゲート電極の間に、絶縁層を介して半導体層のチャネル形成領域を有するトランジスタである。図９（Ｃ）に４端子の薄膜トランジスタ２８のシンボルについて示し、図面等で以下用いることとする。薄膜トランジスタ２８は、第１のゲート電極に入力される第１の制御信号Ｇ１及び第２のゲート電極に入力される第２の制御信号Ｇ２によって、Ｉｎ端子とＯｕｔ端子間の電氣的な制御を行うことのできる素子である。

【０１１０】

また、図９（Ｃ）に示す薄膜トランジスタ２８のしきい値電圧は、第１のゲート電極または第２のゲート電極の電位を制御することにより、所望の値に制御することができる。

10

【０１１１】

次に、パルス出力回路の具体的な回路構成の一例について、図９（Ｄ）で説明する。

【０１１２】

第１のパルス出力回路１０―１は、第１のトランジスタ３１～第１３のトランジスタ４３を有している（図９（Ｄ）参照）。また、上述した第１の入力端子２１～第５の入力端子２５、及び第１の出力端子２６、第２の出力端子２７に加え、第１の高電源電位ＶＤＤが供給される電源線５１、第２の高電源電位ＶＣＣが供給される電源線５２、低電源電位ＶＳＳが供給される電源線５３から、第１のトランジスタ３１～第１３のトランジスタ４３に信号、または電源電位が供給される。ここで図９（Ｄ）の各電源線の電源電位の大小関係は、第１の電源電位ＶＤＤは第２の電源電位ＶＣＣ以上の電位とし、第２の電源電位ＶＣＣは第３の電源電位ＶＳＳより大きい電位とする。なお、第１のクロック信号（ＣＫ１）～第４のクロック信号（ＣＫ４）は、一定の間隔でＨレベルとＬレベルを繰り返す信号であるが、ＨレベルのときＶＤＤ、ＬレベルのときＶＳＳであるとする。なお電源線５１の電位ＶＤＤを、電源線５２の電位ＶＣＣより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお、図９（Ｄ）に図示するように、第１のトランジスタ３１～第１３のトランジスタ４３のうち、第１のトランジスタ３１、第６のトランジスタ３６乃至第９のトランジスタ３９には、図９（Ｃ）で示した４端子の薄膜トランジスタ２８を用いることが好ましい。第１のトランジスタ３１、第６のトランジスタ３６乃至第９のトランジスタ３９の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い（オン電流の立ち上がりが急峻）ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、図９（Ｃ）で示した４端子の薄膜トランジスタ２８を用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。なお図９（Ｄ）では第１の制御信号Ｇ１及び第２の制御信号Ｇ２が同じ制御信号としたが、異なる制御信号が入力される構成としてもよい。

20

30

【０１１３】

図９（Ｄ）において第１のトランジスタ３１は、第１端子が電源線５１に電氣的に接続され、第２端子が第９のトランジスタ３９の第１端子に電氣的に接続され、ゲート電極（第１のゲート電極及び第２のゲート電極）が第４の入力端子２４に電氣的に接続されている。第２のトランジスタ３２は、第１端子が電源線５３に電氣的に接続され、第２端子が第９のトランジスタ３９の第１端子に電氣的に接続され、ゲート電極が第４のトランジスタ３４のゲート電極に電氣的に接続されている。第３のトランジスタ３３は、第１端子が第１の入力端子２１に電氣的に接続され、第２端子が第１の出力端子２６に電氣的に接続されている。第４のトランジスタ３４は、第１端子が電源線５３に電氣的に接続され、第２端子が第１の出力端子２６に電氣的に接続されている。第５のトランジスタ３５は、第１端子が電源線５３に電氣的に接続され、第２端子が第２のトランジスタ３２のゲート電極

40

50

及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極(第1のゲート電極及び第2のゲート電極)が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極(第1のゲート電極及び第2のゲート電極)が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極(第1のゲート電極及び第2のゲート電極)が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極(第1のゲート電極及び第2のゲート電極)が電源線52に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極(第1のゲート電極及び第2のゲート電極)に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極(第1のゲート電極及び第2のゲート電極)に電氣的に接続されている。

【0114】

図9(D)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41の接続箇所をノードBとする。

【0115】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0116】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0117】

なお図9(D)、図10(A)において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

【0118】

ここで、図10(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミン

10

20

30

40

50

グチャートについて図 10 (B) に示す。なおシフトレジスタが走査線駆動回路である場合、図 10 (B) 中の期間 61 は垂直帰線期間であり、期間 62 はゲート選択期間に相当する。

【0119】

なお、図 10 (A) に示すように、ゲート電極に第 2 の電源電位 V_{CC} が印加される第 9 のトランジスタ 39 を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0120】

ゲート電極に第 2 の電源電位 V_{CC} が印加される第 9 のトランジスタ 39 がない場合、ブートストラップ動作によりノード A の電位が上昇すると、第 1 のトランジスタ 31 の第 2 端子であるソースの電位が上昇していき、第 1 の電源電位 V_{DD} より大きくなる。そして、第 1 のトランジスタ 31 のソースが第 1 端子側、即ち電源線 51 側に切り替わる。そのため、第 1 のトランジスタ 31 においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第 2 の電源電位 V_{CC} が印加される第 9 のトランジスタ 39 を設けておくことにより、ブートストラップ動作によりノード A の電位は上昇するものの、第 1 のトランジスタ 31 の第 2 端子の電位の上昇を生じないようにすることができる。つまり、第 9 のトランジスタ 39 を設けることにより、第 1 のトランジスタ 31 のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第 1 のトランジスタ 31 のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第 1 のトランジスタ 31 の劣化を抑制することができる。

【0121】

なお、第 9 のトランジスタ 39 を設ける箇所については、第 1 のトランジスタ 31 の第 2 端子と第 3 のトランジスタ 33 のゲートとの間に第 1 端子と第 2 端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第 9 のトランジスタ 39 を省略してもよく、トランジスタ数を削減することが利点がある。

【0122】

なお第 1 のトランジスタ 31 乃至第 13 のトランジスタ 43 の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタ、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第 2 の電源電位 V_{CC} を供給する電源線に、第 1 の電源電位 V_{DD} を供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数も低減することができるため、回路の小型化を図ることが出来る。

【0123】

なお、第 7 のトランジスタ 37 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に第 3 の入力端子 23 によって供給されるクロック信号、第 8 のトランジスタ 38 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に第 2 の入力端子 22 によって供給されるクロック信号は、第 7 のトランジスタ 37 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に第 2 の入力端子 22 によって供給されるクロック信号、第 8 のトランジスタ 38 ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に第 3 の入力端子 23 によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図 10 (A) に示すシフトレジスタにおいて、第 7 のトランジスタ 37 及び第 8 のトランジスタ 38 が共にオンの状態から、第 7 のトランジスタ 37 がオフ、第 8 のトランジスタ 38 がオンの状態、次いで第 7 のトランジスタ 37 がオフ、第 8 のトランジスタ 38 がオフの状態とすることによって、第 2 の入力端子 22 及び第 3 の入力端子 23 の電位が低下することで生じる、ノード B の電位の低下が第 7 のトランジスタ 37 のゲート

電極の電位の低下、及び第 8 のトランジスタ 3 8 のゲート電極の電位の低下に起因して 2 回生じることとなる。一方、図 1 0 (A) に示すシフトレジスにおいて、第 7 のトランジスタ 3 7 及び第 8 のトランジスタ 3 8 が共にオンの状態から、第 7 のトランジスタ 3 7 がオン、第 8 のトランジスタ 3 8 がオフの状態、次いで、第 7 のトランジスタ 3 7 がオフ、第 8 のトランジスタ 3 8 がオフの状態とすることによって、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 の電位が低下することで生じるノード B の電位の低下を、第 8 のトランジスタ 3 8 のゲート電極の電位の低下による一回に低減することができる。そのため、第 7 のトランジスタ 3 7 のゲート電極 (第 1 のゲート電極及び第 2 のゲート電極) に第 3 の入力端子 2 3 からクロック信号 C K 3 が供給され、第 8 のトランジスタ 3 8 のゲート電極 (第 1 のゲート電極及び第 2 のゲート電極) に第 2 の入力端子 2 2 からクロック信号 C K 2 が供給される結線関係とすることが好適である。なぜなら、ノード B の電位の変動回数が低減され、またノイズを低減することが出来るためである。

10

【 0 1 2 4 】

このように、第 1 の出力端子 2 6 及び第 2 の出力端子 2 7 の電位を L レベルに保持する期間に、ノード B に定期的に H レベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【 0 1 2 5 】

実施の形態 1 に示す薄膜トランジスタの作製方法を用いて上記駆動回路の薄膜トランジスタを作製することにより、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

20

【 0 1 2 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【 0 1 2 7 】

(実施の形態 3)

本実施の形態では、薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置 (表示装置ともいう) を作製する場合について説明する。また、薄膜トランジスタを有する、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

30

【 0 1 2 8 】

表示装置は表示素子を含む。表示素子としては液晶素子 (液晶表示素子ともいう) 、発光素子 (発光表示素子ともいう) を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機 E L (E l e c t r o L u m i n e s c e n c e) 素子、有機 E L 素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【 0 1 2 9 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む I C 等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電層を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

40

【 0 1 3 0 】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源 (照明装置含む) を指す。また、コネクタ、例えば F P C (F l e x i b l e p r i n t e d c i r c u i t) もしくは T A B (T a p e A u t o m a t e d B o n d i n g) テープもしくは T C P (T a p e C a r r i e r P a c k a g e) が取り付けられたモジュール、T A B テープや T C P の先にプリント配線板が設けられたモジュール、または表示素子に C O G (C h i p O n G l a s s) 方式により I C (集積回

50

路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0131】

本実施の形態では、本発明の一形態である半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図11を用いて説明する。図11は、第1の基板4001上に形成されたIn-Ga-Zn-O系非単結晶層を半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図11(B)は、図11(A1)(A2)のM-Nにおける断面図に相当する。

【0132】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路4003が実装されている。

【0133】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図11(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図11(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0134】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図11(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0135】

薄膜トランジスタ4010、4011は、実施の形態1で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0136】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

【0137】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0138】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては

10

20

30

40

50

、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVF フィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0139】

また、4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0140】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0141】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0142】

また、本実施の形態で示す液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、必要に応じてブラックマトリクスとして機能する遮光層を設けてもよい。

【0143】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、薄膜トランジスタを保護層や平坦化絶縁層として機能する絶縁層(絶縁層4020、絶縁層4021)で覆う構成となっている。なお、保護層は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護層は、スパッタ法を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、又は窒化酸化アルミニウム層の単層、又は積層で形成すればよい。本実施の形態では保護層をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

30

【0144】

ここでは、保護層として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素層を形成する。保護層として酸化珪素層を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム層のヒロック防止に効果がある。

40

【0145】

また、保護層の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素層を形成する。保護層として窒化珪素層を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0146】

また、保護層を形成した後に、半導体層のアニール(300 ~ 400)を行ってもよ

50

い。

【0147】

また、平坦化絶縁層として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4021を形成してもよい。

【0148】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

10

【0149】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

20

【0150】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0151】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000Ω/□以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1Ω・cm以下であることが好ましい。

30

【0152】

導電性高分子としては、いわゆるπ電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0153】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

40

【0154】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電層から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電層で形成されている。

【0155】

接続端子電極4015は、FPC4018が有する端子と、異方性導電層4019を介して電氣的に接続されている。

【0156】

また図11においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路

50

を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0157】

図12は、半導体装置の一形態に相当する液晶表示モジュールにTFT基板2600を用いて構成する一例を示している。

【0158】

図12は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0159】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0160】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

【0161】

実施の形態1に示す薄膜トランジスタを用いて液晶表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【0162】

また、実施の形態1に示す薄膜トランジスタの作製方法を用いて液晶表示装置の駆動回路の薄膜トランジスタを作製することにより、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【0163】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0164】

(実施の形態4)

半導体装置の一形態として電子ペーパーの例を示す。

【0165】

実施の形態1の薄膜トランジスタは、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0166】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒

10

20

30

40

50

子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの（無色を含む）とする。

【0167】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

【0168】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0169】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態 1 の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0170】

なお、マイクロカプセル中の第 1 の粒子および第 2 の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0171】

図 13 は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 581 としては、実施の形態 1 で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0172】

図 13 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0173】

基板 580 上に形成された薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁層 583 に覆われている。薄膜トランジスタ 581 のソース電極層又はドレイン電極層は第 1 の電極層 587 と、絶縁層 583、絶縁層 585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と、基板 596 上に形成された第 2 の電極層 588 との間には、黒色領域 590a 及び白色領域 590b を有し、その周りに液体で満たされているキャピティ 594 を有する球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 13 参照）。第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電氣的に接続することができる。

【0174】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 10 μm ~ 20 μm 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この

10

20

30

40

50

原理を応用した表示素子が電気泳動表示素子である。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能である。よって、表示された像を保存しておくことが可能となる。

【0175】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0176】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。 10

【0177】

（実施の形態5）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0178】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。 20

【0179】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。 30

【0180】

図14は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0181】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0182】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。 40

【0183】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されてい 50

る。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 4 に印加して、発光素子 6 4 0 4 に電流を流して発光素子 6 4 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0184】

なお、容量素子 6 4 0 3 は駆動用トランジスタ 6 4 0 2 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6 4 0 2 のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

10

【0185】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6 4 0 2 のゲートには、駆動用トランジスタ 6 4 0 2 が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6 4 0 2 は線形領域で動作させる。駆動用トランジスタ 6 4 0 2 は線形領域で動作させるため、電源線 6 4 0 7 の電圧よりも高い電圧を駆動用トランジスタ 6 4 0 2 のゲートにかける。なお、信号線 6 4 0 5 には、(電源線電圧 + 駆動用トランジスタ 6 4 0 2 の V_{th}) 以上の電圧をかける。

【0186】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 1 4 と同じ画素構成を用いることができる。

20

【0187】

アナログ階調駆動を行う場合、駆動用トランジスタ 6 4 0 2 のゲートに発光素子 6 4 0 4 の順方向電圧 + 駆動用トランジスタ 6 4 0 2 の V_{th} 以上の電圧をかける。発光素子 6 4 0 4 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6 4 0 2 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6 4 0 4 に電流を流すことができる。駆動用トランジスタ 6 4 0 2 を飽和領域で動作させるため、電源線 6 4 0 7 の電位は、駆動用トランジスタ 6 4 0 2 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0188】

30

なお、図 1 4 に示す画素構成は、これに限定されない。例えば、図 1 4 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0189】

次に、発光素子の構成について、図 1 5 を用いて説明する。ここでは、駆動用 T F T が n 型の場合を例に挙げて、画素の断面構造について説明する。図 1 5 (A) (B) (C) の半導体装置に用いられる駆動用 T F T である T F T 7 0 0 1、7 0 1 1、7 0 2 1 は、実施の形態 1 で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0190】

40

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0191】

下面射出構造の発光素子について図 1 5 (A) を用いて説明する。

【0192】

駆動用 T F T である T F T 7 0 1 1 が n 型で、発光素子 7 0 1 2 から発せられる光が陰極 7 0 1 3 側に射出する場合の、画素の断面図を示す。図 1 5 (A) では、T F T 7 0 1 1 と電氣的に接続された透光性を有する導電層 7 0 1 7 上に、発光素子 7 0 1 2 の陰極 7 0

50

13が形成されており、陰極7013上にEL層7014、陽極7015が順に積層されている。なお、透光性を有する導電層7017は、酸化物絶縁層7031に形成されたコンタクトホールを介してTFT7011のドレイン電極層7030と電氣的に接続されている。

【0193】

透光性を有する導電層7017としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電層を用いることができる。

10

【0194】

また、陰極7013は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属等が好ましい。図15（A）では、陰極7013の厚さは、光を透過する程度（好ましくは、5nm～30nm程度）とする。例えば20nmの厚さを有するアルミニウム層を、陰極7013として用いる。

【0195】

なお、透光性を有する導電層とアルミニウム層を積層成膜した後、選択的にエッチングして透光性を有する導電層7017と陰極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

20

【0196】

また、陰極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、陰極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0197】

また、陰極7013及び隔壁7019上に形成するEL層7014は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7014が複数の層で構成されている場合、陰極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

30

【0198】

また、上記積層順に限定されず、陰極7013上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、陰極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0199】

また、EL層7014上に形成する陽極7015としては、様々な材料を用いることができるが、仕事関数が大きい材料、例えば、窒化チタン、ZrN、Ti、W、Ni、Pt、Cr等や、ITO、IZO（酸化インジウム酸化亜鉛）、ZnOなどの透明導電性材料が好ましい。また、陽極7015上に遮蔽膜7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、陽極7015としてITO膜を用い、遮蔽膜7016としてTi層を用いる。

40

【0200】

陰極7013及び陽極7015で、EL層7014を挟んでいる領域が発光素子7012に相当する。図15（A）に示した素子構造の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

50

【0201】

なお、図15(A)ではゲート電極層として透光性を有する導電層を用いる例を示しており、発光素子7012から発せられる光は、カラーフィルタ層7033を通過し、TF7011のゲート電極層や、ソース電極層、ドレイン電極層などを通過して射出させることができる。TF7011のゲート電極層や、ソース電極層、ドレイン電極層などとして透光性を有する導電層を用いると、開口率を向上することができる。

【0202】

カラーフィルタ層7033はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0203】

また、カラーフィルタ層7033はオーバーコート層7034で覆われ、さらに保護絶縁層7035によって覆う。なお、図15(A)ではオーバーコート層7034は薄い厚さで図示したが、オーバーコート層7034は、カラーフィルタ層7033に起因する凹凸を平坦化する機能を有している。

【0204】

また、保護絶縁層7035、オーバーコート層7034、カラーフィルタ層7033及び酸化物絶縁層7031に形成され、且つ、ドレイン電極層7030に達するコンタクトホールは、隔壁7019と重なる位置に配置する。ドレイン電極層7030に達するコンタクトホールと、隔壁7019と、を重ねるレイアウトとすることで開口率の向上を図ることができる。

【0205】

次に、両面射出構造の発光素子について、図15(B)を用いて説明する。

【0206】

図15(B)では、TF7021と電氣的に接続された透光性を有する導電層7027上に、発光素子7022の陰極7023が形成されており、陰極7023上にEL層7024、陽極7025が順に積層されている。なお、透光性を有する導電層7027は酸化物絶縁層7041に形成されたコンタクトホールを介してTF7021のドレイン電極層7040と電氣的に接続されている。

【0207】

透光性を有する導電層7027としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電層を用いることができる。

【0208】

また、陰極7023は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。本実施の形態では、陰極7023の厚さは、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの厚さを有するアルミニウム層を、陰極7023として用いる。

【0209】

なお、透光性を有する導電層とアルミニウム層を積層成膜した後、選択的にエッチングして透光性を有する導電層7027と陰極7023を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

【0210】

また、陰極7023の周縁部は、隔壁7029で覆う。隔壁7029は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、陰極7023上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となる

10

20

30

40

50

ように形成することが好ましい。隔壁 7029 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0211】

また、陰極 7023 及び隔壁 7029 上に形成する EL 層 7024 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL 層 7024 が複数の層で構成されている場合、陰極 7023 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0212】

また、上記積層順に限定されず、陰極 7023 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、陰極 7023 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0213】

また、EL 層 7024 上に形成する陽極 7025 としては、様々な材料を用いることができるが、仕事関数が高い材料、例えば、ITO、IZO、ZnO などの透明導電性材料が好ましい。本実施の形態では、陽極 7026 として酸化珪素を含む ITO 膜を用いる。

【0214】

陰極 7023 及び陽極 7025 で、EL 層 7024 を挟んでいる領域が発光素子 7022 に相当する。図 15 (B) に示した素子構造の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0215】

なお、図 15 (B) ではゲート電極層として透光性を有する導電層を用いる例を示しており、発光素子 7022 から陰極 7023 側に発せられる光は、カラーフィルタ層 7043 を通過し、TFT 7021 のゲート電極層や、ソース電極層、ドレイン電極層などを通して射出させることができる。TFT 7021 のゲート電極層や、ソース電極層、ドレイン電極層などとして透光性を有する導電層を用いることで、陽極 7025 側の開口率と陰極 7023 側の開口率をほぼ同一とすることができる。

【0216】

カラーフィルタ層 7043 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0217】

また、カラーフィルタ層 7043 はオーバーコート層 7044 で覆われ、さらに保護絶縁層 7045 によって覆う。

【0218】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、陽極 7025 側からの光はカラーフィルタ層 7043 を通過しないため、別途カラーフィルタ層を備えた封止基板を陽極 7025 上方に設けることが好ましい。

【0219】

また、保護絶縁層 7045、オーバーコート層 7044、カラーフィルタ層 7043 及び酸化物絶縁層 7041 に形成され、且つ、ドレイン電極層 7040 に達するコンタクトホールは、隔壁 7029 と重なる位置に配置する。ドレイン電極層 7040 に達するコンタクトホールと、隔壁 7029 とを重ねるレイアウトとすることで陽極 7025 側の開口率と陰極 7023 側の開口率をほぼ同一とすることができる。

【0220】

次に、上面射出構造の発光素子について、図 15 (C) を用いて説明する。

【0221】

図 15 (C) に、駆動用 TFT である TFT 7001 が n 型で、発光素子 7002 から発せられる光が陽極 7005 側に抜ける場合の、画素の断面図を示す。図 15 (C) では、TFT 7001 と電氣的に接続された発光素子 7002 の陰極 7003 が形成されており

10

20

30

40

50

、陰極 7003 上に E L 層 7004、陽極 7005 が順に積層されている。

【0222】

また、陰極 7003 は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、Li や Cs 等のアルカリ金属、および Mg、Ca、Sr 等のアルカリ土類金属、およびこれらを含む合金 (Mg : Ag、Al : Li など) の他、Yb や Er 等の希土類金属等が好ましい。

【0223】

また、陰極 7003 の周縁部は、隔壁 7009 で覆う。隔壁 7009 は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。隔壁 7009 は、特に感光性の樹脂材料を用い、陰極 7003 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7009 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

10

【0224】

また、陰極 7003 及び隔壁 7009 上に形成する E L 層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。E L 層 7004 が複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

20

【0225】

また、上記積層順に限定されず、陰極 7003 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。この順に積層する場合は、陰極 7003 は陽極として機能することとなる。

【0226】

図 15 (C) では Ti 層、アルミニウム層、Ti 層の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上に Mg : Ag 合金薄膜と ITO との積層を形成する。

【0227】

ただし、消費電力を比較する場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

30

【0228】

陽極 7005 は透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電層を用いても良い。

【0229】

陰極 7003 及び陽極 7005 で E L 層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 15 (C) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

40

【0230】

また、図 15 (C) において、TFT 7001 は薄膜トランジスタ 150 を用いる例を示しているが、特に限定されず、薄膜トランジスタ 160、薄膜トランジスタ 170、または薄膜トランジスタ 180 を用いることができる。

【0231】

また、図 15 (C) において、陰極 7003 は、酸化物絶縁層 7051、平坦化絶縁層 7053、及び絶縁層 7055 に形成されたコンタクトホールを介して TFT 7001 のドレイン電極層 7050 と電氣的に接続されている。平坦化絶縁層 7053 は、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料 (low - k 材料)、シロ

50

キサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、平坦化絶縁層7053を形成してもよい。平坦化絶縁層7053の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0232】

また、陰極7003と、隣り合う画素の陰極7008とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、陰極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

10

【0233】

また、図15（C）の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

20

【0234】

また、図15（C）の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

【0235】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0236】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

30

【0237】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0238】

なお、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0239】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図16を用いて説明する。図16（A）は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図16（B）は、図16（A）のH-Iにおける断面図に相当する。

40

【0240】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気

50

密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0241】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図16(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0242】

薄膜トランジスタ4509、4510は、実施の形態1で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0243】

絶縁層4544上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

20

【0244】

薄膜トランジスタ4509は、保護絶縁層としてチャネル形成領域を含む半導体層に接して絶縁層4541が形成されている。絶縁層4541は実施の形態1で示した絶縁層107と同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁層として機能する絶縁層4544で覆う構成となっている。ここでは、絶縁層4541として、実施の形態1に示す絶縁層107と同様に、スパッタ法により酸化珪素層を形成する。

【0245】

また、絶縁層4541上に保護絶縁層4543が形成されている。保護絶縁層4543は実施の形態1で示した保護絶縁層407と同様な材料及び方法で形成すればよい。ここでは、保護絶縁層4543として、PCVD法により窒化珪素層を形成する。

30

【0246】

また、平坦化絶縁層として絶縁層4544を形成する。絶縁層4544としては、実施の形態3で示した絶縁層4021と同様な材料及び方法で形成すればよい。ここでは、絶縁層4544としてアクリル樹脂を用いる。

【0247】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

40

【0248】

隔壁4520は、有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0249】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0250】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層

50

4 5 1 3 及び隔壁 4 5 2 0 上に保護層を形成してもよい。保護層としては、窒化珪素層、窒化酸化珪素層、DLC 層等を形成することができる。

【0251】

また、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、走査線駆動回路 4 5 0 4 a、4 5 0 4 b、または画素部 4 5 0 2 に与えられる各種信号及び電位は、FPC 4 5 1 8 a、4 5 1 8 b から供給されている。

【0252】

接続端子電極 4 5 1 5 が、発光素子 4 5 1 1 が有する第 1 の電極層 4 5 1 7 と同じ導電層から形成され、端子電極 4 5 1 6 は、薄膜トランジスタ 4 5 0 9、4 5 1 0 が有するソース電極層及びドレイン電極層と同じ導電層から形成されている。

10

【0253】

接続端子電極 4 5 1 5 は、FPC 4 5 1 8 a が有する端子と、異方性導電層 4 5 1 9 を介して電氣的に接続されている。

【0254】

発光素子 4 5 1 1 からの光の取り出し方向に位置する基板は、透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリル樹脂フィルムのような透光性を有する材料を用いる。

【0255】

また、充填材 4 5 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

20

【0256】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0257】

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、別途用意された基板上に単結晶半導体又は多結晶半導体によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図 16 の構成に限定されない。

30

【0258】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0259】

実施の形態 1 に示す薄膜トランジスタの作製方法を用いて発光表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

40

【0260】

また、実施の形態 1 に示す薄膜トランジスタの作製方法を用いて発光表示装置の駆動回路の薄膜トランジスタを作製することにより、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【0261】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0262】

（実施の形態 6）

本実施の形態では、半導体装置の一形態として、実施の形態 1 で示す薄膜トランジスタを

50

有する液晶素子を用いた液晶表示装置の例を図 17 乃至図 20 を用いて説明する。図 17 乃至図 20 の液晶表示装置に用いられる T F T 6 2 8、T F T 6 2 9 は、実施の形態 1 で示す薄膜トランジスタを適用することができ、実施の形態 1 で示す工程と同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。T F T 6 2 8 及び T F T 6 2 9 は、酸化物半導体層をチャネル形成領域とする薄膜トランジスタである。図 17 乃至図 20 では、薄膜トランジスタの一例として図 3 (C) に示す薄膜トランジスタを用いる場合について説明するが、これに限定されるものではない。

【 0 2 6 3 】

以下、V A (V e r t i c a l A l i g n m e n t) 型の液晶表示装置について示す。V A 型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。V A 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

10

【 0 2 6 4 】

図 1 8 及び図 1 9 は、それぞれ画素電極及び対向電極を示している。なお、図 1 8 は画素電極が形成される基板側の平面図であり、図中に示す切断線 E - F に対応する断面構造を図 1 7 に表している。また、図 1 9 は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

20

【 0 2 6 5 】

図 1 7 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成された基板 6 0 0 と、対向電極 6 4 0 等が形成される対向基板 6 0 1 とが重ね合わせられ、液晶が注入された状態を示している。

【 0 2 6 6 】

また、図示していないが、基板 6 0 0 及び対向基板 6 0 1 の間に、突起 6 4 4 の高さよりも高い柱状のスペーサを形成して、画素電極 6 2 4 と対向電極 6 4 0 の距離 (セルギャップ) を一定とする。なお、画素電極 6 2 4 上には配向膜 6 4 8 が形成され、同様に対向電極 6 4 0 上にも配向膜 6 4 6 が形成されている。この間に液晶層 6 5 0 が形成されている。

30

【 0 2 6 7 】

スペーサはここでは柱状スペーサを用いて説明したがビーズスペーサを散布してもよい。さらには、スペーサを基板 6 0 0 上に形成される画素電極 6 2 4 上に形成してもよい。

【 0 2 6 8 】

基板 6 0 0 上には、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成される。画素電極 6 2 4 は、T F T 6 2 8、配線 6 1 6、及び保持容量部 6 3 0 を覆う絶縁層 6 2 0、絶縁層 6 2 0 を覆う絶縁層 6 2 2 をそれぞれ貫通するコンタクトホール 6 2 3 で、配線 6 1 8 と接続する。T F T 6 2 8 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。また、保持容量部 6 3 0 は、T F T 6 2 8 のゲート配線 6 0 2 と同時に形成した第 1 の容量配線である容量配線 6 0 4 と、ゲート絶縁層 6 0 6 と、配線 6 1 6、6 1 8 と同時に形成した第 2 の容量配線である容量配線 6 1 7 で構成される。

40

【 0 2 6 9 】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、液晶素子が形成されている。

【 0 2 7 0 】

図 1 8 に基板 6 0 0 上の平面構造を示す。画素電極 6 2 4 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物 (以下、I T O と示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの

50

透光性を有する導電性材料を用いることができる。

【0271】

また、画素電極624として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0272】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

10

【0273】

画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

【0274】

図18に示すTF T 629とそれに接続する画素電極626及び保持容量部631は、それぞれTF T 628、画素電極624及び保持容量部630と同様に形成することができる。TF T 628とTF T 629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

20

【0275】

図19に対向基板側の平面構造を示す。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向電極640上には液晶の配向を制御する突起644が形成されている。

【0276】

この画素構造の等価回路を図20に示す。TF T 628とTF T 629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

30

【0277】

スリット625を設けた画素電極624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

【0278】

次に、上記とは異なるVA型の液晶表示装置について、図21乃至図24を用いて説明する。

【0279】

図21と図22は、VA型液晶表示パネルの画素構造を示している。図22は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図21に表している。以下の説明ではこの両図を参照して説明する。

40

【0280】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTF T が接続されている。各TF T は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0281】

画素電極624はコンタクトホール623において、配線618でTF T 628と接続し

50

ている。また、画素電極 6 2 6 はコンタクトホール 6 2 7 において、配線 6 1 9 で T F T 6 2 9 と接続している。T F T 6 2 8 のゲート配線 6 0 2 と、T F T 6 2 9 のゲート配線 6 0 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線 6 1 6 は、T F T 6 2 8 と T F T 6 2 9 で共通に用いられている。T F T 6 2 8 と T F T 6 2 9 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。また、容量配線 6 9 0 が設けられている。

【0282】

画素電極 6 2 4 と画素電極 6 2 6 の形状は異なっており、V 字型に広がる画素電極 6 2 4 の外側を囲むように画素電極 6 2 6 が形成されている。画素電極 6 2 4 と画素電極 6 2 6 に印加する電圧を、T F T 6 2 8 及び T F T 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 2 4 に示す。T F T 6 2 8 はゲート配線 6 0 2 と接続し、T F T 6 2 9 はゲート配線 6 0 3 と接続している。また、T F T 6 2 8 と T F T 6 2 9 は、共に配線 6 1 6 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 に印加される信号を個別に制御することにより、液晶素子 6 5 1 と液晶素子 6 5 2 に印加される電圧を異ならせることができる。すなわち、T F T 6 2 8 と T F T 6 2 9 の動作を個別に制御することにより、液晶素子 6 5 1 と液晶素子 6 5 2 で異なる液晶の配向を実現し、視野角を広げることができる。

10

【0283】

対向基板 6 0 1 には、着色層 6 3 6、対向電極 6 4 0 が形成されている。また、着色層 6 3 6 と対向電極 6 4 0 の間には平坦化層 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 2 3 に対向基板側の構造を示す。対向電極 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極 6 2 4 及び画素電極 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。なお、図 2 3 に基板 6 0 0 上に形成される画素電極 6 2 4 及び画素電極 6 2 6 を破線で示し、対向電極 6 4 0 と、画素電極 6 2 4 及び画素電極 6 2 6 が重なり合って配置されている様子を示している。

20

【0284】

画素電極 6 2 4 及び画素電極 6 2 6 上には配向膜 6 4 8 が形成され、同様に対向電極 6 4 0 上にも配向膜 6 4 6 が形成されている。基板 6 0 0 と対向基板 6 0 1 の間に液晶層 6 5 0 が形成されている。

30

【0285】

画素電極 6 2 4 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極 6 2 6 と液晶層 6 5 0 と対向電極 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。図 2 1 乃至図 2 4 で説明する表示パネルの画素構造は、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

【0286】

本実施の形態では、実施の形態 1 で示す薄膜トランジスタを有する液晶表示装置として V A 型の液晶表示装置について説明したが、I P S 型の液晶表示装置や、T N 型の液晶表示装置などについても適用可能である。

40

【0287】

実施の形態 1 に示す薄膜トランジスタの作製方法を用いて上記液晶表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【0288】

(実施の形態 7)

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である

50

。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 25 に示す。

【0289】

図 25 は、電子書籍の一例を示している。例えば、電子書籍 2700 は、筐体 2701 および筐体 2703 の 2 つの筐体で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0290】

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 25 では表示部 2705）に文章を表示し、左側の表示部（図 25 では表示部 2707）に画像を表示することができる。

10

【0291】

また、図 25 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

20

【0292】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0293】

（実施の形態 8）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0294】

図 26（A）は、テレビジョン装置の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

40

【0295】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0296】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向

50

(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0297】

図26(B)は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0298】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム9700の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0299】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0300】

図27(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図27(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図27(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図27(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0301】

図27(B)は大型遊技機であるスロットマシンの一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0302】

図28(A)は携帯型のコンピュータの一例を示す斜視図である。

【0303】

図28(A)の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを開状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

【0304】

また、下部筐体9302はキーボード9304の他に入力操作を行うポインティングデバイス9306を有する。また、表示部9303をタッチ入力パネルとすれば、表示部の一

10

20

30

40

50

部に触れることで入力操作を行うこともできる。また、下部筐体 9 3 0 2 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9 3 0 2 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9 3 0 5 を有している。

【 0 3 0 5 】

上部筐体 9 3 0 1 には更に上部筐体 9 3 0 1 内部にスライドさせて収納可能な表示部 9 3 0 7 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9 3 0 7 の画面の向きを使用者は調節できる。また、収納可能な表示部 9 3 0 7 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【 0 3 0 6 】

表示部 9 3 0 3 または収納可能な表示部 9 3 0 7 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【 0 3 0 7 】

また、図 2 8 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9 3 0 3 または表示部 9 3 0 7 に表示することができる。また、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを閉状態としたまま、表示部 9 3 0 7 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9 3 0 3 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【 0 3 0 8 】

また、図 2 8 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【 0 3 0 9 】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9 2 0 4、腕に対するバンド部 9 2 0 4 の固定状態を調節する調節部 9 2 0 5、表示部 9 2 0 1、スピーカ 9 2 0 7、及びマイク 9 2 0 8 から構成されている。

【 0 3 1 0 】

また、本体は、操作スイッチ 9 2 0 3 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばボタンを押すとインターネット用のプログラムが起動される。

【 0 3 1 1 】

この携帯電話の入力操作は、表示部 9 2 0 1 に指や入力ペンなどで触れること、又は操作スイッチ 9 2 0 3 の操作、またはマイク 9 2 0 8 への音声入力により行われる。なお、図 2 8 (B) では、表示部 9 2 0 1 に表示された表示ボタン 9 2 0 2 を図示しており、指などで触れることにより入力を行うことができる。

【 0 3 1 2 】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9 2 0 6 を有する。なお、特にカメラ部は設けなくともよい。

【 0 3 1 3 】

また、図 2 8 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9 2 0 1 に表示することができ、さらにメモリなどの記憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図 2 8 (B) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

【 0 3 1 4 】

表示部 9 2 0 1 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 2 8 (B) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量が限られており、表示部 9 2 0 1 に用いる表示装置は低消費電

10

20

30

40

50

力で駆動できるパネルを用いることが好ましい。

【0315】

なお、図28(B)では”腕”に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【実施例1】

【0316】

本実施例では、実施の形態1に示した作製方法を用いて薄膜トランジスタを作製し、BT試験前後での V_{th} 変化量を評価した結果を示す。

【0317】

本実施例では、同一基板上にチャネル長 L が $3\mu m$ 、チャネル幅 W が $20\mu m$ の薄膜トランジスタを形成した。まず、薄膜トランジスタの作製方法について説明する。

【0318】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲート電極層を形成した。

【0319】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ $100nm$ の酸化窒化珪素層を形成した。

【0320】

次に、ゲート絶縁層上に、スパッタ法により酸化物半導体の相対密度が85%の $In-Ga-Zn-O$ 系酸化物半導体ターゲット（モル数比で、 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ ）を用いて、厚さ $30nm$ の酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0321】

次に、酸化物半導体層をGRTA法により、窒素雰囲気下、 $650^\circ C$ で6分間の第1の熱処理を行った。

【0322】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層（厚さ $100nm$ ）、アルミニウム層（厚さ $200nm$ ）、及びチタン層（厚さ $100nm$ ）の積層を、スパッタ法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、薄膜トランジスタのチャネル長 L が $3\mu m$ 、チャネル幅 W が $20\mu m$ となるようにした。

【0323】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、 $250^\circ C$ で1時間、第2の熱処理を行った。

【0324】

以上の工程により、薄膜トランジスタを作製した。

【0325】

続いて、本実施例で作製した薄膜トランジスタに対してBT試験を行った。BT試験は加速試験の一種であり、長期間の使用によって起こる薄膜トランジスタの特性変化を、短時間で評価することができる。特に、BT試験前後における薄膜トランジスタのしきい値電圧の変化量は、信頼性を調べるための重要な指標となる。BT試験前後において、しきい値電圧の変化量が少ないほど、信頼性が高い薄膜トランジスタであるといえる。

【0326】

具体的には、薄膜トランジスタが形成されている基板の温度（基板温度）を一定に維持し、薄膜トランジスタのソースおよびドレインを同電位とし、ゲートにソースおよびドレインとは異なる電位を一定時間印加する。基板温度は、試験目的に応じて適宜設定すればよ

10

20

30

40

50

い。また、ゲートに印加する電位がソースおよびドレインの電位よりも高い場合を + B T 試験といい、ゲートに印加する電位がソースおよびドレインの電位よりも低い場合を - B T 試験という。

【 0 3 2 7 】

B T 試験の試験強度は、基板温度、ゲート絶縁層に加えられる電界強度、電界印加時間により決定することができる。ゲート絶縁層に加えられる電界強度は、ゲートと、ソースおよびドレインの電位差をゲート絶縁層の厚さで除して決定される。例えば、厚さが 1 0 0 n m のゲート絶縁層に印加する電界強度を 2 M V / c m としたい場合は、電位差を 2 0 V とすればよい。

【 0 3 2 8 】

なお、電圧とは 2 点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

【 0 3 2 9 】

B T 試験は、基板温度を 1 5 0 、ゲート絶縁層に印加する電界強度を 2 M V / c m 、印加時間を 1 時間とし、+ B T 試験および - B T 試験それぞれについて行った。

【 0 3 3 0 】

まず、+ B T 試験について説明する。B T 試験対象となる薄膜トランジスタの初期特性を測定するため、基板温度を 4 0 とし、ソース - ドレイン間電圧（以下、ドレイン電圧または V_d という）を 1 0 V とし、ソース - ゲート間電圧（以下、ゲート電圧または V_g という）を - 2 0 V ~ + 2 0 V まで変化させたときのソース - ドレイン電流（以下、ドレイン電流または I_d という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。ここでは基板温度を試料表面への吸湿対策として 4 0 としているが、特に問題がなければ、基板温度を室温（2 5 ）として測定してもかまわない。

【 0 3 3 1 】

次に、基板温度を 1 5 0 まで上昇させた後、薄膜トランジスタのソースおよびドレインの電位を 0 V とした。続いて、ゲート絶縁層へ印加される電界強度が 2 M V / c m となるようにゲートに電圧を印加した。ここでは、薄膜トランジスタのゲート絶縁層の厚さが 1 0 0 n m であったため、ゲートに + 2 0 V を印加し、そのまま 1 時間保持した。ここでは印加時間を 1 時間としたが、目的に応じて適宜時間を変更してもよい。

【 0 3 3 2 】

次に、ゲート、ソースおよびドレインへ電圧を印加したまま、基板温度を 4 0 まで下げた。この時、基板温度が下がりきる前に電圧の印加をやめしまうと、余熱の影響により B T 試験で薄膜トランジスタに与えられたダメージが回復されてしまうため、電圧は印加したまま基板温度を下げる必要がある。基板温度が 4 0 になった後、電圧の印加を終了させた。なお、厳密には降温時間も印加時間に加える必要があるが、実際には数分で 4 0 まで下げることができたため、これを誤差範囲内と考え、降温時間は印加時間に加えていない。

【 0 3 3 3 】

次に、初期特性の測定と同じ条件で $V_g - I_d$ 特性を測定し、+ B T 試験後の $V_g - I_d$ 特性を得た。

【 0 3 3 4 】

続いて、- B T 試験について説明する。- B T 試験も + B T 試験と同様の手順で行うが、基板温度を 1 5 0 まで上昇させた後にゲートに印加する電圧を - 2 0 V とする点が異なる。

【 0 3 3 5 】

なお、B T 試験に際しては、まだ一度も B T 試験を行っていない薄膜トランジスタを用い

10

20

30

40

50

て試験を行うことが重要である。例えば、一度 + B T 試験を行った薄膜トランジスタを用いて - B T 試験を行うと、先に行った + B T 試験の影響により、 - B T 試験結果を正しく評価することができない。また、一度 + B T 試験を行った薄膜トランジスタを用いて、再度 + B T 試験を行った場合等も同様である。ただし、これらの影響を踏まえて、あえて B T 試験を繰り返す場合はこの限りではない。

【 0 3 3 6 】

ここで、本明細書における V_{th} の定義について説明しておく。図 2 9 の横軸はゲート電圧をリニアスケールで示しており、縦軸はドレイン電流の平方根（以下、 $\sqrt{I_d}$ ともいう）をリニアスケールで示している。曲線 5 0 1 は、ゲート電圧の変化に対するドレイン電流の平方根を示しており、 V_d を 1 0 V として測定した $V_g - I_d$ 曲線の I_d を、その平方根で表した曲線（以下、 $\sqrt{I_d}$ 曲線ともいう）である。

10

【 0 3 3 7 】

まず、 V_d を 1 0 V として測定した $V_g - I_d$ 曲線から $\sqrt{I_d}$ 曲線（曲線 5 0 1 ）を求める。次に、 $\sqrt{I_d}$ 曲線上の、 $\sqrt{I_d}$ 曲線の微分値が最大になる点の接線 5 0 4 を求める。次に、接線 5 0 4 を延伸し、接線 5 0 4 上で I_d が 0 A となる時の V_g 、すなわち接線 5 0 4 のゲート電圧軸切片 5 0 5 の値を V_{th} として定義している。

【 0 3 3 8 】

図 3 0 に、B T 試験前後における薄膜トランジスタの $V_g - I_d$ 特性を示す。図 3 0 (A) 及び図 3 0 (B) とともに、横軸はゲート電圧（ V_g ）で、縦軸はゲート電圧に対するドレイン電流（ I_d ）を対数目盛で示している。

20

【 0 3 3 9 】

図 3 0 (A) は、+ B T 試験前後における薄膜トランジスタの $V_g - I_d$ 特性を示している。初期特性 3 3 1 は、+ B T 試験前の薄膜トランジスタの $V_g - I_d$ 特性であり、+ B T 3 3 2 は、+ B T 試験後の薄膜トランジスタの $V_g - I_d$ 特性である。

【 0 3 4 0 】

図 3 0 (B) は、- B T 試験前後における薄膜トランジスタの $V_g - I_d$ 特性を示している。初期特性 3 4 1 は、- B T 試験前の薄膜トランジスタの $V_g - I_d$ 特性であり、- B T 3 4 2 は、- B T 試験後の薄膜トランジスタの $V_g - I_d$ 特性である。

【 0 3 4 1 】

図 3 0 (A) において、+ B T 3 3 2 は、初期特性 3 3 1 に比べてしきい値電圧がプラス方向に 0 . 7 2 V 変化しており、図 3 0 (B) において、- B T 3 4 2 は、初期特性 3 4 1 に比べてしきい値電圧がプラス方向に 0 . 0 4 V 変化している。どちらの B T 試験においても、しきい値電圧の変化量は 1 V 以下であり、実施の形態 1 を用いて作製した薄膜トランジスタは、信頼性が高い薄膜トランジスタであることが確認できた。

30

【 0 3 4 2 】

ここで、従来の薄膜トランジスタの B T 試験結果について説明しておく。従来の薄膜トランジスタは、実施の形態 1 と同じチャネルエッチ型の薄膜トランジスタである。特に図示しないが、従来の薄膜トランジスタは、ガラス基板上に下地絶縁層が形成され、下地絶縁層上にゲート電極層が形成され、ゲート電極層上に、ゲート絶縁層として C V D 法により厚さ 1 0 0 n m の酸化窒化珪素層が形成され、ゲート絶縁層上に、スパッタ法により酸化物半導体の相対密度が 8 5 % の $In - Ga - Zn - O$ 系酸化物半導体ターゲット（モル数比で、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ ）を用いて厚さ 2 0 n m の酸化物半導体層が形成され、酸化物半導体層上にソース電極及びドレイン電極が形成され、ソース電極及びドレイン電極上に酸化物半導体層の一部と接するように、保護絶縁層として C V D 法により酸化窒化珪素層が形成されている。なお、従来の薄膜トランジスタでは、第 1 の熱処理を行っていない。

40

【 0 3 4 3 】

図 3 1 は、従来の薄膜トランジスタの B T 試験前後における $V_g - I_d$ 特性を示している。

これらの $V_g - I_d$ 特性の測定において、本実施例で用いた薄膜トランジスタのオフ領域

50

(N型トランジスタの場合は、一般には V_g が0V近傍からマイナスの領域)で、 I_d が測定機の検出下限値以下となってしまった。このため、図31では、 I_d が測定機の検出下限値以下となった部分については表記していない。

【0344】

図31(A)は、+BT試験前後における従来の薄膜トランジスタの $V_g - I_d$ 特性を示している。初期特性311は、+BT試験前の $V_g - I_d$ 特性であり、+BT312は、+BT試験後の $V_g - I_d$ 特性である。

【0345】

図31(B)は、-BT試験前後における従来の薄膜トランジスタの $V_g - I_d$ 特性を示している。初期特性321は、-BT試験前の $V_g - I_d$ 特性であり、-BT322は、
-BT試験後の $V_g - I_d$ 特性である。

10

【0346】

図31(A)において、+BT312は、初期特性311に比べてしきい値電圧がプラス方向に5.7V変化しており、図31(B)において、-BT322は、初期特性321に比べてしきい値電圧がマイナス方向に3.4V変化している。

【符号の説明】

【0347】

10	パルス出力回路	
11	配線	
12	配線	20
13	配線	
14	配線	
15	配線	
21	入力端子	
22	入力端子	
23	入力端子	
24	入力端子	
25	入力端子	
26	出力端子	
27	出力端子	30
28	薄膜トランジスタ	
31	トランジスタ	
32	トランジスタ	
33	トランジスタ	
34	トランジスタ	
35	トランジスタ	
36	トランジスタ	
37	トランジスタ	
38	トランジスタ	
39	トランジスタ	40
40	トランジスタ	
41	トランジスタ	
42	トランジスタ	
43	トランジスタ	
51	電源線	
52	電源線	
53	電源線	
61	期間	
62	期間	
100	基板	50

1 0 1	ゲート電極層	
1 0 2	ゲート絶縁層	
1 0 3	酸化物半導体層	
1 0 7	絶縁層	
1 1 0	チャネル保護層	
1 3 0	酸化物半導体層	
1 5 0	薄膜トランジスタ	
1 6 0	薄膜トランジスタ	
1 7 0	薄膜トランジスタ	
1 8 0	薄膜トランジスタ	10
3 1 1	初期特性	
3 1 2	+ B T	
3 2 1	初期特性	
3 2 2	- B T	
3 3 1	初期特性	
3 3 2	+ B T	
3 4 1	初期特性	
3 4 2	- B T	
4 0 0	ガラス基板	
4 0 1	酸化窒化絶縁層	20
4 0 2	I n - G a - Z n - O系酸化物半導体層	
4 0 3	分析方向	
4 0 7	保護絶縁層	
4 1 1	酸素イオン強度プロファイル	
4 1 2	水素濃度プロファイル	
4 1 3	水素濃度プロファイル	
4 6 0	薄膜トランジスタ	
4 6 1	薄膜トランジスタ	
4 8 1	薄膜トランジスタ	
5 0 1	曲線	30
5 0 4	接線	
5 0 5	ゲート電圧軸切片	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	40
5 9 5	充填材	
5 9 6	基板	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	
6 0 6	ゲート絶縁層	
6 1 6	配線	50

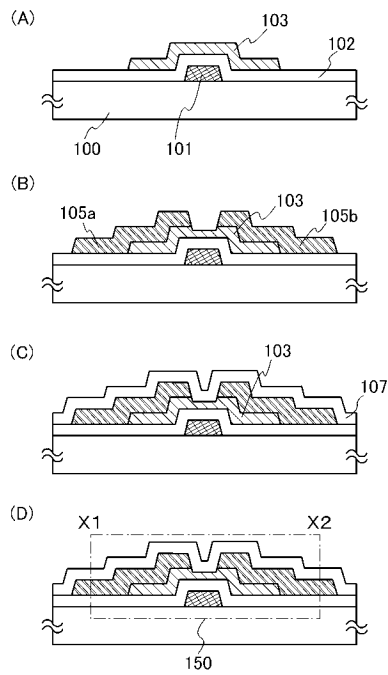
6 1 7	容量配線	
6 1 8	配線	
6 1 9	配線	
6 2 0	絶縁層	
6 2 2	絶縁層	
6 2 3	コンタクトホール	
6 2 4	画素電極	
6 2 5	スリット	
6 2 6	画素電極	
6 2 7	コンタクトホール	10
6 2 8	T F T	
6 2 9	T F T	
6 3 0	保持容量部	
6 3 1	保持容量部	
6 3 6	着色層	
6 3 7	平坦化層	
6 4 0	対向電極	
6 4 1	スリット	
6 4 4	突起	
6 4 6	配向膜	20
6 4 8	配向膜	
6 5 0	液晶層	
6 5 1	液晶素子	
6 5 2	液晶素子	
6 9 0	容量配線	
7 0 1	O H 基	
7 0 2	O H 基	
7 0 5	O 分子	
7 1 0	O 分子	
7 1 1	エネルギー	30
7 1 2	エネルギー	
7 1 3	エネルギー	
7 1 4	エネルギー	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	40
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	50

2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	10
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	20
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	30
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電層	40
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 1	絶縁層	
4 5 4 3	保護絶縁層	
4 5 4 4	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	50

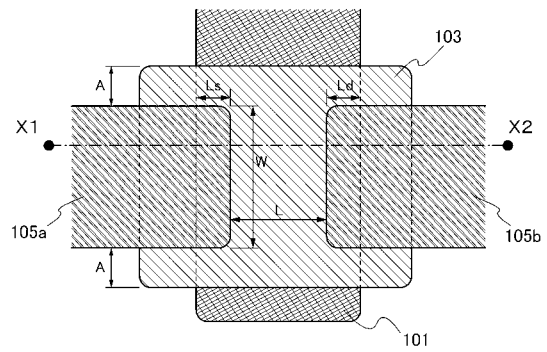
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	10
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	E L 層	
7 0 0 5	陽極	20
7 0 0 8	陰極	
7 0 0 9	隔壁	
7 0 1 1	T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	E L 層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電層	
7 0 1 9	隔壁	30
7 0 2 1	T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	E L 層	
7 0 2 5	陽極	
7 0 2 6	陽極	
7 0 2 7	導電層	
7 0 2 9	隔壁	
7 0 3 0	ドレイン電極層	
7 0 3 1	酸化物絶縁層	40
7 0 3 3	カラーフィルタ層	
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	
7 0 4 0	ドレイン電極層	
7 0 4 1	酸化物絶縁層	
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 5 0	ドレイン電極層	
7 0 5 1	酸化物絶縁層	50

7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	10
9 3 0 2	下部筐体	
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	20
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	30
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	40
9 9 0 3	表示部	
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 1 8 a	F P C	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	

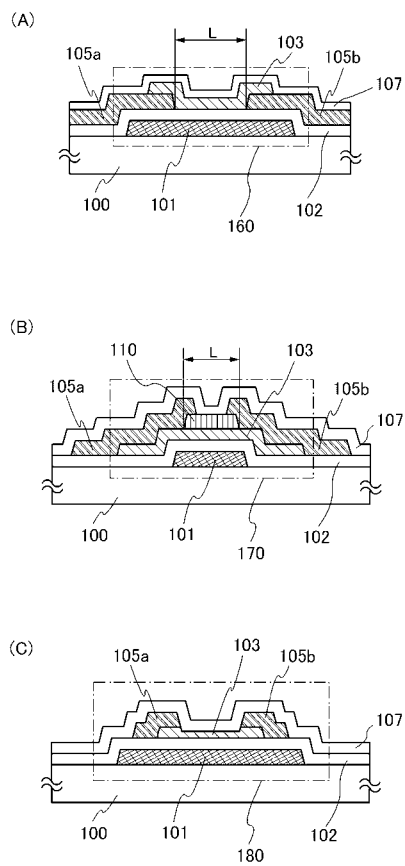
【図 1】



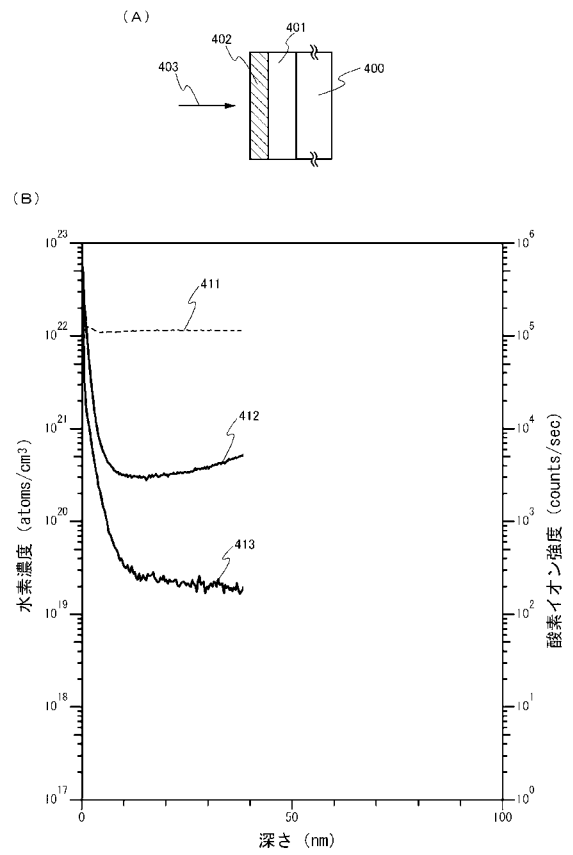
【図 2】



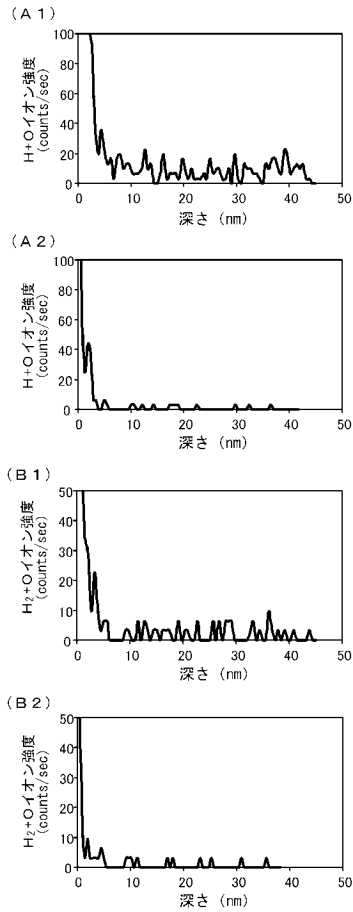
【図 3】



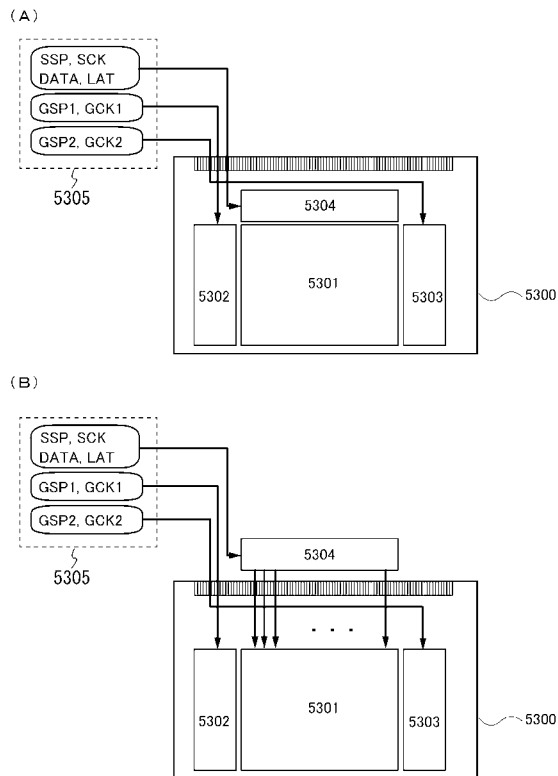
【図 4】



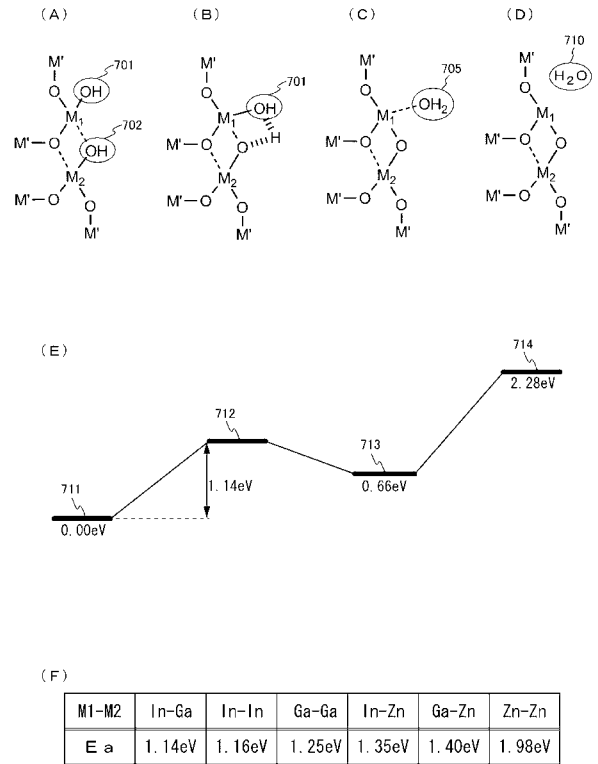
【図 5】



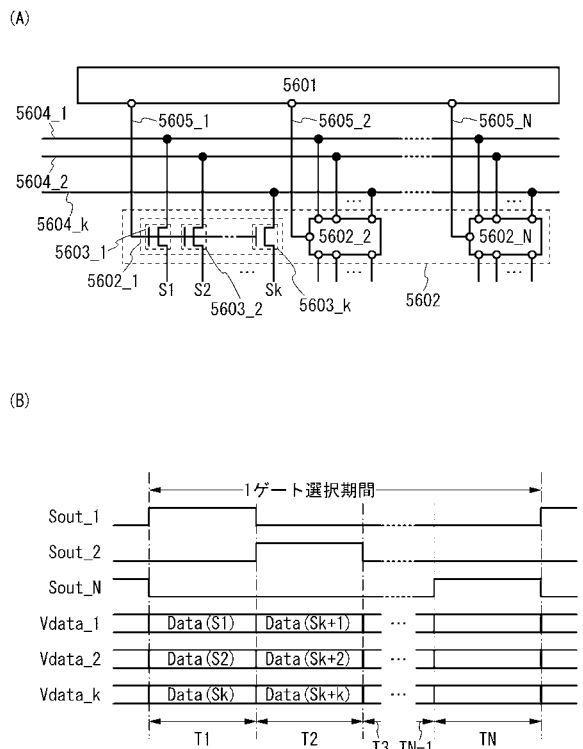
【図 7】



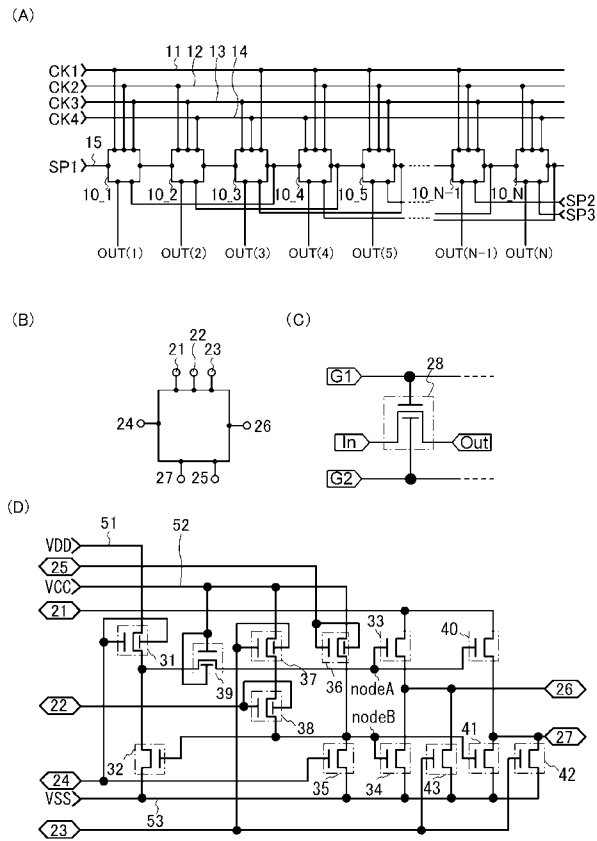
【図 6】



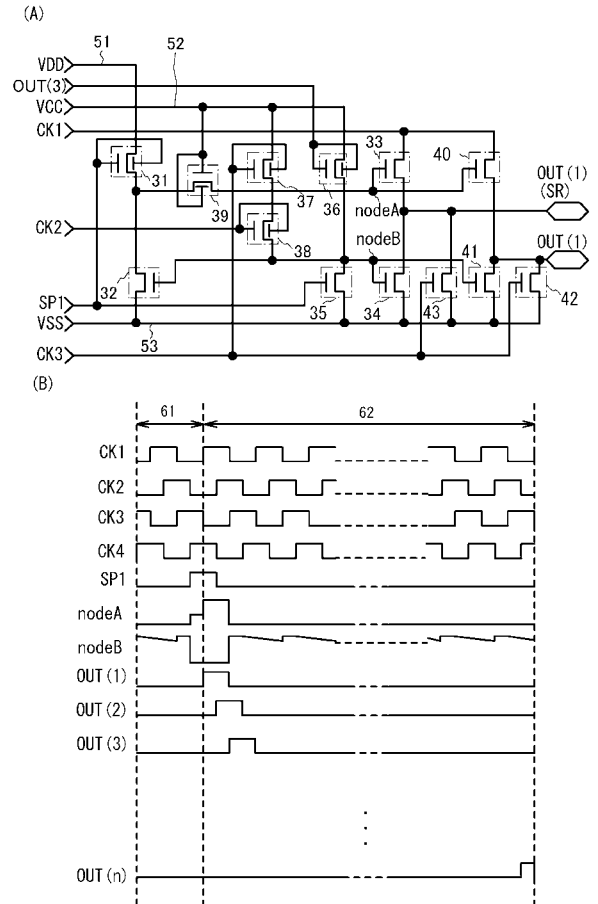
【図 8】



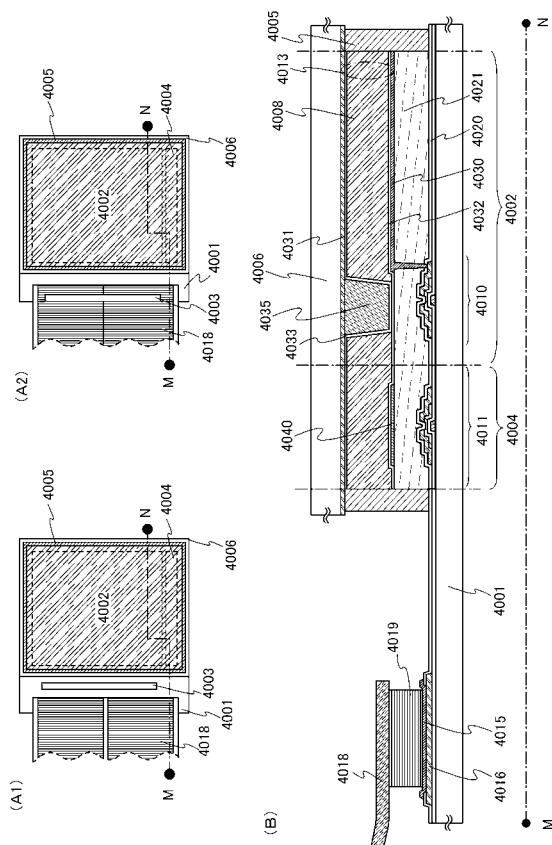
【図 9】



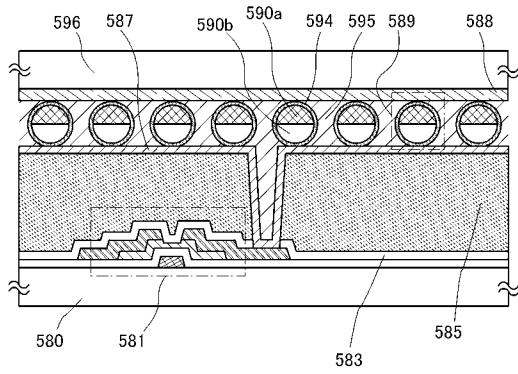
【図 10】



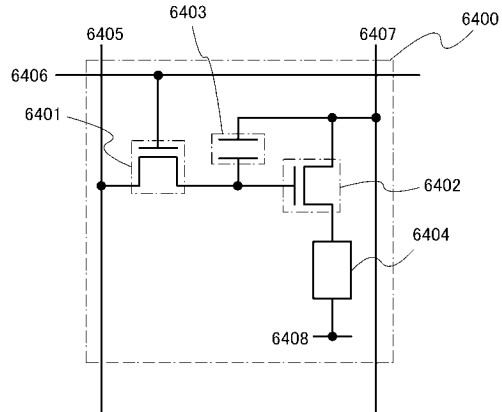
【図 11】



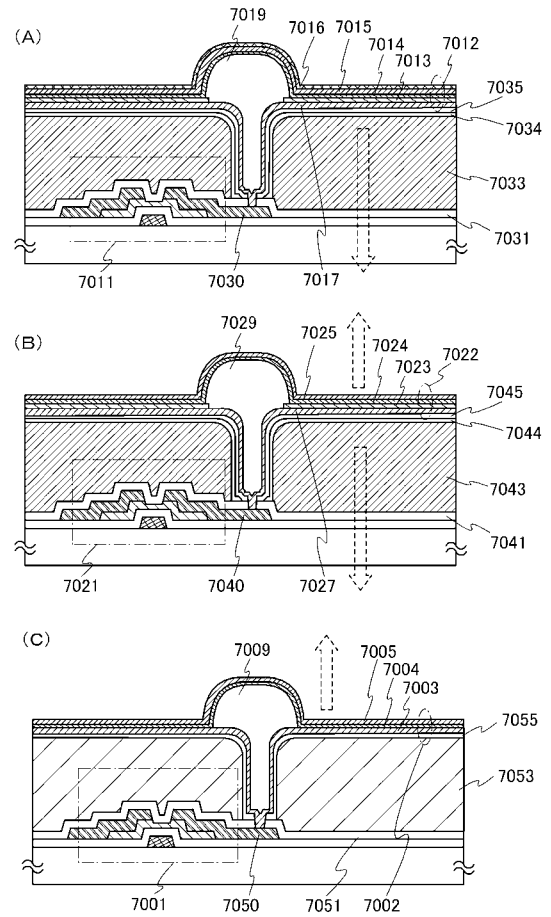
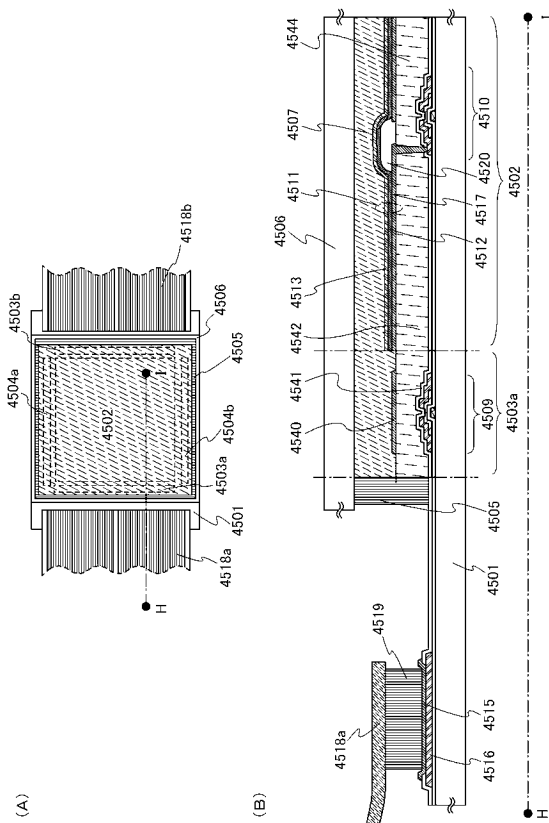
【 図 1 5 】



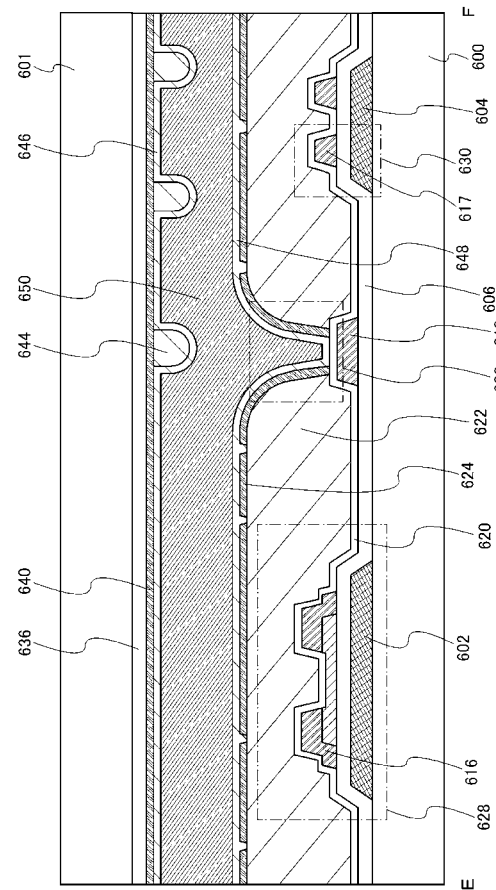
【 図 1 4 】



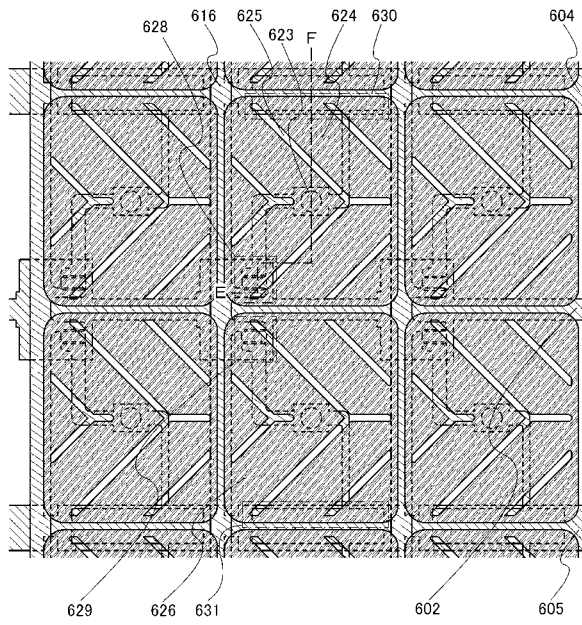
【 図 1 6 】



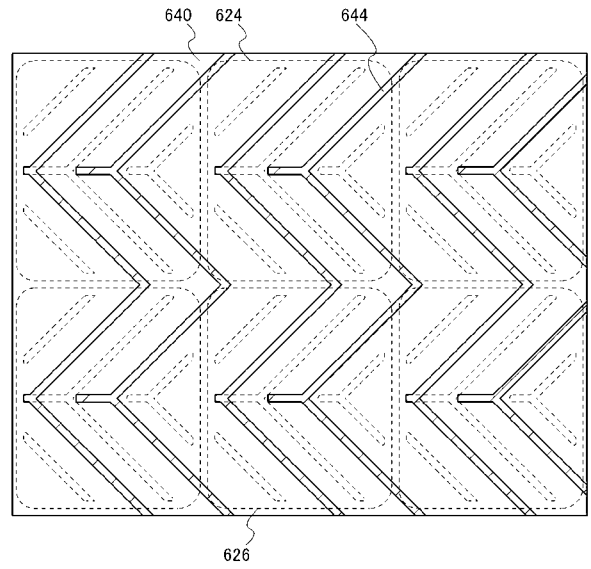
【 ㊦ 1 7 】



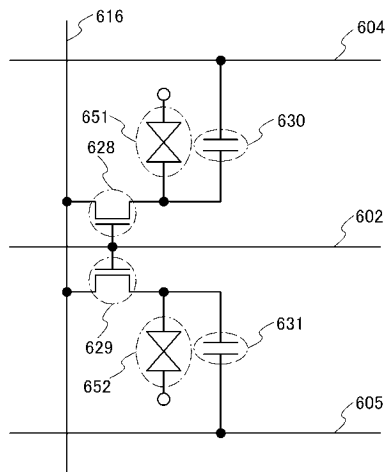
【図 18】



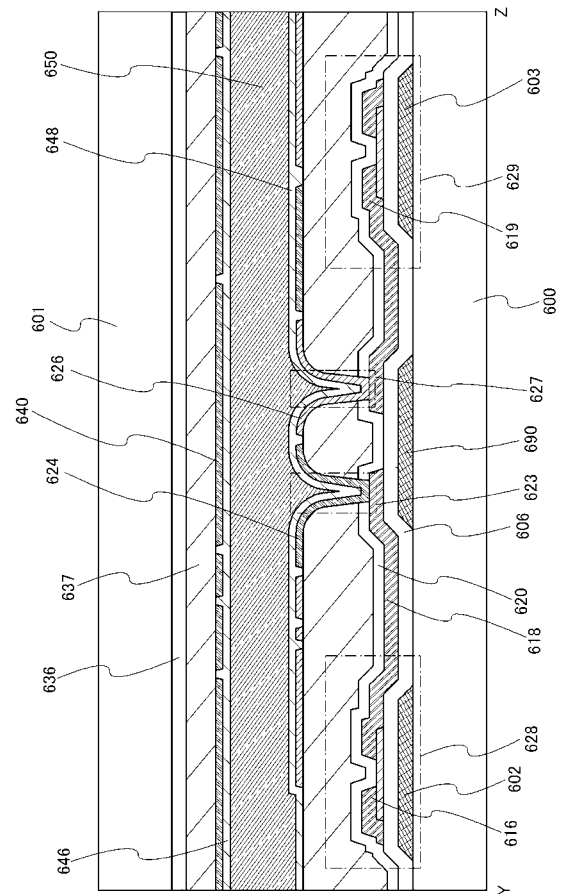
【図 19】



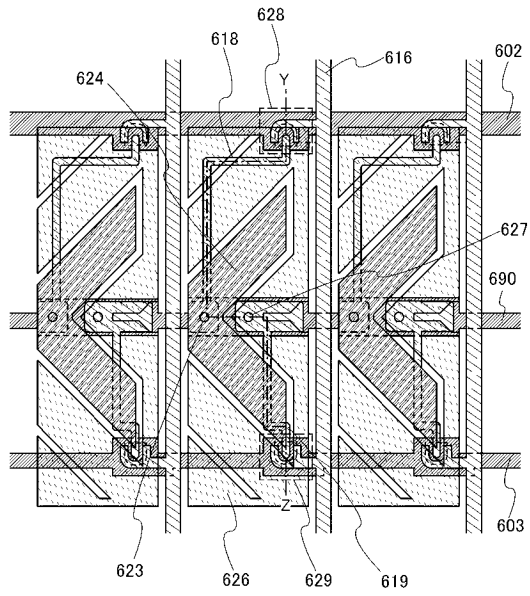
【図 20】



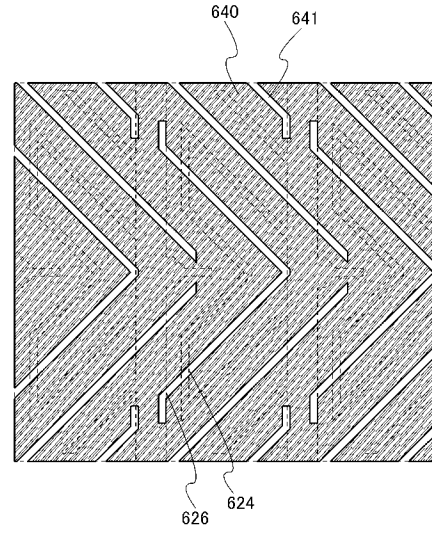
【図 21】



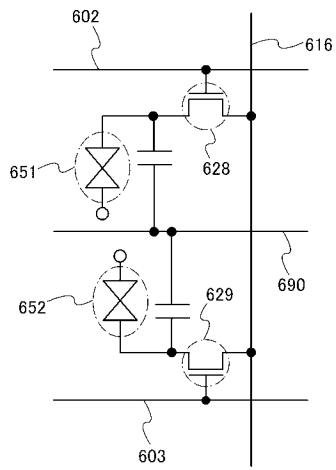
【図 2 2】



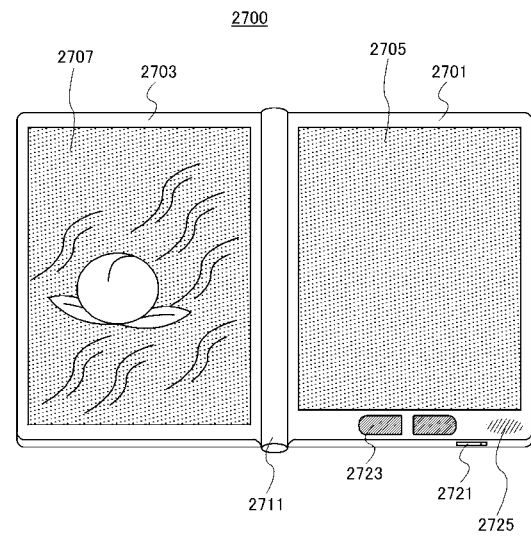
【図 2 3】



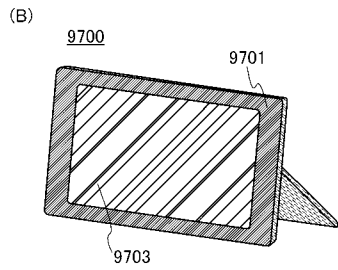
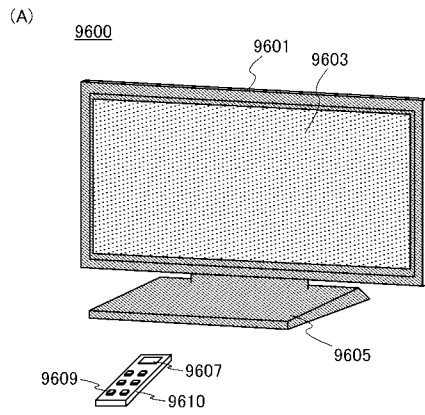
【図 2 4】



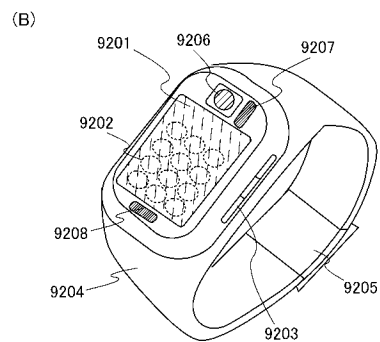
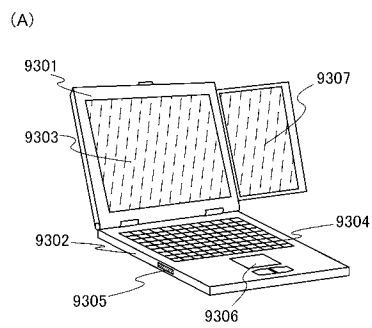
【図 2 5】



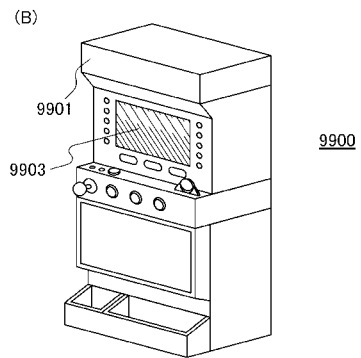
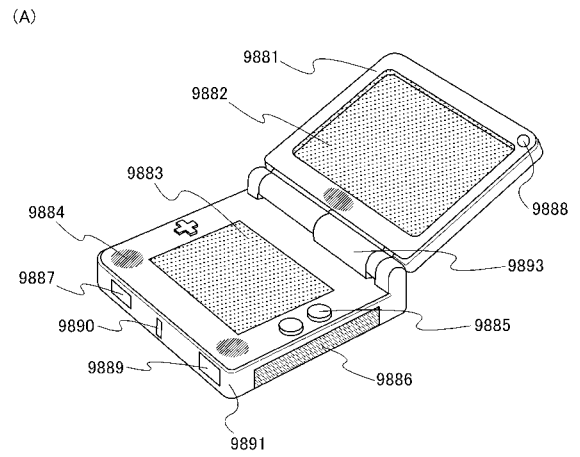
【図 26】



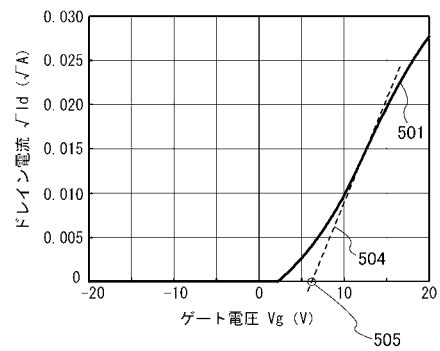
【図 28】



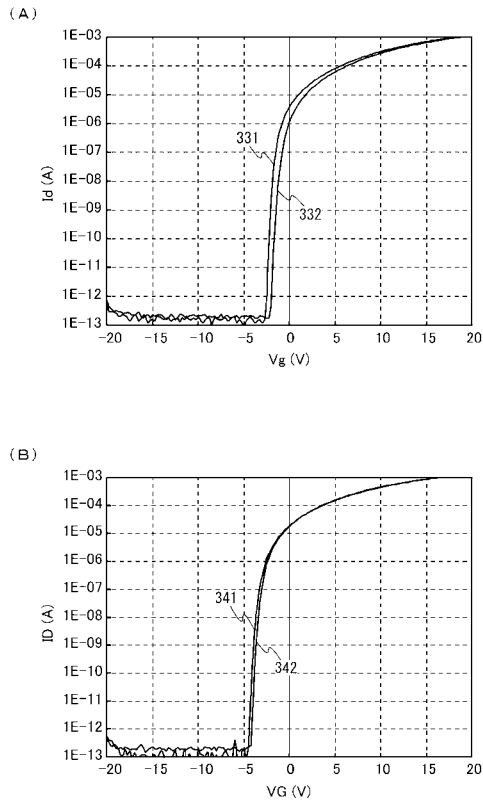
【図 27】



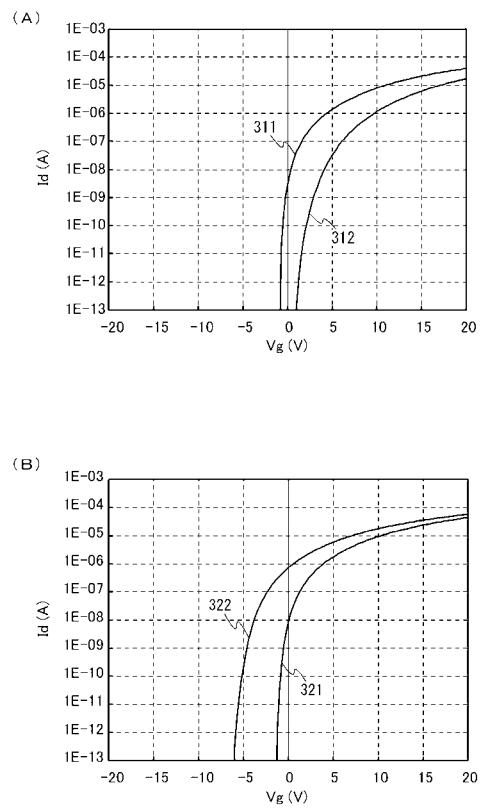
【図 29】



【図 30】



【図 31】



【手続補正書】

【提出日】平成29年3月15日(2017.3.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記トランジスタは基板上に設けられ、

前記酸化物半導体層は、結晶を含み、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

前記基板温度が 150°C 、前記ソース電極層の電位が 0 V 、前記ドレイン電極層の電位が 0 V 、前記ゲート電極層の電位が $+20\text{ V}$ 、電界印加時間が 1 時間の +BT 試験前後による前記トランジスタのしきい値電圧の変化量は、 2 V 以下であることを特徴とする液晶表示装置。

【請求項 2】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記トランジスタは基板上に設けられ、

前記酸化物半導体層は、結晶を含み、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

前記基板温度が 150、前記ソース電極層の電位が 0 V、前記ドレイン電極層の電位が 0 V、前記ゲート電極層の電位が - 20 V、電界印加時間が 1 時間の - B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であることを特徴とする液晶表示装置。

【請求項 3】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記トランジスタは基板上に設けられ、

前記酸化物半導体層は、結晶を含み、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

前記基板温度が 150、前記ソース電極層の電位が 0 V、前記ドレイン電極層の電位が 0 V、前記ゲート電極層の電位が + 20 V、電界印加時間が 1 時間の + B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第 1 の熱処理を行うことを特徴とする液晶表示装置の作製方法。

【請求項 4】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記トランジスタは基板上に設けられ、

前記酸化物半導体層は、結晶を含み、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

前記基板温度が 150、前記ソース電極層の電位が 0 V、前記ドレイン電極層の電位が 0 V、前記ゲート電極層の電位が - 20 V、電界印加時間が 1 時間の - B T 試験前後に

よる前記トランジスタのしきい値電圧の変化量は、2 V 以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第 1 の熱処理を行うことを特徴とする液晶表示装置の作製方法。

【請求項 5】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記トランジスタは基板上に設けられ、

前記酸化物半導体層は、結晶を含み、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

前記基板温度が 150 、前記ソース電極層の電位が 0 V、前記ドレイン電極層の電位が 0 V、前記ゲート電極層の電位が + 20 V、電界印加時間が 1 時間の + B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第 1 の熱処理を行い、

前記第 1 の熱処理後、前記無機絶縁層を形成した後に、第 2 の熱処理を行い、

前記第 2 の熱処理は、100 以上であって、前記第 1 の熱処理の温度よりも低い温度で行うことを特徴とする液晶表示装置の作製方法。

【請求項 6】

ゲート電極層と、前記ゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の酸化物半導体層と、前記酸化物半導体層上のソース電極層及びドレイン電極層とを有するトランジスタと、

前記酸化物半導体層上の無機絶縁層と、

前記無機絶縁層上の液晶層と、を有し、

前記トランジスタは基板上に設けられ、

前記酸化物半導体層は、結晶を含み、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記無機絶縁層は、前記ソース電極層と前記ドレイン電極層との間において、前記酸化物半導体層と接し、

前記無機絶縁層は、酸化珪素層、窒化酸化珪素層、酸化アルミニウム層、又は酸化窒化アルミニウム層であり、

前記基板温度が 150 、前記ソース電極層の電位が 0 V、前記ドレイン電極層の電位が 0 V、前記ゲート電極層の電位が - 20 V、電界印加時間が 1 時間の - B T 試験前後による前記トランジスタのしきい値電圧の変化量は、2 V 以下であり、

前記ソース電極層及び前記ドレイン電極層を形成する前に、前記酸化物半導体層に第 1 の熱処理を行い、

前記第 1 の熱処理後、前記無機絶縁層を形成した後に、第 2 の熱処理を行い、

前記第 2 の熱処理は、100 以上であって、前記第 1 の熱処理の温度よりも低い温度で行うことを特徴とする液晶表示装置の作製方法。

フロントページの続き

(51)Int.Cl.

G 0 2 F 1/1343 (2006.01)

F I

H 0 1 L	21/28	3 0 1 R
G 0 9 F	9/30	3 3 8
G 0 2 F	1/1343	

テーマコード(参考)

F ターム(参考) 2H192 AA24 BA25 BC24 BC31 CB05 CB37 CB71 CC22 CC42 DA12
 EA74 FA73 FB02 FB33 HA90 JA13
 4M104 AA03 AA09 BB02 BB04 BB13 BB14 BB16 BB17 BB18 CC01
 CC05 EE02 EE06 EE15 EE16 EE17 EE18 FF17 GG08
 5C094 AA21 AA31 BA43 DA13 GB10 JA03 JA20
 5F110 AA08 AA14 BB01 CC03 CC07 DD01 DD02 DD03 DD04 DD07
 EE02 EE03 EE04 EE06 EE14 EE15 EE25 EE27 EE30 EE44
 FF02 FF03 FF04 FF09 FF28 FF30 FF36 GG01 GG13 GG14
 GG15 GG24 GG25 GG26 GG28 GG29 GG33 GG34 GG35 GG36
 GG43 GG57 GG58 HK02 HK03 HK04 HK06 HK07 HK21 HK22
 HK33 HL01 HL02 HL03 HL06 HL07 HL09 HL11 HM05 NN02
 NN03 NN04 NN12 NN22 NN23 NN24 NN25 NN27 NN33 NN34
 NN35 NN36 NN40 NN73 PP01 PP02 PP10 PP13 QQ09

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2017151434A	公开(公告)日	2017-08-31
申请号	JP2017028693	申请日	2017-02-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 辻隆博 鈴木邦彦		
发明人	山崎 舜平 辻 隆博 鈴木 邦彦		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/28 G09F9/30 G02F1/1343		
CPC分类号	H01L27/1225 H01L29/66969 H01L29/78606 H01L29/7869 C23C14/08 H01L21/02631 H01L21/203 H01L21/324 H01L29/66742 H01L21/02554 H01L21/02565 H01L21/02595 H01L21/02667 H01L22/14 H01L29/04		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.619.A H01L29/78.612.Z H01L21/28.301.B H01L21/28.301.R G09F9/30.338 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA50 2H092/GA59 2H092/HA04 2H092/JA26 2H092/JA42 2H092/JA46 2H092/JB57 2H092/KA08 2H092/MA29 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB37 2H192/CB71 2H192/CC22 2H192/CC42 2H192/DA12 2H192/EA74 2H192/FA73 2H192/FB02 2H192/FB33 2H192/HA90 2H192/JA13 4M104/AA03 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/CC01 4M104/CC05 4M104/EE02 4M104/EE06 4M104/EE15 4M104/EE16 4M104/EE17 4M104/EE18 4M104/FF17 4M104/GG08 5C094/AA21 5C094/AA31 5C094/BA43 5C094/DA13 5C094/GB10 5C094/JA03 5C094/JA20 5F110/AA08 5F110/AA14 5F110/BB01 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE15 5F110/EE25 5F110/EE27 5F110/EE30 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG24 5F110/GG25 5F110/GG26 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG36 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HK33 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL06 5F110/HL07 5F110/HL09 5F110/HL11 5F110/HM05 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN40 5F110/NN73 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/QQ09		
优先权	2009218904 2009-09-24 JP		
其他公开文献	JP6229085B2		
外部链接	Espacenet		

摘要(译)

提供一种薄膜晶体管，其在使用氧化物半导体层的薄膜晶体管中具有稳定的电特性并且具有高可靠性。解决方案：在使用氧化物半导体层103的薄膜晶体管150中，BT测试之前和之后的薄膜晶体管150的阈值电压的变化宽度是2V或更小，优选地是1.5V或更小，通过将其设定为0V或更低，可以制造具有高可靠性和稳定电特性的半导体器件。特别是，可以减少由半导体器件的阈值的波动引起的诸如显示不均匀的故障。

