

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2017-146609

(P2017-146609A)

(43) 公開日 平成29年8月24日 (2017.8.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 619B	5C094
H01L 21/336 (2006.01)	H01L 29/78 612Z	5F110
G09F 9/30 (2006.01)	G09F 9/30 338	
	G09F 9/30 320	

審査請求 有 請求項の数 4 O L (全 47 頁)

(21) 出願番号 特願2017-54100 (P2017-54100)
 (22) 出願日 平成29年3月21日 (2017.3.21)
 (62) 分割の表示 特願2017-22691 (P2017-22691)
 の分割
 原出願日 平成12年6月2日 (2000.6.2)
 (11) 特許番号 特許第6170641号 (P6170641)
 (45) 特許公報発行日 平成29年7月26日 (2017.7.26)
 (31) 優先権主張番号 特願平11-154432
 (32) 優先日 平成11年6月2日 (1999.6.2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 須澤 英臣
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山形 裕和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム (参考) 2H192 AA24 BC31 CB02 CB05 CB13
 DA12 EA04 EA22 EA43 FA73
 FB15 FB27 JB02

最終頁に続く

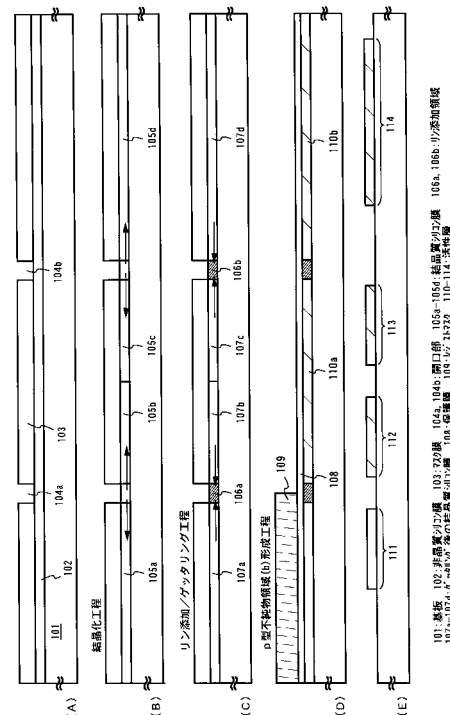
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】多層配線間で形成される寄生容量を低減することを目的の一とする。

【解決手段】絶縁表面上に第1配線と、前記第1配線を覆う第1層間絶縁膜と、前記第1層間絶縁膜上の一部に接して第2層間絶縁膜と、前記第1層間絶縁膜及び前記第2層間絶縁膜上に第2配線とを有し、前記第1配線と前記第2配線とが重なっている領域には、前記第1層間絶縁膜と前記第2層間絶縁膜とが積層された半導体装置である。第1配線と第2配線間に層間絶縁膜が積層されていることで寄生容量の低減が可能となる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板上方の半導体層と、
前記半導体層上方のゲート絶縁膜と、
前記ゲート絶縁膜上方のゲート配線と、
前記ゲート配線上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方の第 1 の配線と、
前記第 2 の絶縁膜上方の第 2 の配線と、
前記第 1 の配線上方及び前記第 2 の配線上方の第 3 の絶縁膜と、
前記第 3 の絶縁膜上方の画素電極と、
前記画素電極上方のスペーサと、
前記スペーサ上方の配向膜と、
前記配向膜上方の液晶と、
前記液晶上方の対向基板と、を有し、
前記半導体層は、第 1 のチャネル形成領域と、第 2 のチャネル形成領域と、を有し、
前記第 1 の配線は、前記半導体層と接する領域を有し、
前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記半導体層と接する領域を有し、
前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート配線の一部とは、互いに重なっており、
前記第 1 の配線は、前記第 1 のチャネル形成領域を介して、前記第 2 のチャネル形成領域と電氣的に接続され、
前記第 1 のチャネル形成領域は、前記第 2 のチャネル形成領域を介して、前記第 2 の配線と電氣的に接続され、
前記第 3 の絶縁膜は、コンタクトホールを有し、
前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、
前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

【請求項 2】

基板と、
前記基板上方の半導体層と、
前記半導体層上方のゲート絶縁膜と、
前記ゲート絶縁膜上方のゲート配線と、
前記ゲート配線上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方の第 1 の配線と、
前記第 2 の絶縁膜上方の第 2 の配線と、
前記第 1 の配線上方及び前記第 2 の配線上方の第 3 の絶縁膜と、
前記第 3 の絶縁膜上方の第 3 の導電膜と、
前記第 3 の導電膜上方の第 4 の絶縁膜と、
前記第 4 の絶縁膜上方の画素電極と、
前記画素電極上方のスペーサと、
前記スペーサ上方の配向膜と、
前記配向膜上方の液晶と、
前記液晶上方の対向基板と、を有し、

前記半導体層は、第 1 のチャネル形成領域と、第 2 のチャネル形成領域と、を有し、
前記第 1 の配線は、前記半導体層と接する領域を有し、
前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記半導体層と接する領域を有し、
前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート配線の一部とは、互いに重なっており、

前記第 1 の配線は、前記第 1 のチャネル形成領域を介して、前記第 2 のチャネル形成領域と電氣的に接続され、 10

前記第 1 のチャネル形成領域は、前記第 2 のチャネル形成領域を介して、前記第 2 の配線と電氣的に接続され、

前記第 3 の絶縁膜は、コンタクトホールを有し、

前記第 3 の導電膜は、遮光性を有し、

前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、

前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

【請求項 3】

基板と、

20

前記基板上方の半導体層と、

前記半導体層上方のゲート絶縁膜と、

前記ゲート絶縁膜上方のゲート配線と、

前記ゲート配線上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 2 の絶縁膜と、

前記第 2 の絶縁膜上方の第 1 の配線と、

前記第 2 の絶縁膜上方の第 2 の配線と、

前記第 1 の配線上方及び前記第 2 の配線上方の第 3 の絶縁膜と、

前記第 3 の絶縁膜上方の画素電極と、

前記画素電極上方のスペーサと、

30

前記スペーサ上方の配向膜と、

前記配向膜上方の液晶と、

前記液晶上方の対向基板と、を有し、

前記半導体層は、第 1 のチャネル形成領域と、第 2 のチャネル形成領域と、を有し、

前記第 1 の配線は、前記半導体層と接する領域を有し、

前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、

前記第 2 の配線は、前記半導体層と接する領域を有し、

前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、

40

前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート配線の一部と前記第 1 のチャネル形成領域の一部とは、互いに重なっており、

前記第 1 の配線は、前記第 1 のチャネル形成領域を介して、前記第 2 のチャネル形成領域と電氣的に接続され、

前記第 1 のチャネル形成領域は、前記第 2 のチャネル形成領域を介して、前記第 2 の配線と電氣的に接続され、

前記第 3 の絶縁膜は、コンタクトホールを有し、

前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、

前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

50

【請求項 4】

基板と、
前記基板上方の半導体層と、
前記半導体層上方のゲート絶縁膜と、
前記ゲート絶縁膜上方のゲート配線と、
前記ゲート配線上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方の第 1 の配線と、
前記第 2 の絶縁膜上方の第 2 の配線と、
前記第 1 の配線上方及び前記第 2 の配線上方の第 3 の絶縁膜と、
前記第 3 の絶縁膜上方の第 3 の導電膜と、
前記第 3 の導電膜上方の第 4 の絶縁膜と、
前記第 4 の絶縁膜上方の画素電極と、
前記画素電極上方のスペーサと、
前記スペーサ上方の配向膜と、
前記配向膜上方の液晶と、
前記液晶上方の対向基板と、を有し、
前記半導体層は、第 1 のチャネル形成領域と、第 2 のチャネル形成領域と、を有し、
前記第 1 の配線は、前記半導体層と接する領域を有し、
前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記半導体層と接する領域を有し、
前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート配線の一部と前記第 1 のチャネル形成領域の一部とは、互いに重なっており、
前記第 1 の配線は、前記第 1 のチャネル形成領域を介して、前記第 2 のチャネル形成領域と電氣的に接続され、
前記第 1 のチャネル形成領域は、前記第 2 のチャネル形成領域を介して、前記第 2 の配線と電氣的に接続され、
前記第 3 の絶縁膜は、コンタクトホールを有し、
前記第 3 の導電膜は、遮光性を有し、
前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、
前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上にTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTと記す）は電界効果移動

度が高いことから、いろいろな機能回路を形成することも可能である。

【 0 0 0 4 】

例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

【 0 0 0 5 】

アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

絶縁表面上に画素回路及び駆動回路を形成した場合、形成される多層配線間で必然的に容量（寄生容量）が生じてしまう。

【 0 0 0 7 】

この寄生容量の大きさは、下層配線と上層配線とが重なっている電極面積や、重なっている下層配線と上層配線との間の絶縁膜の膜厚等で決定される。

20

【 0 0 0 8 】

近年、回路の小型化及び低電力化が進むにつれ、この寄生容量の影響が無視できないほど大きくなっている。そこで、この寄生容量の影響を低下させるために補助容量の電極面積を大きくすることが提案されているが、電極面積を大きくすると画素領域の開口率が低下するという問題があった。

【 0 0 0 9 】

また、下層配線と上層配線とが重ならないようにすると、同様に画素領域の開口率が低下する。

【 0 0 1 0 】

特に、対角1インチ以下のアクティブマトリクス型液晶表示装置においては、開口率が最も重要視されている。

30

【 0 0 1 1 】

画素領域の開口率を向上させるためには、配線面積を抑えるために配線幅を小さくしたり、下層配線と上層配線を可能な限り重ねて多層配線を形成することが行われている。

【 0 0 1 2 】

また、回路の小型化によってTFTのソース領域やドレイン領域に達するコンタクトホール寸法の寸法も微細化されている。良好なコンタクト接続をとるためには、コンタクトホールをテーパ状に加工して傾斜を持たせるようにすればよいが、極端なテーパ形状加工を行うとコンタクトホールの寸法が大きくなってしまふ。例えば0.5～1.5μm程度の直径を有する微小なコンタクトホールを形成しようとした場合、TFTのソース領域やドレイン領域の膜厚は10nm～50nmと薄いため、層間絶縁膜が厚いとエッチング条件によってはオーバーエッチングやエッチング残りなどのエッチング不良が発生していた。

40

【 0 0 1 3 】

本発明はこのような課題を解決するための技術であり、多層配線間で形成される寄生容量を低減し、表示特性を向上させることを目的とする。また、そのような半導体装置を実現するための作製方法を提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 4 】

50

本明細書で開示する発明の構成は、絶縁表面上に第 1 配線と、前記第 1 配線を覆う第 1 層間絶縁膜と、前記第 1 層間絶縁膜上の一部に接して第 2 層間絶縁膜と、前記第 1 層間絶縁膜及び前記第 2 層間絶縁膜上に第 2 配線とを有し、前記第 1 配線と前記第 2 配線とが重なっている領域には、前記第 1 層間絶縁膜と前記第 2 層間絶縁膜とが積層されていることを特徴とする半導体装置である。

【0015】

上記構成において、前記第 1 層間絶縁膜のエッチングレートは、前記第 2 層間絶縁膜のエッチングレートより小さいことを特徴としている。

【0016】

また、上記各構成において、前記第 1 層間絶縁膜の前記第 2 層間絶縁膜に対するエッチングレートの選択比は、1.5 以上であることが望ましい。

10

【0017】

また、上記各構成において、前記第 1 層間絶縁膜の膜厚は 50 ~ 300 nm であることを特徴としている。

【0018】

また、上記各構成において、前記第 2 層間絶縁膜の膜厚は 150 nm ~ 1 μ m であることを特徴としている。

【0019】

また、他の発明の構成は、絶縁表面上に T F T を少なくとも含む半導体装置において、前記 T F T を形成する第 1 配線の上方には第 1 層間絶縁膜と、第 2 層間絶縁膜と、第 2 配線とが形成され、前記 T F T のソース領域またはドレイン領域の上方にはゲート絶縁膜と、第 1 層間絶縁膜と、前記第 2 配線とが形成されていることを特徴とする半導体装置である。

20

【0020】

上記構成において、前記ゲート絶縁膜の膜厚と前記第 1 層間絶縁膜の膜厚との和は 0.1 μ m 以上であることを特徴としている。

【0021】

また、他の発明の構成は、絶縁表面上に T F T を少なくとも含む半導体装置において、前記 T F T を形成する第 1 配線の上方には第 1 層間絶縁膜及び第 2 層間絶縁膜を介して第 2 配線が存在していることを特徴とする半導体装置である。

30

【0022】

上記構成において、前記 T F T のソース領域またはドレイン領域の上方には第 1 層間絶縁膜が存在していることを特徴としている。

【0023】

また、上記各構成において、前記 T F T は逆スタガ型 T F T であることを特徴としている。

【0024】

また、上記各構成において、前記第 1 配線はゲート配線である。

【0025】

また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置において、前記画素回路を形成する画素 T F T のチャネル形成領域は、ゲート絶縁膜を介してゲート配線の一部と重なるように形成され、該ゲート配線の一部はエッチングレートの異なる複数の絶縁膜を介して第 2 配線と重なっていることを特徴とする半導体装置である。

40

【0026】

また、上記各構成において、前記第 2 配線はソース線またはドレイン線である。

【0027】

上記各構成において、前記駆動回路を形成する n チャネル型 T F T の L D D 領域は、少なくとも一部または全部が、該 n チャネル型 T F T のゲート配線と重なるように形成され、前記画素回路を形成する画素 T F T の L D D 領域は、該画素 T F T のゲート電極と重

50

ならないように形成されていることを特徴としている。

【0028】

上記各構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート電極と重なるように形成され、前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成され、前記画素回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されていることを特徴としている。

【0029】

また、上記構造を実現するための発明の構成は、絶縁表面上に第1配線を形成する第1工程と、前記第1配線を覆う第1層間絶縁膜を形成する第2工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第3工程と、前記第2層間絶縁膜の一部を選択的に除去する第4工程と、前記第1配線と重なる第2層間絶縁膜上に第2配線を形成する第5工程とを有することを特徴とする半導体装置の作製方法である。

【0030】

また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加してソース領域またはドレイン領域を形成する第3工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第4工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第5工程と、前記第2層間絶縁膜にエッチングを行い、前記ソース領域または前記ドレイン領域の上方の第2層間絶縁膜を除去する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記ソース領域またはドレイン領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記ソース領域またはドレイン領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0031】

また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記ゲート電極と重なる第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0032】

また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第6工程と、前記第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【発明の効果】

【 0 0 3 3 】

本願発明を用いることで、多層配線により形成される寄生容量を低減させて、半導体装置（ここでは具体的に電気光学装置）の動作性能や信頼性を大幅に向上させることができた。

【 0 0 3 4 】

また、アクティブマトリクス型液晶表示装置に代表される電気光学装置の画素回路において、ゲート配線と第2配線とを重ねて開口率を向上させても十分寄生容量を小さくすることができた。そのため、対角1インチ以下のアクティブマトリクス型液晶表示装置においても開口率を向上させ、寄生容量を低減するとともに、十分な保持容量を確保することが可能となった。

10

【 0 0 3 5 】

また、そのような電気光学装置を表示媒体として有する半導体装置（ここでは具体的に電子機器）の動作性能と信頼性も向上させることができた。

【図面の簡単な説明】

【 0 0 3 6 】

【図1】AM-LCDの作製工程を示す図。

【図2】AM-LCDの作製工程を示す図。

【図3】AM-LCDの作製工程を示す図。

【図4】AM-LCDの作製工程を示す図。

【図5】AM-LCDの作製工程を示す図。

20

【図6】AM-LCDの作製工程における上面図。

【図7】AM-LCDの作製工程における上面図。

【図8】画素回路の上面図。

【図9】液晶表示装置の断面構造図。

【図10】AM-LCDの外観を示す図。

【図11】回路ブロック図

【図12】AM-LCDの作製工程を示す図。

【図13】AM-LCDの作製工程を示す図。

【図14】AM-LCDの作製工程を示す図。

【図15】メモリ部及びCMOS回路の構成を示す図。

30

【図16】画素回路及びCMOS回路の構成を示す図。

【図17】画素回路及びCMOS回路の構成を示す図。

【図18】アクティブマトリクス型EL表示装置の構成を示す図。

【図19】無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図

【図20】アクティブマトリクス型EL表示装置の上面図及び断面図。

【図21】アクティブマトリクス型EL表示装置の画素構造を示す断面図。

【図22】アクティブマトリクス型EL表示装置の画素構造を示す上面図。

【図23】アクティブマトリクス型EL表示装置の画素構造を示す断面図。

【図24】アクティブマトリクス型EL表示装置の回路図。

【図25】アクティブマトリクス型EL表示装置の回路図。

40

【図26】アクティブマトリクス型EL表示装置の回路図。

【図27】ゴーグル型表示装置の一例を示す図。

【図28】電子機器の一例を示す図。

【図29】電子機器の一例を示す図。

【図30】電子機器の一例を示す図。

【発明を実施するための形態】

【 0 0 3 7 】

本願発明の実施形態について、図5を用いて以下に説明する。

【 0 0 3 8 】

図5に示すように、本願発明では、開口率を向上させるため、画素TF-Tのチャネル形

50

成領域 2 1 3、2 1 4 と重なるゲート電極の一部または全部と第 2 配線（ソース線またはドレイン線）1 5 4、1 5 7 とを重ねる。また、ゲート電極と第 2 配線 1 5 4、1 5 7 の間には第 1 層間絶縁膜 1 4 9 及び第 2 層間絶縁膜 1 5 0 c を設け、寄生容量を低減する。なお、図 8（B）に図 5 に対応する表示領域の上面図を示した。

【0039】

また、ゲート電極と第 2 配線が重なる領域のみに選択的に第 2 層間絶縁膜 1 5 0 c が設けられているため、画素 T F T のソース領域またはドレイン領域に達するコンタクトホールを開口を行いやすい。

【0040】

また、駆動回路においては、絶縁膜 1 1 5 上に設けられたゲート配線と第 2 配線 1 5 1 とが交差して重なっている領域に第 2 層間絶縁膜 1 5 0 b を選択的に形成すればよい。なお、図 7（B）に図 5 に対応する駆動回路の上面図を示した。

【0041】

なお、第 1 層間絶縁膜及び第 2 層間絶縁膜としては珪素を含む絶縁膜を用いる。珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。これらの膜の成膜方法にはプラズマ C V D、減圧 C V D、E C R C V D 等の C V D 法や、スパッタ法等を用いればよい。なお、プラズマ C V D を用い、原料ガスに S i 源として T E O S 等の有機シランを、O 源として O₂ または O₃ を用いれば T E O S 膜と呼ばれる絶縁膜が形成される。また、原料ガスに S i 源として S i H₄（モノシラン）またはジシラン等の無機シランを用い、O 源として O₂ や O₃ や N₂ O を用いることができる。なお、減圧 C V D 法を用い、S i 源として S i H₄（モノシラン）、O 源として O₂ や O₃ や N₂ O を用いれば L T O 膜と呼ばれる絶縁膜が形成される。

【0042】

なお、窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、S i O_x N_y で表される絶縁膜である。ただし、窒化酸化シリコン膜における S i の濃度に対する N の濃度比は 0 . 1 以上 0 . 8 以下にする。珪素、酸素、窒素等を含む絶縁膜の組成の制御は原料ガスの種類、流量、基板温度、圧力、R F パワー、電極間隔を適宜調節することによって行う。

【0043】

第 1 層間絶縁膜の膜厚は特に限定されないが、ゲート絶縁膜と同時または順次エッチングし、シリコン層に達するコンタクトホールを形成する際、シリコン層は薄いため、シリコン層と十分選択比が取れる条件（絶縁膜材料、膜厚、エッチングガス等）でエッチングを行うことが重要である。なお、これらの条件を考慮にいと、第 1 層間絶縁膜の膜厚は薄くする（例えば 2 0 0 n m 以下）ことが望ましい。ただし、活性化工程での酸化からゲート配線を保護する膜厚は必要である。また、微小なコンタクトホールを形成する上では、コンタクトホール形成領域に第 2 層間絶縁膜が存在しないようにすることが望ましい。

【0044】

また、上記構造を実現する本願発明の作製工程は、第 2 層間絶縁膜のみを選択的にウエットエッチングする工程（図 4（B））を有しているため、第 2 層間絶縁膜に用いる材料は、第 1 層間絶縁膜よりもエッチングレートの大きな材料とすることが望ましい。

【0045】

第 1 層間絶縁膜と同じ原料ガスを用いて第 2 層間絶縁膜を成膜する場合でも、第 1 層間絶縁膜の成膜温度より 1 0 以上低い温度で成膜するとエッチングレートの大きな膜を得ることができる。

【0046】

また、第 1 層間絶縁膜に熱アニール（7 5 0 ～ 8 5 0 、1 5 分～4 時間）を施し、第 1 層間絶縁膜のエッチングレートを小さくすることによって、第 2 層間絶縁膜との選択比を大きくしてもよい。

【0047】

10

20

30

40

50

なお、第2層間絶縁膜のみを選択的にエッチングする工程の際、ドライエッチングを用いることは可能であるが、第1層間絶縁膜と選択比が十分取れ、テーパー形状が得られるウェットエッチングが望ましい。なお、第2層間絶縁膜の膜厚としては、寄生容量が問題にならない膜厚、例えば $0.5\mu\text{m}$ 以上であれば特に限定されない。また、異方性エッチングを用いてもよい。

【0048】

また、ソース領域またはドレイン領域に達するコンタクトホール形成の他の方法として、図12に示すようにドライエッチングでゲート絶縁膜及び第1層間絶縁膜にコンタクトホールを形成した後、第2層間絶縁膜を積層して再度、ウェットエッチングで第2層間絶縁膜にコンタクトホールを形成してもよい。

10

【0049】

また、第2層間絶縁膜のみを選択的にエッチングする工程として第1層間絶縁膜上に、薄い窒化シリコン膜や、DLC膜や、AlN膜、やAlNO膜等を積層し、それをエッチングのブロッキング層として用いればドライエッチングを用いて第2層間絶縁膜を選択的にエッチングすることができる。また、ドライエッチングを用いてもレジスト形状を変えればテーパー形状とすることができる。

【0050】

ここでは、ゲート配線と第2配線との間に2層の層間絶縁膜（第1層間絶縁膜及び第2層間絶縁膜）を用いたが、3層、あるいはそれ以上の層間絶縁膜を積層させてもよい。

【0051】

20

上記本願発明の構成とすることで、ゲート電極と第2配線とを重ねるレイアウトとしても寄生容量による表示特性への悪影響をなくすることができる。また、対角1インチ以下のアクティブマトリクス型液晶表示装置であっても、ゲート配線と第2配線とで形成される寄生容量が十分小さく、微小なコンタクトホール（直径が約 $0.5\mu\text{m} \sim 1.5\mu\text{m}$ ）を形成することができる。

【0052】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0053】

30

本発明の実施例について図1～図5を用いて説明する。ここでは、同一基板上に画素回路とその画素回路を制御するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0054】

図1(A)において、基板101には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、 800°C 以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

40

【0055】

そして、基板101のTFTが形成される表面には、 $20 \sim 100\text{nm}$ （好ましくは $40 \sim 80\text{nm}$ ）の厚さの非晶質構造を含む半導体膜102を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では 60nm 厚の非晶質シリコン膜を形成するが、後に熱酸化工程があるのでこの膜厚が最終的なTFTの活性層の膜厚になるわけではない。

【0056】

また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる

50

。

【0057】

また、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0058】

次に、非晶質シリコン膜102上に珪素（シリコン）を含む絶縁膜でなるマスク膜103を形成し、パターニングによって開口部104a、104bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長する触媒元素を添加するための添加領域となる。（図1（A））

10

【0059】

なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、 SiO_xN_y で表される絶縁膜である。窒化酸化シリコン膜は SiH_4 、 N_2O 及び NH_3 を原料ガスとして作製することが可能であり、含有する窒素濃度が25 atomic%以上50 atomic%未満とすると良い。

【0060】

また、このマスク膜103のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。

20

【0061】

次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

【0062】

具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

30

【0063】

なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピンコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

【0064】

また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550 で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5 atom%以下とすることが好ましい。

40

【0065】

結晶化工程は、まず400～500 で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650 （好ましくは550～600 ）で6～16時間（好ましくは8～14時間）の熱処理を行う。

【0066】

本実施例では、触媒元素としてニッケルを用い、570 で14時間の熱処理を行う。その結果、開口部104a、104bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）105a～105dが形成される。（図1（B））

50

【 0 0 6 7 】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜 1 0 3 をそのままマスクとして 1 5 族に属する元素（本実施例ではリン）を添加する工程を行い、開口部 1 0 4 a、1 0 4 b で露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）1 0 6 a、1 0 6 b を形成する。（図 1（C））

【 0 0 6 8 】

次に、窒素雰囲気中で 4 5 0 ~ 6 5 0 （好ましくは 5 0 0 ~ 5 5 0 ）、4 ~ 2 4 時間（好ましくは 6 ~ 1 2 時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域 1 0 6 a、1 0 6 b に捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜 1 0 7 a ~ 1 0 7 d に含まれるニッケル濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ にまで低減することができる。

10

【 0 0 6 9 】

次に、マスク膜 1 0 3 を除去し、結晶質シリコン膜 1 0 7 a ~ 1 0 7 d 上に後の不純物添加工程のために保護膜 1 0 8 を形成する。保護膜 1 0 8 は 1 0 0 ~ 2 0 0 nm（好ましくは 1 3 0 ~ 1 7 0 nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜 1 0 8 は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

20

【 0 0 7 0 】

そして、その上にレジストマスク 1 0 9 を形成し、保護膜 1 0 8 を介して p 型を付与する不純物元素（以下、p 型不純物元素という）を添加する。p 型不純物元素としては、代表的には 1 3 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）は T F T のしきい値電圧を制御するための工程である。なお、ここではジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【 0 0 7 1 】

この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度で p 型不純物元素（本実施例ではボロン）を含む不純物領域 1 1 0 a、1 1 0 b を形成する。なお、本明細書中では上記濃度範囲で p 型不純物元素を含む不純物領域（但し、リンは含まれていない領域）を p 型不純物領域（b）と定義する。（図 1（D））

30

【 0 0 7 2 】

次に、レジストマスク 1 0 9 を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）1 1 1 ~ 1 1 4 を形成する。なお、活性層 1 1 1 ~ 1 1 4 は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層 1 1 1 ~ 1 1 4 中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ である。（図 1（E））

40

【 0 0 7 3 】

また、p チャネル型 T F T の活性層 1 1 1 は意図的に添加された不純物元素を含まない領域であり、n チャネル型 T F T の活性層 1 1 2 ~ 1 1 4 は p 型不純物領域（b）となっている。本明細書中では、この状態の活性層 1 1 1 ~ 1 1 4 は全て真性または実質的に真性であると定義する。即ち、T F T の動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

【 0 0 7 4 】

次に、プラズマ C V D 法またはスパッタ法により 1 0 ~ 1 0 0 nm 厚の珪素を含む絶縁

50

膜を形成する。本実施例では、30 nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0075】

次に、800～1150（好ましくは900～1000）の温度で15分～8時間（好ましくは30分～2時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950～80分の熱処理工程を行う。なお、図1（D）の工程で添加されたボロンはこの熱酸化工程の間に活性化される。（図2（A））

【0076】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100%酸素雰囲気で行っても構わない。

10

【0077】

この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層111～114との界面においても酸化反応が進行する。本願発明ではそれを考慮して最終的に形成されるゲート絶縁膜115の膜厚が50～200 nm（好ましくは100～150 nm）となるように調節する。本実施例の熱酸化工程では、60 nm厚の活性層のうち25 nmが酸化されて活性層111～114の膜厚は45 nmとなる。また、30 nm厚の珪素を含む絶縁膜に対して50 nm厚の熱酸化膜が加わるので、最終的なゲート絶縁膜115の膜厚は110 nmとなる。

20

【0078】

次に、新たにレジストマスク116～119を形成する。そして、n型を付与する不純物元素（以下、n型不純物元素という）を添加してn型を呈する不純物領域120～122を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。（図2（B））

【0079】

この不純物領域120～122は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（b）と定義する。

30

【0080】

なお、ここではフォスフィン（ PH_3 ）を質量分離しないでプラズマ励起したイオンドーピング法でリンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜115を介して結晶質シリコン膜にリンを添加する。

【0081】

次に、600～1000（好ましくは700～800）の不活性雰囲気中で熱処理を行い、図2（B）の工程で添加されたリンを活性化する。本実施例では800、1時間の熱処理を窒素雰囲気中で行う。（図2（C））

40

【0082】

この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することが可能である。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0083】

この工程によりn型不純物領域（b）120～122の境界部、即ち、n型不純物領域（b）の周囲に存在する真性又は実質的に真性な領域（勿論、p型不純物領域（b）も含む）との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

50

【0084】

次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜123と第2導電膜124とでなる積層膜を形成する。(図2(D))

【0085】

ここで第1導電膜123、第2導電膜124としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜等)を用いることができる。

10

【0086】

なお、第1導電膜123は10~50nm(好ましくは20~30nm)とし、第2導電膜124は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜123として、50nm厚の窒化タングステン(WN)膜を、第2導電膜124として、350nm厚のタングステン膜を用いる。なお、図示しないが、第1導電膜123の下にシリコン膜(リンがドーブされた)を2~20nm程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

【0087】

20

また、第1導電膜123として窒化タンタル膜、第2導電膜124としてタンタル膜を用いることも有効である。

【0088】

次に、第1導電膜123と第2導電膜124とを一括でエッチングして400nm厚のゲート配線125~128を形成する。この時、駆動回路に形成されるゲート配線126、127はn型不純物領域(b)120~122の一部とゲート絶縁膜115を介して重なるように形成する。この重なった部分が後にLov領域となる。(図2(E))

【0089】

なお、この状態における上面図を図6(A)及び図7(A)に示す。図6(A)中のA-A'断面が図2(E)に相当する。また、図7(A)中のB-B'断面が図2(E)に相当する。図2(E)でのゲート配線128a、128b、128cは断面では三つに見えるが実際は連続的に繋がった一つのパターンから形成されている。

30

【0090】

また、ゲート配線形成後、第2導電膜を保護するために、窒化タンタル膜や窒化タングステン膜を積層して、再度パターンニングを施し、第2導電膜を囲ったゲート電極構造としてもよい。

【0091】

次に、レジストマスク129を形成し、p型不純物元素(本実施例ではボロン)を添加して高濃度にボロンを含む不純物領域130、131を形成する。本実施例ではジボラン(B₂H₆)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図3(A))

40

【0092】

次に、レジストマスク129を除去し、ゲート配線及びpチャネル型TFETとなる領域を覆う形でレジストマスク132~134を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域135~141を形成する。ここでも、フォスフィン(PH₃)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (

50

代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$) とする。(図3(B))

【0093】

なお、本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域を n 型不純物領域 (a) と定義する。また、不純物領域 135 ~ 141 が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域 135 ~ 141 は n 型不純物領域 (a) と言い換えても構わない。

【0094】

次に、ゲート配線 125 ~ 128 をマスクとして自己整合的に n 型不純物元素 (本実施例ではリン) を添加する。こうして形成された不純物領域 143 ~ 146 には前記 n 型不純物領域 (b) の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$) の濃度 (但し、前述のチャネルドープ工程で添加されたボロン濃度よりも $5 \sim 10$ 倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$ 、) でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域 (但し、p 型不純物領域 (a) を除く) を n 型不純物領域 (c) と定義する。(図3(C))

)

【0095】

なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n 型不純物領域 (b) 143 ~ 146 には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{atoms/cm}^3$ の濃度のボロンが添加されているが、この工程では p 型不純物領域 (b) に含まれるボロンの $5 \sim 10$ 倍の濃度でリンが添加されるので、この場合もボロンは n 型不純物領域 (b) の機能には影響を与えないと考えて良い。

【0096】

但し、厳密には n 型不純物領域 (b) 147、148 のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0097】

また、n 型不純物領域 (c) を形成する際に、前もってゲート配線の酸化を防ぐキャップ膜 ($25 \sim 100 \text{nm}$) を形成し、オフセット領域を形成してもよい。

なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜でなるが、ゲート電圧が印加されないため反転層 (チャネル領域) を形成しない高抵抗な領域を指す。オフ電流値を下げるためには LDD 領域とゲート配線の重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

【0098】

次に、第 1 層間絶縁膜 149 を形成する。第 1 層間絶縁膜 149 としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は $100 \sim 400 \text{nm}$ 、好ましくは 200nm 以下とすれば良い。本実施例では、プラズマ CVD 法で成膜温度 325 、 SiH_4 、 N_2O を原料ガスとし、膜厚 200nm の窒化酸化シリコン膜 (ここでは窒素濃度が $5 \text{atomic\%}$ 未満) を用いた。

【0099】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらを併用して行うことができる。ファーネスアニール法で行う場合は、不活性雰囲気中において $500 \sim 800$ 、好ましくは $550 \sim 600$ で行えば良い。

本実施例では800、1時間の熱処理を行い、不純物元素を活性化するとともに、第1層間絶縁膜149のエッチングレートを小さくして後に形成される第2層間絶縁膜との選択比を大きくした。第1層間絶縁膜149成膜直後のエッチングレート(20におけるLAL500の値)が260nm/minであったのに対し、熱アニール後の第1層間絶縁膜149のエッチングレートを88nm/minと小さくすることができた。(図3(D))

【0100】

次に、活性化工程の後、3~100%の水素を含む雰囲気中で、300~450で1~4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

10

【0101】

活性化工程を終えたら、第1層間絶縁膜149の上に500nm~1.5μm、好ましくは500nm~800nmの厚さを有する第2層間絶縁膜150aを形成する。この第2層間絶縁膜150aは、ゲート配線と上層配線との重なり部分やゲート電極(チャネル形成領域上方に相当する)と上層配線との重なり部に生じる寄生容量の低減のために設けたものである。なお、第2層間絶縁膜150aは第1の層間絶縁膜と比較してエッチングレートが大きい材料(プラズマCVD法で成膜温度400、SiH₄、N₂Oを原料ガスとした窒化酸化シリコン膜(但し窒素濃度が10atomic%以下)、エッチングレート210nm/min)

20

を選択し、膜厚を500nmとした。

【0102】

次に、ドライエッチングまたはウエットエッチングによるパターニングを施して、後に形成されるソース配線またはドレイン配線がゲート配線と重なる領域(150b、150c)のみに第2層間絶縁膜を残す。本実施例ではLAL500を用いたウエットエッチングを用いてパターニングした。上述したように、第2層間絶縁膜のエッチングレートは210nm/minであるのに対し、第1層間絶縁膜のエッチングレートは88nm/minであるので十分選択比が取れる。

第1層間絶縁膜と第2層間絶縁膜との選択比は、1.5以上、好ましくは3~5有していればよい。(図4(B))

30

【0103】

その後、第1層間絶縁膜及びゲート絶縁膜にパターニングを施し、TFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。ただし、ソース領域およびドレイン領域の厚さは薄い(10nm~50nm)ため、オーバーエッチング量(ポリシリコン膜減り量)が所定値を越えないようエッチング条件を調節することが重要である。

【0104】

コンタクトホール形成時のポリシリコン膜減り量の理論値を表1に示す。

【0105】

【表 1】

層間絶縁膜200nm：コンタクトホール形成時のp-Si膜減り量

前提条件：

層間膜 (200nm $\pm$ 5%) +GI膜 (120nm $\pm$ 5%)

min 190nm+114nm=304nm

max 210nm+126nm=336nm

SiO₂エッチングレートの平均値=300nm/min (5nm/sec)

オーバーエッチング時間=0秒

SiO ₂ エッチレート ばらつき (+/-%)	SELECTIVITY (SiO ₂ /p-Si)									
	5	10	15	20	25	30	35	40	45	50
1	78	39	26	19	16	13	11	10	9	8
2	91	46	30	23	18	15	13	11	10	9
3	106	53	35	26	21	18	15	13	12	11
4	120	60	40	30	24	20	17	15	13	12
5	135	67	45	34	27	22	19	17	15	13
6	150	75	50	37	30	25	21	19	17	15
7	165	83	55	41	33	28	24	21	18	17
8	181	90	60	45	36	30	26	23	20	18
9	197	98	66	49	39	33	28	25	22	20
10	213	107	71	53	43	36	30	27	24	21
11	230	115	77	58	46	38	33	29	26	23
12	247	124	82	62	49	41	35	31	27	25
13	265	132	88	66	53	44	38	33	29	26
14	283	141	94	71	57	47	40	35	31	28
15	301	151	100	75	60	50	43	38	33	30

10

【0106】

20

表 1 において、前提条件は、ポリシリコン膜上にゲート絶縁膜（窒素を含む酸化シリコン膜、膜厚 120nm $\pm$ 5%）と第 1 層間絶縁膜（窒素を含む酸化シリコン膜、膜厚 200nm $\pm$ 5%）とが積層された状態で、エッチングレートが 300nm/min のドライエッチングを行う。エッチングレートは、フッ化水素アンモニウムを 7.13% とフッ化アンモニウムを 15.4% 含む混合溶液（ステラケミファ社製、商品名 LAL500）の 20 における値である。縦軸はエッチングレートのばらつきを示し、横軸はポリシリコン膜と窒素を含む酸化シリコン膜の選択比である。

【0107】

例えば、エッチングレートのばらつきが 5% であり、オーバーエッチング量が所定値、例えば 5nm 以下となるようにしたい場合、表 1 から選択比を 10 よりも大きく持たせる必要があることが読み取れる。このようにして、表 1 からオーバーエッチング量を所定値以下とするためには、選択比がどれくらい必要かを求めることができる。また、選択比をある値とした場合、エッチングレートのばらつきはどれくらいに抑える必要があるかを求めることができる。また、第 1 層間絶縁膜が 200nm よりも大きい場合の表を表 1 と同様に作成した場合、選択比が大きく、エッチングレートのばらつきが極小でないとコンタクトホール形成は困難であることがわかった。

30

【0108】

本実施例では、ポリシリコンとの選択比が 12 ~ 15 の絶縁材料を用い、エッチングレートのばらつきを 5% 以内に抑えたため、オーバーエッチングのほとんどないコンタクトホールを形成することができた。

40

【0109】

そして、ソース配線 151 ~ 154 と、ドレイン配線 155 ~ 157 を形成する。ただし、コンタクトホールの大きさが 1 μ m 以下である場合には、コンタクトホールをドライエッチングで形成することが好ましい。なお、CMOS 回路を形成するためにドレイン配線 155 は p チャネル型 TFT と n チャネル型 TFT との間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti 膜を 200nm、Ti を含むアルミニウム膜 500nm、Ti 膜 100nm をスパッタ法で連続して形成した 3 層構造の積層膜とする。

【0110】

次に、パッシベーション膜 158 として、窒化シリコン膜、酸化シリコン膜、または窒

50

化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成する。（図4（C））なお、この状態における上面図を図6（B）及び図7（B）に示す。図6（B）中のA-A'断面が図4（C）A-A'に相当する。また、図7（B）中のB-B'断面が図4（C）B-B'に相当する。

【0111】

この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜158の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

10

【0112】

また、パッシベーション膜158を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、水素化工程後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜158に開口部（図示せず）を形成しておいても良い。

【0113】

その後、有機樹脂からなる第3層間絶縁膜159を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、アクリルを用い、熱焼成して形成する。

20

【0114】

次に、画素回路となる領域において、第3層間絶縁膜159上に遮蔽膜160を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜160はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100～300nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成する。

30

【0115】

なお、第3層間絶縁膜159上に酸化シリコン膜等の絶縁膜を5～50nm形成しておくと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜159の表面にCF₄ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0116】

また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

40

【0117】

次に、遮蔽膜160の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20～100nm（好ましくは30～50nm）の厚さの酸化物161を形成する。本実施例では遮蔽膜160としてアルミニウムを主成分とする膜を用いたため、陽極酸化物161として酸化アルミニウム膜（アルミナ膜）が形成される。

【0118】

この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2：8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜160が形

50

成されている基板を溶液に浸し、遮蔽膜 160 を陽極として、一定（数 mA ～数十 mA）の直流電流を流す。

【0119】

溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま 100 V/min の昇圧レートで電圧を上昇させて、到達電圧 45 V に達したところで陽極酸化処理を終了させる。このようにして遮蔽膜 160 の表面には厚さ約 50 nm の陽極酸化物 161 を形成することができる。また、その結果、遮蔽膜 160 の膜厚は 90 nm となる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

【0120】

また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマ CVD 法、熱 CVD 法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は 20 ～ 100 nm（好ましくは 30 ～ 50 nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜、酸化タンタル膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0121】

次に、第 3 層間絶縁膜 159、パッシベーション膜 158 にドレイン配線 157 に達するコンタクトホールを形成し、画素電極 162 を形成する。なお、画素電極 163 は隣接する別の画素の画素電極である。画素電極 162、163 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を 110 nm の厚さにスパッタ法で形成する。

【0122】

また、この時、画素電極 162 と遮蔽膜 160 とが陽極酸化物 161 を介して重なり、保持容量（キャパシタンス・ストレージ）164 を形成する。なお、この場合、遮蔽膜 160 をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0123】

こうして同一基板上に、駆動回路と画素回路とを有したアクティブマトリクス基板が完成した。なお、図 5 においては、駆動回路には p チャネル型 TFT 301、n チャネル型 TFT 302、303 が形成され、画素回路には n チャネル型 TFT となる画素 TFT 304 が形成される。

【0124】

図 5 の断面図に対応する上面図を図 8（B）に示し、共通の符号を用いた。また、図 6（B）で示した上面図は図 8（A）の一部を示した図であり、共通の符号を用いた。

【0125】

駆動回路の p チャネル型 TFT 301 には、チャネル形成領域 201、ソース領域 202、ドレイン領域 203 がそれぞれ p 型不純物領域（a）で形成される。但し、厳密にはソース 202 領域及びドレイン領域 203 に $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンを含んでいる。

【0126】

また、n チャネル型 TFT 302 には、チャネル形成領域 204、ソース領域 205、ドレイン領域 206、そしてチャネル形成領域とドレイン領域との間に、ゲート絶縁膜を介してゲート配線と重なった領域（本明細書中ではこのような領域を Lov 領域という。なお、ov は overlap の意味で付した。）207 が形成される。この時、Lov 領域 207 は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

【0127】

また、n チャネル型 TFT 303 には、チャネル形成領域 208、ソース領域 209、

10

20

30

40

50

ドレイン領域 2 1 0、そしてチャネル形成領域を挟むようにして L D D 領域 2 1 1、2 1 2 が形成される。即ち、ソース領域とチャネル形成領域との間及びドレイン領域とチャネル形成領域との間に L D D 領域が形成される。

【 0 1 2 8 】

なお、この構造では L D D 領域 2 1 1、2 1 2 の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域 (L o v 領域) とゲート配線と重ならない領域 (本明細書中ではこのような領域を L o f f 領域という。なお、off は offset の意味で付した。) が実現されている。

【 0 1 2 9 】

また、チャネル長 3 ~ 7 μm に対して n チャネル型 T F T 3 0 2 の L o v 領域 2 0 7 の長さ (幅) は 0 . 3 ~ 3 . 0 μm 、代表的には 0 . 5 ~ 1 . 5 μm とすれば良い。また、n チャネル型 T F T 3 0 3 の L o v 領域の長さ (幅) は 0 . 3 ~ 3 . 0 μm 、代表的には 0 . 5 ~ 1 . 5 μm 、L o f f 領域の長さ (幅) は 1 . 0 ~ 3 . 5 μm 、代表的には 1 . 5 ~ 2 . 0 μm とすれば良い。また、画素 T F T 3 0 4 に設けられる L o f f 領域 2 1 7 ~ 2 2 0 の長さ (幅) は 0 . 5 ~ 3 . 5 μm 、代表的には 2 . 0 ~ 2 . 5 μm とすれば良い。

【 0 1 3 0 】

また、本実施例ではゲート配線をダブルゲート構造としたが、トリプルゲート構造といったマルチゲート構造として各回路の信頼性を向上させてもよい。また、シングルゲート構造としてもよい。

【 0 1 3 1 】

また、本実施例では保持容量の誘電体として比誘電率が 7 ~ 9 と高いアルミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくすることができる。さらに、本実施例のように画素 T F T 上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【 0 1 3 2 】

なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平 9 - 3 1 6 5 6 7 号出願、特願平 9 - 2 7 3 4 4 4 号出願または特願平 1 0 - 2 5 4 0 9 7 号出願に記載された構造の保持容量を用いることもできる。

【 0 1 3 3 】

また、本願発明の構造は、ゲート配線と上層配線とが重なった領域に第 2 の層間絶縁膜を設ける構成に特徴があるので、それ以外の構成については実施者が適宜決定すればよい。

【 0 1 3 4 】

ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 9 に示すように、図 5 の状態の基板に対し、配向膜 5 0 1 を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板 5 0 2 には、透明導電膜 5 0 3 と、配向膜 5 0 4 とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【 0 1 3 5 】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素回路と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材 5 0 7 やスペーサ 5 0 6 などを通して貼りあわせる。その後、両基板の間に液晶 5 0 5 を注入し、封止剤 (図示せず) によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図 9 に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 1 3 6 】

次に、このアクティブマトリクス型液晶表示装置の構成を、図 1 0 の斜視図を用いて説明する。なお、図 1 0 は、図 1 ~ 図 5 の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、石英基板 1 0 1 上に形成された、画素回路 8 0 1

10

20

30

40

50

と、ゲート線（走査線）側駆動回路 802 と、ソース線（信号線）側駆動回路 803 で構成される。画素回路の画素 TFT 304 は n チャンネル型 TFT であり、周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。ゲート線側駆動回路 802 と、ソース線側駆動回路 803 はそれぞれゲート配線 128 とソース配線 154 で画素回路 801 に接続されている。また、FPC 804 が接続された外部入出力端子 805 から駆動回路の入出力端子までの接続配線 806、807 が設けられている。

【0137】

次に、図 10 に示したアクティブマトリクス型液晶表示装置の回路構成の一例を図 11 に示す。本実施例のアクティブマトリクス型液晶表示装置は、画像信号駆動回路 901、ゲート線側駆動回路（A）907、ゲート線側駆動回路（B）911、プリチャージ回路 912、画素回路 906 を有している。なお、本明細書中において、駆動回路にはソース線側駆動回路 901 およびゲート線側駆動回路 907 が含まれる。

10

【0138】

ソース線側駆動回路 901 は、シフトレジスタ回路 902、レベルシフタ回路 903、バッファ回路 904、サンプリング回路 905 を備えている。また、ゲート線側駆動回路（A）907 は、シフトレジスタ回路 908、レベルシフタ回路 909、バッファ回路 910 を備えている。ゲート線側駆動回路（B）911 も同様な構成である。

【0139】

このように本発明は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、駆動回路および画素回路とを具備した半導体装置を実現しうる。

20

【0140】

また、本実施例の図 2（A）までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成された TFT の活性層を形成する半導体層の特徴と一致する。

【0141】

上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは TEM（透過型電子顕微鏡法）による観察で容易に確認できる。

30

【0142】

また、電子線回折及びエックス線（X 線）回折を利用すると結晶質シリコン膜の表面（チャンネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として {110} 面を有することを確認できる。この時、電子線回折で分析を行えば {110} 面に対応する回折斑点がきれいに現れるのを確認することができる。また、各斑点は同心円上に分布を持っていることも確認できる。

【0143】

また、個々の棒状結晶が接して形成する結晶粒界を HR-TEM（高分解能透過型電子顕微鏡法）により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

40

【0144】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0145】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界

50

でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0146】

特に結晶軸（結晶面に垂直な軸）が 110 軸である場合、 $\{211\}$ 双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0147】

実際に本実施例の結晶質シリコン膜を詳細にTEMを用いて観察すれば、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、典型的には $\{211\}$ 双晶粒界であることが判る。

10

【0148】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\Sigma 3$ の対応粒界であると言える。

【0149】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、このような他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

20

【0150】

このような対応粒界は、同一面方位の結晶粒の間にしか形成されない。即ち、本実施例の結晶質シリコン膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこのような対応粒界を形成しうる。

【0151】

このような結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、このような結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

30

【0152】

またさらに、 $800 \sim 1150$ という高い温度での熱処理工程（実施例1における熱酸化工程に相当する）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0153】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の結晶質シリコン膜のスピン密度は少なくとも 5×10^{17} spins/cm³ 以下（好ましくは 3×10^{17} spins/cm³ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

40

【0154】

以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【実施例2】

【0155】

実施例1では、結晶構造を含む半導体膜の形成方法として、結晶化を助長する触媒元素を用いる例を示したが、本実施例では、そのような触媒元素を用いずに熱結晶化またはレーザー結晶化によって結晶構造を含む半導体膜を形成する場合を示す。

【0156】

50

熱結晶化による場合、非晶質構造を示す半導体膜を形成した後、600～650の温度で15～24時間の熱処理を行えばよい。即ち、600を越える温度で熱処理を行うことにより自然核が発生し、結晶化が進行する。

【0157】

また、レーザー結晶化による場合、非晶質構造を含む半導体膜を形成した後、レーザーアニールを行えばよい。これにより短時間で結晶構造を含む半導体膜を形成することができる。勿論、レーザーアニールの代わりにランプアニールを用いてもよい。また、基板として、石英基板の他にガラス基板やプラスチック基板を用いることが可能である。

【0158】

また、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

10

【0159】

このように、本発明に用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。

【実施例3】

【0160】

本実施例は、実施例1とは異なる方法によりコンタクトホールを形成する例である。本実施例では、活性化の後、コンタクトホールを形成し、第2層間絶縁膜を積層した後、再度パターニングを行うことによってコンタクトホールを形成する。基本的な構成は、実施例1とほぼ同様であるので、相違点のみに着目して説明する。

20

【0161】

まず、実施例1に従って、第1の層間絶縁膜149を積層した後、活性化を行い、図3(D)の状態を得る。なお、図3(D)に対応する図を図12(A)に示す。

【0162】

次いで、ソース領域またはドレイン領域に達するコンタクトホールを形成する。なお、同一のマスクを用いてゲート絶縁膜と第1層間絶縁膜とを同時または順次エッチングする。(図12(B))この時のエッチングをドライエッチングで行えば微細なコンタクトホール(0.5 μ m～1.5 μ m)の形成が可能である。

30

【0163】

次いで、第2層間絶縁膜1201を積層し、図12(C)の状態を得る。第2層間絶縁膜は実施例1と同一の組成を有する絶縁膜を用いた。次いで、第2層間絶縁膜1201のパターニングを行った後、実施例1と同様にソース配線、ドレイン配線の形成を行い、実施例1の図4(C)に相当する図12(D)の状態を得る。なお、第2層間絶縁膜のパターニングにおいて、ウェットエッチングを用いるとテーパー形状が得られるので、その上に形成されるソース配線、ドレイン配線のカバレッジが良好となる。以降の工程は実施例1と同一であるため省略する。

【0164】

このように、本実施例では、膜質の異なる第1層間絶縁膜と第2層間絶縁膜とを別々にエッチングすることで、オーバーエッチングが少なく、形状の良好なコンタクトホールを形成することができる。こうすることにより、確実なコンタクト接続が行えるため歩留まりを向上させることができた。

40

【0165】

なお、本実施例の構成は実施例1または実施例2の構成と自由に組み合わせることが可能である。

【実施例4】

【0166】

本実施例は、ゲート絶縁膜のパターニングをゲート電極のパターニング後に行い、コンタクトホール形成を容易に可能とした例である。基本的な構成は、実施例1とほぼ同様であ

50

るので、相違点のみに着目して説明する。

【0167】

まず、実施例1に従って、図2(E)の状態を得る。なお、図2(E)に対応する図を図13(A)に示す。

【0168】

次いで、ゲート電極をマスクとしてエッチングを行いゲート絶縁膜1301を形成した。(図13(B))その後、レジストマスク1304を用いてp型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたp型不純物領域(a)1302、1303を形成する。ただし、活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図13(C))

10

【0169】

次にレジストマスク1304を除去し、レジストマスク1305~1308を形成する。そして、レジストマスク1305~1308を用いてn型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたn型不純物領域(a)1309~1315を形成する。ただし、実施者は活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図13(D))

【0170】

次にレジストマスク1305~1308を除去し、ゲート電極をマスクとしてn型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたn型不純物領域(c)1401~1404を形成する。ただし、実施者は活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図14(A))

20

【0171】

次いで、実施例1と同様にして第1層間絶縁膜1405の成膜を行った後、活性化工程を行った。(図14(B))ただし、本実施例においては、第1層間絶縁膜のみで活性層が覆われている部分があるため、活性層を保護する最低限の膜厚が第1層間絶縁膜に必要とされる。ここでの第1層間絶縁膜の膜厚として、代表的には50nm~200nmであればよい。

【0172】

次いで、実施例1と同様に第2層間絶縁膜1406を形成する。(図14(C))

【0173】

次いで、実施例1と同様に第1層間絶縁膜と第2層間絶縁膜を同時または順次エッチングを行ってソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース配線及びドレイン配線を形成する。(図14(D))以降の工程は実施例1と同一であるため省略する。

30

【0174】

また、本実施例においては、ゲート絶縁膜のエッチングをゲート配線形成直後に行った例を示したが、ゲート絶縁膜の除去工程を施すのは、ゲート配線形成直後から第2層間絶縁膜形成前までの間であればよい。

【0175】

こうすることにより、開口する絶縁膜の積層数を低減できるので歩留まりを向上させることができた。ただし、実施例1と同様に第1層間絶縁膜と第2層間絶縁膜のエッチングレートを考慮に入れることが必要である。

40

【0176】

なお、本実施例の構成は実施例1~3の構成を自由に組み合わせることが可能である。

【実施例5】

【0177】

本実施例では、本発明をシリコン基板上に作製した半導体装置に適用した場合について説明する。典型的には、画素電極として反射率の高い金属膜を用いた反射型液晶表示装置に適用できる。

【0178】

50

本実施例は、実施例 1 の基板としてシリコン基板（シリコンウェハ）を用い、シリコン基板に直接的に n 型または p 型不純物元素を添加して L D D 領域、ソース領域またはドレイン領域といった不純物領域を形成する。その際、各不純物領域の形成順序やゲート絶縁膜の形成順序は問わない。

【 0 1 7 9 】

なお、本実施例の構成は実施例 1 ~ 4 のいずれの構成とも自由に組み合わせることが可能である。但し、活性層となる半導体層は単結晶シリコン基板と決まっているので、結晶化工程以外での組み合わせとなる。

【実施例 6】

【 0 1 8 0 】

本発明は従来の M O S F E T 上に層間絶縁膜を形成し、その上に T F T を形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板として S I M O X、S m a r t - C u t（SOITEC 社の登録商標）、E L T R A N（キャノン株式会社の登録商標）などの S O I 基板を用いることも可能である。

【 0 1 8 1 】

なお、本実施例の構成は、実施例 1 ~ 5 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 7】

【 0 1 8 2 】

本実施例では、同一基板上にメモリ部と駆動回路とを一体形成した半導体装置に適用した場合について説明する。

【 0 1 8 3 】

なお、メモリ部は不揮発性メモリ（ここでは E E P R O M）で形成され、図 1 5 ではそのメモリセルに形成される一つのメモリトランジスタ（メモリセルトランジスタともいう）を例示する。実際には複数のメモリセルが集積化されてメモリ部を形成する。ここでは集積度の高いフラッシュメモリ（フラッシュ E E P R O M）を用いて説明する。

【 0 1 8 4 】

メモリトランジスタはソース領域 1 5 0 5、ドレイン領域 1 5 0 8、低濃度不純物領域（L D D 領域ともいう）1 5 0 6 及びチャネル形成領域 1 5 0 7 を含む活性層、ゲート絶縁膜 1 5 0 0、第 1 層間絶縁膜 1 5 0 1、第 2 層間絶縁膜 1 5 0 2 c、浮遊ゲート電極 1 5 0 9、第 3 ゲート絶縁膜 1 1、制御ゲート電極 1 5 1 0、そして第 3 層間絶縁膜 1 5 0 3 を介して形成された共通ソース配線 1 5 1 2、ビット配線（ドレイン配線）1 5 1 1 を有して形成される。

【 0 1 8 5 】

ソース領域 1 5 0 5 は浮遊ゲート電極 1 5 0 9 に捕獲されたキャリア（電子）を共通ソース配線 1 5 1 2 に引き抜くための領域であり消去領域とも言える。なお、図 1 5 ではチャネル形成領域 1 5 0 7 との間に L D D 領域 1 5 0 6 を設けているが、形成しなくても良い。また、ドレイン領域 1 5 0 8 は電氣的に孤立した浮遊ゲート電極 1 5 0 9 にキャリアを注入するための領域であり書き込み領域とも言える。さらに、ドレイン領域 1 5 0 8 はメモリトランジスタに記憶されたデータをビット配線 1 5 1 1 に読み出すための読み出し領域としても機能する。

【 0 1 8 6 】

なお、ゲート絶縁膜 1 5 0 0 としてはトンネル電流（ファウラノルドハイム電流）が流れる程度に薄い絶縁膜（膜厚が 3 ~ 2 0 nm、好ましくは 5 ~ 1 0 nm）を用いる必要があるため、活性層を酸化して得られた酸化膜（活性層が珪素ならば酸化珪素膜）を用いることが好ましい。勿論、膜厚の均一性と確執さえ良ければ、C V D 法やスパッタ法等の気相法で第 1 ゲート絶縁膜を形成することもできる。

【 0 1 8 7 】

本実施例においては、制御ゲート電極 1 5 1 0 とビット配線 1 5 1 1 または共通ソース配線 1 5 1 2 との重なり部分に生じる寄生容量を第 2 層間絶縁膜 1 5 0 2 c によって低減

10

20

30

40

50

した。

【0188】

また、駆動回路部を形成する具体例としてCMOS回路を示す。実際には、CMOS回路を基本回路としてフリップフロップ回路等の論理回路が形成され、それらが集積化されて駆動回路部を形成する。CMOS回路においても、ゲート配線と上層配線との寄生容量を低減するための第2層間絶縁膜1502a、1502bが設けられている。

【0189】

このように本願発明は様々な半導体素子に適用することができる。

【0190】

なお、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【実施例8】

【0191】

本実施例では異方性エッチングを利用した例である。基本的な構成は、実施例1または実施例3とほぼ同様であるので、相違点のみに着目して図16を用いて説明する。

【0192】

本実施例においては、実施例3と同様にゲート電極をマスクとして、ゲート絶縁膜をエッチングし、第1層間絶縁膜を成膜した後、活性化を行って図14(B)と同じ状態を得た。

【0193】

次いで、第1層間絶縁膜に異方性エッチングを行い、ゲート電極の両側に三角形形状の絶縁物1601を形成する。この際、ゲート配線を保護するための保護膜(図示しない)をあらかじめ形成しておくことが好ましい。

【0194】

次いで、第2の層間絶縁膜1602を形成する。その後、第2層間絶縁膜にエッチングを行ってソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース配線及びドレイン配線を形成する。以降の工程は実施例1と同一であるため省略する。

【0195】

こうすることにより、開口する絶縁膜の積層数を低減できるのでコンタクトホール形成が簡略化され、歩留まりを向上させることができた。

【0196】

また、ゲート電極形成直後に三角形形状の絶縁物1601を形成し、それを利用してLD領域などの不純物領域を形成する工程としてもよい。

【0197】

なお、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【実施例9】

【0198】

本実施例では、本発明をボトムゲート型TFETに用いた場合について説明する。

具体的には、逆スタガ型TFETに用いた場合を図17に示す。本発明の逆スタガ型TFETの場合、実施例1のトップゲート型TFETとはゲート配線と活性層の位置関係が異なる以外、特に大きく異なることはない。従って、本実施例では、図5に示した構造と大きく異なる点に注目して説明を行い、その他の部分は図5と同一であるため説明を省略する。実施例1と同様にして、寄生容量を低減するための第2層間絶縁膜46、47が形成されている。この第2層間絶縁膜は実施例1に示した方法で形成する。

【0199】

図17において、11、12はそれぞれシフトレジスタ回路等を形成するCMOS回路のpチャネル型TFET、nチャネル型TFET、13はサンプリング回路等を形成するnチャネル型TFET、14は画素回路を形成するnチャネル型TFETである。これらは下地膜を設けた基板上に形成されている。

10

20

30

40

50

【0200】

また、15はpチャネル型TF T 11のゲート配線、16はnチャネル型TF T 12のゲート配線、17はnチャネル型TF T 13のゲート配線、18はnチャネル型TF T 14のゲート配線であり、実施例1で説明したゲート配線と同じ材料を用いて形成することができる。また、19はゲート絶縁膜であり、これも実施例1と同じ材料を用いることができる。

【0201】

その上には各TF T 11～14の活性層（活性層）が形成される。なお、ゲート絶縁膜及び活性層を構成する半導体膜の作製時においては、大気にふれることなくスパッタ法またはPCVD法で連続成膜を行い、形成することが好ましい。

pチャネル型TF T 11の活性層には、ソース領域20、ドレイン領域21、チャネル形成領域22が形成される。

【0202】

また、nチャネル型TF T 12の活性層には、ソース領域23、ドレイン領域24、LDD領域（この場合、Lov領域25）、チャネル形成領域26が形成される。

【0203】

また、nチャネル型TF T 13の活性層には、ソース領域27、ドレイン領域28、LDD領域（この場合、Lov領域29a、30a及びLoff領域29b、30b）、チャネル形成領域31が形成される。

【0204】

また、nチャネル型TF T 14の活性層には、ソース領域32、ドレイン領域33、LDD領域（この場合、Loff領域34～37）、チャネル形成領域38、39、n⁺領域40が形成される。

【0205】

なお、41～45で示される絶縁膜は、チャネル形成領域を保護する目的とLDD領域を形成する目的のために形成されている。

【0206】

以上のように本発明を逆スタガ型TF Tに代表されるボトムゲート型TF Tに適用することは容易である。なお、本実施例の逆スタガ型TF Tを作製するにあたっては、本明細書中に記載された他の実施例に示される作製工程を、公知の逆スタガ型TF Tの作製工程に適用すれば良い。

【0207】

なお、本実施例の構成は、実施例1～8のいずれの構成とも自由に組み合わせることが可能である。

【実施例10】

【0208】

本発明はアクティブマトリクス型EL（エレクトロルミネッセンス）ディスプレイに適用することも可能である。その例を図18に示す。

【0209】

図18はアクティブマトリクス型ELディスプレイの回路図である。81は画素回路を表しており、その周辺にはX方向駆動回路82、Y方向駆動回路83が設けられている。また、画素回路81の各画素は、スイッチ用TF T 84、コンデンサ85、電流制御用TF T 86、有機EL素子87を有し、スイッチ用TF T 84にX方向信号線88a（または88b）、Y方向信号線89a（または89b、89c）が接続される。また、電流制御用TF T 86には、電源線90a、90bが接続される。

【0210】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83または電流制御用TF T 86に用いられるTF Tを5のpチャネル型TF T 301、nチャネル型TF T 302または303を組み合わせ形成する。また、スイッチ用TF T 84のTF Tを図5のnチャネル型TF T 304で形成する。

【 0 2 1 1 】

なお、本実施例のアクティブマトリクス型 E L ディスプレイに対して、実施例 1 ~ 9 のいずれの構成を組み合わせても良い。

【 実施例 1 1 】

【 0 2 1 2 】

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、T N 液晶、P D L C (ポリマー分散型液晶)、F L C (強誘電性液晶)、A F L C (反強誘電性液晶)、または F L C と A F L C の混合物が挙げられる。

【 0 2 1 3 】

例えば、「H.Furue et al.;Charakteristics and Drivng Scheme of Polymer-Stabiliz ed Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability,SID,1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time,841,SID97DIGEST,1997」、または米国特許第5,594,569号に開示された材料を用いることができる。

【 0 2 1 4 】

特に、しきい値なし (無しきい値) の反強誘電性液晶 (Thresholdless Antiferroelectric LCD : T L - A F L C と略記する) を使うと、液晶の動作電圧を ± 2.5 V 程度に低減しうるため電源電圧として 5 ~ 8 V 程度で済む場合がある。即ち、ドライバ回路と画素マトリクス回路を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【 0 2 1 5 】

また、無しきい値反強誘電性液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V 程度 (セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$) のものも見出されている。

【 0 2 1 6 】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図 19 に示す。図 19 に示すグラフの縦軸は透過率 (任意単位)、横軸は印加電圧である。なお、液晶パネルの入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角 (クロスニコル) に設定されている。

【 0 2 1 7 】

また、強誘電性液晶や反強誘電性液晶は T N 液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質 T F T は非常に動作速度の速い T F T を実現するため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【 0 2 1 8 】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【 0 2 1 9 】

また、本実施例の構成は、実施例 1 ~ 9 のいずれの構成とも自由に組み合わせることが可能である。

【 実施例 1 2 】

【 0 2 2 0 】

本実施例では、本発明を用いて E L (エレクトロルミネセンス) 表示装置を作製した例について説明する。なお、図 20 (A) は本発明の E L 表示装置の上面図であり、図 20 (B) はその断面図である。

【 0 2 2 1 】

図 20 (A) において、4001 は基板、4002 は画素部、4003 はソース側駆動回路、4004 はゲート側駆動回路であり、それぞれの駆動回路は配線 4005 を経て F

P C (フレキシブルプリントサーキット) 4 0 0 6 に至り、外部機器へと接続される。

【0 2 2 2】

このとき、画素部 4 0 0 2、ソース側駆動回路 4 0 0 3 及びゲート側駆動回路 4 0 0 4 を囲むようにして第 1 シール材 4 1 0 1、カバー材 4 1 0 2、充填材 4 1 0 3 及び第 2 シール材 4 1 0 4 が設けられている。

【0 2 2 3】

また、図 2 0 (B) は図 2 0 (A) を A - A ' で切断した断面図に相当し、基板 4 0 0 1 の上にソース側駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示している。) 4 2 0 1 及び画素部 4 0 0 2 に含まれる電流制御用 T F T (E L 素子への電流を制御する T F T) 4 2 0 2 が形成されている。

10

【0 2 2 4】

本実施例では、駆動 T F T 4 2 0 1 には図 5 の p チャネル型 T F T または n チャネル型 T F T と同じ構造の T F T が用いられ、電流制御用 T F T 4 2 0 2 には図 5 の p チャネル型 T F T と同じ構造の T F T が用いられる。また、画素部 4 0 0 2 には電流制御用 T F T 4 2 0 2 のゲートに接続された保持容量 (図示せず) が設けられる。

【0 2 2 5】

駆動 T F T 4 2 0 1 及び画素 T F T 4 2 0 2 の上には樹脂材料でなる層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に画素 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 3 0 2 が形成される。画素電極 4 3 0 2 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

20

【0 2 2 6】

そして、画素電極 4 3 0 2 の上には絶縁膜 4 3 0 3 が形成され、絶縁膜 4 3 0 3 は画素電極 4 3 0 2 の上に開口部が形成されている。この開口部において、画素電極 4 3 0 2 の上には E L (エレクトロルミネッセンス) 層 4 3 0 4 が形成される。E L 層 4 3 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

30

【0 2 2 7】

E L 層 4 3 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0 2 2 8】

E L 層 4 3 0 4 の上には周期表の 1 族または 2 族に属する元素を含む導電膜 (代表的にはアルミニウム、銅もしくは銀に、アルカリ金属元素もしくはアルカリ土類金属元素を含ませた導電膜) からなる陰極 4 3 0 5 が形成される。また、陰極 4 3 0 5 と E L 層 4 3 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、E L 層 4 3 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 3 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

40

【0 2 2 9】

そして陰極 4 3 0 5 は 4 3 0 6 で示される領域において配線 4 0 0 5 に電氣的に接続される。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

【0 2 3 0】

以上のようにして、画素電極 (陽極) 4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4

50

101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0231】

カバー材4102としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0232】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0233】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくとEL素子の劣化を抑制できる。

【0234】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0235】

また、配線4005は異方導電性フィルム4307を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0236】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図20（B）の断面構造を有するEL表示装置となる。

【0237】

ここで画素部のさらに詳細な断面構造を図21に、上面構造を図22（A）に、回路図を図22（B）に示す。図21、図22（A）及び図22（B）では共通の符号を用いるので互いに参照すれば良い。

【0238】

図21において、基板4401上に設けられたスイッチング用TFT4402は図5のnチャネル型TFTを用いて形成される。従って、構造の説明はnチャネル型TFTの説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電氣的に接続するゲート配線である。

【0239】

なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0240】

また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電氣的に接続されている。なお、電流制御用TFT4406は図5のpチャネル型TFT301を用いて形成される。従って、構造の説明はpチャネ

10

20

30

40

50

ル型 T F T 3 0 1 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【 0 2 4 1 】

スイッチング用 T F T 4 4 0 2 及び電流制御用 T F T 4 4 0 6 の上には第 1 パッシベーション膜 4 4 0 8 が設けられ、その上に樹脂からなる平坦化膜 4 4 0 9 が形成される。平坦化膜 4 4 0 9 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【 0 2 4 2 】

また、4 4 1 0 は透明導電膜からなる画素電極 (E L 素子の陽極) であり、電流制御用 T F T 4 4 0 6 のドレイン配線 4 4 1 1 に電氣的に接続される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【 0 2 4 3 】

画素電極 4 4 1 0 の上には E L 層 4 4 1 1 が形成される。なお、図 2 1 では一画素しか図示していないが、本実施例では R (赤)、G (緑)、B (青) の各色に対応した E L 層を作り分けている。また、本実施例では蒸着法により低分子系有機 E L 材料を形成している。具体的には、正孔注入層として 2 0 n m 厚の銅フタロシアニン (C u P c) 膜を設け、その上に発光層として 7 0 n m 厚のトリス - 8 - キノリノラトアルミニウム錯体 (A l q ₃) 膜を設けた積層構造としている。A l q ₃ にキナクリドン、ペリレンもしくは D C M 1 といった蛍光色素を添加することで発光色を制御することができる。

【 0 2 4 4 】

但し、以上の例は E L 層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。例えば、本実施例では低分子系有機 E L 材料を E L 層として用いる例を示したが、高分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。

これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【 0 2 4 5 】

次に、E L 層 4 4 1 1 の上には導電膜からなる陰極 4 4 1 2 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の M g A g 膜 (マグネシウムと銀との合金膜) を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【 0 2 4 6 】

この陰極 4 4 1 2 まで形成された時点で E L 素子 4 4 1 3 が完成する。なお、ここでいう E L 素子 4 4 1 3 は、画素電極 (陽極) 4 4 1 0、E L 層 4 4 1 1 及び陰極 4 4 1 2 で形成されたコンデンサを指す。

【 0 2 4 7 】

次に、本実施例における画素の上面構造を図 2 2 (A) を用いて説明する。スイッチング用 T F T 4 4 0 2 のソースはソース配線 4 4 1 5 に接続され、ドレインはドレイン配線 4 4 0 5 に接続される。また、ドレイン配線 4 4 0 5 は電流制御用 T F T 4 4 0 6 のゲート電極 4 4 0 7 に電氣的に接続される。また、電流制御用 T F T 4 4 0 6 のソースは電流供給線 4 4 1 6 に電氣的に接続され、ドレインはドレイン配線 4 4 1 7 に電氣的に接続される。また、ドレイン配線 4 4 1 7 は点線で示される画素電極 (陽極) 4 4 1 8 に電氣的に接続される。

【 0 2 4 8 】

このとき、４４１９で示される領域には保持容量が形成される。保持容量４４１９は、電流供給線４４１６と電氣的に接続された半導体膜４４２０、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極４４０７との間で形成される。また、ゲート電極４４０７、第１層間絶縁膜と同一の層（図示せず）及び電流供給線４４１６で形成される容量も保持容量として用いることが可能である。

【実施例１３】

【０２４９】

本実施例では、実施例１２とは異なる画素構造を有したＥＬ表示装置について説明する。説明には図２３を用いる。なお、図２２と同一の符号が付してある部分については実施例１２の説明を参照すれば良い。

10

【０２５０】

図２３では電流制御用ＴＦＴ４５０１として図５のｎチャネル型ＴＦＴと同一構造のＴＦＴを用いる。勿論、電流制御用ＴＦＴ４５０１のゲート電極４５０２はスイッチング用ＴＦＴ４４０２のドレイン配線４４０５に電氣的に接続されている。また、電流制御用ＴＦＴ４５０１のドレイン配線４５０３は画素電極４５０４に電氣的に接続されている。

【０２５１】

本実施例では、導電膜からなる画素電極４５０４がＥＬ素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の１族もしくは２族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【０２５２】

20

画素電極４５０４の上にはＥＬ層４５０５が形成される。なお、図２３では一画素しか図示していないが、本実施例ではＧ（緑）に対応したＥＬ層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として２０ｎｍ厚のフッ化リチウム（ＬｉＦ）膜を設け、その上に発光層として７０ｎｍ厚のＰＰＶ（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【０２５３】

次に、ＥＬ層４５０５の上には透明導電膜からなる陽極４５０６が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【０２５４】

30

この陽極４５０６まで形成された時点でＥＬ素子４５０７が完成する。なお、ここでいうＥＬ素子４５０７は、画素電極（陰極）４５０４、ＥＬ層４５０５及び陽極４５０６で形成されたコンデンサを指す。

【０２５５】

ＥＬ素子に加える電圧が１０Ｖ以上といった高電圧の場合には、電流制御用ＴＦＴ４５０１においてホットキャリア効果による劣化が顕在化してくる。このような場合に、電流制御用ＴＦＴ４５０１として本発明の構造のｎチャネル型ＴＦＴを用いることは有効である。

【０２５６】

40

また、本実施例の電流制御用ＴＦＴ４５０１はゲート電極４５０２とＬＤＤ領域４５０９との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図２２（Ａ）、（Ｂ）に示した保持容量４４１８と同等の機能を持たせることも可能である。特に、ＥＬ表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【０２５７】

なお、ＥＬ素子に加える電圧が１０Ｖ以下、好ましくは５Ｖ以下となった場合、上記ホットキャリア効果による劣化はさほど問題とならなくなるため、図２３においてＬＤＤ領域４５０９を省略した構造のｎチャネル型ＴＦＴを用いても良い。

【実施例１４】

50

【0258】

本実施例では、実施例12もしくは実施例13に示したEL表示装置の画素部に用いることができる画素構造の例を図24(A)～(C)に示す。なお、本実施例において、4601はスイッチング用TF T 4602のソース配線、4603はスイッチング用TF T 4602のゲート配線、4604は電流制御用TF T、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

【0259】

図24(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

10

【0260】

また、図24(B)は、電流供給線4608をゲート配線4603と平行に設けた場合の例である。なお、図24(B)では電流供給線4608とゲート配線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4608とゲート配線4603とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0261】

また、図24(C)は、図24(B)の構造と同様に電流供給線4608をゲート配線4603と平行に設け、さらに、二つの画素を電流供給線4608を中心に線対称となるように形成する点に特徴がある。また、電流供給線4608をゲート配線4603のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

20

【実施例15】

【0262】

本実施例では、本発明を実施したEL表示装置の画素構造の例を図25(A)、(B)に示す。なお、本実施例において、4701はスイッチング用TF T 4702のソース配線、4703はスイッチング用TF T 4702のゲート配線、4704は電流制御用TF T、4705はコンデンサ(省略することも可能)、4706は電流供給線、4707は電源制御用TF T、4708は電源制御用ゲート配線、4709はEL素子とする。電源制御用TF T 4707の動作については特願平11-341272号を参照すると良い。

30

【0263】

また、本実施例では電源制御用TF T 4707を電流制御用TF T 4704とEL素子4708との間に設けているが、電源制御用TF T 4707とEL素子4708との間に電流制御用TF T 4704が設けられた構造としても良い。また、電源制御用TF T 4707は電流制御用TF T 4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0264】

また、図25(A)は、二つの画素間で電流供給線4706を共通とした場合の例である。即ち、二つの画素が電流供給線4706を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

40

【0265】

また、図25(B)は、ゲート配線4703と平行に電流供給線4710を設け、ソース配線4701と平行に電源制御用ゲート配線4711を設けた場合の例である。なお、図25(B)では電流供給線4710とゲート配線4703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4710とゲート配線4703とで専

50

有面積を共有させることができるため、画素部をさらに高精細化することができる。

【実施例 16】

【0266】

本実施例では、本発明を実施した E L 表示装置の画素構造の例を図 26 (A)、(B) に示す。なお、本実施例において、4801 はスイッチング用 T F T 4802 のソース配線、4803 はスイッチング用 T F T 4802 のゲート配線、4804 は電流制御用 T F T、4805 はコンデンサ (省略することも可能)、4806 は電流供給線、4807 は消去用 T F T、4808 は消去用ゲート配線、4809 は E L 素子とする。消去用 T F T 4807 の動作については特願平 11 - 338786 号を参照すると良い。

【0267】

消去用 T F T 4807 のドレインは電流制御用 T F T 4804 のゲートに接続され、電流制御用 T F T 4804 のゲート電圧を強制的に変化させることができるようになっている。なお、消去用 T F T 4807 は n チャネル型 T F T としても p チャネル型 T F T としても良いが、オフ電流を小さくできるようにスイッチング用 T F T 4802 と同一構造とすることが好ましい。

【0268】

また、図 26 (A) は、二つの画素間で電流供給線 4806 を共通とした場合の例である。即ち、二つの画素が電流供給線 4806 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0269】

また、図 26 (B) は、ゲート配線 4803 と平行に電流供給線 4810 を設け、ソース配線 4801 と平行に消去用ゲート配線 4811 を設けた場合の例である。なお、図 26 (B) では電流供給線 4810 とゲート配線 4803 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4810 とゲート配線 4803 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【実施例 17】

【0270】

上記 E L 表示装置は画素内にいくつの T F T を設けた構造としても良い。例えば、四つ乃至六つまたはそれ以上の T F T を設けても構わない。本発明は E L 表示装置の画素構造に限定されず実施することが可能である。

【実施例 18】

【0271】

本発明を実施して形成された C M O S 回路や画素部は、ゲート配線と第 2 配線とを重ねて開口率を向上させても十分寄生容量を小さくすることができた。そのため、特に対角 1 インチ以下のアクティブマトリクス型液晶表示装置に用いるとより効果的である。

【0272】

その様な電子機器の一例として、ゴーグル型表示装置 (ヘッドマウントディスプレイ) が挙げられる。図 27 を参照する。図 27 には、本実施例のゴーグル型表示装置の概略構成図が示されている。1900 はゴーグル型表示装置本体、1901 R および 1901 L はレンズ、1902 R および 1902 L は液晶パネル、1903 R および 1903 L はバックライトである。

【0273】

本願発明は液晶パネル 1902 R、1902 L やその他の駆動回路に適用できる。

【0274】

また、本実施例の構成は、実施例 1 ~ 11 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 19】

【0275】

10

20

30

40

50

上記各実施例を実施して形成されたＣＭＯＳ回路や画素回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ＥＬディスプレイ、アクティブマトリクス型ＥＣ（エレクトロクロミック）ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【０２７６】

その様な電子機器としては、大型テレビ、ビデオカメラ、デジタルカメラ、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図２８及び図３０に示す。

10

【０２７７】

図２８（Ａ）はパーソナルコンピュータであり、本体２００１、画像入力部２００２、表示部２００３、キーボード２００４で構成される。本願発明を画像入力部２００２、表示部２００３やその他の駆動回路に適用することができる。

【０２７８】

図２８（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６で構成される。本願発明を表示部２１０２、音声入力部２１０３やその他の駆動回路に適用することができる。

【０２７９】

20

図２８（Ｃ）はモバイルコンピュータ（モータールコンピュータ）であり、本体２２０１、カメラ部２２０２、受像部２２０３、操作スイッチ２２０４、表示部２２０５で構成される。本願発明は表示部２２０５やその他の駆動回路に適用できる。

【０２８０】

図２８（Ｄ）はデジタルカメラであり、本体２５０１、表示部２５０２、接眼部２５０３、操作スイッチ２５０４、受像部（図示しない）で構成される。本願発明を表示部２５０２やその他の駆動回路に適用することができる。

【０２８１】

図２８（Ｅ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体２４０１、表示部２４０２、スピーカ部２４０３、記録媒体２４０４、操作スイッチ２４０５で構成される。なお、この装置は記録媒体としてＤＶＤ（Digital Versatile Disc）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部２４０２やその他の駆動回路に適用することができる。

30

【０２８２】

図３０（Ａ）は携帯電話であり、本体２９０１、音声出力部２９０２、音声入力部２９０３、表示部２９０４、操作スイッチ２９０５、アンテナ２９０６等を含む。本願発明を音声出力部２９０２、音声入力部２９０３、表示部２９０４やその他の信号制御回路に適用することができる。

【０２８３】

40

図３０（Ｂ）は携帯書籍（電子書籍）であり、本体３００１、表示部３００２、３００３、記憶媒体３００４、操作スイッチ３００５、アンテナ３００６等を含む。本発明は表示部３００２、３００３やその他の信号回路に適用することができる。

【０２８４】

図３０（Ｃ）はディスプレイであり、本体３１０１、支持台３１０２、表示部３１０３等を含む。本発明は表示部３１０３に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角１０インチ以上（特に３０インチ以上）のディスプレイには有利である。

【０２８５】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用するこ

50

とが可能である。また、本実施例の電子機器は実施例 1 ~ 18 のどのような組み合わせからなる構成を用いても実現することができる。

【実施例 20】

【0286】

本発明を実施して形成された液晶表示装置はプロジェクター（リア型またはフロント型）に用いることができる。

【0287】

図 29（A）はフロント型プロジェクターであり、表示部 2601、スクリーン 2602 で構成される。本発明は表示部やその他の駆動回路に適用することができる。

【0288】

図 29（B）はリア型プロジェクターであり、本体 2701、表示部 2702、ミラー 2703、スクリーン 2704 で構成される。本発明は表示部やその他の駆動回路に適用することができる。

【0289】

なお、図 29（C）は、図 29（A）及び図 29（B）中における表示部 2601、2702 の構造の一例を示した図である。表示部 2601、2702 は、光源光学系 2801、ミラー 2802、2804 ~ 2806、ダイクロイックミラー 2803、プリズム 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 29（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

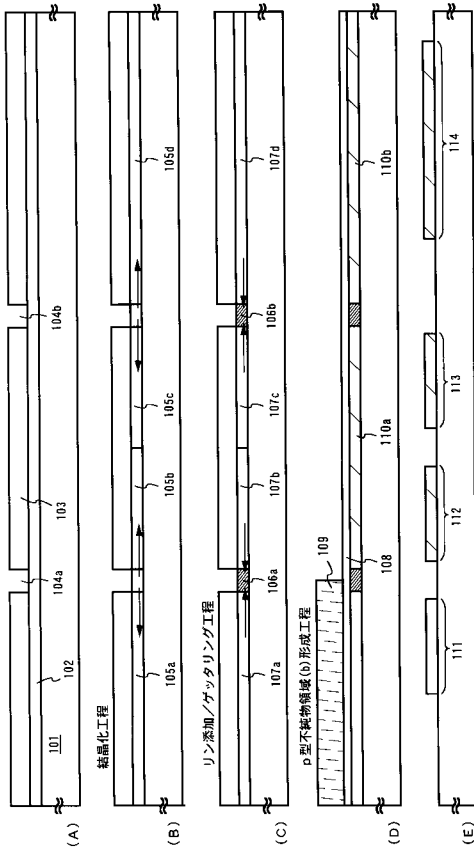
【0290】

また、図 29（D）は、図 29（C）中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 29（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

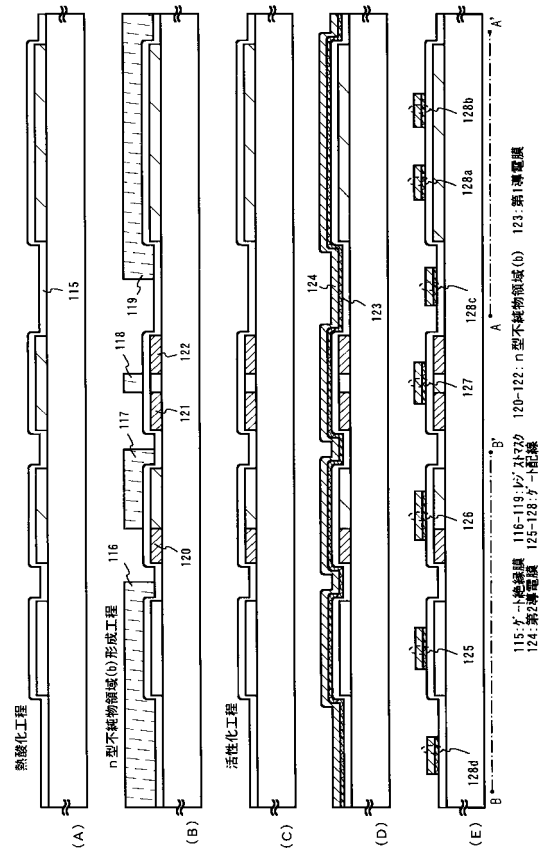
【0291】

また、本実施例の電子機器は実施例 1 ~ 9 及び実施例 11 のどのような組み合わせからなる構成を用いても実現することができる。

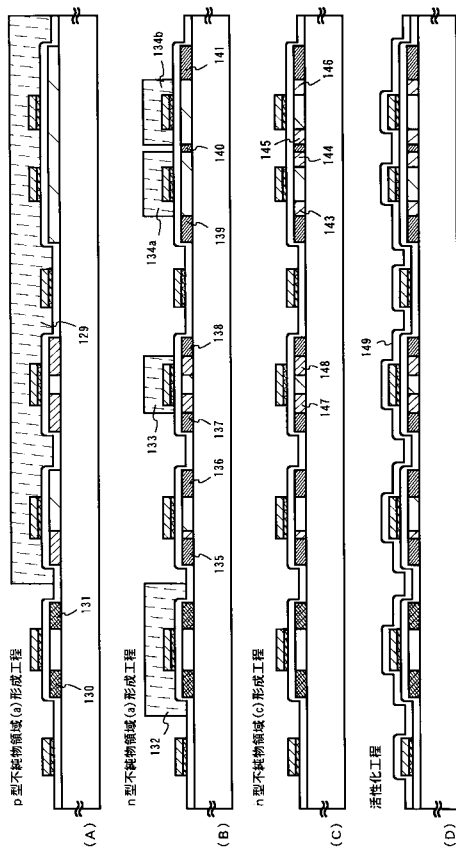
【図 1】



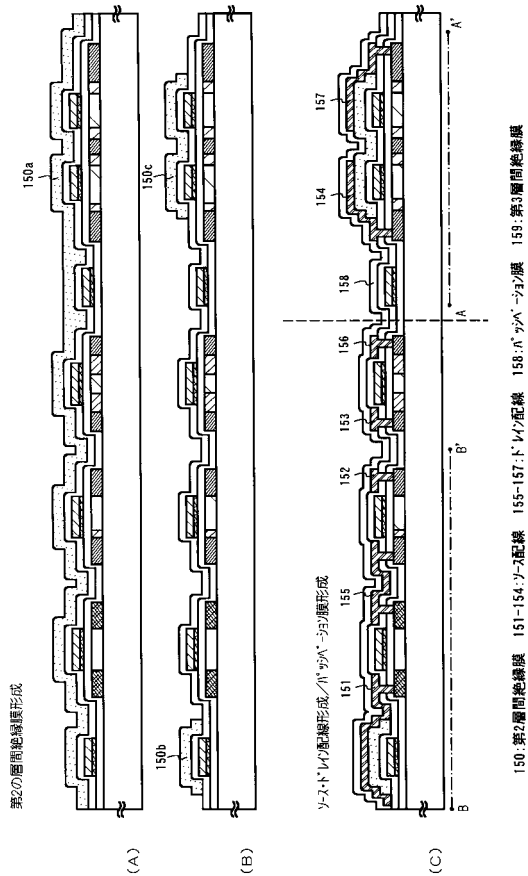
【図 2】



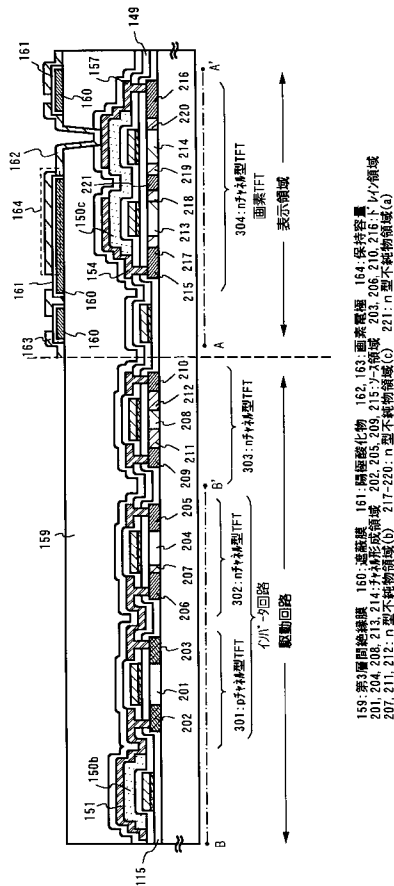
【図 3】



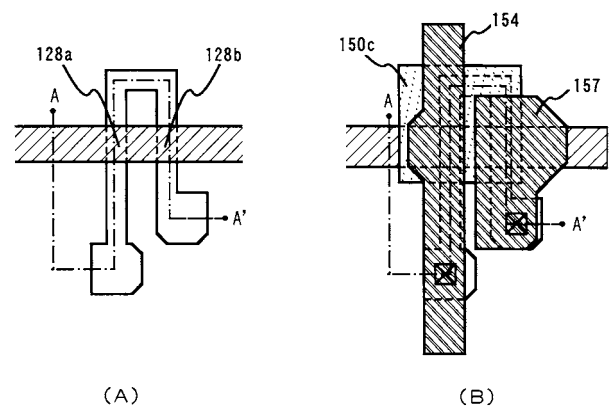
【図 4】



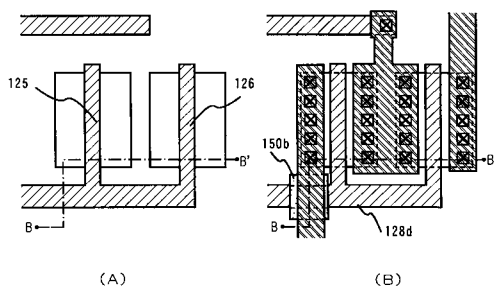
【図 5】



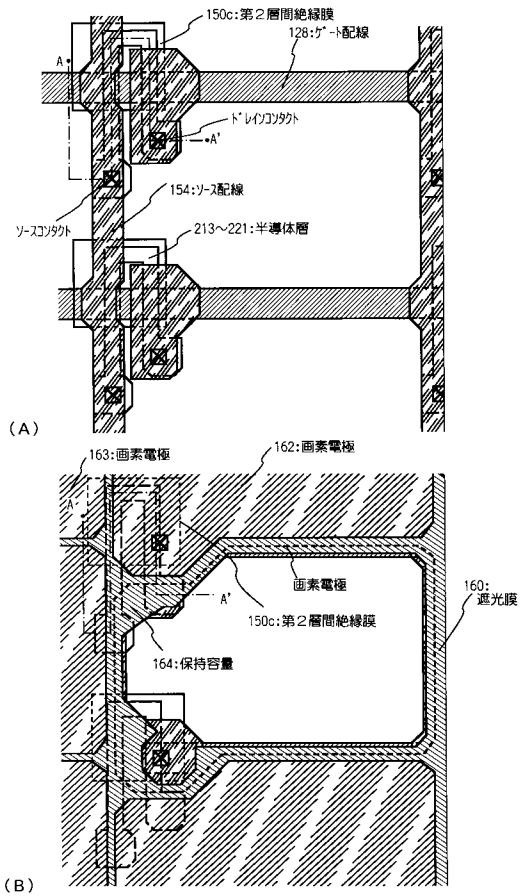
【図 6】



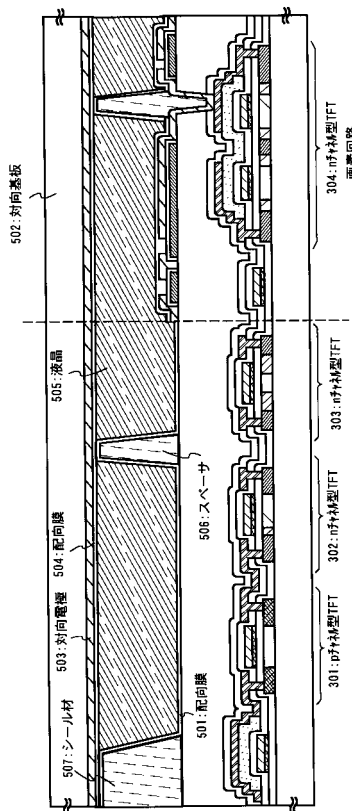
【図 7】



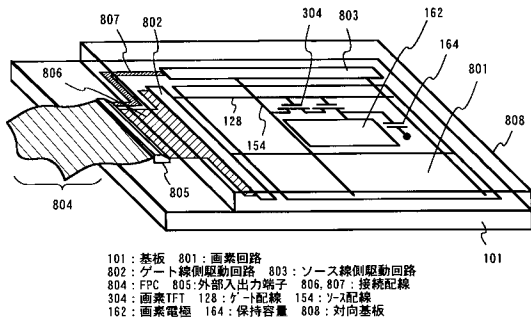
【図 8】



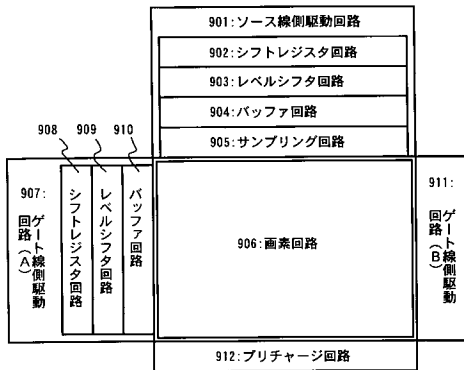
【図 9】



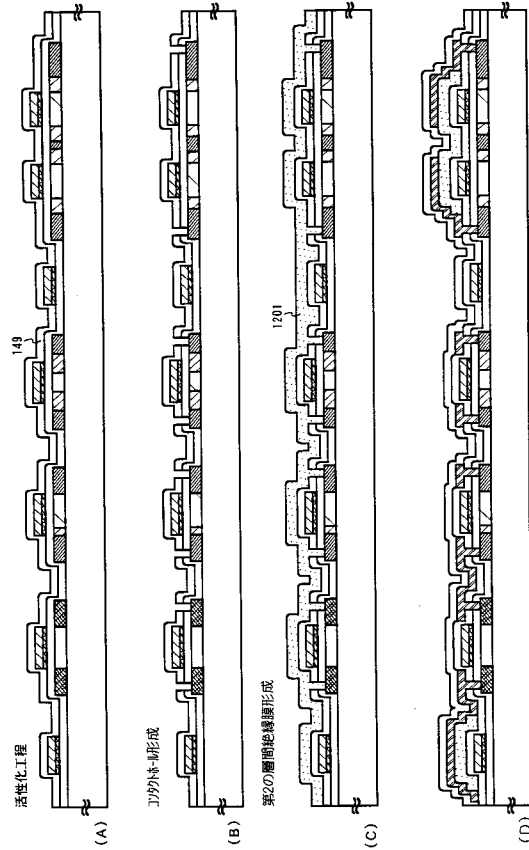
【図 10】



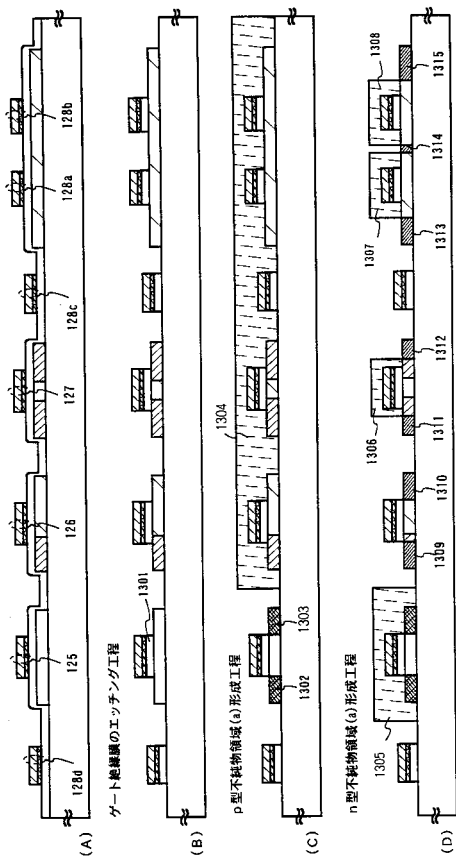
【図 11】



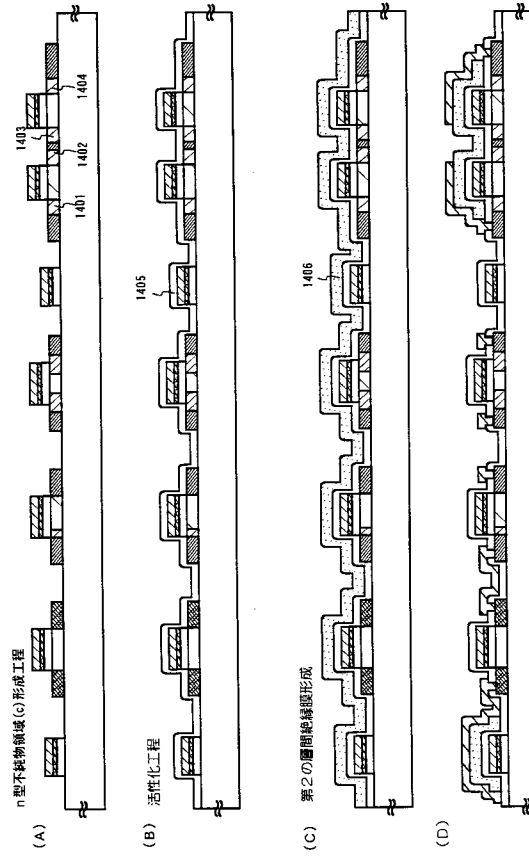
【図 12】



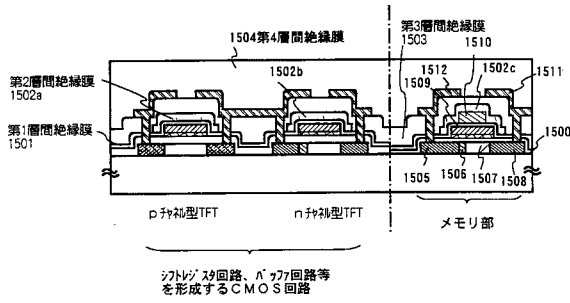
【図 13】



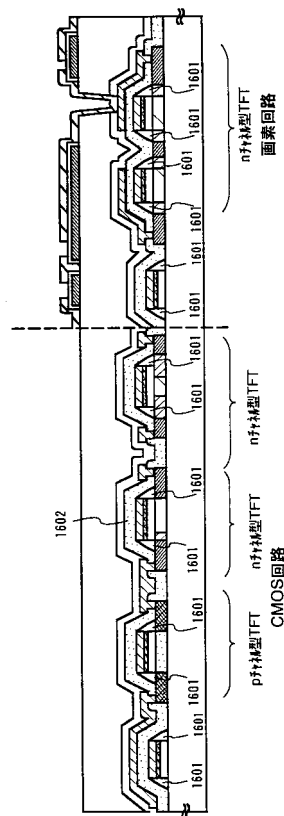
【図 14】



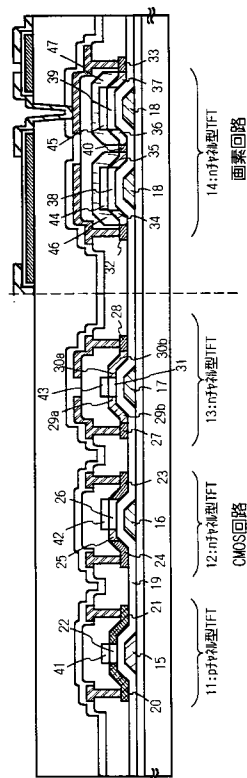
【 図 1 5 】



【 図 1 6 】

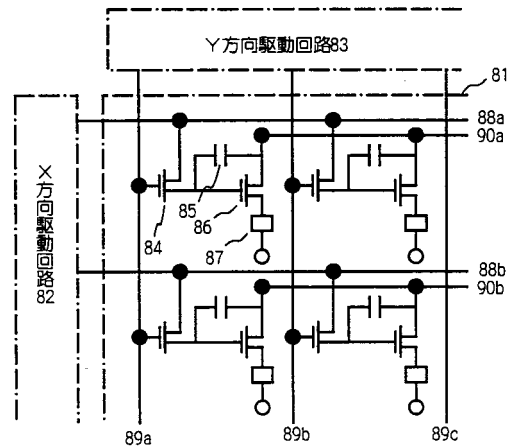


【 図 1 7 】



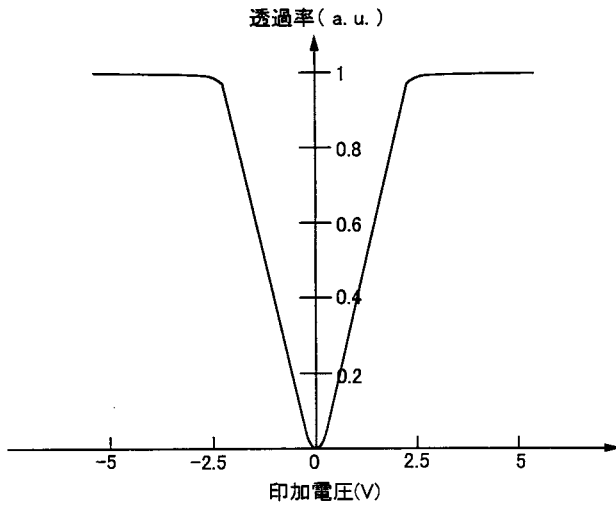
【 図 1 8 】

ELパネル回路図

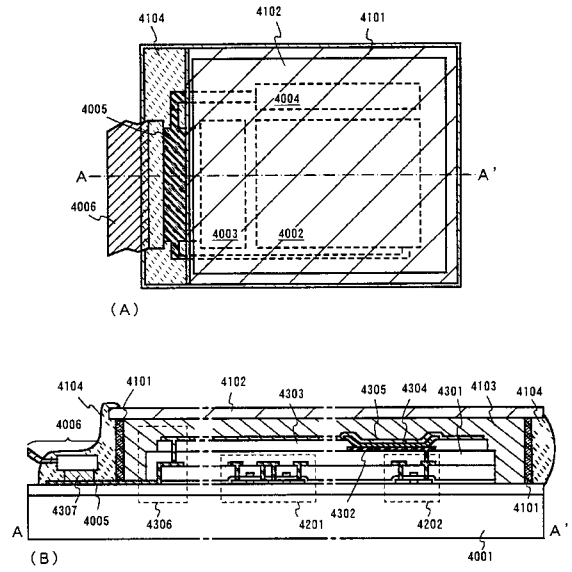


81:表示領域 82:X方向驅動回路 83:Y方向驅動回路
84:スイッチ用TFT 85:保持容量 86:電流制御用TFT 87:有機EL素子
88a, 88b:X方向信号線 89a~89c:Y方向信号線 90a, 90b:電源線

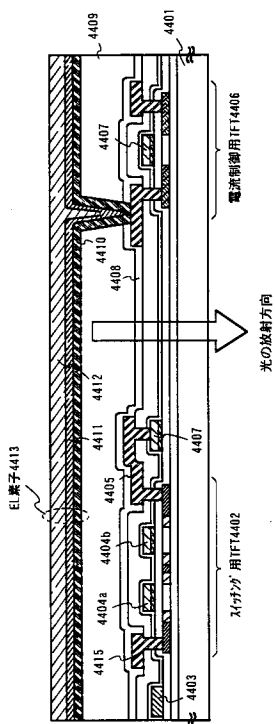
【図 19】



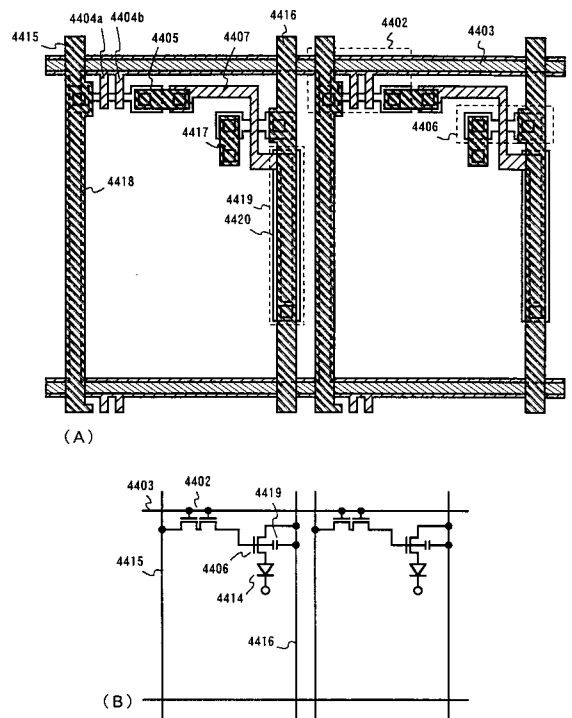
【図 20】



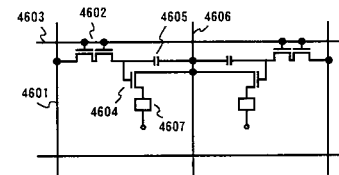
【図 21】



【図 22】

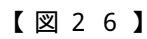


【 図 2 4 】



The schematic diagram of the second embodiment shows a similar structure to the first. It includes a substrate (4601) with a gate electrode (4602) and a gate insulating layer (4603). A gate electrode (4604) is connected to a gate insulating layer (4605). A gate electrode (4606) is connected to a gate insulating layer (4607). A gate electrode (4608) is connected to a gate insulating layer (4609).

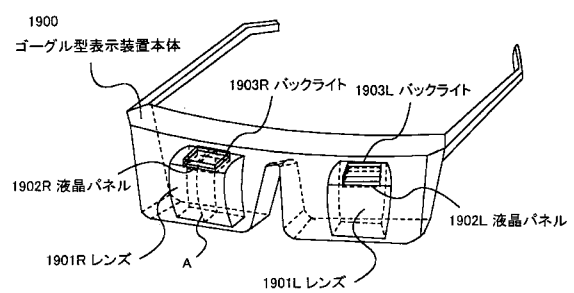
【 ㊦ 2 5 】



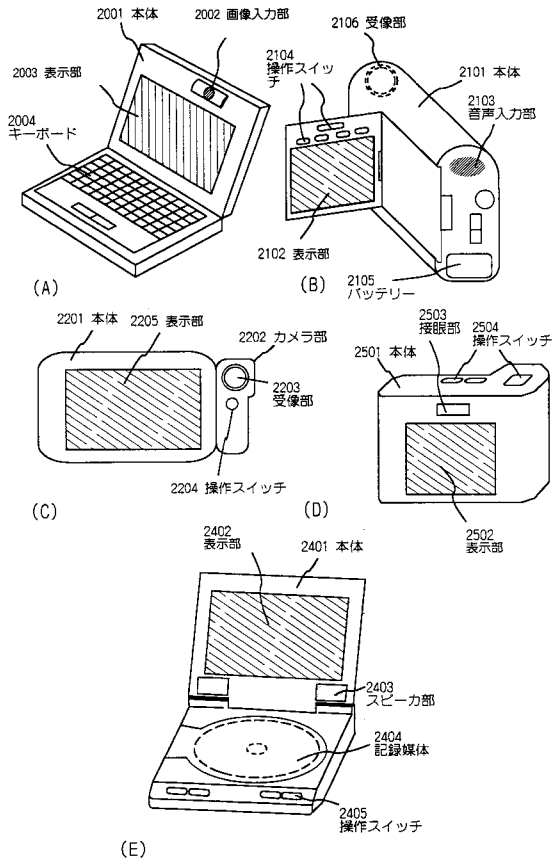
The schematic diagram illustrates the output stage of the 4800 series. It features a push-pull configuration using two 4809 transistors. The input signal, labeled 4801, is applied to the base of the left 4809 transistor through a network of resistors (4802, 4803, 4804, 4805) and capacitors (4806, 4807). The emitter of the left 4809 transistor is connected to ground. The collector of the left 4809 transistor is connected to the base of the right 4809 transistor through a resistor (4808). The emitter of the right 4809 transistor is connected to ground. The output signal is taken from the collector of the right 4809 transistor. The circuit is powered by a 4800 series supply, indicated by the 4800 label at the top.

(B)

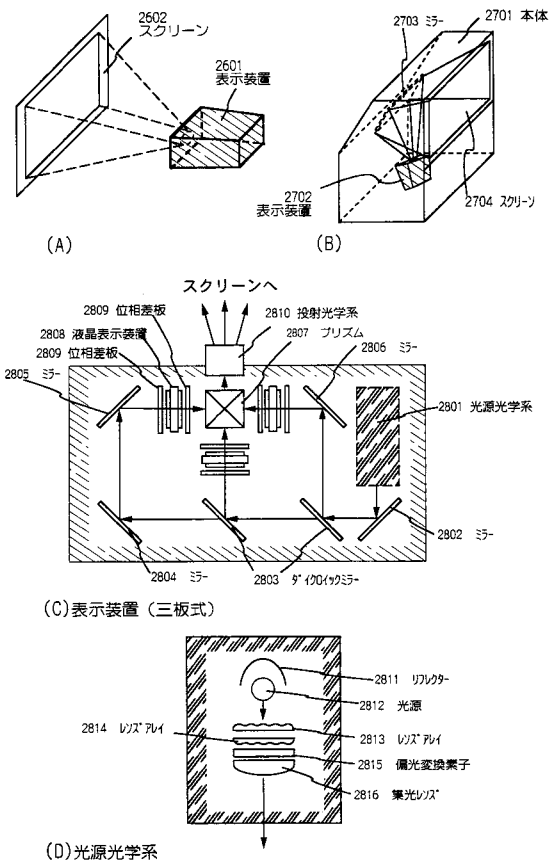
【圖 27】



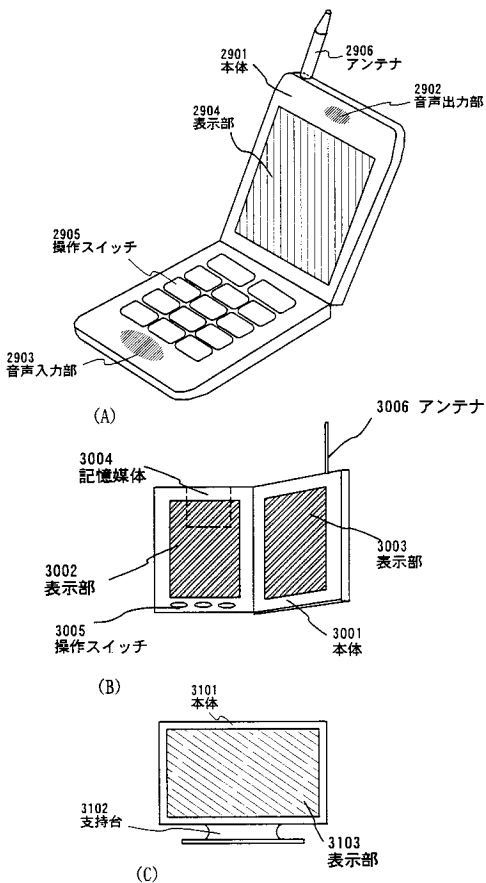
【図 28】



【図 29】



【図 30】



【手続補正書】**【提出日】**平成29年6月12日(2017.6.12)**【手続補正 1】****【補正対象書類名】**特許請求の範囲**【補正対象項目名】**全文**【補正方法】**変更**【補正の内容】****【特許請求の範囲】****【請求項 1】**

基板と、
前記基板上方の半導体層と、
前記半導体層上方のゲート絶縁膜と、
前記ゲート絶縁膜上方のゲート配線と、
前記ゲート配線上方の第1の絶縁膜と、
前記第1の絶縁膜上方の第2の絶縁膜と、
前記第2の絶縁膜上方の第1の配線と、
前記第2の絶縁膜上方の第2の配線と、
前記第1の配線上方及び前記第2の配線上方の第3の絶縁膜と、
前記第3の絶縁膜上方の画素電極と、
前記画素電極上方のスペーサと、
前記スペーサ上方の配向膜と、
前記配向膜上方の液晶と、
前記液晶上方の対向基板と、を有し、
前記半導体層は、第1のチャネル形成領域と、第2のチャネル形成領域と、を有し、
前記第1の配線は、前記半導体層と接する領域を有し、
前記第1の配線は、前記第1の絶縁膜の上面と接する領域を有し、
前記第1の配線は、前記第2の絶縁膜の上面と接する領域を有し、
前記第2の配線は、前記半導体層と接する領域を有し、
前記第2の配線は、前記第1の絶縁膜の上面と接する領域を有し、
前記第2の配線は、前記第2の絶縁膜の上面と接する領域を有し、
前記第1の配線の一部と前記第1の絶縁膜の一部と前記第2の絶縁膜の一部と前記ゲート配線の一部とは、互いに重なっており、
前記第1の配線は、前記第1のチャネル形成領域を介して、前記第2のチャネル形成領域と電氣的に接続され、
前記第1のチャネル形成領域は、前記第2のチャネル形成領域を介して、前記第2の配線と電氣的に接続され、
前記第3の絶縁膜は、コンタクトホールを有し、
前記画素電極は、前記コンタクトホールを介して前記第2の配線と電氣的に接続され、
前記スペーサは、前記第3の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

【請求項 2】

基板と、
前記基板上方の半導体層と、
前記半導体層上方のゲート絶縁膜と、
前記ゲート絶縁膜上方のゲート配線と、
前記ゲート配線上方の第1の絶縁膜と、
前記第1の絶縁膜上方の第2の絶縁膜と、
前記第2の絶縁膜上方の第1の配線と、
前記第2の絶縁膜上方の第2の配線と、
前記第1の配線上方及び前記第2の配線上方の第3の絶縁膜と、

前記第 3 の絶縁膜上方の第 3 の導電膜と、
前記第 3 の導電膜上方の第 4 の絶縁膜と、
前記第 4 の絶縁膜上方の画素電極と、
前記画素電極上方のスペーサと、
前記スペーサ上方の配向膜と、
前記配向膜上方の液晶と、
前記液晶上方の対向基板と、を有し、
前記半導体層は、第 1 のチャンネル形成領域と、第 2 のチャンネル形成領域と、を有し、
前記第 1 の配線は、前記半導体層と接する領域を有し、
前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記半導体層と接する領域を有し、
前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート配線の一部とは、互いに重なっており、
前記第 1 の配線は、前記第 1 のチャンネル形成領域を介して、前記第 2 のチャンネル形成領域と電氣的に接続され、
前記第 1 のチャンネル形成領域は、前記第 2 のチャンネル形成領域を介して、前記第 2 の配線と電氣的に接続され、
前記第 3 の絶縁膜は、コンタクトホールを有し、
前記第 3 の導電膜は、遮光性を有し、
前記第 3 の導電膜は、コモン電位に設定されることが可能であり、
前記第 3 の導電膜は、前記第 4 の絶縁膜を介して前記画素電極と重なる領域を有し、
前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、
前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

【請求項 3】

基板と、
前記基板上方の半導体層と、
前記半導体層上方のゲート絶縁膜と、
前記ゲート絶縁膜上方のゲート配線と、
前記ゲート配線上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方の第 1 の配線と、
前記第 2 の絶縁膜上方の第 2 の配線と、
前記第 1 の配線上方及び前記第 2 の配線上方の第 3 の絶縁膜と、
前記第 3 の絶縁膜上方の画素電極と、
前記画素電極上方のスペーサと、
前記スペーサ上方の配向膜と、
前記配向膜上方の液晶と、
前記液晶上方の対向基板と、を有し、
前記半導体層は、第 1 のチャンネル形成領域と、第 2 のチャンネル形成領域と、を有し、
前記第 1 の配線は、前記半導体層と接する領域を有し、
前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記半導体層と接する領域を有し、
前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、
前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、
前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート

ト配線の一部と前記第 1 のチャンネル形成領域の一部とは、互いに重なっており、

前記第 1 の配線は、前記第 1 のチャンネル形成領域を介して、前記第 2 のチャンネル形成領域と電氣的に接続され、

前記第 1 のチャンネル形成領域は、前記第 2 のチャンネル形成領域を介して、前記第 2 の配線と電氣的に接続され、

前記第 3 の絶縁膜は、コンタクトホールを有し、

前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、

前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

【請求項 4】

基板と、

前記基板上方の半導体層と、

前記半導体層上方のゲート絶縁膜と、

前記ゲート絶縁膜上方のゲート配線と、

前記ゲート配線上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 2 の絶縁膜と、

前記第 2 の絶縁膜上方の第 1 の配線と、

前記第 2 の絶縁膜上方の第 2 の配線と、

前記第 1 の配線上方及び前記第 2 の配線上方の第 3 の絶縁膜と、

前記第 3 の絶縁膜上方の第 3 の導電膜と、

前記第 3 の導電膜上方の第 4 の絶縁膜と、

前記第 4 の絶縁膜上方の画素電極と、

前記画素電極上方のスペーサと、

前記スペーサ上方の配向膜と、

前記配向膜上方の液晶と、

前記液晶上方の対向基板と、を有し、

前記半導体層は、第 1 のチャンネル形成領域と、第 2 のチャンネル形成領域と、を有し、

前記第 1 の配線は、前記半導体層と接する領域を有し、

前記第 1 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 1 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、

前記第 2 の配線は、前記半導体層と接する領域を有し、

前記第 2 の配線は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 2 の配線は、前記第 2 の絶縁膜の上面と接する領域を有し、

前記第 1 の配線の一部と前記第 1 の絶縁膜の一部と前記第 2 の絶縁膜の一部と前記ゲート配線の一部と前記第 1 のチャンネル形成領域の一部とは、互いに重なっており、

前記第 1 の配線は、前記第 1 のチャンネル形成領域を介して、前記第 2 のチャンネル形成領域と電氣的に接続され、

前記第 1 のチャンネル形成領域は、前記第 2 のチャンネル形成領域を介して、前記第 2 の配線と電氣的に接続され、

前記第 3 の絶縁膜は、コンタクトホールを有し、

前記第 3 の導電膜は、遮光性を有し、

前記第 3 の導電膜は、コモン電位に設定されることが可能であり、

前記第 3 の導電膜は、前記第 4 の絶縁膜を介して前記画素電極と重なる領域を有し、

前記画素電極は、前記コンタクトホールを介して前記第 2 の配線と電氣的に接続され、

前記スペーサは、前記第 3 の絶縁膜の前記コンタクトホール内において前記画素電極上方に設けられている領域を有することを特徴とする液晶表示装置。

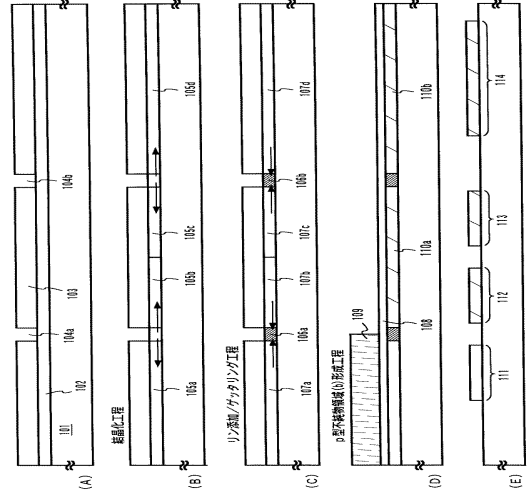
フロントページの続き

F ターム(参考) 5C094 AA02 AA21 BA03 BA43 CA19 DA13 DB01 EA04 EC03 ED15
FA01 FA02 FB14
5F110 AA02 BB02 BB04 CC02 CC08 DD01 DD03 DD05 DD12 EE01
EE04 EE05 EE06 EE08 EE14 EE24 EE27 FF04 FF09 FF23
FF28 GG01 GG02 GG13 GG17 GG25 GG28 GG32 GG33 GG34
GG35 GG43 GG44 GG45 GG47 GG51 HJ01 HJ04 HJ12 HJ13
HJ23 HJ30 HL03 HL04 HL12 HL14 HL26 HL27 HM13 HM14
HM15 NN03 NN04 NN22 NN23 NN24 NN27 NN28 NN35 NN40
NN46 NN47 NN73 PP10 PP34 PP35 QQ04 QQ09 QQ11 QQ23
QQ24 QQ25 QQ28

专利名称(译)	液晶显示装置		
公开(公告)号	JP2017146609A	公开(公告)日	2017-08-24
申请号	JP2017054100	申请日	2017-03-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 須澤英臣 山形裕和		
发明人	山崎 舜平 須澤 英臣 山形 裕和		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G09F9/30 G02F1/1362 H01L21/77 H01L27/12 H01L27/32		
CPC分类号	H01L29/78621 G02F1/13454 H01L27/124 H01L27/1248 H01L27/1255 H01L27/3244 H01L29/458 H01L29/4908 H01L29/66757 H01L29/66765 H01L29/78645 H01L29/78675 H01L29/78678 H01L2924 /0002		
FI分类号	G02F1/1368 H01L29/78.619.B H01L29/78.612.Z G09F9/30.338 G09F9/30.320		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB13 2H192/DA12 2H192/EA04 2H192 /EA22 2H192/EA43 2H192/FA73 2H192/FB15 2H192/FB27 2H192/JB02 5C094/AA02 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EC03 5C094 /ED15 5C094/FA01 5C094/FA02 5C094/FB14 5F110/AA02 5F110/BB02 5F110/BB04 5F110/CC02 5F110/CC08 5F110/DD01 5F110/DD03 5F110/DD05 5F110/DD12 5F110/EE01 5F110/EE04 5F110 /EE05 5F110/EE06 5F110/EE08 5F110/EE14 5F110/EE24 5F110/EE27 5F110/FF04 5F110/FF09 5F110/FF23 5F110/FF28 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG17 5F110/GG25 5F110 /GG28 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG44 5F110/GG45 5F110/GG47 5F110/GG51 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110 /HJ30 5F110/HL03 5F110/HL04 5F110/HL12 5F110/HL14 5F110/HL26 5F110/HL27 5F110/HM13 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110 /NN27 5F110/NN28 5F110/NN35 5F110/NN40 5F110/NN46 5F110/NN47 5F110/NN73 5F110/PP10 5F110/PP34 5F110/PP35 5F110/QQ04 5F110/QQ09 5F110/QQ11 5F110/QQ23 5F110/QQ24 5F110 /QQ25 5F110/QQ28		
优先权	1999154432 1999-06-02 JP		
其他公开文献	JP6170641B1		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少多层布线之间形成的寄生电容。解决方案：半导体器件包括：绝缘表面上的第一导线；覆盖第一导线的第一层间绝缘膜；第二层间绝缘膜邻接第一层间绝缘膜的一部分；第二导线设置在第一层间绝缘膜和第二层间绝缘膜上。在半导体器件中，第一层间绝缘膜和第二层间绝缘膜堆叠在第一线与第二线重叠的区域中。在第一导线和第二导线之间堆叠层间绝缘膜可以减小寄生电容。图1：图1



101: 基礎 102: 基礎層 103: 20cm 104a: 開口部 105a: 開口部 106a: 開口部
 107a: 107b: 砂の層 108: 排水層 109: 砂の層 110: 111: 土層