(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2016-212446
(P2016-212446A)
(43)公開日　平成28年12月15日(2016.12.15)

(51)Int.Cl.	F I	テーマコード（参考）
G02F 1/1368 (2006.01)	G02F 1/1368	2H192

審査請求 有　請求項の数 1　ＯＬ　（全 43 頁）

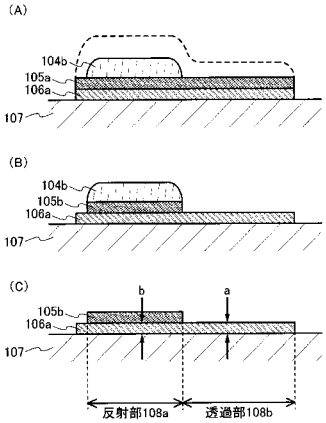
(21)出願番号　特願2016-181354 (P2016-181354)
(22)出願日　平成28年9月16日 (2016.9.16)
(62)分割の表示　特願2015-220879 (P2015-220879)の分割
原出願日　平成18年12月27日 (2006.12.27)
(31)優先権主張番号　特願2005-378778 (P2005-378778)
(32)優先日　平成17年12月28日 (2005.12.28)
(33)優先権主張国　日本国(JP)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　木村　肇
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　2H192 AA12 AA24 BC64 BC72 BC83 HA44

(54)【発明の名称】表示装置

(57)【要約】
【課題】半透過型液晶表示装置において、反射電極と透明電極とを構成する場合、２つのレジストマスクを用いるため、コストが高い。
【解決手段】画素電極となる透明電極と反射電極を積層させる。反射電極上に半透部を有する露光マスクを用いて、膜厚の厚い領域と該領域よりも膜厚が薄い領域とを有するレジストパターンを形成する。レジストパターンを用いて反射電極と透明電極とを形成する。
以上により、１つのレジストマスクを用いて、反射電極と透明電極を形成することが可能となる。
【選択図】図２



【特許請求の範囲】
【請求項１】
トランジスタと、
前記トランジスタに電気的に接続する透明電極と、前記透明電極に電気的に接続する反射電極と前記トランジスタに電気的に接続する保持容量と、を有し、前記反射電極の下に、前記保持容量の少なくとも一部が形成され、
前記反射電極の下面全体が前記透明電極の上面に接していることを特徴とする表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画素電極を有する半導体装置、特に表示装置に関する。特に、１つの画素に、反射領域と透過領域とを有する半透過型の液晶表示装置に関する。
【背景技術】
【０００２】
表示装置には、自発光の表示装置と非発光の表示装置とがあり、液晶表示装置は、非発光の表示装置の最も代表的なものである。非発光であるため、通常は、バックライトからの光を液晶表示装置に照射して、表示を行っている。
【０００３】
しかしながら、バックライトからの光を利用した透過型の液晶表示装置は、通常の室内では表示画像を見易いが、太陽光の下では表示画像を見辛いという問題がある。特に、カメラ及び携帯情報端末、携帯電話機等の屋外で頻繁に活用される電子機器においては、この問題による影響は大きい。
【０００４】
そこで、室内でも屋外でも良好な画像を表示できるようにするため、半透過型の液晶表示装置が開発されている。半透過型の液晶表示装置は、１つの画素の中に、反射領域と透過領域とを有している。透過領域には、透明電極を有し、そこで光を透過させて、透過型液晶表示装置として機能する。一方、反射領域には、反射電極を有し、そこで光を反射させて、反射型液晶表示装置として機能する。このようにすることにより、室内でも屋外でも良好な画像を表示することができる。
【０００５】
このような液晶表示装置としては、パッシブマトリクス型とアクティブマトリクス型とがある。アクティブマトリクス型の表示装置を作製する際は、一般的に、薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）の半導体層に接続する配線を形成し、その配線の上に画素電極となる導電膜を形成する。
【０００６】
画素電極としては、反射領域における反射電極と透過領域における透明電極とがある。各々は、形状が異なる。したがって、反射電極を形成するためのレジストマスクと、透明電極を形成するためのレジストマスクが必要だった（例えば特許文献１～特許文献５参照）。
【先行技術文献】
【特許文献】
【０００７】
【特許文献１】特開２００２－２２９０１６号公報
【特許文献２】特開２００４－４６２２３号公報
【特許文献３】特開２００５－３３８８２９号公報
【特許文献４】特開２００４－３３４２０５号公報
【特許文献５】特開２００４－１０９７９７号公報
【発明の概要】
【発明が解決しようとする課題】

【０００８】
従来の半透過型液晶表示装置において、反射電極と透明電極を形成する際はレジストマスクがそれぞれの層において必要であった。つまり、反射電極を形成するレジストマスクと、透明電極と積層する膜のエッチング用のレジストマスクとが必要であり、その分だけ作製工程数が多かった。そのため、表示装置のような半導体装置の製造コストが高く、電極パターンを形成するための製造時間も長く必要であった。
【０００９】
そこで、本発明は、使用するレジストマスクの数を減らし、作製工程を短縮することを課題とする。
【課題を解決するための手段】
【００１０】
本発明は、トランジスタと、該トランジスタに電気的に接続する透明電極と、該透明電極に電気的に接続する反射電極と、該トランジスタに電気的に接続する保持容量と、を有し、該反射電極の下に、該保持容量の少なくとも一部が形成され、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。
【００１１】
また、本発明は、トランジスタと、該トランジスタに電気的に接続する透明電極と、該透明電極に電気的に接続する反射電極と、を有し、該透明電極もしくは該反射電極の少なくとも１つは、スリットを有し、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。
【００１２】
また、本発明は、トランジスタと、該トランジスタに電気的に接続する透明電極と、該透明電極に電気的に接続する反射電極と、該トランジスタに電気的に接続する保持容量と、を有し、該透明電極もしくは該反射電極の少なくとも１つは、スリットを有し、該反射電極の下に、該保持容量の少なくとも一部が形成され、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。
【００１３】
また、本発明は、トランジスタと、該トランジスタに電気的に接続する透明電極と、該透明電極に電気的に接続する反射電極と、該トランジスタに電気的に接続する保持容量と、を有し、該反射電極の下に、該保持容量の少なくとも一部が形成され、該反射電極の下に、該トランジスタの少なくとも一部が形成され、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。
【００１４】
また、本発明は、トランジスタと、該トランジスタに電気的に接続する画素電極と、を有し、該画素電極は、透明電極と反射電極とを有し、該反射電極の下面全体が該透明電極の上面に接しており、該反射電極と接する領域での該透明電極の膜厚は、該反射電極と接しない領域での該透明電極の膜厚よりも厚いことを特徴とする表示装置が提供される。
【００１５】
また、本発明は、上記構成において、該反射電極と、対向電極との間に液晶層が配置されていることを特徴とする表示装置が提供される。
【００１６】
また、本発明は、　基板上にトランジスタを形成し、該トランジスタの上に絶縁膜を形成し、該絶縁膜の上に透明導電膜を形成し、　該透明導電膜の上に反射導電膜を形成し、該反射導電膜の上に半透部を有する露光マスクを用いて、膜厚の厚い領域と該領域よりも膜厚の薄い領域とを有するレジストパターンを形成し、該レジストパターンを用いて、該透明導電膜でなる透明電極と、該反射導電膜でなる反射電極とを形成することを特徴とする表示装置の作製方法が提供される。
【００１７】
また、本発明は、基板上にトランジスタを形成し、該トランジスタの上に絶縁膜を形成し、該絶縁膜の上に透明導電膜を形成し、該透明導電膜の上に反射導電膜を形成し、該反

射導電膜の上に半透部を有する露光マスクを用いて、膜厚の厚い領域と該領域よりも膜厚の薄い領域とを有するレジストパターンを形成し、該レジストパターンを用いて、該反射導電膜と該透明導電膜とをエッチングし、該レジストパターンの一部を除去し、該一部が除去されたレジストパターンを用いて、該反射導電膜をエッチングすることを特徴とする表示装置の作製方法が提供される。

【００１８】

このように、１つのレジストパターンを用いて、透明電極と、透明電極上の一部に接する反射電極とを形成することができる。透明電極と反射電極の２つのパターンを、１つのレジストパターンを用いて形成することができるので、作製工程が短縮でき、低コストな表示装置を実現することができる。

【００１９】

なお、本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（ＴＦＴ）、半導体基板やＳＯＩ基板を用いて形成されるトランジスタ、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ＺｎＯ、ａ－ＩｎＧａＺｎＯなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、ＳＯＩ基板、ガラス基板、プラスチック基板などに配置することが出来る。

【００２０】

なお、トランジスタの構成は、特に限定されない。例えば、ゲート電極の本数が２本以上になっているマルチゲート構造になっていてもよいし、チャネルの上下にゲート電極が配置されている構造でもよいし、チャネルの上にゲート電極が配置されている構造でもよいし、チャネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよいし、チャネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよいし、ＬＤＤ領域（低濃度不純物領域）があってもよい。

【００２１】

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子や抵抗素子やダイオードなど）が配置されていてもよい。

【００２２】

なお、本発明において示すスイッチは特定のスイッチに限定されない。電気的スイッチや機械的なスイッチを適用することができる。電流の流れを制御できるものなら、限定されない。トランジスタでもよいし、ダイオード（ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、ＬＤＤ領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Ｖｓｓ、ＧＮＤ、０Ｖなど）に近い状態で動作する場合はＮチャネル型を、反対に、ソース端子の電位が、高電位側電源（Ｖｄｄなど）に近い状態で動作する場合はＰチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、トランジスタがスイッチとしての機能を果たし易くなるからである。なお、Ｎチャネル型とＰチャネル型の両方を用いて、ＣＭＯＳ型のスイッチにしてもよい。

【００２３】

なお、画素に配置するのは、特定の表示素子に限定されない。画素に配置する表示素子の例としては、例えば、ＥＬ素子（有機ＥＬ素子、無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（ＧＬＶ）、プラズマディスプレイ（ＰＤＰ）、デジタルマイクロミラーデバイス（ＤＭＤ）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、ＥＬ素子を用いた表示装置としてはＥＬディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（ＦＥＤ）やＳＥＤ方式平面型ディスプレイ（ＳＥＤ：Ｓｕｒｆａｃｅ－ｃｏｎｄｕｃｔｉｏｎ　Ｅｌｅｃｔｒｏｎ－ｅｍｉｔｔｅｒ　Ｄｉｓｐｌｙ）など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【００２４】

なお、本発明においては、１画素とは１つの色要素を示すものとする。よって、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるフルカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との３画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、ＲＧＢＷ（Ｗは白）がある。なお、１画素（３色分）と記載する場合は、ＲとＧとＢの３画素分を１画素と考える場合である。

【００２５】

なお、本発明において、画素がマトリクスに配置されているとは、いわゆるストライプ配置されている場合はもちろんのこと、三色の色要素（例えばＲＧＢ）でフルカラー表示を行う場合に、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、ＲＧＢＷがある。また、色要素のドット毎にその領域の大きさが異なっていてもよい。

【００２６】

なお、トランジスタとは、それぞれ、ゲート電極と、ドレイン領域（もしくはドレイン電極）と、ソース領域（もしくはソース電極）とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを限定することが困難である。そこで、本形態においては、ソース領域又はドレイン領域として機能する領域を、第１端子、第２端子と表記する。

【００２７】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、基板上に液晶素子やＥＬ素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけでなく、それにフレキシブルプリントサーキット（ＦＰＣ）やプリント配線基盤（ＰＷＢ）が取り付けられたものも含む。また、発光装置とは、特にＥＬ素子や電子放出素子で用いる素子などの自発光型の表示素子を用いている表示装置をいう。

【発明の効果】

【００２８】

本発明により、従来よりも作製工程を少なくすることができ、半導体装置や表示装置の製造コストを低くすることができる。

【図面の簡単な説明】

【００２９】

【図１】本発明の半導体装置の作製工程を示す断面図。

【図２】本発明の半導体装置の作製工程を示す断面図。

【図３】本発明の半導体装置の作製工程を示す断面図。

【図４】本発明の半導体装置を示す断面図。

【図５】本発明の半導体装置を示す断面図。

【図６】本発明の半導体装置を示す断面図。
【図７】本発明の半導体装置の作製工程を示す断面図。
【図８】本発明の半導体装置の作製工程を示す断面図。
【図９】本発明の半導体装置を示す断面図。
【図１０】本発明の半導体装置を示す断面図。
【図１１】本発明の半導体装置を示す断面図。
【図１２】本発明の半導体装置を示す断面図。
【図１３】本発明の半導体装置を示す断面図。
【図１４】本発明の半導体装置を示す断面図。
【図１５】本発明の半導体装置を示す断面図。
【図１６】本発明の半導体装置を示す断面図。
【図１７】本発明の半導体装置を示す断面図。
【図１８】本発明の半導体装置を示す断面図。
【図１９】本発明の半導体装置を示す断面図。
【図２０】本発明の露光マスクの上面図及び光強度分布を示す図。
【図２１】本発明の半導体装置を示す断面図。
【図２２】本発明の半導体装置を示す断面図。
【図２３】本発明の半導体装置を示す断面図。
【図２４】本発明の半導体装置を示す断面図。
【図２５】本発明の半導体装置を示す断面図。
【図２６】本発明の半導体装置を示す断面図。
【図２７】本発明の半導体装置を示す断面図。
【図２８】本発明の半導体装置の上面図。
【図２９】本発明の半導体装置の上面図。
【図３０】本発明の半導体装置の上面図。
【図３１】本発明の半導体装置の上面図。
【図３２】本発明の半導体装置の上面図。
【図３３】本発明の半導体装置の上面図。
【図３４】本発明の半導体装置の上面図。
【図３５】本発明の半導体装置の上面図。
【図３６】本発明の半導体装置の上面図。
【図３７】本発明の半導体装置の上面図。
【図３８】本発明の半導体装置の上面図。
【図３９】本発明の半導体装置の上面図。
【図４０】本発明を適用した電子機器の一態様について説明する図。
【図４１】本発明の半導体装置を示す図。
【図４２】本発明の半導体装置を示す図。
【図４３】本発明の半導体装置を示す図。
【図４４】本発明を適用した電子機器の一態様について説明する図。
【図４５】本発明の液晶表示装置の回路図。
【図４６】本発明の液晶表示装置の回路構成のブロック図。
【図４７】本発明の半導体装置を示す断面図。
【図４８】本発明の半導体装置を示す断面図。
【図４９】本発明の半導体装置を示す断面図。
【図５０】本発明の半導体装置を示す断面図。
【図５１】本発明の半導体装置を示す断面図。
【図５２】本発明の半導体装置を示す断面図。
【発明を実施するための形態】
【００３０】
以下、本発明の実施の形態について説明する。但し、本発明は、実施可能な範囲におい

て、多くの異なる態様で実施することが可能である。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。また、以下に示す実施の形態は適宜組み合わせることが可能である。

【００３１】

（実施の形態１）

図１～図２に、反射電極と透明電極とを形成する製造方法について述べる。

【００３２】

まず、絶縁膜１０７の上にスパッタ法または印刷法またはＣＶＤ法またはインクジェット法などで導電膜１０６を形成する。導電膜１０６は、透明導電膜であっても反射性を有していても良い。透明導電膜である場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜、または酸化スズ膜、リンやボロンが含まれるシリコン（Ｓｉ）などを用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、組成比などは、これに限定されない。

【００３３】

絶縁膜１０７上に導電膜１０６を形成し、続いて導電膜１０６上に導電膜１０５を積層する。導電膜１０６と導電膜１０５は連続的にスパッタで形成することができる。これにより、工程数を低減することが出来る。

【００３４】

導電膜１０５は、抵抗の低い材料や反射率が高い材料が好ましい。例えば、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどやそれらの合金を用いることができる。また、これらを積層させた２層構造にしてもよい。その場合、Ａｌ（もしくはＡｌを主材料とした合金）と、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属とを用いた２層積層構造としても良い。また、３層の積層構造でもよい。その場合、Ａｌ（もしくはＡｌを主材料とした合金）をＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としても良い。このように、Ａｌ（もしくはＡｌを主材料とした合金）の周りにＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属を配置することにより、別の電極や配線に接続するときに、不具合を低減することができる。例えば、ＩＴＯ膜などとＡｌ（もしくはＡｌを主材料とした合金）を接続させると、電食などの不具合を起こすことがある。また、Ｓｉ膜などとＡｌ（もしくはＡｌを主材料とした合金）を接続させると、ＡｌとＳｉ膜とが反応してしまうことがある。これらは、多層構造にすることにより、低減することが出来る。

【００３５】

なお、導電膜としてＩＴＯ膜を用いる場合は、ＩＴＯ膜を熱処理して結晶化する工程が必要になってくる。そのときはＩＴＯ膜をスパッタで形成し、焼成後、導電膜１０５を形成すると良い。ＩＴＳＯ膜を用いると、結晶化する工程が不要なため工程が少なくてすむ。

【００３６】

次いで、導電膜１０５上にレジスト膜１０４を全面に形成（塗布）した後、図１（Ａ）に示す露光マスクを用いて露光を行う。

【００３７】

図１（Ａ）において、露光マスクは、露光光が遮光される遮光部１０１ａと、露光光が一部通過する半透部１０１ｂを有する。半透部１０１ｂには半透膜１０２が設けられ、露光光の光強度を低減させている。遮光部１０１ａは半透膜１０２上に金属膜１０３が積層されて構成されている。遮光部１０１ａの幅はｔ１、半透部１０１ｂの幅はｔ２と示す。ここでは半透部に半透膜を用いた例を示したが、これに限定されず、半透部は露光光の光強度を低減するものであればよい。また、半透部に回折格子パターンを用いてもよい。

【００３８】
つまり、半透部にハーフトーンあるいはグレートーンと呼ばれるものを用いてもよい。
【００３９】
図１（Ａ）に示す露光マスクを用いてレジスト膜の露光を行うと、非露光領域と露光領域が形成される。露光時には、光が遮光部１０１ａで回り込んだり、半透部１０１ｂを通過することによって、露光領域が形成される。
【００４０】
そして、現像を行うと、露光領域が除去されて、図１（Ｂ）に示すように、大きく分けて２つの膜厚を有するレジストパターン１０４ａが導電膜１０５上に得られる。レジストパターン１０４ａは膜厚の厚い領域と、該領域より膜厚の薄い領域とを有し、膜厚の薄い領域については、露光エネルギーまたは半透膜１０２の透過率を調節することで膜厚を調節することができる。
【００４１】
　次に、ドライエッチングにより導電膜１０５及び導電膜１０６のエッチングを行う。ドライエッチングはＥＣＲ（Ｅｌｅｃｔｒｏｎ Ｃｙｃｌｏｔｒｏｎ Ｒｅｓｏｎａｎｃｅ）やＩＣＰ（Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ）などの高密度プラズマ源を用いたドライエッチング装置によって行われる。
【００４２】
すると、図１（Ｃ）に示すように、導電膜１０５ａ及び導電膜１０６ａが形成される。
【００４３】
　なお、ここでは、ＩＣＰ型エッチング装置を用いた例を示すが、これに限定されず、例えば、平行平板型エッチング装置、マグネトロン型エッチング装置、ＥＣＲ型エッチング装置、ヘリコン型エッチング装置を用いてもよい。
【００４４】
　なお、導電膜１０５及び導電膜１０６のエッチングをウェットエッチングにより行っても良い。但し、微細加工にはドライエッチングが適しているため、ドライエッチングが好ましい。また、導電膜１０５及び導電膜１０６と、絶縁膜１０７との材料が大きく異なるため、ドライエッチングで行っても、導電膜１０５及び導電膜１０６と絶縁膜１０７とで大きなエッチング選択比がとれる。さらに両者のエッチング選択比を大きくするため、絶縁膜１０７の少なくとも最上層を窒化珪素膜で形成しても良い。
【００４５】
　こうして、図１（Ｃ）で示すように、絶縁膜１０７上に、導電膜１０６ａと導電膜１０５ａとの積層で構成されるパターンが形成される。
【００４６】
次に、レジストパターン１０４ａ（の一部）をアッシングまたはエッチングする（図２（Ａ））。この工程により、レジストパターン１０４ａの膜厚の薄い領域がエッチングされるとともに、その膜厚の薄い領域の膜厚分だけレジストパターン１０４ａの全体の膜厚も薄くなる。そしてレジストパターン１０４ｂを形成する。レジストパターン１０４ａは、膜厚方向だけでなく、幅方向もエッチングされるため、レジストパターン１０４ｂの幅は導電膜１０５ａ及び１０６ａの幅よりも小さくなる。したがって、レジストパターン１０４ｂの側面は下層にある導電膜の側面と一致せず、レジストパターン１０４ｂの側面の方が後退している。図２（Ｂ）では、レジストパターン１０４ｂは左右非対称である。
【００４７】
　次に、レジストパターン１０４ｂを用いて導電膜１０５ａをエッチングし、導電膜１０５ｂを形成する（図２（Ｂ））。このとき同時に導電膜１０６ａが無用にエッチングされないように、導電膜１０５ａの材料は導電膜１０６ａと高い選択比がとれるものが好ましい。例えば、その材料としてＴｉ、Ｍｏ、Ｃｒ、Ａｌ、Ｎｄ等やその合金があり、これら材料でなる積層構造であっても良い。そして導電膜１０６ａよりもパターンの小さい導電膜１０５ｂを形成する。
【００４８】

図２（Ａ）から図２（Ｂ）の導電膜１０５ｂのエッチングは、ドライエッチングで行ってもウェットエッチングで行っても良いが、図２ではドライエッチングの場合を図示する。導電膜１０５ｂは、側面がレジストパターン１０４ｂの側面と概ね一致するように形成される。導電膜１０５ｂは、一方の側面はレジストパターン１０４ｂの一方の側面の延長線上にあり、他方の側面はレジストパターン１０４ｂの他方の側面と一致する。

【００４９】

ドライエッチングを行うことにより、微細な加工が可能となる。ただし、導電膜１０５ｂを形成するときに、導電膜１０６ａも一部がエッチングされる。

【００５０】

一方、導電膜１０５ｂをウェットエッチングすると、等方的にエッチングが進むため、レジストパターン１０４ｂよりも小さい導電膜１０５ｂが形成される。レジストパターン１０４ｂの側面と導電膜１０５ｂの側面は一致しない。故に、同一のレジストパターン１０４ｂをマスクとしても、ドライエッチングよりウェットエッチングで形成したほうが、より小さい導電膜１０５ｂが形成される。

【００５１】

ウェットエッチングを行うことにより、エッチングの選択比を十分大きくとることが可能となる。

【００５２】

なお、導電膜１０６ａはドライエッチングで形成されるときは、その側面は、基板面に対してほぼ垂直または９０度に近い角度θ_1を有する。一方、導電膜１０５ｂがウェットエッチングで形成されると、等方的なエッチングにより、その側面は、基板面に対して鋭角な角度θ_2を有する。したがって、導電膜１０６ａと導電膜１０５ｂの側面の角度θ_1と角度θ_2を比較すると、$\theta_1 > \theta_2$となっている。なお、角度θ_1とは基板若しくは絶縁膜１０７の表面に対して導電膜１０６ａの傾斜角度であり、角度θ_2とは基板若しくは絶縁膜１０７の表面に対して導電膜１０５ｂの側面の傾斜角であり、θ_1、θ_2ともに０°～９０°の範囲内である。

【００５３】

導電膜１０５ｂや導電膜１０６ａが積層構造の場合は、各層によってエッチング速度が異なるときがある。これに伴い、基板面に対して各層の側面がなす角度もそれぞれ異なるときがある。したがってそのときは、基板面に対して最下層の膜の側面がなす角度をθ_2とする。

【００５４】

なお、導電膜１０５ｂ及び導電膜１０６ａの側面がなだらかな面とならずに、凸凹を持つ場合がある。その場合、角度θ_1及び角度θ_2は適宜決定すればよい。例えば、凸凹した側面に対し大まかな直線または曲線を引き、それを用いて角度θ_1及び角度θ_2を決定することができる。また、凸凹した側面に基づき、複数の角度θ_1及び角度θ_2をとって、その平均値を角度θ_1及び角度θ_2とすることができる。最も合理的な方法を用いれば良い。

【００５５】

以上より、ドライエッチング法またはウェットエッチング法のいずれかのエッチング方法で導電膜１０５ｂを形成する。どちらのエッチング法で形成しても、導電膜１０６ａの側面よりも後退した側面を有する導電膜１０５ｂが形成される。その要因の一つは、導電膜１０６ａを形成するためのマスクであるレジストパターン１０４ａと、導電膜１０５ｂを形成するためのマスクであるレジストパターン１０４ｂの大きさが異なり、レジストパターン１０４ｂのほうが小さいことである。

【００５６】

その後、レジストパターン１０４ｂを除去する（図２（Ｃ））。そして導電膜１０５ｂ及び導電膜１０６ａでなる電極が形成される。導電膜１０６ａや導電膜１０５ｂは画素電極として機能する。ただし、これに限定されない。

【００５７】

より望ましくは、導電膜１０５ｂを反射導電膜とすることで、反射電極として機能させ、導電膜１０６ａを透明導電膜とすることで、透明電極として機能させることである。そして、導電膜１０５ｂの下には、必ず導電膜１０６ａが配置されており、導電膜１０５ｂの下面全体が導電膜１０６ａの上面に接している。

【００５８】

そして、反射部１０８ａに反射電極を配置し、透過部１０８ｂに透明電極を配置する。これにより、反射電極と透明電極とを、少ない工程数で製造することが出来、半透過型表示装置を容易に製造することができる。また、反射電極や透明電極は、微細な加工を必要としない。多少、ずれていても、大きな問題はない。例えば、少し、反射電極が小さくて、透明電極が大きくても、表示に大きな影響を与えない。よって、このような製造方法を行っても、製造歩留まりが低下しにくい。よって、コスト低減や製造日数の短縮などに有益である。

【００５９】

本発明の膜厚の異なる領域を有するレジストパターン１０４ａを用いて、導電膜１０５ｂ及び導電膜１０６ａの積層を形成すると、導電膜１０５ｂを形成する際、つまりレジストパターン１０４ｂをマスクとしてエッチングをするときに、導電膜１０６ａ表面の一部は多少エッチングされる。特に、ドライエッチングにより導電膜１０５ｂを形成するときは、下層の導電膜１０６ａと選択比がとりにくいので、より導電膜１０６ａ表面の一部はエッチングされやすい。そのため、図２（Ｃ）の導電膜１０６ａの膜厚ａ（上面が導電膜１０５ｂと接する部分の導電膜１０６ａの膜厚）と、膜厚ｂ（上面が導電膜１０５ｂと接しない部分の導電膜１０６ａの膜厚）を比較すると、膜厚ａ＜膜厚ｂとなる。なお、膜厚ａとは導電膜１０５ｂと重ならない部分における導電膜１０６ａの平均膜厚を言い、膜厚ｂとは導電膜１０５ｂと重なる部分における導電膜１０６ａの平均膜厚を言う。

【００６０】

本実施の形態で形成する導電膜１０５ｂは、側面が傾斜する場合がある。そのため、液晶表示装置に利用した場合、導電膜１０５ｂの傾斜している側面側からラビングするようにすると、導電膜１０５ｂの側面においてスムーズにラビングを行うことができる。導電膜１０５ｂの側面が垂直である方向からラビングを行うと、垂直な側面部分でラビング布にストレスがかかる等の理由でラビングが不完全になり、配向が不完全になることがあった。したがって、ラビングは導電膜１０５ｂの側面が傾斜している側から行うことが好ましい。

【００６１】

また、ウェットエッチングにより、両側面ともに傾斜している導電膜１０５ｂを形成する場合は、どちらの方向からもスムーズにラビングでき、より効果的である。

【００６２】

なお、図１（Ａ）～図１（Ｂ）で示したように、光が照射された部分のレジストが溶解する場合のレジストをポジ型レジストと呼ぶ。しかし、ポジ型レジストに限定されず、ネガ型レジストを用いても良い。ネガ型レジストは、光が照射されない部分のレジストが溶解するものである。

【００６３】

図３に、ネガ型レジストを用いた場合の図を示す。図１（Ａ）が図３（Ａ）に対応し、図１（Ｂ）が図３（Ｂ）に対応する。それ以外は、ネガ型とポジ型とでは、概ね違いはない。図３（Ａ）に示すように、レジスト３０４で残したい部分には、透明部１０１ｃが配置され、レジスト３０４を除去したい部分には、遮光部１０１ａが配置され、レジスト３０４を少し残したい部分には、半透部１０１ｂが配置される。その結果、図３（Ｂ）に示すように、レジスト３０４ａが形成される。

【００６４】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。

【００６５】
（実施の形態２）
実施の形態１では、絶縁膜１０７の上に画素電極が形成される場合について述べた。しかし、実際には、画素電極は別の配線やトランジスタや保持容量などに接続されることになる。そのため、必要であれば、絶縁膜１０７にコンタクトホールを形成して、配線などと接続する必要がある。
【００６６】
そこで、その場合の断面図を図４に示す。絶縁膜１０７ａに、コンタクトホール４０２が形成されている。コンタクトホール４０２の下には、配線４０１が形成されている。配線４０１は、トランジスタのソースもしくはドレインの一方に接続される場合が多い。あるいは、配線４０１自体がトランジスタのソースもしくはドレインの一方であることも多い。また、保持容量の電極であることも多い。
【００６７】
このとき、導電膜１０５ｂの下には、必ず導電膜１０６ａが配置されている。これは、実施の形態１で述べた製造方法を用いるためである。よって、コンタクトホール４０２を覆って配置される導電膜１０６ａの上にも、導電膜１０５ｂが配置されることになる。
【００６８】
そして、導電膜１０５ｂの下に、トランジスタや配線や保持容量が形成される。導電膜１０５ｂが反射電極であり、導電膜１０６ａが透明電極である場合、透過領域を出来るだけ多くとることが望ましい。そこに光を透過させて表示を行うためである。一方、反射領域においては、反射電極の下に、何かが配置されていても、表示に影響が出ない。よって、導電膜１０５ｂの下に、トランジスタや配線や保持容量を配置することにより、効率的にレイアウトすることが出来る。
【００６９】
なお、トランジスタや保持容量の全域が、反射電極の下に配置されていることが望ましいが、これに限定されない。トランジスタや保持容量について、各々の一部が反射電極の外側（反射領域の外側）に配置されていても問題ない。
【００７０】
次に、反射電極の凹凸について述べる。反射電極は、外光を反射させて、表示を行うためのものである。反射電極に入ってきた外光を効率的に活用し、表示輝度を高めるためには、反射電極で乱反射させることが望ましい。
【００７１】
そこで、図５に示すように、絶縁膜１０７ｂに凹凸５０１を設けることにより、反射電極を凹凸にしてもよい。なお、絶縁膜１０７ｂは、積層構造になっていてもよい。また、図６に示すように、コンタクトホール５０１ａも、凹凸を形成するための手段として用いても良い。この場合、コンタクトホール５０１ａは、配線４０１と導電膜１０６ａを接続させる機能も持っている。
【００７２】
次に、絶縁膜や反射電極の凹凸の形成方法の一例を示す。図１や図３では、露光光が遮光される遮光部１０１ａと、露光光が一部通過する半透部１０１ｂを有する露光マスクを用いてレジストを形成する方法を述べた。そこでこの製造方法を、絶縁膜や反射電極の凹凸と、絶縁膜のコンタクトホールとを少ない工程数で形成する方法に適用してもよい。これにより、さらなる工程数の削減を実現することができる。
【００７３】
また、透明電極と反射電極とを形成する部分で、この製造方法を用いているため、製造設備が整っている。そのため、さらに、絶縁膜や反射電極の凹凸の形成のために、この製造方法を用いても、特別に必要なものがない。よって、両方ともこの製造方法を用いて形成することに、非常に大きなメリットがある。
【００７４】
この凹凸も、形状が多少ずれていても問題ない。微細化を強く要請されるような部分では

ない。よって、製造歩留まりを低下させることなく、製造することが出来る。
【００７５】
図７（Ａ）において、露光マスクは、露光光が遮光される遮光部７０１ａと、露光光が一部通過する半透部７０１ｂと、露光光が通過する透明部７０１ｃを有する。半透部７０１ｂには半透膜７０２が設けられ、露光光の光強度を低減させている。遮光部７０１ａは半透膜７０２上に金属膜７０３が積層されて構成されている。ここでは半透部に半透膜を用いた例を示したが、これに限定されず、半透部は露光光の光強度を低減するものであればよい。また、半透部に回折格子パターンを用いてもよい。
【００７６】
絶縁膜７０７の上に電極７０５が配置されている。その上に光によって感光する膜（例えば、感光性のアクリルなど）７０４を配置する。図７（Ａ）に示す露光マスクを用いて膜７０４の露光を行うと、非露光領域と露光領域と半露光領域が形成される。そして、光が当たった部分は、膜７０４が除去される。すると、図７（Ｂ）に示すように、膜７０４ａのようになり、コンタクトホール７０６ａと凹凸７０６とが同時に形成される。
【００７７】
なお、図７では、コンタクトホールの他に凹凸を形成したが、これに限定されない。コンタクトホールのような孔を複数形成し、これにより、凹凸を形成してもよい。その場合、その孔の下側には、配線を設けなくても良い。なぜなら、電気的に接続させることが目的ではないからである。ただし、電気的に問題がない場合であれば、配線を設けても良い。
【００７８】
なお、図７では、光が当たった部分の膜７０４が除去されたが、これに限定されない。逆に、光が当たらなかった部分の膜７０４が除去されるようにしてもよい。
【００７９】
なお、図７では、レジストを用いなかったが、これに限定されない。膜を形成したあと、レジストを用いて、ドライエッチングやウェットエッチングを行って、凹凸やコンタクトホールを形成してもよい。
【００８０】
なお、透過領域では、反射領域よりも、液晶の厚さ（セルギャップ）を厚くする場合がある。これは、反射領域では、光が往復して通るが、透過領域では、光が一度通るだけだからである。そこで、セルギャップを調節して、透過領域でのセルギャップを厚くするようにしてもよい。その場合の図を図８に示す。膜７０４を除去して膜７０４ｂを形成することによって、コンタクトホールだけでなく、透過領域における凹部８０１を形成することが出来る。凹部８０１の部分は、セルギャップが厚くなる。よって、この部分を透過領域にすればよい。
【００８１】
この場合、セルギャップを厚くするために、特別な工程の増加が必要ないため、コストを低くすることが出来る。
【００８２】
なお、本実施の形態は、実施の形態１で述べた内容を、一部変形した場合の一例を示している。したがって、実施の形態１で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせることも出来る。
【００８３】
また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。
【００８４】
（実施の形態３）
次に、トランジスタを配置した場合の具体例について述べる。ただし、トランジスタは必ずしも必要ではなく、いわゆるパッシブマトリックス型に適用してもよい。
【００８５】

まず、図９を用いて、基板９０１上にトップゲート型のＴＦＴを形成する方法を説明する。基板９０１は透光性を有する基板、例えば石英基板、ガラス基板またはプラスチック基板である。なお、基板９０１は遮光性の基板でもよく、半導体基板、ＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板でもよい。

【００８６】

基板９０１上に下地膜として絶縁膜９０２を成膜する。絶縁膜９０２としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（SiO_xN_y）等の絶縁膜の単層、或いはこれらの膜の少なくとも２つの膜でなる積層を用いる。

【００８７】

なお、半導体と接する部分では、酸化シリコン膜を用いる方がよい。その結果、下地膜における電子のトラップやトランジスタ特性のヒステリシスを抑えることが出来る。また、下地膜として、窒素を多く含む膜を少なくとも１つ配置することが望ましい。それにより、ガラスからの不純物を低減することが出来る。

【００８８】

次いで、絶縁膜９０２上に島状半導体膜９０３を形成する。

【００８９】

島状半導体膜９０３は、絶縁膜９０２上にスパッタ法、ＬＰＣＶＤ法、またはプラズマＣＶＤ法等により半導体膜を全面に形成した後、フォトリソグラフィ法等により形成されたマスクを用いて半導体膜を形状加工して形成する。島状半導体膜９０３を結晶性半導体膜で形成するときは、基板９０１上に直接結晶性半導体膜を形成する方法と、非晶質半導体膜を基板９０１上に形成した後に、加熱処理により結晶化させて結晶性半導体膜を形成する方法がある。後者の方法において、結晶化の際の加熱処理は、加熱炉、レーザ照射、若しくはレーザ光の代わりにランプから発する光の照射（以下、ランプアニールと表記する）、又はそれらを組み合わせて用いることにより行われる。

【００９０】

また、ニッケルなどを非晶質半導体膜に添加した後に上記加熱処理を行う熱結晶化法により結晶性半導体膜を形成してもよい。なお、ニッケルを用いた熱結晶化法を用いて結晶化を行って結晶性半導体膜を得た場合は、結晶化後にニッケルを除去するゲッタリング処理を行うことが好ましい。

【００９１】

レーザ照射により結晶化して結晶性半導体膜を作製する場合には、連続発振（ＣＷ：ｃｏｎｔｉｎｕｏｕｓ－ｗａｖｅ）型のレーザビームやパルス発振型のレーザビーム（パルスレーザビーム）を用いることができる。ここで用いることができるレーザビームは、Ａｒレーザ、Ｋｒレーザ、エキシマレーザなどの気体レーザ、単結晶のＹＡＧ、YVO_4、フォルステライト（Mg_2SiO_4）、$YAlO_3$、$GdVO_4$、若しくは多結晶（セラミック）のＹＡＧ、Y_2O_3、YVO_4、$YAlO_3$、$GdVO_4$に、ドーパントとしてＮｄ、Ｙｂ、Ｃｒ、Ｔｉ、Ｈｏ、Ｅｒ、Ｔｍ、Ｔａのうち１種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ｔｉ：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第２高調波から第４高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Ｎｄ：YVO_4レーザ（基本波１０６４ｎｍ）の第２高調波（５３２ｎｍ）や第３高調波（３５５ｎｍ）を用いることができる。このレーザは、ＣＷで射出することも、パルス発振で射出することも可能である。ＣＷで射出する場合は、レーザのパワー密度は０．０１～１００MW/cm^2程度（好ましくは０．１～１０MW/cm^2）必要である。そして、走査速度を１０～２０００ｃｍ／ｓｅｃ程度として照射する。

【００９２】

なお、単結晶のＹＡＧ、YVO_4、フォルステライト（Mg_2SiO_4）、$YAlO_3$、$GdVO_4$、若しくは多結晶（セラミック）のＹＡＧ、Y_2O_3、YVO_4、$YAlO_3$、$GdVO_4$に、ドーパントとしてＮｄ、Ｙｂ、Ｃｒ、Ｔｉ、Ｈｏ、Ｅｒ、Ｔｍ、Ｔａの

うち１種または複数種添加されているものを媒質とするレーザ、Ａｒイオンレーザ、またはＴｉ：サファイアレーザは、連続発振をさせることが可能であり、Ｑスイッチ動作やモード同期などを行うことによって１０ＭＨｚ以上の発振周波数でパルス発振をさせることも可能である。１０ＭＨｚ以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【００９３】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数ｍｍ、長さ数十ｍｍの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【００９４】

発光に直接寄与する媒質中のＮｄ、Ｙｂなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上を図ることができる。

【００９５】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ１ｍｍ以下、長辺の長さ数ｍｍ～数ｍの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【００９６】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【００９７】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【００９８】

次いで、必要があればＴＦＴのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（B_2H_6）を質量分離しないでプラズマ励起したイオンドープ法を用いる。ただし、質量分離して、ドープ量を正確に制御するようにしてもよい。これにより、しきい値電圧を正確に制御出来る。

【００９９】

この島状半導体膜９０３の厚さは２５～８０ｎｍ（好ましくは３０～７０ｎｍ）の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ＳｉＧｅ）合金などで形成すると良い。

【０１００】

そして、島状半導体膜９０３を覆うようにゲート絶縁膜９０４を形成する。ゲート絶縁膜９０４としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの単層または積層構造を用いることができる。島状半導体膜９０３と接するゲート絶縁膜は酸化珪素膜が好ましい。それは、酸化珪素膜にすると島状半導体膜との界面におけるトラップ準位が少なくなるからである。また、ゲート電極をＭｏで形成するときは、ゲ

ート電極と接するゲート絶縁膜は窒化シリコン膜が好ましい。それは、窒化シリコン膜はＭｏを酸化させないからである。

【０１０１】

ここではゲート絶縁膜９０４として、プラズマＣＶＤ法により厚さ１１５ｎｍの酸化窒化シリコン膜（組成比Ｓｉ＝３２％、Ｏ＝５９％、Ｎ＝７％、Ｈ＝２％）を形成する。

【０１０２】

次に、ゲート絶縁膜９０４上に導電層を形成して、フォトリソグラフィ法等により形成したマスクを用いて導電層を形状加工し、ゲート電極９０８やゲート配線を形成する。保持容量用の配線や電極を形成することもある。これらの導電層の材料としてはＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層により構成しても良い。ここではＭｏによりゲート電極を形成する。Ｍｏは、エッチングしやすく、熱に強いので好適である。次に、ゲート電極９０８またはレジストをマスクとして島状半導体膜９０３に不純物元素をドーピングし、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とを形成する。

【０１０３】

このとき、ＬＤＤ領域を形成してもよい。

【０１０４】

次いで、透光性を有する無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）やそれらの積層を用いて絶縁膜９１７を形成する。また、シロキサンを含む材料を用いて絶縁膜９１７（もしくはその一部）を形成してもよい。なお、シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基としてフルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。絶縁膜９１７は積層構造でも良い。

【０１０５】

次いで、フォトマスクを用いてレジストからなるマスクを形成し、そのマスクを用いて、絶縁膜９１７、及びゲート絶縁膜９０４を選択的にエッチングし、コンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【０１０６】

そして、絶縁膜９１７上にスパッタ法または印刷法またはＣＶＤ法またはインクジェット法で導電膜を形成する。そして、フォトリソグラフィ法等により形成したマスクを用いて導電層を形状加工し、ドレイン電極９０９やソース電極やソース配線を形成する。材料としてはＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層によりドレイン電極９０９などを構成しても良い。ここではＡｌの上下をＭｏで挟んだ三層構造によりドレイン電極やソース配線を形成する。

【０１０７】

このドレイン電極９０９が、図４、図６における配線４０１、図７、図８における電極７０５に相当する。

【０１０８】

その上に、絶縁膜９０７を形成する。絶縁膜９０７は、平坦性や被覆性が良いと望ましいため、有機材料を用いて形成されることが多い。なお、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）の上に、有機材料が形成され、多層構造になっていてもよい。この絶縁膜９０７が、図１～図３などにおける絶縁膜１０７に相当する。

【０１０９】

そして、絶縁膜９０７にコンタクトホールを形成したあと、上にスパッタ法または印刷法またはＣＶＤ法またはインクジェット法で導電膜を形成する。

【０１１０】

図９における導電膜９０６が、図２（Ｃ）、図４～図６の導電膜１０６ａに相当する。そして、図９における導電膜９０５が、図２（Ｃ）、図４～図６の導電膜１０５ｂに相当する。

【０１１１】

導電膜９０６は、画素電極の一部であり、光を透過する透明電極である。そして、導電膜９０５は、画素電極の一部であり、光を反射する反射電極である。反射電極の下面全体が透明電極の上面に接している。

【０１１２】

透明電極の場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。

【０１１３】

反射電極の場合は、例えば、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどやそれらの合金などを用いることができる。また、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、ＷとＡｌを積層させた２層構造、ＡｌをＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としても良い。

【０１１４】

導電膜９０５、導電膜９０６は、実施の形態１～実施の形態２で述べた方法を用いて形成する。

【０１１５】

導電膜９０５、導電膜９０６の上には、図示していないが、配向膜が形成されている場合が多い。

【０１１６】

対向基板９１１には、カラーフィルタ９１６やブラックマトリックス９１５や平坦化膜９１２や対向電極９１４などが形成されている。対向基板９１１と基板９０１の間に、液晶層９１０が配置されている。

【０１１７】

なお、光を反射させて表示を行う部分（反射部）９２０においては、液晶層９１０の中を光が２回通る。つまり、外光が対向基板側から液晶層９１０に入射し、導電膜９０５で反射されて、再度、液晶層９１０を通過し、対向基板側から出て行くので、液晶層９１０を２回通ることになる。

【０１１８】

一方、光を透過させて表示を行う部分（透過部）９２１においては、光は、導電膜９０６を通って液晶層９１０に入り、対向基板から出て行く。つまり、液晶層９１０の中を光が１回通る。

【０１１９】

ここで、液晶層９１０は、屈折率異方性を有しているため、液晶層９１０を通る距離によって、光の偏光状態が変わってくる。そのため、画像を表示する場合に、正しく表示できなくなってしまう。そこで、光の偏光状態を調整する必要がある。そのための方法として、光を反射させて表示を行う部分（反射部）９２０の液晶層９１０の厚さ（いわゆるセルギャップ）を薄くすることにより、２回通っても、距離が長くなりすぎないようにすればよい。

【０１２０】

そこで、液晶層９１０の厚さ（いわゆるセルギャップ）を薄くするために、厚さを調整する膜（セルギャップを調整するための膜、厚さ調整膜又はセルギャップ調整膜などともいう）を配置すればよい。図９においては、絶縁膜９１３がそれに相当する。つまり、光を反射させて表示を行う部分（反射部）９２０において、絶縁膜９１３は液晶層の厚さを調

整する為に設けられている層である。絶縁膜９１３を設けることによって反射部９２０における液晶層の厚さを、透過部９２１における液晶層の厚さよりも薄くすることが出来る。

【０１２１】

なお、反射部９２０での液晶層９１０の厚さは、透過部９２１における液晶層９１０の厚さの２分の１となることが望ましい。ここで、２分の１とは、人間の目で視認できない程度のずれを有していても良い程度のずれ量も含む。

【０１２２】

ただし、光は基板と垂直な方向、つまり法線方向のみから入射するわけではない。斜めから入射する場合も多い。よって、それらの場合を総合して、反射部９２０と透過部９２１とで、光の通る距離が実質的に、概ね同じ程度になればよい。したがって、反射部９２０での液晶層９１０の厚さは、透過部９２１における液晶層９１０の厚さの概ね３分の１以上、３分の２以下となることが望ましい。

【０１２３】

このように、厚さを調整する膜は対向基板９１１側に配置することにより、形成が容易になる。厚さを調整する膜は、アクリルやポリイミドなどの有機材料を用いて形成されることが好適である。

【０１２４】

なお、厚さを調整する膜に、光散乱用粒子が混在されていてもよい。これにより、光を散乱させ、輝度を向上させることが出来る。光散乱用粒子は、セルギャップ調整膜とは異なる屈折率を有する材質で出来ており、透光性を有する樹脂材料から成る。このような光散乱用粒子を、セルギャップを調整するための膜に混在させて、作製すればよい。

【０１２５】

なお、対向電極９１４は、絶縁膜９１３の上（液晶層９１０に近い側）にあることが望ましい。それにより、液晶層９１０に十分大きな電界を加えることが出来る。

【０１２６】

ただし、これに限定されない。図１０に示すように、電極１０１４の上（液晶層９１０に近い側）に絶縁膜１０１３を配置してもよい。絶縁膜１０１３は非常に厚いため、電極１０１４が断線してしまうことを防止することが出来る。

【０１２７】

なお、図９では、反射部９２０において、反射電極に凹凸が形成されていなかったが、図５，図６に示すように、凹凸を形成してもよい。その場合を図１０に示す。凹凸は、図７で述べた方法を用いて形成してもよい。凹凸１００１やコンタクトホール１００１ａにより、光を拡散させることが出来る。

【０１２８】

なお、図９、図１０では、厚さ調整膜は対向基板側に設けられていたが、これに限定されない。トランジスタが形成されている側に配置してもよい。その場合を図１１に示す。絶縁膜９０７ａの一部が除去されて、形成されている。なお、図１０と図１１とを組み合わせてもよい。その場合の一例を図１２に示す。凹部１１０１は、図８の凹部８０１に対応する。このように、透過部９２１に凹部８０１を設けることにより、透過部９２１のセルギャップを反射部９２０のセルギャップよりも大きくすることが出来る。

【０１２９】

なお、凹部と厚さ調整膜とを両方設けても良い。両方で厚さを制御すればよいので、片方の厚さは、あまり大きくなくても良い。そのため、製造しやすくなる。

【０１３０】

なお、図１１において、凹部１１０１は、絶縁膜９０７ａの一部が除去されて、形成されているが、これに限定されない。他の絶縁膜も除去されてもよい。例えば、図５０には、絶縁膜９０７ａだけでなく、絶縁膜９１７ａの一部も除去されている場合を示す。これにより、反射部９２０と透過部９２１とで、セルギャップの差を付けやすくなる。また、絶縁膜９０７ａだけを除去する場合と比較して、絶縁膜９０７ａの厚さを薄くすることが出

来る。そのため、基板のそりなどの不具合を低減することが出来る。

【０１３１】

図５１には、さらに、絶縁膜９０２ｅ、ゲート絶縁膜９０４ｅ、基板９０１ｅなども一部を除去している場合を示す。絶縁膜９０２ｅ、ゲート絶縁膜９０４ｅ、基板９０１ｅなどは、成分が類似した膜で形成されている場合があるため、凹部１１０１ｃをより深く形成することが出来る。

【０１３２】

なお、凹凸は、コンタクトホールを用いて形成してもよい。その場合を図１３に示す。導電膜９０６がドレイン電極９０９に接続されていない場所にコンタクトホール１３０１を設けて、それを用いて凹凸を形成している。このように、配線と配線とを接続させるためではなく、配線や電極の表面を凹凸にするために、複数のコンタクトホール１３０１を形成している。なお、コンタクトホール１３０１において、コンタクトホール１００１ａと同様に、導電膜９０６をドレイン電極９０９と接続させるようにしてもよい。

【０１３３】

また、図１４に、図１３の場合に凹部１１０１を設けた場合を示す。

【０１３４】

このように、凹凸の有無、凹凸の形成方法、セルギャップの調整方法（厚さ調整を対向基板側で行うか、ＴＦＴ基板側で行うか）などは、各々の方式が複数ある。よって、そのいずれかを選択して、組み合わせて良い。

【０１３５】

なお、導電膜９０５が反射電極の場合、その下に、トランジスタや配線や保持容量が形成されることが望ましい。導電膜９０５が反射電極であり、導電膜９０６が透明電極である場合、透過領域を出来るだけ多くとることが望ましい。そこに光を透過させて表示を行うためである。一方、反射領域においては、反射電極の下に、何かが配置されていても、表示に影響が出ない。よって、導電膜９０５の下に、トランジスタや配線や保持容量を配置することにより、効率的にレイアウトすることが出来る。

【０１３６】

なお、トランジスタや保持容量の全域が、反射電極の下に配置されていることが望ましいが、これに限定されない。トランジスタや保持容量について、各々の一部が反射電極の外側（反射領域の外側）に配置されていても問題ない。

【０１３７】

そこで、反射電極の下にトランジスタや保持容量を配置した場合の断面図を図４７，図４８に示す。図４７では、トランジスタ４７０２で活性層として用いる半導体層の一部を用いて、保持容量４７０１の電極の１つを構成している。図４７では、島状半導体膜９０３と、保持容量用配線９０８ｅの間で、ゲート絶縁膜９０４を絶縁物として、保持容量４７０１を形成している。また、ドレイン電極９０９の一部を用いて、保持容量用配線９０８ｅとの間でも、絶縁膜９１７を絶縁物として、保持容量４７０１を形成している。図４８では、トランジスタ４７０２で活性層として用いる半導体層とは別の半導体層９０３ｆと、保持容量用配線９０８ｆとの間で、ゲート絶縁膜９０４を絶縁物として、保持容量４８０１を形成している。半導体層９０３ｆは、コンタクトホールを介して、ドレイン電極９０９と接続されている。

【０１３８】

なお、図９～図１４、図４７～図４８までにおいて、ドレイン電極の上に絶縁膜を設けていたが、これに限定されない。ドレイン電極９０５ａを反射電極とし、ドレイン電極の下に透明電極９０６ａを配置し、ゲート電極の上の絶縁膜１５１７の上に、画素電極を配置してもよい。その場合の断面図を図１５に示す。なお、図１５の場合においても、反射電極の表面を凹凸にしてもいいし、セルギャップを調整するため、厚さ調整膜や凹部を構成してもよい。一例として、コンタクトホール１６０１、１６０１ａを用いて、反射電極の凹凸を形成した場合を図１６に示す。

【０１３９】

なお、図９～図１６、図４７～図４８までにおいて、チャネルの上にゲート電極が配置されている、所謂トップゲート型のトランジスタの場合について述べてきたが、これに限定されない。チャネルの下にゲート電極が配置されている、所謂ボトムゲート型のトランジスタの場合にも適用することが出来る。

【０１４０】

ボトムゲート型のトランジスタの場合を図１７に示す。ゲート電極１７０８の上にゲート絶縁膜１７０４を形成する。その上に島状半導体膜１７０３を形成する。その上に、絶縁膜１７１７を形成する。そして、コンタクトホールを形成して、その上に、ドレイン電極１７０９やソース信号線を形成する。ドレイン電極１７０９やソース信号線の上は、トップゲート構造の場合と同様である。よって、ボトムゲート型の場合においても、反射電極の表面を凹凸にしてもいいし、セルギャップを調整するため、厚さ調整膜や凹部を構成してもよい。また、コンタクトホールを用いて、反射電極の凹凸を形成してもよい。

【０１４１】

なお、本実施の形態は、実施の形態１、実施の形態２で述べた内容を、より具体的に実現した場合の一例を示している。したがって、実施の形態１、実施の形態２で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせることも出来る。

【０１４２】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。

【０１４３】

（実施の形態４）

液晶層９１０には、様々な方式の液晶分子を配置することが出来る。

【０１４４】

例えば、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）型液晶があげられる。ＴＮ型液晶を用いる場合は、画素電極にスリットを設ける必要がない。つまり、１画素内で一面に配置されていればよい。また、対向基板に形成した共通電極は、全ての画素に渡って、一面に形成されていればよい。そのため、実施の形態１～実施の形態３までに述べたような画素電極（透明電極、反射電極）でよい。

【０１４５】

ＴＮ型以外の液晶としては、液晶分子が垂直方向に配置したＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式やＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式がある。ＭＶＡ方式やＰＶＡ方式の場合、液晶分子の傾き方を制御するため、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置する。もしくは、突起物を設ける。

【０１４６】

そこで、画素電極にスリットが入っている場合について、断面図を図１８に示す。なお、図１８に示すように、対向電極にもスリット等が入っているのが、ＰＶＡ方式であり、図１９に示すように、対向電極に突起１９０１，１９０２が設けられているのが、ＭＶＡ方式である。

【０１４７】

本発明の製造方法を用いた場合、導電層９０６ｂの側面と、導電層９０５ｂの側面とは、揃わない。導電層９０５ｂの側面の方が、引っ込んだ形になる。そして、反射電極の下面全体が透明電極の上面に接している。これは、各々の導電層をエッチングする時のレジスト形状など、本発明の製造方法に起因している。

【０１４８】

ＭＶＡ方式やＰＶＡ方式を用いることにより、視野角特性が向上する。そのため、視認性が良くなり、どの角度から見ても、色むらの低減された画像を表示させることが出来る。また、ノーマリーブラック方式を用いることができるので、黒状態での輝度を非常に小さ

く出来る。そのため、コントラスト比を高くすることが出来る。
【０１４９】
なお、本実施の形態は、実施の形態１～３で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態１～３で述べた内容は、本実施の形態にも適用してもいいし、本実施の形態と組み合わせることも出来る。
【０１５０】
また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。
【０１５１】
（実施の形態５）
次に、非晶質シリコンを用いたトランジスタの場合について述べる。なお、本実施の形態で説明するＴＦＴを構成する基板の種類、各層の形成方法及び材料等は実施の形態１～実施の形態４を参照できる。
【０１５２】
非晶質シリコンを用いたトランジスタの場合においても、ボトムゲート型（逆スタガ型）、トップゲート型（正スタガ型）などを実現できる。ここでは、逆スタガ型の場合のトランジスタを用いた場合について述べる。
【０１５３】
図２１に、断面図を示す。基板２１０１上に下地膜として絶縁膜を形成する。なお、下地膜は設けなくてもよい。次に、絶縁膜上もしくは基板２１０１上に導電層を形成し、フォトリソグラフィ法等により形成されたマスクを用いて導電層を形状加工し、ゲート電極２１０８やゲート配線を形成する。保持容量用の配線や電極を形成することもある。
【０１５４】
ゲート電極２１０８を覆うようにゲート絶縁膜２１０４を形成する。ゲート絶縁膜２１０４は、窒化珪素膜や酸化珪素膜やそれらの積層などが用いられる。ゲート絶縁膜２１０４上に非晶質半導体膜を形成する。非晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ＳｉＧｅ）合金などで形成すると良い。続いて、非晶質半導体膜上に導電層を形成する。導電層には例えばリンを含む非晶質シリコン膜を用いることができる。そして、フォトリソグラフィ法等により形成されたマスクを用いて、非晶質半導体膜及び導電層の形状を加工して、非晶質半導体膜と導電層とを島状に形成する。通常、これらの層は、シリコンを主成分とする半導体層２１０３である。
【０１５５】
半導体層２１０３上に導電層を積層形成し、フォトリソグラフィ法等により形成されたマスクを用いて導電層を形状加工し、ドレイン電極２１０９を形成する。
【０１５６】
そして、ドレイン電極２１０９などをマスクとして、半導体層２１０３の導電層をエッチングする。これにより、ソースとドレインを分断することになる。このような構成は、通常、チャネルエッチ型と言われる。
【０１５７】
このドレイン電極２１０９が、図４、図６における配線４０１、図７、図８における電極７０５に相当する。
【０１５８】
その上に、絶縁膜２１０２を形成する。絶縁膜２１０２は、窒化珪素膜が望ましい。なぜなら、トランジスタへの、様々な不純物の進入を防止するためである。なお、酸化珪素膜やそれを含んだ積層膜でもよい。
【０１５９】
次に、配線の凹凸などを吸収し、平坦にするための絶縁膜２１０７を形成する。これは、アクリルやポリイミドなどの有機膜が用いられる。光感光性の材料でもよい。

【０１６０】
この絶縁膜２１０７、絶縁膜２１０２が、図１～図３などにおける絶縁膜１０７に相当する。
【０１６１】
次に、絶縁膜２１０２、絶縁膜２１０７に、コンタクトホールを形成する。そして、その上に導電膜を形成する。
【０１６２】
図２１における電極２１０６が、図２（Ｃ）、図４～図６の導電膜１０６ａに相当する。そして、図２１における電極２１０５が、図２（Ｃ）、図４～図６の導電膜１０５ｂに相当する。
【０１６３】
電極２１０６は、画素電極の一部であり、光を透過する透明電極である。そして、電極２１０５は、画素電極の一部であり、光を反射する反射電極である。反射電極の下面全体が透明電極の上面に接している。
【０１６４】
透明電極の場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。
【０１６５】
反射電極の場合は、例えば、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどやそれらの合金などを用いることができる。また、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、ＷとＡｌを積層させた２層構造、ＡｌをＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としても良い。
【０１６６】
　導電膜２１０５、導電膜２１０６は、実施の形態１～実施の形態２で述べた方法を用いて形成する。
【０１６７】
導電膜２１０５、導電膜２１０６の上には、図示していないが、配向膜が形成されている場合が多い。
【０１６８】
対向電極２１１４、絶縁膜２１１３、平坦化膜２１１２、ブラックマトリクス２１１５、カラーフィルター２１１６、対向基板２１１１及び液晶層２１１０に関連することについては、実施の形態１～実施の形態４で述べたものと同様であるが、一例として述べる。
【０１６９】
なお、図２１では、反射部９２０において、反射電極に凹凸が形成されていなかったが、図５，図６に示すように、凹凸を形成してもよい。その場合を図２２に示す。凹凸は、図７で述べた方法を用いて形成してもよい。凹凸２２０１やコンタクトホール２２０１ａにより、光を拡散させることが出来る。
【０１７０】
なお、厚さを調整する膜２１１３、２２１３に、光散乱用粒子が混在されていてもよい。これにより、光を散乱させ、輝度を向上させることが出来る。させる。光散乱用粒子は、セルギャップ調整膜とは異なる屈折率を有する材質で出来ており、透光性を有する樹脂材料から成る。このような光散乱用粒子を、セルギャップを調整するための膜に混在させて、作製すればよい。
【０１７１】
なお、図２１、図２２では、厚さ調整膜は対向基板側に設けられていたが、これに限定されない。トランジスタが形成されている側に配置してもよい。その場合を図２３に示す。

なお、図２１と図２２とを組み合わせてもよい。その場合の一例を図２４に示す。凹部２３０１は、図８の凹部８０１に対応する。このように、透過部９２１に凹部２３０１を設けることにより、透過部９２１のセルギャップを反射部９２０のセルギャップよりも大きくすることが出来る。

【０１７２】

なお、図２３において、凹部２３０１は、絶縁膜２１０７ａの一部が除去されて、形成されているが、これに限定されない。他の絶縁膜も除去されてもよい。例えば、絶縁膜２１０７ａだけでなく、絶縁膜２１０２の一部も除去されていてもよい。図５２には、さらに、ゲート絶縁膜２１０４ｅ、基板２１０１ｅなども一部を除去している場合を示す。これにより、反射部９２０と透過部９２１とで、セルギャップの差を付けやすくなる。また、絶縁膜２１０２ｅ、ゲート絶縁膜２１０４ｅ、基板２１０１ｅなどは、成分が類似した膜で形成されている場合があるため、凹部２３０１ｅをより深く形成することが出来る。

【０１７３】

なお、図２４では、凹部と厚さ調整膜とを両方設けているが、これに限定されない。どちらか一方だけでもよい。ただし、両方設けると、両方で厚さを制御すればよいので、片方の厚さは、あまり大きくなくても良い。そのため、製造しやすくなる。

【０１７４】

なお、凹凸は、コンタクトホールを用いて形成してもよい。その場合を図２５に示す。電極２１０６がドレイン電極２１０９に接続されていない場所にコンタクトホール２５０１を設けて、それを用いて凹凸を形成している。このように、配線と配線とを接続させるためではなく、配線や電極の表面を凹凸にするために、複数のコンタクトホール２５０１を形成している。なお、コンタクトホール２５０１において、コンタクトホール２２０１ａと同様に、電極２１０６をドレイン電極２１０９と接続させるようにしてもよい。

【０１７５】

なお、図２５の場合に凹部２３０１を設けてもよい。

【０１７６】

なお、図２１～図２５において、チャネルエッチ型のトランジスタを用いていたが、これに限定されない。チャネル保護型でもよい。例として、図２１の場合において、チャネル保護型のトランジスタを用いた時の断面図を図２６に示す。チャネルを形成する半導体層２６０３ａの上にチャネル保護膜２６０１があり、その上に、リンを含む半導体層および導電層（ドレイン電極又はソース信号線など）２６０３ｂが配置されている。図２２～図２５、図４９の場合も、同様にチャネル保護型トランジスタに適用することができる。

【０１７７】

チャネル保護膜２６０１を有する構成のＴＦＴは次のような効果がある。半導体層がエッチングされる心配がないため、半導体層２６０３ａを薄く形成することができ、ＴＦＴの特性を向上させることができる。そのため、ＴＦＴに大電流を流すことができ、信号の書き込み時間が短縮することができ、好適である。

【０１７８】

なお、図２１～図２６、図４９までにおいて、絶縁膜２１０２の上に絶縁膜２１０７を設けていたが、これに限定されない。平坦化する必要がない場合も実現可能である。その場合の断面図を図２７に示す。絶縁膜２１０７を省いたことにより、工程数を減らすことができ、コストを低減することが出来る。なお、図２７の場合においても、反射電極の表面を凹凸にしてもいいし、セルギャップを調整するため、厚さ調整膜や凹部を構成してもいいし、コンタクトホールを用いて反射電極の凹凸を形成してもよい。

【０１７９】

このように、凹凸の有無、凹凸の形成方法、セルギャップの調整方法（厚さ調整を対向基板側で行うか、ＴＦＴ基板側で行うか）、トランジスタの構造などは、各々の方式が複数ある。よって、そのいずれかを選択して、組み合わせて良い。

【０１８０】

なお、本実施の形態は、実施の形態１～４で述べた内容を、より具体的に実現し、ある部

分をより詳細に説明した場合の一例を示している。したがって、実施の形態１～４で述べた内容は、本実施の形態にも適用、組み合わせたりすることが出来る。

【０１８１】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。

【０１８２】

（実施の形態６）

これまでは、主に断面図を用いて述べてきたが、本実施の形態では、上面図を述べる。

【０１８３】

図２８に、図９や図４７に適用できる場合の上面図を示す。図２８は、１画素分（１色要素分）を示している。半導体層２８０３ａが形成され、その上に、ゲート配線２８０８ａ、容量線２８０８ｂが形成されている。ゲート配線２８０８ａと一続きの膜であって、半導体層２８０３ａの上に形成されたゲート電極によって、トランジスタが構成される。容量線２８０８ｂの下には、半導体層２８０３ａが配置されており、容量線２８０８ｂと半導体層２８０３ａとで、保持容量を形成している。ゲート絶縁膜を介して、上下の電極で容量を形成する。その場合、容量の電極となる領域の半導体層２８０３ａは、リンやボロンが添付されていてもよいし、添付されていなくてもよい。添付されていない場合は、容量線２８０８ｂには、高い電圧が供給されている。リンやボロンが添付されている場合は、容量線２８０８ｂは、対向電極と電気的に接続されている場合が多い。これにより、配線数を減らすことが出来る。

【０１８４】

その上には、ソース信号線２８０９ａやドレイン電極２８０９ｂが形成されている。それらは、コンタクトホールを介して、半導体層２８０３ａと接続されている。

【０１８５】

なお、ドレイン電極２８０９ｂを大きく配置し、容量線２８０８ｂと重なる領域を大きくとり、保持容量の容量値を大きくできるようにしてもよい。

【０１８６】

その上に、透明電極２８０６が形成されており、コンタクトホールを介して、ドレイン電極２８０９ｂと接続されている。その上には、反射電極２８０３ｂが形成されている。

【０１８７】

反射電極２８０３ｂは、トランジスタや保持容量の上に形成されている。これにより、透過部での開口率を向上させることが出来、効率的にレイアウトすることができる。

【０１８８】

なお、容量線２８０８ｂを配置しているが、これに限定されない。容量線２８０８ｂのかわりに、１行前のゲート信号線を用いても良い。つまり、１行前のゲート信号線は、非選択状態の時には、電位が一定であるので、保持容量線として機能させることが出来る。

【０１８９】

なお、図２８では、保持容量をトランジスタの近辺に配置したが、図２９では、画素電極の中央部分に配置した。これにより、１画素の中に、透過部を複数設けることが出来る。したがって、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすくすることが出来る。マルチドメイン構造にすると、視野角を広くすることが出来る。

【０１９０】

図３０には、図２７の場合に対して、反射電極に凹凸３００１を形成した場合を示す。これは、図１０や図１３などに対応している。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。

【０１９１】

同様に、図２９の場合のように、保持容量を画素電極の中央部分に配置した場合に対して、反射電極に凹凸３００１を形成した場合を図３１に示す。反射電極に凹凸を形成するこ

とにより、光が拡散され、輝度を上げることが出来る。また、１画素の中に、透過部を複数設けることが出来るので、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすくすることが出来る。マルチドメイン構造にすると、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を広くすることが出来る。

【０１９２】

次に、図１１に示したように、凹部３２０１を形成した場合を図３２に示す。これにより、セルギャップを反射部と透過部とで異なるようにすることができるため、視認性が向上し、正しい階調で、色むらの低減された画像を表示させることが出来る。また、セルギャップの調整を、トランジスタや容量や配線などが配置された側の基板で、同時に実現できるため、工程数が少なく、低コストで実現することが出来る。

【０１９３】

同様に、図２９の場合のように、保持容量を画素電極の中央部分に配置した場合に対して、凹部３２０１ａ、３２０１ｂを形成した場合を図３３に示す。

【０１９４】

図２８～図３３では、画素電極が１画素ごとに、一面に配置されている場合を述べた。これは、主に、ＴＮ型液晶の時に用いる場合に相当する。

【０１９５】

しかし、図１８、図１９などに示したように、画素電極にスリットを入れることも可能であるし、画素電極を分割して間隔をおいて配置することも可能である。

【０１９６】

図３４では、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置することにより、ＭＶＡ型やＰＶＡ型などに対応させた場合の上面図を示す。透過領域においても、反射領域においても、スリット３４０１ａ、３４０１ｂ、３４０１ｃ、３４０１ｄなどを形成する。これにより、液晶分子の傾く方向を決めることが出来る。

【０１９７】

また、保持容量部を反射部の下に配置することにより、透過部の開口率を向上させることができ、最適なレイアウトを行うことが出来る。

【０１９８】

また、反射部や保持容量を画素電極の中央部に配置し、その上下に透過部を配置することにより、１画素の中に、透過部を複数設けることが出来るので、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすくすることが出来る。これにより、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を向上させることが出来る。

【０１９９】

なお、反射部において、凹凸３００１を形成した場合を図３５に示す。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。

【０２００】

このように、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置する構成にするのは、図２８～図３３にも適用させることが出来る。

【０２０１】

なお、スリットの入れ方は、図３４，図３５に限定されず、様々な配置をすることが出来る。

【０２０２】

図２８～図３５において、トップゲート構造のトランジスタを用いた場合の一例を示した。ただし、これに限定されず、これら以外の構成も可能である。次に、逆スタガ構造のトランジスタを用いた場合の一例を示す。

【０２０３】

図３６は、図２１に対応している。ゲート配線３６０８ａ、容量線３６０８ｂが形成されている。その上に、半導体層３６０３が形成される。ゲート配線３６０８ａと一続きの膜

であって、半導体層３６０３の下に形成されたゲート電極によって、トランジスタが構成される。その上には、ソース信号線３６０９ａやドレイン電極３６１９ｂが形成されている。容量線３６０８ｂの上には、ドレイン電極３６１９ｂが配置されており、そこで、保持容量を形成している。ゲート絶縁膜を介して、上下の電極で容量を形成する。その上に、透明電極３６０６が形成されており、コンタクトホールを介して、ドレイン電極３６１９ｂと接続されている。その上には、反射電極３６０５が形成されている。

【０２０４】

反射電極３６０５は、トランジスタや保持容量の上に形成されている。これにより、透過部での開口率を向上させることが出来、効率的にレイアウトすることができる。

【０２０５】

図３６では、保持容量をトランジスタの近辺に配置したが、画素電極の中央部分に配置してもよい。これにより、１画素の中に、透過部を複数設けることが出来るので、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすくすることが出来る。マルチドメイン構造にすると、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を広くすることが出来る。

【０２０６】

図３７には、図３６の場合に対して、反射電極に凹凸３７０１を形成した場合を示す。これは、図２２や図２５などに対応している。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。

【０２０７】

次に、図２３に示したように、凹部３８０１を形成した場合を図３８に示す。これにより、セルギャップを反射部と透過部とで異なるようにすることができるため、視認性が向上し、正しい階調で、色むらの低減された画像を表示させることが出来る。

【０２０８】

図３６～図３８では、画素電極が１画素ごとに、一面に配置されている場合を述べた。これは、主に、ＴＮ型液晶の時に用いる場合に相当する。

【０２０９】

しかし、図１８、図１９などに示したように、画素電極にスリットを入れることも可能であるし、画素電極を分割して間隔をおいて配置することも可能である。

【０２１０】

図３９では、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置することにより、ＭＶＡ型やＰＶＡ型などに対応させた場合の上面図を示す。透過領域においても、反射領域においても、スリット３９０１ａ、３９０１ｂ、３９０１ｃ、３９０１ｄなどを形成する。これにより、液晶分子の傾く方向を決めることが出来る。

【０２１１】

また、保持容量部を反射部の下に配置することにより、透過部の開口率を向上させることができ、最適なレイアウトを行うことが出来る。

【０２１２】

また、反射部や保持容量を画素電極の中央部に配置し、その上下に透過部を配置することにより、マルチドメイン構造にしやすくすることが出来る。これにより、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を向上させることが出来る。

【０２１３】

なお、反射部（反射電極３６０５ａの上）において、凹凸を形成してもよい。

【０２１４】

なお、図３９でのスリットは波打つような形状をしている。これにより、液晶分子をより制御しやすくしている。

【０２１５】

このように、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置する構成にするのは、他の上面図にも適用させることが出来る。

【０２１６】
なお、スリットの入れ方は、図３９に限定されず、様々な配置をすることが出来る。
【０２１７】
なお、本実施の形態は、実施の形態１～５で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態１～５で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせたりすることも出来る。
【０２１８】
また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。
【０２１９】
（実施の形態７）
本実施の形態では、実施の形態１～６で用いた露光マスクについて図２０を用いて説明する。図２０（Ａ）～（Ｃ）は、図１、図３、図７、図８で示した露光マスクの遮光部１０１ａ及び半透部１０１ｂの上面図を示す。露光マスクの遮光部１０１ａの幅はｔ１と示し、半透部１０１ｂの幅はｔ２と示している。
【０２２０】
半透部１０１ｂには回折格子パターンを設けることができ、図２０（Ａ）、（Ｂ）には露光装置の解像限界以下の複数のスリットでなるスリット部を有する回折格子パターンが示されている。回折格子パターンとは、スリット、ドット等のパターンが少なくとも１つ以上配置されたパターンである。スリット、ドット等のパターンを複数配置する場合は、周期的に配置されていてもよいし、非周期的に配置されてもよい。解像度限界以下の微細パターンを用いることによって、実質的な露光量を変調することが可能であり、露光されたレジストの現像後の膜厚を調節することが可能である。
【０２２１】
該スリット部のスリットが延びる方向は、スリット部３０１の様に遮光部３０３の一辺と平行でも、スリット部３０２の様に遮光部３０３の一辺と垂直でも構わない。または、遮光部３０３の一辺に対して斜めの方向がスリットの延びる方向でも良い。尚、このフォトリソグラフィ工程で使用されるレジストはポジ型レジストが好ましい。
【０２２２】
また、半透部の別の例として、図２０（Ｃ）に、露光光の光強度を低減する機能を有する半透膜２００４を設けた例を示す。半透膜としては、ＭｏＳｉＮの他に、ＭｏＳｉ、ＭｏＳｉＯ、ＭｏＳｉＯＮ、ＣｒＳｉなどを用いることができる。半透部を備えた露光マスクを用いた露光法は、ハーフトーン露光法とも呼ばれる。
【０２２３】
これら図２０（Ａ）～（Ｃ）に示す露光マスクに露光光を照射した場合、遮光部３０３の光強度はゼロであり、透光部３０５の光強度は１００％である。一方、スリット部３０１、３０２、または半透膜２００４で構成される光強度低減機能を有する半透部を通過する光の強度は、１０～７０％の範囲で調整可能となっている。代表的な光強度分布の例を図２０（Ｄ）に示す。半透部が回折格子パターンである場合には、半透部を通過する光強度の調整は、スリット部３０１、３０２のピッチ及びスリット幅の調整により実現している。
【０２２４】
また、本実施の形態は実施の形態１～６と自由に組み合わせることができる。
【０２２５】
（実施の形態８）
本発明の画素回路について述べる。図４５に画素配列５００００には、画素５０００１がマトリックス状に配置されている。画素５０００１には、ビデオ信号が入力されるソース信号線５００００２、ゲート信号が入力されるゲート信号線５００００３が接続されている

。それらの信号を用いてトランジスタ５００００４を制御して、液晶C_{LC}、保持容量Ｃｓにビデオ信号を入力する。保持容量Ｃｓは、保持容量線５００００５と接続されている。そして、ビデオ信号に応じて、液晶C_{LC}の光透過率が変化し、画像を表示する。

【０２２６】

ガラス基板６００００上には、図４６に示すように、少なくとも画素配列５００００が配置されている。そして、ゲート信号線を駆動するためのゲート信号線駆動回路６００００１や、ソース信号線にビデオ信号を供給するためのソース信号線駆動回路６００００２が配置されている場合がある。両方配置されている場合もあれば、いずれか一つのみ配置されていることもある。

【０２２７】

ソース信号線駆動回路６００００２には、シフトレジスタやサンプリングスイッチやラッチ回路やＤＡコンバータ回路などが配置されているが、これに限定されない。サンプリングスイッチのみ配置されて、シフトレジスタなどは配置されない場合もある。

【０２２８】

なお、本実施の形態は、実施の形態１～７で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態１～７で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせることも出来る。

【０２２９】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。

【０２３０】

（実施の形態９）

本発明の表示装置を表示部に有する携帯電話の構成例について図４０を用いて説明する。

【０２３１】

表示パネル５４１０はハウジング５４００に脱着自在に組み込まれる。ハウジング５４００は表示パネル５４１０のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル５４１０を固定したハウジング５４００はプリント基板５４０１に嵌入されモジュールとして組み立てられる。

【０２３２】

表示パネル５４１０はＦＰＣ５４１１を介してプリント基板５４０１に接続される。プリント基板５４０１には、スピーカ５４０２、マイクロフォン５４０３、送受信回路５４０４、ＣＰＵ及びコントローラなどを含む信号処理回路５４０５が形成されている。このようなモジュールと、入力手段５４０６、バッテリ５４０７を組み合わせ、筐体５４０９、５４１２に収納する。表示パネル５４１０の画素部は筐体５４１２に形成された開口窓から視認できように配置する。

【０２３３】

表示パネル５４１０は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にＴＦＴを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で表示パネル５４１０に実装しても良い。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したＩＣチップをＣＯＧ等で実装した表示パネルの構成は図４１（ａ）に一例を示してある。このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【０２３４】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、１行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【０２３５】

さらに消費電力の低減を図るため、基板上にＴＦＴを用いて画素部を形成し、全ての周辺駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）などで表示パネルに実装しても良い。

【０２３６】

そして、本発明の表示装置を用いることにより、コントラストの高い画像で見ることが出来る。

【０２３７】

また、本実施例に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【０２３８】

なお、本実施の形態で述べた内容は、実施の形態１～８で述べた内容と自由に組み合わせて実施することができる。

【０２３９】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。

【０２４０】

（実施の形態１０）

図４２は表示パネル５７０１と、回路基板５７０２を組み合わせた液晶モジュールを示している。表示パネル５７０１は画素部５７０３、走査線駆動回路５７０４及び信号線駆動回路５７０５を有している。回路基板５７０２には、例えば、コントロール回路５７０６や信号分割回路５７０７などが形成されている。表示パネル５７０１と回路基板５７０２は接続配線５７０８によって接続されている。接続配線にはＦＰＣ等を用いることができる。

【０２４１】

表示パネル５７０１は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にＴＦＴを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）などで表示パネル５７０１に実装するとよい。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）やプリント基板を用いて表示パネル５７０１に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したＩＣチップをＣＯＧ等で実装した構成は図４１（ａ）に一例を示してある。このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

【０２４２】

走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、１行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【０２４３】

さらに消費電力の低減を図るため、ガラス基板上にＴＦＴを用いて画素部を形成し、全ての信号線駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）表示パネルに実装してもよい。

【０２４４】

なお、基板上にＴＦＴを用いて画素部を形成し、全ての周辺駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で表示パネルに実装す

るとよい。なお、基板上に画素部を形成し、その基板上に信号線駆動回路を形成したＩＣチップをＣＯＧ等で実装した構成は図４１（ｂ）に一例を示してある。

【０２４５】

この液晶モジュールにより液晶テレビ受像機を完成させることができる。図４３は、液晶テレビ受像機の主要な構成を示すブロック図である。チューナ５８０１は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路５８０２と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路５８０３と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路５７０６により処理される。コントロール回路５７０６は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路５７０７を設け、入力デジタル信号をｍ個に分割して供給する構成としても良い。

【０２４６】

チューナ５８０１で受信した信号のうち、音声信号は音声信号増幅回路５８０４に送られ、その出力は音声信号処理回路５８０５を経てスピーカ５８０６に供給される。制御回路５８０７は受信局（受信周波数）や音量の制御情報を入力部５８０８から受け、チューナ５８０１や音声信号処理回路５８０５に信号を送出する。

【０２４７】

液晶モジュールを筐体に組みこんで、テレビ受像機を完成させることができる。液晶モジュールにより、表示部が形成される。また、スピーカ、ビデオ入力端子などが適宜備えられている。

【０２４８】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【０２４９】

このように、本発明の表示装置を用いることにより、コントラストの高い画像で見ることが出来る。

【０２５０】

なお、本実施の形態で述べた内容は、実施の形態１～９で述べた内容と自由に組み合わせて実施することができる。

【０２５１】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、１つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることも可能である。

【０２５２】

（実施の形態１１）

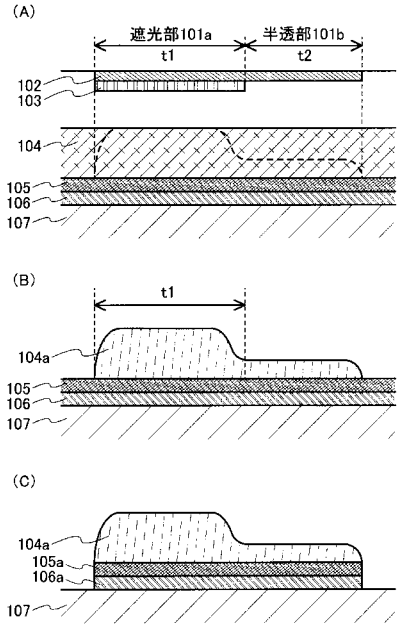
本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはＤｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。

【０２５３】

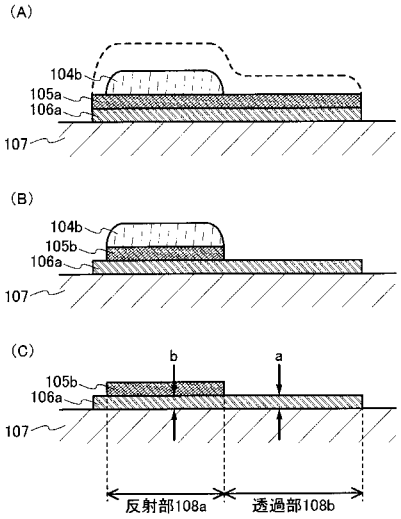
図４４（Ａ）は表示装置であり、筐体３５００１、支持台３５００２、表示部３５００３、スピーカ部３５００４、ビデオ入力端子３５００５等を含む。本発明の表示装置を表示部３５００３に用いることができる。なお、表示装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明の表示装置を表示部３５００３に用いた表示装置は、コントラストの高い画像で見ることが可能となる。

【０２５４】
図４４（Ｂ）はカメラであり、本体３５１０１、表示部３５１０２、受像部３５１０３、操作キー３５１０４、外部接続ポート３５１０５、シャッター３５１０６等を含む。
【０２５５】
本発明を表示部３５１０２に用いたデジタルカメラは、コントラストの高い画像で見ることが可能となる。
【０２５６】
図４４（Ｃ）はコンピュータであり、本体３５２０１、筐体３５２０２、表示部３５２０３、キーボード３５２０４、外部接続ポート３５２０５、ポインティングデバイス３５２０６等を含む。本発明を表示部３５２０３に用いたコンピュータは、コントラストの高い画像で見ることが可能となる。
【０２５７】
図４４（Ｄ）はモバイルコンピュータであり、本体３５３０１、表示部３５３０２、スイッチ３５３０３、操作キー３５３０４、赤外線ポート３５３０５等を含む。本発明を表示部３５３０２に用いたモバイルコンピュータは、コントラストの高い画像で見ることが可能となる。
【０２５８】
図４４（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体３５４０１、筐体３５４０２、表示部Ａ３５４０３、表示部Ｂ３５４０４、記録媒体（ＤＶＤ等）読み込み部３５４０５、操作キー３５４０６、スピーカ部３５４０７等を含む。表示部Ａ３５４０３は主として画像情報を表示し、表示部Ｂ３５４０４は主として文字情報を表示することができる。本発明を表示部Ａ３５４０３や表示部Ｂ３５４０４に用いた画像再生装置は、コントラストの高い画像で見ることが可能となる。
【０２５９】
図４４（Ｆ）はゴーグル型ディスプレイであり、本体３５５０１、表示部３５５０２、アーム部３５５０３を含む。本発明を表示部３５５０２に用いたゴーグル型ディスプレイは、コントラストの高い画像で見ることが可能となる。
【０２６０】
図４４（Ｇ）はビデオカメラであり、本体３５６０１、表示部３５６０２、筐体３５６０３、外部接続ポート３５６０４、リモコン受信部３５６０５、受像部３５６０６、バッテリ３５６０７、音声入力部３５６０８、操作キー３５６０９、接眼部３５６１０等を含む。本発明を表示部３５６０２に用いたビデオカメラは、コントラストの高い画像で見ることが可能となる。
【０２６１】
図４４（Ｈ）は携帯電話機であり、本体３５７０１、筐体３５７０２、表示部３５７０３、音声入力部３５７０４、音声出力部３５７０５、操作キー３５７０６、外部接続ポート３５７０７、アンテナ３５７０８等を含む。本発明を表示部３５７０３に用いた携帯電話機は、コントラストの高い画像で見ることが可能となる。
【０２６２】
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態１～１３に示したいずれの構成の表示装置を用いても良い。

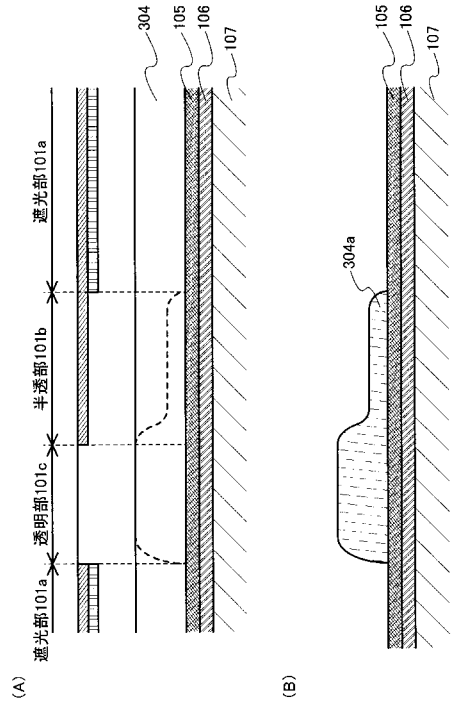
【図１】


(A)
遮光部101a
半透部101b
t1
t2
102
103
104
105
106
107
(B)
t1
104a
105
106
107
(C)
104a
105a
106a
107

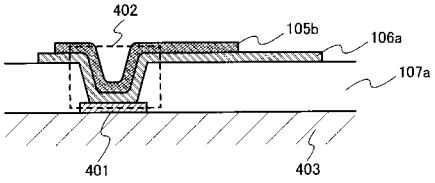
【図２】


(A)
104b
105a
106a
107
(B)
104b
105b
106a
107
(C)
b
a
105b
106a
107
反射部108a
透過部108b

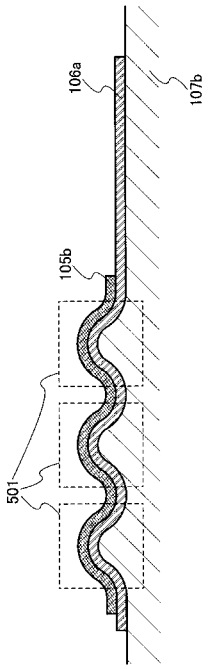
【図３】


304
105
106
107
遮光部101a
半透部101b
透明部101c
遮光部101a
(A)
105
106
107
304a
(B)

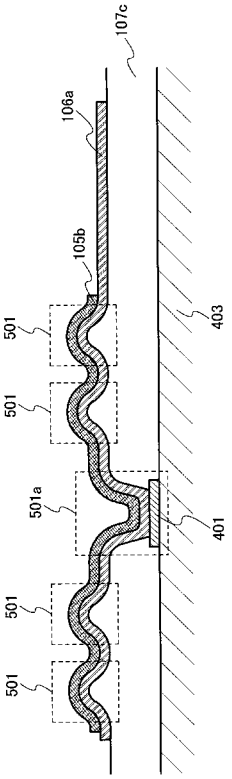
【図４】


402
105b
106a
107a
401
403

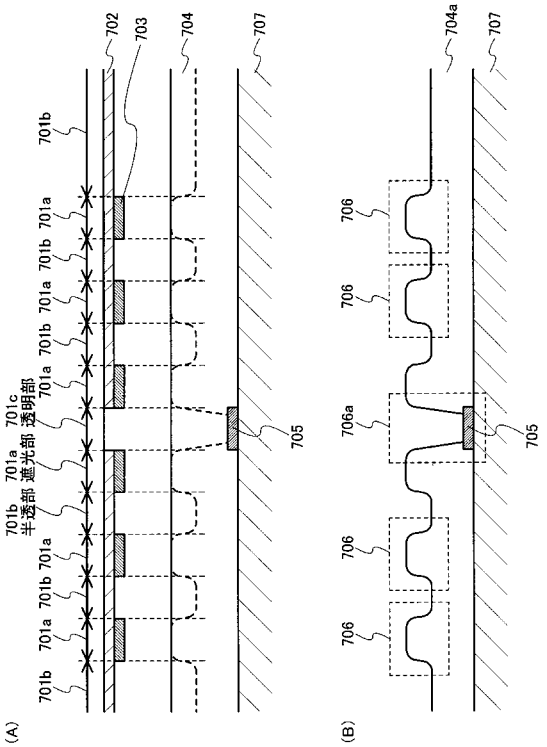
【図５】


106a
107b
105b
501

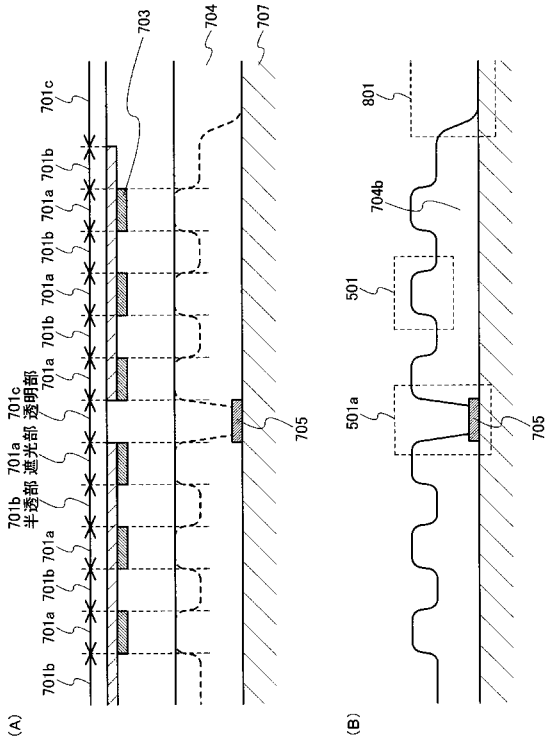
【図６】


107c
106a
105b
501
501
501a
501
501
403
401

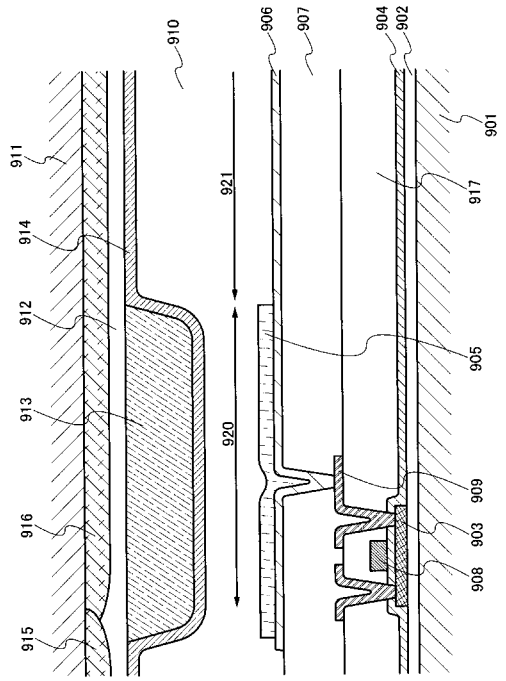
【図７】


702
703
704
707
701b
701a
701b
701a
701b
701a
701c
701a 遮光部 透明部
701b 半透部
705
(A)
704a
707
706
706
706a
706
706
705
(B)

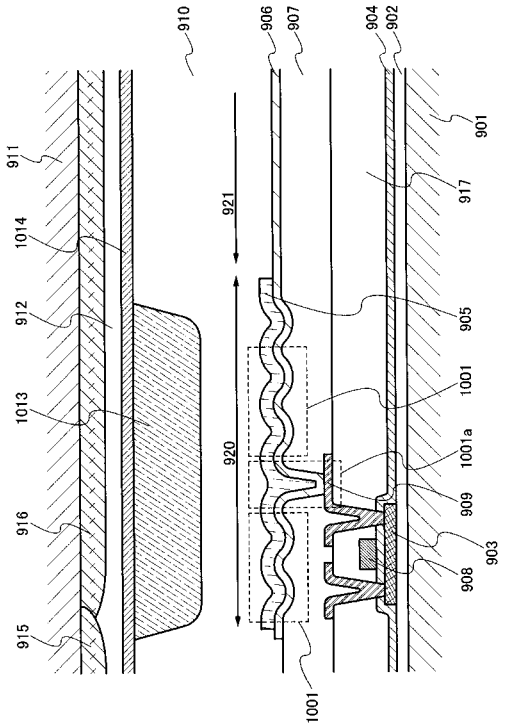
【図８】


703
704
707
701c
701b
701a
701b
701a
701b
701a
701c
701a 遮光部 透明部
701b 半透部
705
(A)
801
704b
501
501a
705
(B)

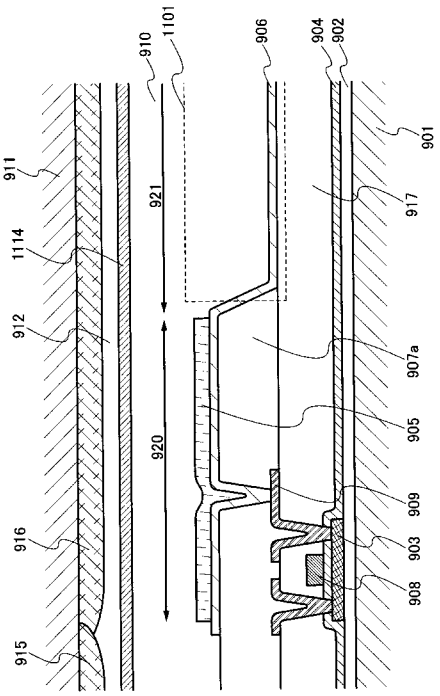
【図９】


910
906
907
904
902
911
914
912
913
916
915
921
920
905
909
903
908
917
901

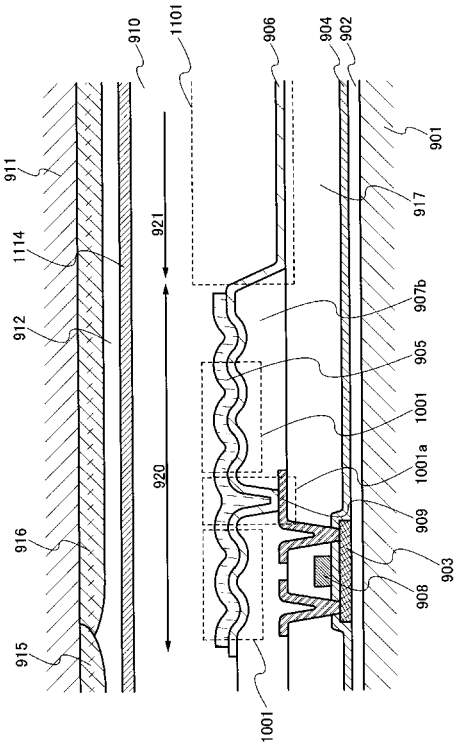
【図１０】



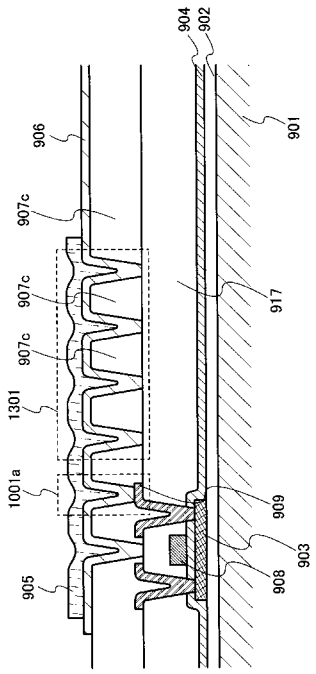
【図１１】



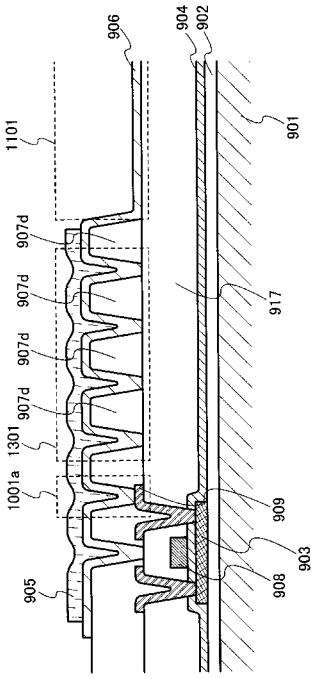
【図１２】



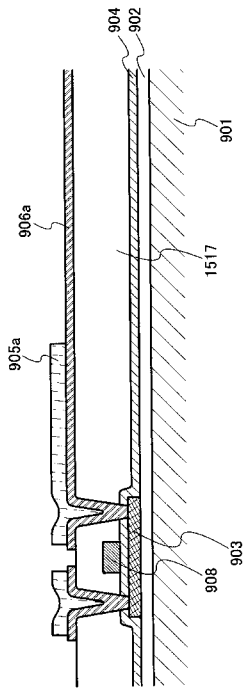
【図１３】



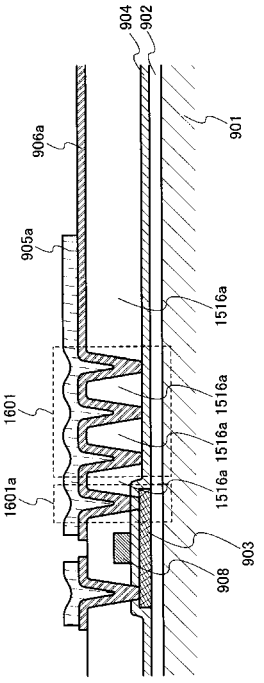
【図１４】



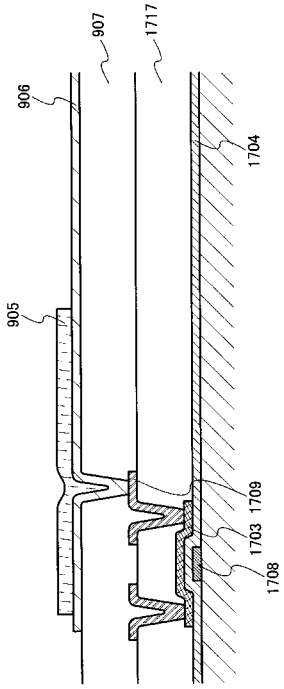
【図１５】



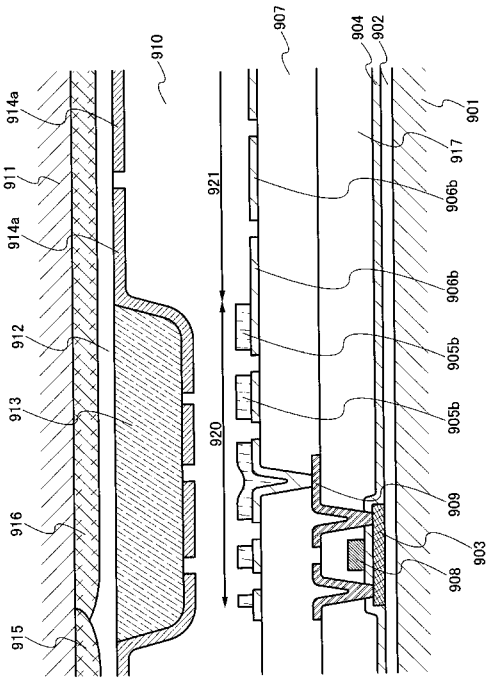
【図１６】



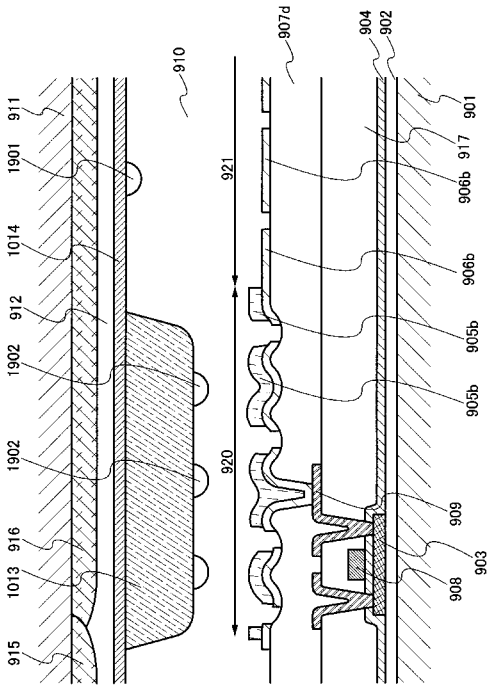
【図１７】



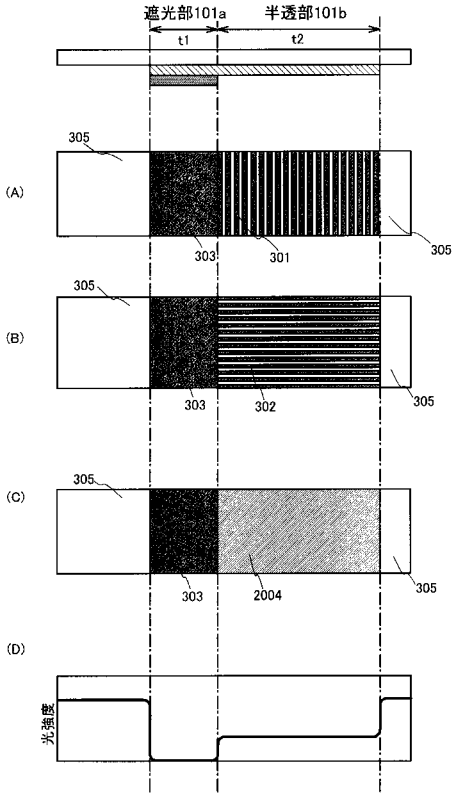
【図１８】



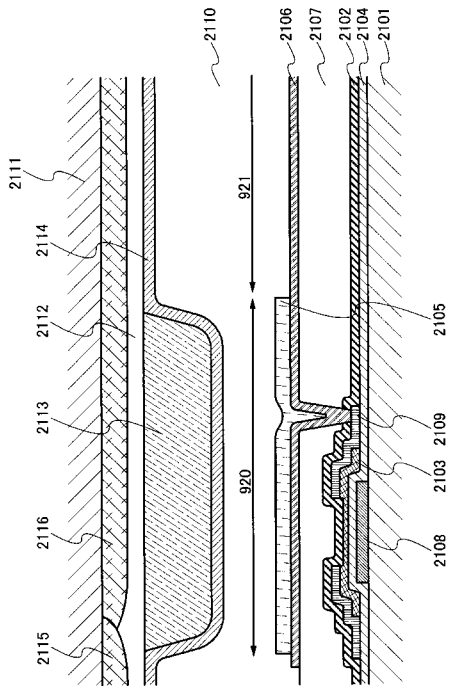
【図１９】



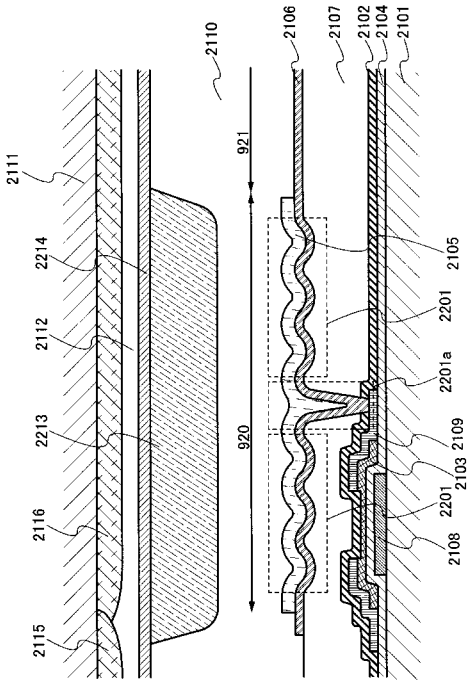
【図２０】



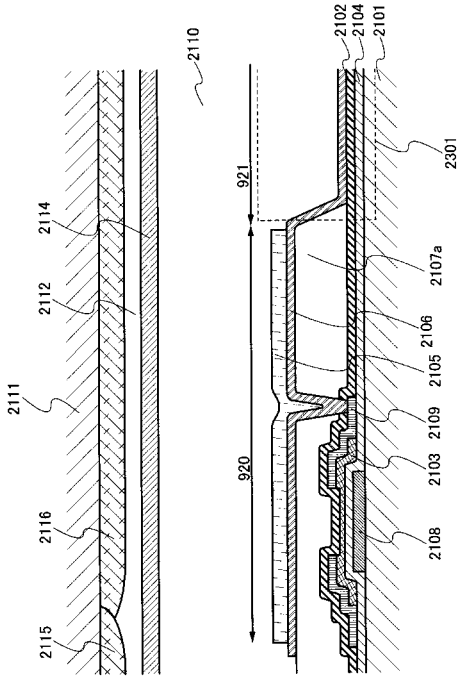
【図２１】



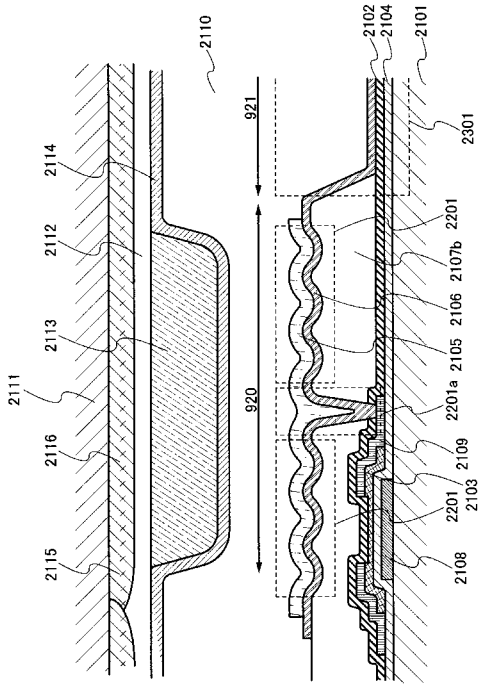
【図２２】



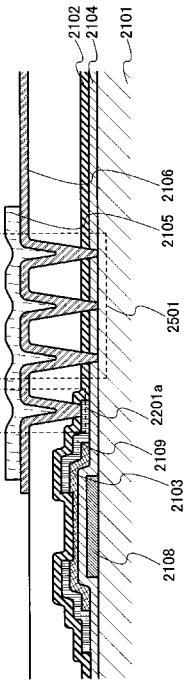
【図２３】



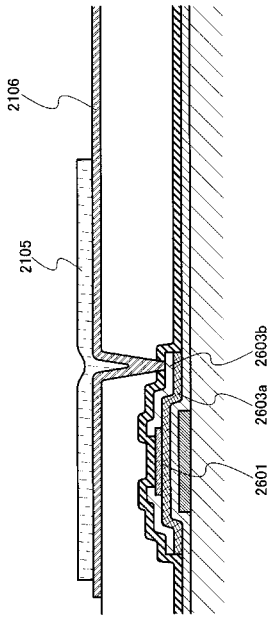
【図２４】



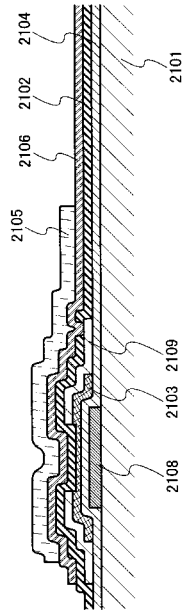
【図２５】



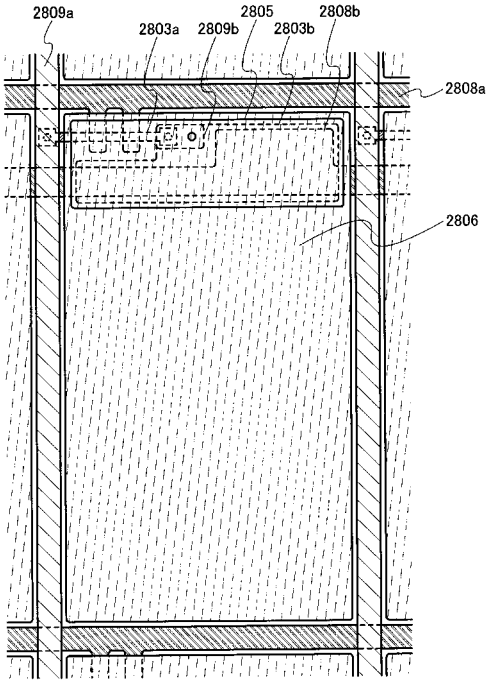
【図２６】



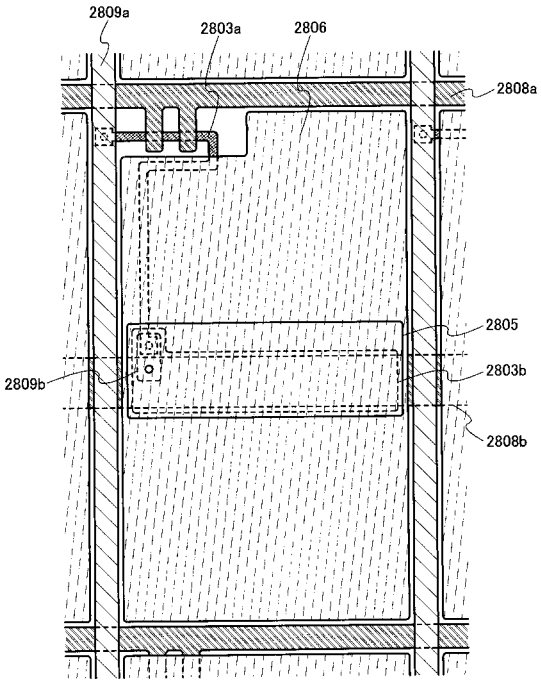
【図２７】



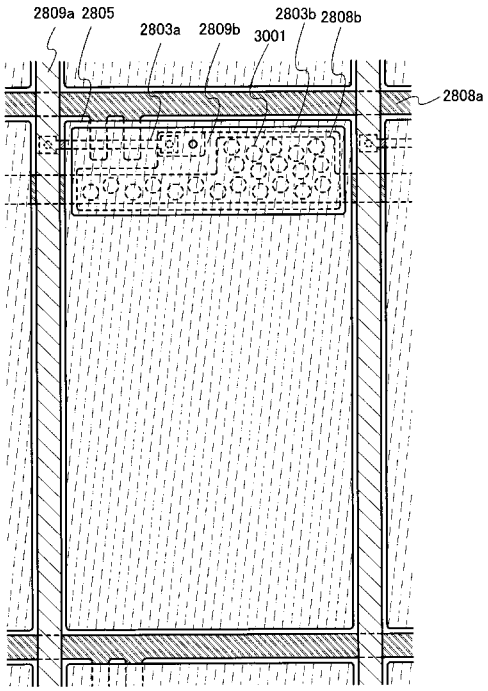
【図２８】



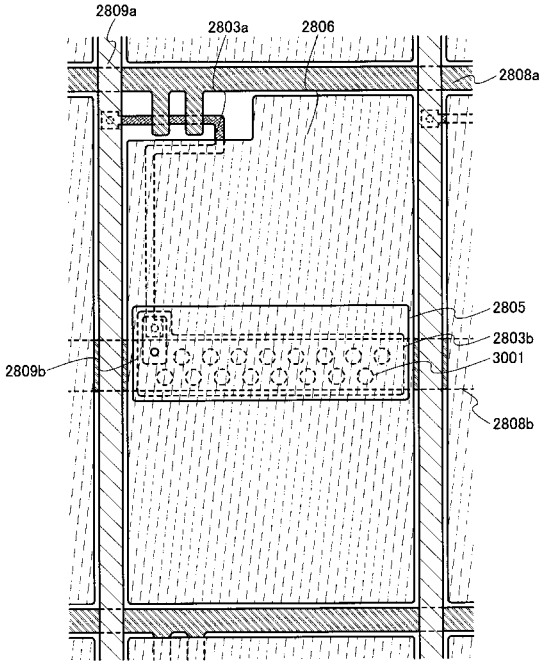
【図２９】



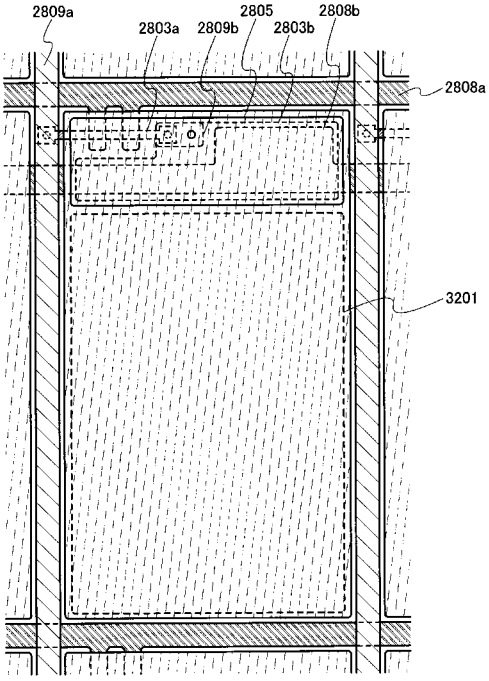
【図３０】



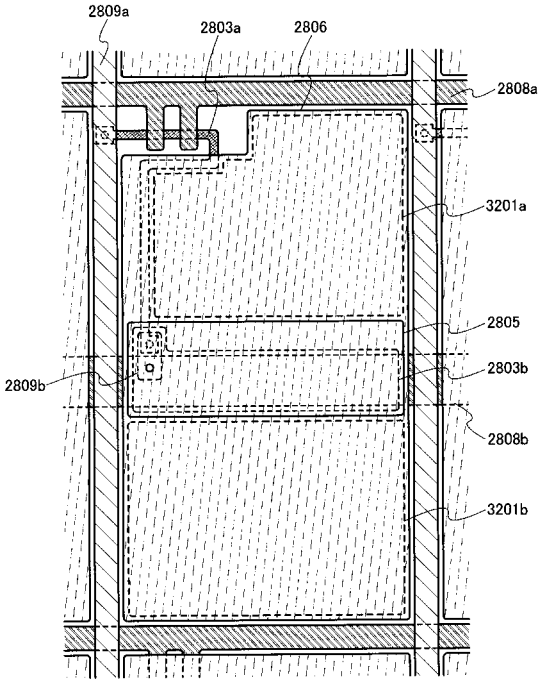
【図３１】



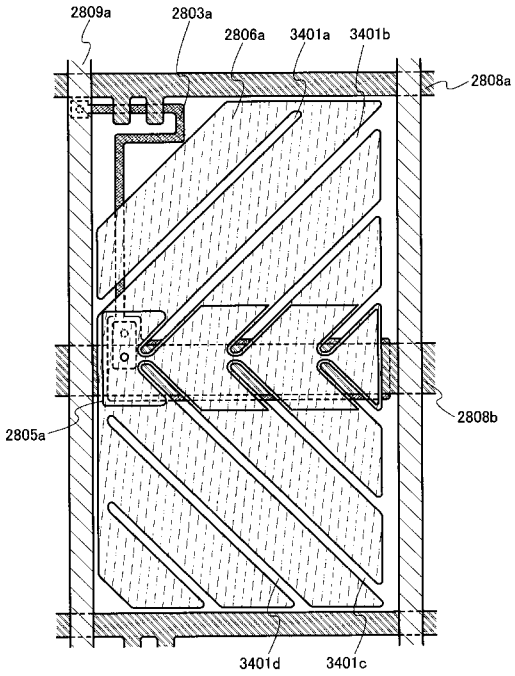
【図３２】



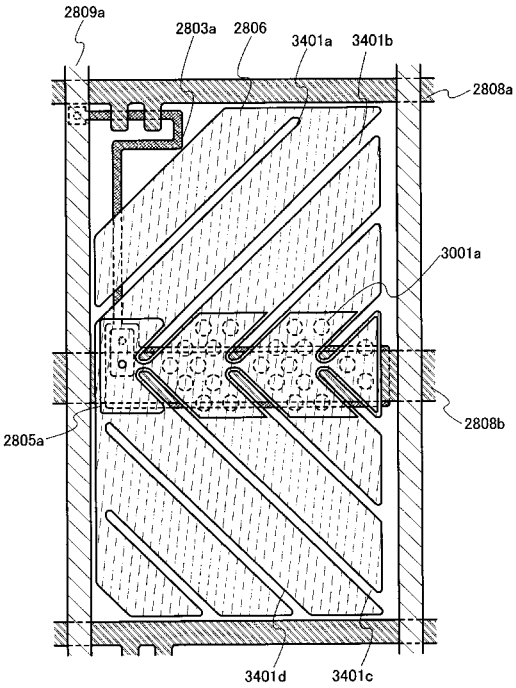
【図３３】



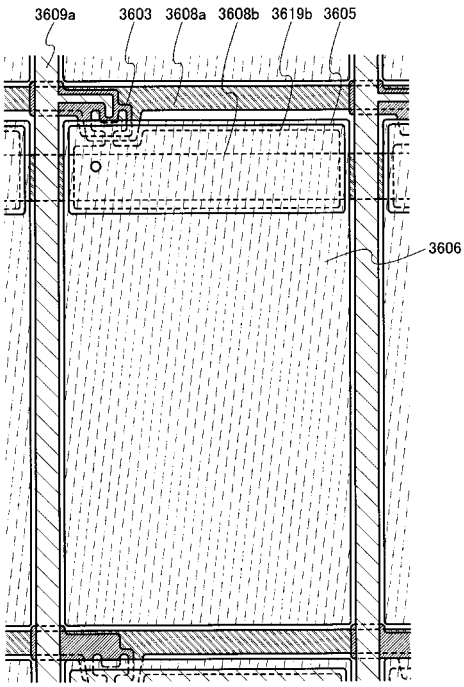
【図３４】



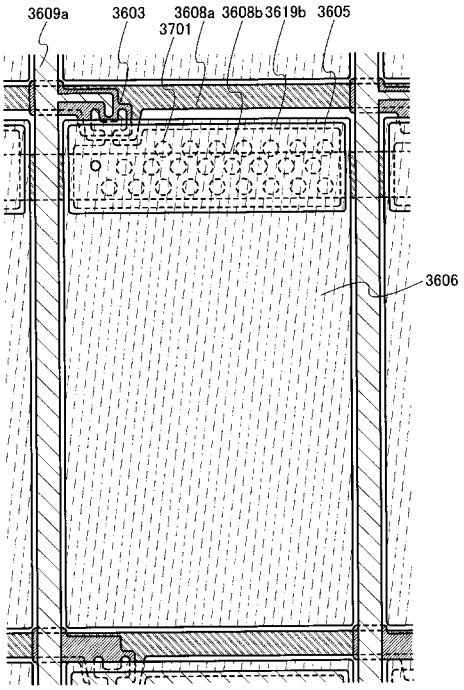
【図３５】



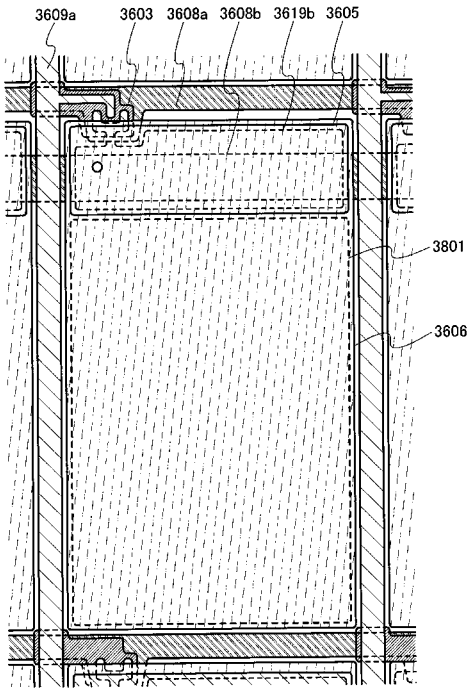
【図３６】



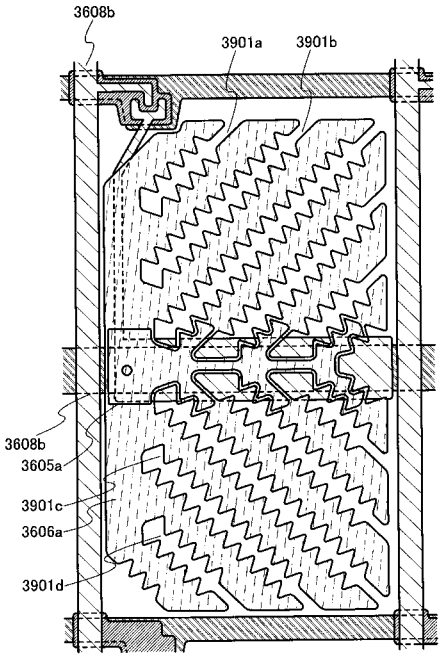
【図３７】



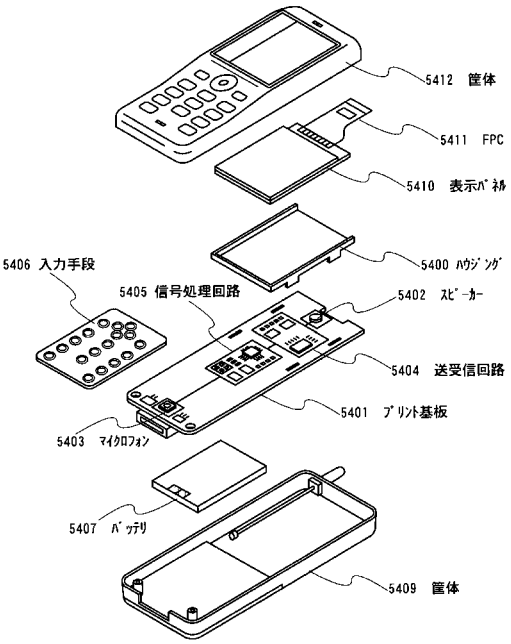
【図３８】



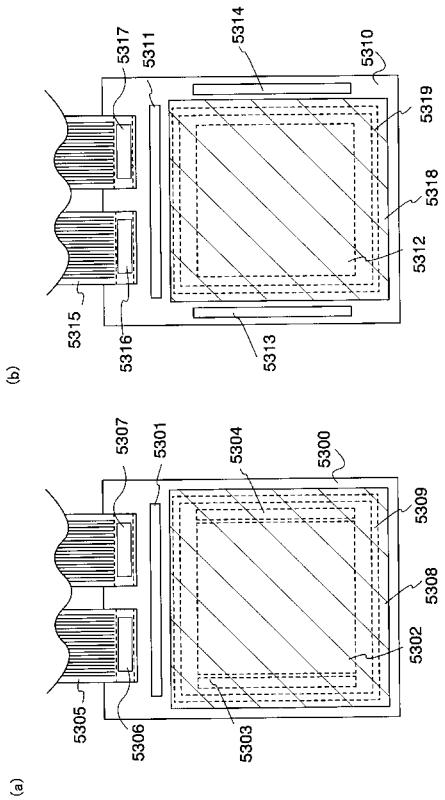
【図３９】



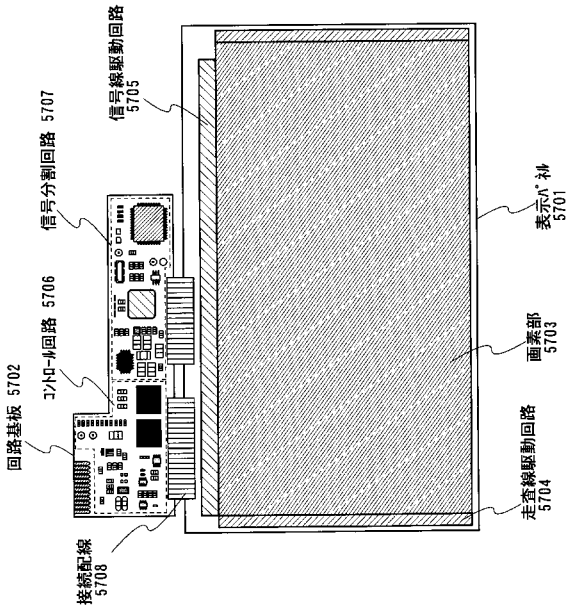
【図４０】



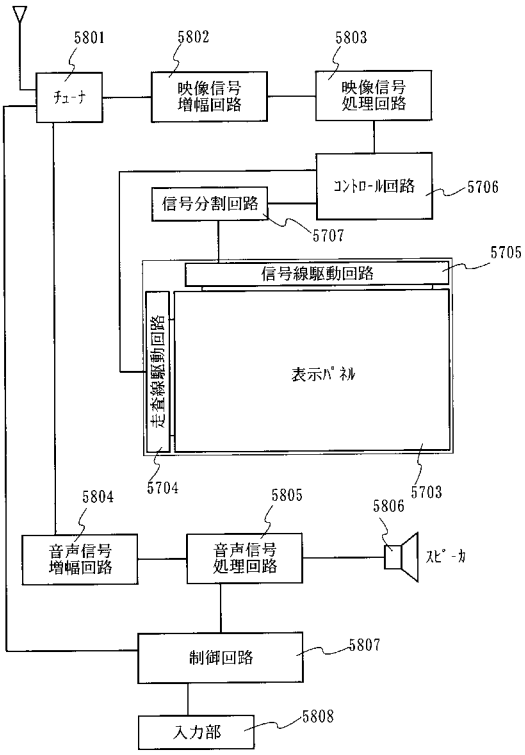
【図４１】



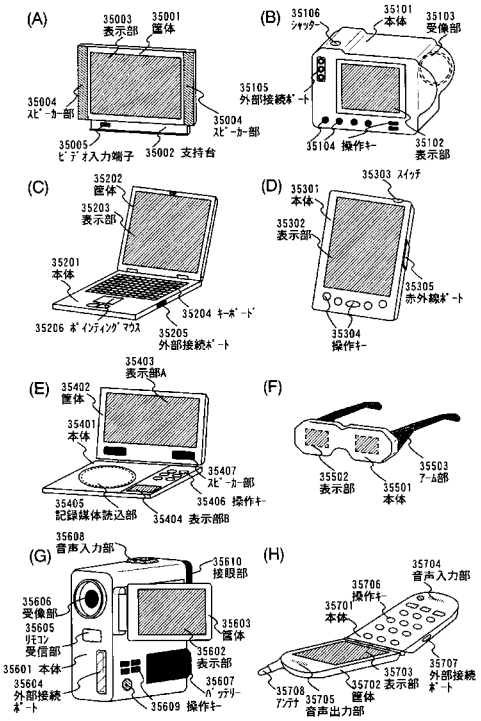
【図４２】



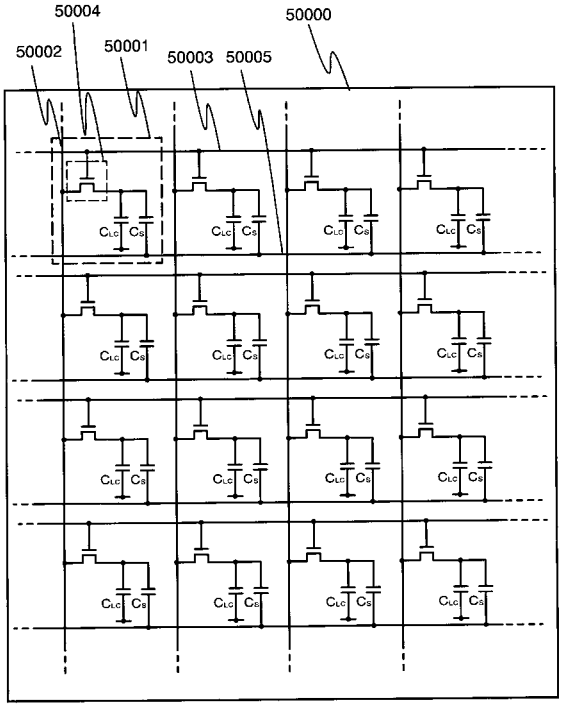
【図４３】



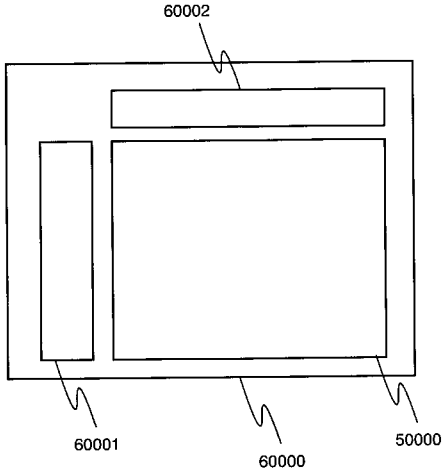
【図４４】



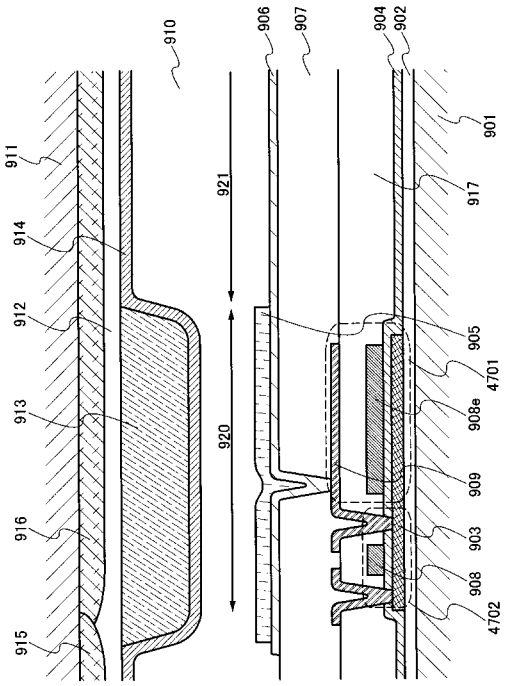
【図４５】



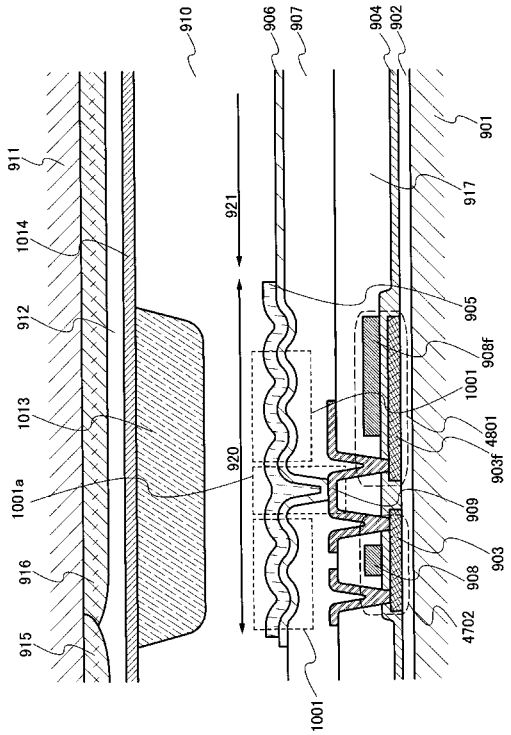
【図４６】



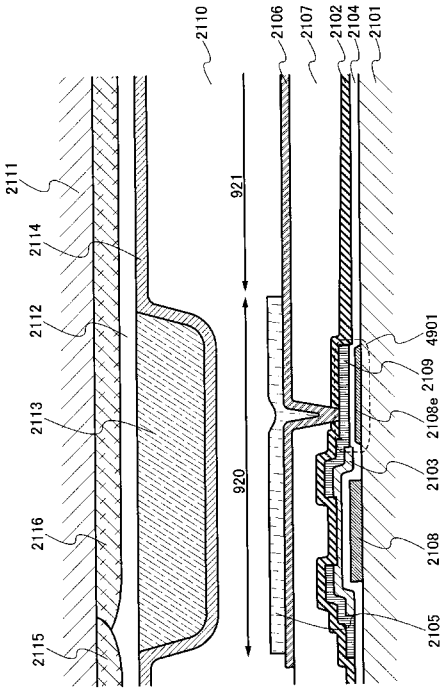
【図４７】



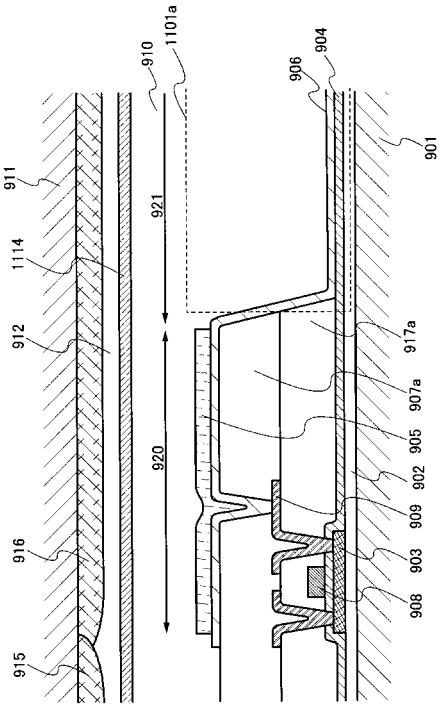
【図４８】



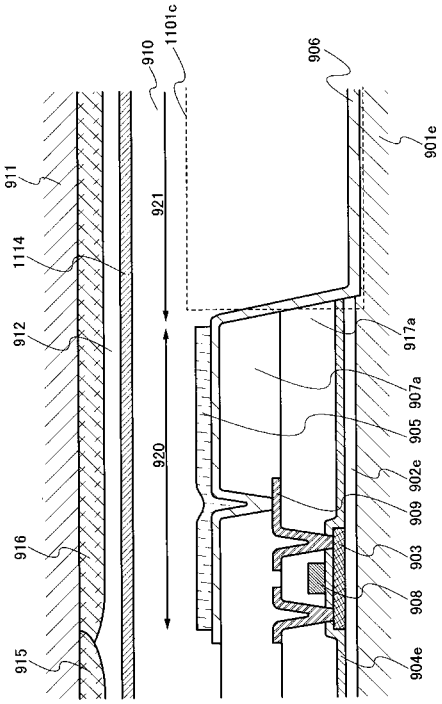
【図４９】



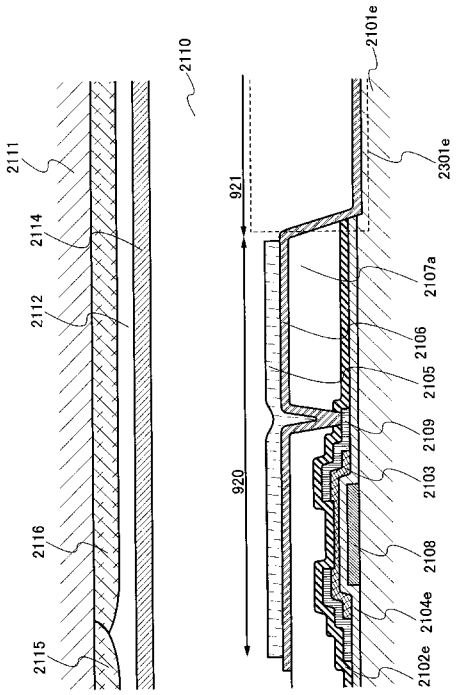
【図５０】


910
1101a
906
904
911
921
901
1114
912
917a
907a
905
920
902
909
916
903
908
915

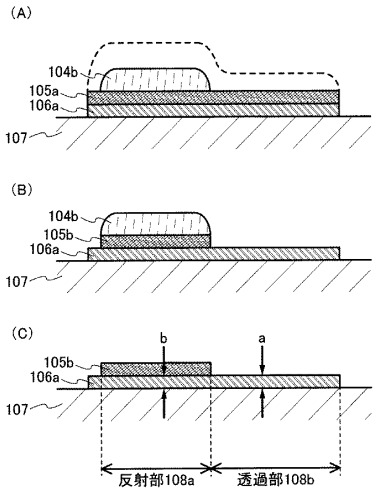
【図５１】


910
1101c
906
911
921
901e
1114
912
917a
907a
905
920
902e
909
916
903
908
915
904e

【図５２】


2110
2101e
2111
921
2301e
2114
2107a
2112
2106
2105
2109
2103
920
2116
2108
2104e
2115
2102e

专利名称(译)	表示装置		
公开(公告)号	JP2016212446A	公开(公告)日	2016-12-15
申请号	JP2016181354	申请日	2016-09-16
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1335 G02F1/1343		
CPC分类号	B82Y20/00 G02F1/1333 G02F1/133371 G02F1/133555 G02F2001/136231 G02F2202/36 G02F1/133345 G02F1/136286 G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H192/AA12 2H192/AA24 2H192/BC64 2H192/BC72 2H192/BC83 2H192/HA44		
优先权	2005378778 2005-12-28 JP		
外部链接	Espacenet		

摘要(译)

在半透射型液晶显示装置中形成反射电极和透明电极 由于使用抗蚀剂掩模，因此成本高。 层叠用作像素电极的透明电极和反射电极。反射电极上的半透性部分 配准掩模具有厚膜区域和比该区域薄的薄膜区域。 形成一个打击模式。使用抗蚀剂图案形成反射电极和透明电极。 如上所述，可以使用一个抗蚀剂掩模形成反射电极和透明电极 它变成了。 [选择图]图2