

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-145858

(P2016-145858A)

(43) 公開日 平成28年8月12日(2016.8.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G06F 12/00 (2006.01)	G06F 12/00 560A	5B060
G09G 3/20 (2006.01)	G06F 12/00 560B	5C006
G09G 5/00 (2006.01)	G06F 12/00 580	5C080
G02F 1/133 (2006.01)	G09G 3/20 642A	5C082

審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2015-21894 (P2015-21894)
 (22) 出願日 平成27年2月6日 (2015.2.6)

(71) 出願人 591128453
 株式会社メガチップス
 大阪府大阪市淀川区宮原一丁目1番1号
 (74) 代理人 100080159
 弁理士 渡辺 望穂
 (74) 代理人 100090217
 弁理士 三和 晴子
 (72) 発明者 米沢 則史
 千葉県千葉市美浜区中瀬1丁目3番地 株
 式会社メガチップス内
 Fターム(参考) 2H193 ZA04 ZF16 ZF17
 5B060 CB02
 5C006 AA22 AF02 AF03 AF04 AF11
 AF42 AF44 AF46 AF57 BF01
 FA13 FA22 FA41
 最終頁に続く

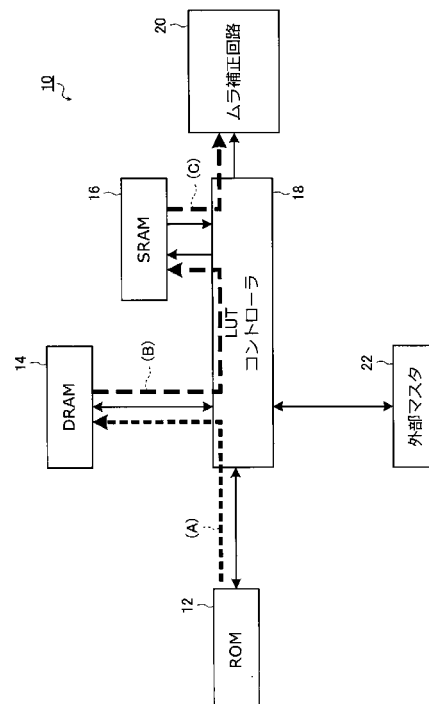
(54) 【発明の名称】 表示ムラ補正装置

(57) 【要約】

【課題】外部マスタからDRAMに格納された補正データを書き換える場合の回路規模を削減することができる表示ムラ補正装置を提供する。

【解決手段】表示ムラ補正装置は、液晶ディスプレイに表示される画像の表示ムラを補正するものであり、ムラ補正回路は、処理対象のラインの処理が行われる前に、1画面分の補正データを格納するDRAMから順次読み出され、SRAMに格納された処理対象の1ライン分の補正データを用いて、液晶ディスプレイに表示される画像の処理対象のラインの画像データを順次補正する。LU Tコントローラは、DRAMに格納された補正データの書き換えを行う場合に、外部マスタから入力される書き換えデータをSRAMに書き込み、SRAMに書き込まれた書き換えデータを読み出してDRAMに書き込むことにより、DRAMに格納された補正データを書き換えデータに書き換える制御を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶ディスプレイに表示される画像の表示ムラを補正する表示ムラ補正装置であって、
前記表示ムラを補正するための 1 画面分の補正データを格納する D R A M と、
処理対象のラインの処理が行われる前に、前記 D R A M から順次読み出される処理対象
の 1 ライン分の補正データを順次格納する S R A M と、
前記 S R A M から読み出される補正データを用いて、前記液晶ディスプレイに表示され
る画像の処理対象のラインの画像データを順次補正するムラ補正回路と、
前記 D R A M に格納された補正データの書き換えを行う場合に、外部マスタから入力さ
れる書き換えデータを前記 S R A M に書き込み、前記 S R A M に書き込まれた書き換えデ
ータを読み出して前記 D R A M に書き込むことにより、前記 D R A M に格納された補正デ
ータを、前記外部マスタから入力される書き換えデータに書き換える制御を行う制御回路
とを備えることを特徴とする表示ムラ補正装置。

10

【請求項 2】

前記制御回路は、
前記外部マスタから順次入力される、前記補正データの書き換えを行う D R A M の先頭
アドレス、任意のワード数の前記書き換えデータ、および、前記書き換えデータの終了を
表す終了データを前記 S R A M に順次書き込む制御、および、前記 S R A M に書き込まれ
た前記 D R A M の先頭アドレス、前記任意のワード数の書き換えデータ、および、前記終
了データを順次読み出す制御を行う第 1 制御回路と、
前記 S R A M から順次読み出される書き換えデータを、前記 S R A M から読み出される
前記 D R A M の先頭アドレスに対応する前記 D R A M のアドレスを先頭アドレスとして順
次書き込む制御を、前記 S R A M から前記終了データが読み出されるまで行う第 2 制御回
路とを備える請求項 1 に記載の表示ムラ補正装置。

20

【請求項 3】

前記第 1 制御回路は、
前記外部マスタから順次入力される前記 D R A M の先頭アドレス、前記任意のワード数
の書き換えデータおよび前記終了データを前記 S R A M のデータの形式に変換して S R A
M ライトデータを生成する S R A M ライトデータ生成回路と、
ライト/リード切替信号がライトモードの場合に、前記 S R A M の S R A M ライトアド
レスを生成するライトアドレスカウンタと、
前記外部マスタから順次入力される前記書き換えデータのワード数をカウントするライ
トデータカウンタと、
前記ライトデータカウンタのカウント値が、前記 D R A M のバーストアクセス時のバー
スト長に到達していない場合に、ライトモードの前記ライト/リード切替信号を出力し、
前記ライトデータカウンタのカウント値が前記バースト長に到達する毎に、および、前記
外部マスタから前記終了データが入力された場合に、リードモードの前記ライト/リード
切替信号を出力する S R A M 制御回路と、
前記ライト/リード切替信号がリードモードの場合に、前記 S R A M の S R A M リード
アドレスを生成するリードアドレスカウンタと、
前記 S R A M の S R A M アドレスとして、前記ライト/リード切替信号がライトモード
の場合に前記 S R A M ライトアドレスを出力し、前記ライト/リード切替信号がリードモ
ードの場合に前記 S R A M リードアドレスを出力するマルチプレクサとを備える請求項 2
に記載の表示ムラ補正装置。

30

40

【請求項 4】

前記第 1 制御回路は、さらに、前記外部マスタから I²C 規格のシリアルバスを經由し
て順次入力されるシリアルデータを、前記 D R A M の先頭アドレス、前記任意のワード数
の書き換えデータおよび前記終了データにデコードする I²C インターフェイス回路を備
え、
前記 S R A M ライトデータ生成回路は、前記 I²C インターフェイス回路から入力され

50

る前記 D R A M の先頭アドレス、前記任意のワード数の書き換えデータおよび前記終了データを前記 S R A M のデータの形式に変換して前記 S R A M ライトデータを生成するものであり、

前記ライトデータカウンタは、前記 I ² C インターフェイス回路から順次入力される前記書き換えデータのワード数をカウントするものである請求項 3 に記載の表示ムラ補正装置。

【請求項 5】

前記ライトデータカウンタは、前記 D R A M の D R A M アドレスへのバースト長分の前記書き換えデータの書き込みが終了する毎に、前記ライトデータカウンタのカウント値をリセットするものである請求項 3 または 4 に記載の表示ムラ補正装置。

10

【請求項 6】

前記第 2 制御回路は、

前記 S R A M から読み出される S R A M リードデータを、前記 D R A M の先頭アドレス、前記書き換えデータおよび前記終了データに分離するデータ分離回路と、

前記データ分離回路により分離された D R A M の先頭アドレスを、前記 D R A M のアドレスの形式に変換して D R A M アドレスを生成するアドレス生成回路と、

前記データ分離回路により分離されたバースト長分の書き換えデータおよび終了データを、前記 D R A M のデータの形式に変換するバッファ回路と、

前記バッファ回路から終了データが入力されない場合に、前記バッファ回路から入力されるバースト長分の書き換えデータを D R A M ライトデータとして出力し、前記バッファ回路から終了データが入力される場合に、前記バッファ回路から入力されるバースト長よりも少ないワード数分の書き換えデータと、前記バースト長よりも少ないワード数分の書き換えデータが書き込まれる前記 D R A M の D R A M アドレスから読み出されたバースト長分の D R A M リードデータのうち、前記バッファ回路から入力される書き換えデータの不足分に相当するワード数分の D R A M リードデータとを合成して前記バースト長分の D R A M ライトデータを生成する D R A M ライトデータ生成回路と、

20

前記 D R A M の D R A M アドレスからの前記 D R A M リードデータの読み出し、および、前記 D R A M の D R A M アドレスへの前記 D R A M ライトデータの書き込みを制御する D R A M インターフェイス回路とを備える請求項 3 ~ 5 のいずれか 1 項に記載の表示ムラ補正装置。

30

【請求項 7】

前記アドレス生成回路は、前記バーストアクセス時に、前記 D R A M アドレスを保持しておき、前記 D R A M の D R A M アドレスへのバースト長分の前記書き換えデータの書き込みが終了する毎に、前記保持された D R A M アドレスに、前記バースト長分の値を加算したものを新たな D R A M アドレスとして順次保持するものである請求項 6 に記載の表示ムラ補正装置。

【請求項 8】

前記 S R A M に書き込まれる S R A M ライトデータの書き換えデータおよび終了データのいずれかのビットに、前記書き換えデータと前記終了データを区別するためのフラグが設定され、

40

前記データ分離回路は、前記フラグを使用して、前記書き換えデータと前記終了データを区別するものである請求項 6 または 7 に記載の表示ムラ補正装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに表示される画像の表示ムラを補正する表示ムラ補正装置に関するものである。

【背景技術】

【0002】

液晶ディスプレイの液晶層の厚さが不均一なことや、液晶素子の動作特性のばらつきな

50

どにより、液晶ディスプレイに表示される画像には表示ムラが発生する。この表示ムラを低減するために、特許文献 1 では、画面を適当なサイズの複数の領域に分割し、画面分割領域ごとに表示ムラを補正するための補正データを複数の LUT（ルックアップテーブル）に分けて格納しておき、それぞれの LUT に格納された補正データを用いて、画面分割領域ごとに表示ムラを補正する技術が提案されている。

【0003】

しかしながら、画面分割領域ごとに LUT を用意する特許文献 1 の技術では、補正データを格納するために必要なメモリ容量が大きいことから、必要なメモリ容量を減らし、効率的に表示ムラを低減する技術が特許文献 2 により提案されている。

【0004】

特許文献 2 では、図 8 に示すように、特定の輝度レベルに対応する補正データが画像表示領域内の基準座標ごとに記憶されたテーブルを、複数の輝度レベル（図 8 の場合には 3 つの輝度レベル）について用意する。そして、入力画像データの輝度レベルに対応するテーブル間で基準座標毎に補正データを補間して補正テーブルを作り、補正テーブルの中から、入力画像データの位置の近傍にある補正データを用いて、入力画像データに対応する補正データを算出する。この補正データを入力画像データに加算することにより、表示ムラを低減させる。

【0005】

また、液晶ディスプレイに表示される画像の表示ムラは、各々の液晶ディスプレイ毎に異なるため、製品として液晶ディスプレイを出荷する前に、各々の液晶ディスプレイについて補正データの調整が行われる。

【0006】

補正データの調整を行う場合、例えば、均一な階調の画像データからなる 1 画面分のグレーの画像が液晶ディスプレイに表示され、この液晶ディスプレイに表示されたグレーの画像がカメラで撮影され、カメラで撮影された撮影画像の輝度値に基づいて、輝度ムラを低減するための補正データが生成される。こうして生成された補正データを用いて、液晶ディスプレイに画像を表示させて確認することを何回か繰り返すことにより、各々の液晶ディスプレイに最適な補正データが決定される。

【0007】

また、近年では、液晶ディスプレイの高解像度化や、表示ムラの補正の精度を上げるために、テーブル数の増加、基準座標数の増加、さらに、輝度ムラだけではなく色ムラを補正するために、RGB（赤緑青）独立に輝度ムラを補正するためのテーブルを用意することがある。この場合、補正データを格納する LUT のメモリ容量が増加するため、DRAM（ダイナミックランダムアクセスメモリ）を使用して LUT を構成する必要性が出てきている。

【0008】

図 9 は、従来の表示ムラ補正装置の構成を表す一例のブロック図である。同図に示す表示ムラ補正装置 60 は、液晶ディスプレイに表示される画像の表示ムラを補正するための補正データを DRAM に格納するものであり、ROM（リードオンリーメモリ）12 と、DRAM 14 と、SRAM（スタティックランダムアクセスメモリ）16 と、LUT コントローラ 68 と、ムラ補正回路 20 とを備えている。

【0009】

表示ムラ補正装置 60 を搭載する液晶ディスプレイでは、電源投入後に、LUT コントローラ 68 の制御により、点線（A）で示すように、ROM 12 から 1 画面分の補正データが順次読み出され、DRAM 14 へ順次格納される。

【0010】

続いて、液晶ディスプレイに画像を表示する場合、処理対象のラインの処理が行われる前に、LUT コントローラ 68 の制御により、点線（B）で示すように、DRAM 14 から処理対象の 1 ライン分の補正データが順次読み出され、SRAM 16 へ順次書き込まれる。

10

20

30

40

50

続いて、LUTコントローラ68の制御により、点線(C)で示すように、SRAM16から処理対象の1ライン分の補正データが順次読み出され、ムラ補正回路20により、SRAM16から読み出された補正データを用いて、液晶ディスプレイに表示される画像の処理対象のラインの画像データが順次補正される。

補正後の画像データは液晶ディスプレイに入力され、液晶ディスプレイには、表示ムラが低減された画像が表示される。

【0011】

一方、補正データを調整するために、DRAM14に格納された補正データの書き換えを行う場合、PC(パーソナル・コンピュータ)等の外部マスタ22から、例えば、I²C(Inter-Integrated Circuit)規格のシリアルバスを経由して、DRAM14に格納された補正データを書き換えるための書き換えデータが入力される。そして、LUTコントローラ68の制御により、DRAM14に格納された補正データが、外部マスタ22から入力された書き換えデータに書き換えられる。

10

そして、書き換えられた補正データを用いて、液晶ディスプレイに画像を表示させて確認することを何回か繰り返すことにより、最適な補正データが決定される。

補正データの調整が終了した後、LUTコントローラ68の制御により、DRAM14から調整後の補正データが順次読み出され、新たなROMに順次書き込まれる。この新たなROMを備える表示ムラ補正装置60が搭載された液晶ディスプレイが製品として出荷される。

【0012】

20

従来の表示ムラ補正装置60では、DRAM14に格納された補正データを書き換える場合、I²C規格のシリアルバスによるデータの転送速度と、DRAM14によるデータの転送速度が異なるため、データの送受信を行うためのパッファが必要になる。

【0013】

また、DRAM14に対して、ランダムアクセスや、任意のバースト長のバーストアクセスをする場合、例えば、I²C規格のシリアルバスの1ワードとDRAM14の1ワードのビット幅が異なるため、DRAM14内の補正データのうち、書き換える必要の無い部分を上書きしないようにする必要がある。

【0014】

さらに、I²C規格のシリアルバスを経由して入力される書き換えデータをDRAM14へ直接書き換える場合、長時間を要し、テストコストが増大するという問題がある。

30

例えば、液晶ディスプレイの解像度が、4K(4000画素)×2K(2000画素)であり、基準座標が4画素×4画素毎に配置され、テーブル数が3、RGBで個別の補正データを使用する場合、DRAM14に格納された全ての補正データを書き換えるために分単位の時間を要する。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開平3-18822号公報

【特許文献2】特許第3661584号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0016】

本発明の第1の目的は、上記従来技術の問題点を解消し、外部マスタからDRAMに格納された補正データを書き換える場合の回路規模を削減することができる表示ムラ補正装置を提供することにある。

また、本発明の第2の目的は、上記第1の目的に加え、DRAMに格納された補正データを書き換える場合に、ランダムアクセスや、任意のバースト長のバーストアクセスを可能とすることができる表示ムラ補正装置を提供することにある。

さらに、本発明の第3の目的は、上記第1および第2の目的に加え、DRAMに格納さ

50

れた補正データを短時間で書き換えることができる表示ムラ補正装置を提供することにある。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明は、液晶ディスプレイに表示される画像の表示ムラを補正する表示ムラ補正装置であって、

前記表示ムラを補正するための1画面分の補正データを格納するDRAMと、

処理対象のラインの処理が行われる前に、前記DRAMから順次読み出される処理対象の1ライン分の補正データを順次格納するSRAMと、

前記SRAMから読み出される補正データを用いて、前記液晶ディスプレイに表示される画像の処理対象のラインの画像データを順次補正するムラ補正回路と、

前記DRAMに格納された補正データの書き換えを行う場合に、外部マスタから入力される書き換えデータを前記SRAMに書き込み、前記SRAMに書き込まれた書き換えデータを読み出して前記DRAMに書き込むことにより、前記DRAMに格納された補正データを、前記外部マスタから入力される書き換えデータに書き換える制御を行う制御回路とを備えることを特徴とする表示ムラ補正装置を提供するものである。

【0018】

ここで、前記制御回路は、

前記外部マスタから順次入力される、前記補正データの書き換えを行うDRAMの先頭アドレス、任意のワード数の前記書き換えデータ、および、前記書き換えデータの終了を表す終了データを前記SRAMに順次書き込む制御、および、前記SRAMに書き込まれた前記DRAMの先頭アドレス、前記任意のワード数の書き換えデータ、および、前記終了データを順次読み出す制御を行う第1制御回路と、

前記SRAMから順次読み出される書き換えデータを、前記SRAMから読み出される前記DRAMの先頭アドレスに対応する前記DRAMのアドレスを先頭アドレスとして順次書き込む制御を、前記SRAMから前記終了データが読み出されるまで行う第2制御回路とを備えることが好ましい。

【0019】

また、前記第1制御回路は、

前記外部マスタから順次入力される前記DRAMの先頭アドレス、前記任意のワード数の書き換えデータおよび前記終了データを前記SRAMのデータの形式に変換してSRAMライトデータを生成するSRAMライトデータ生成回路と、

ライト/リード切替信号がライトモードの場合に、前記SRAMのSRAMライトアドレスを生成するライトアドレスカウンタと、

前記外部マスタから順次入力される前記書き換えデータのワード数をカウントするライトデータカウンタと、

前記ライトデータカウンタのカウント値が、前記DRAMのバーストアクセス時のバースト長に到達していない場合に、ライトモードの前記ライト/リード切替信号を出力し、前記ライトデータカウンタのカウント値が前記バースト長に到達する毎に、および、前記外部マスタから前記終了データが入力された場合に、リードモードの前記ライト/リード切替信号を出力するSRAM制御回路と、

前記ライト/リード切替信号がリードモードの場合に、前記SRAMのSRAMリードアドレスを生成するリードアドレスカウンタと、

前記SRAMのSRAMアドレスとして、前記ライト/リード切替信号がライトモードの場合に前記SRAMライトアドレスを出力し、前記ライト/リード切替信号がリードモードの場合に前記SRAMリードアドレスを出力するマルチプレクサとを備えることが好ましい。

【0020】

前記第1制御回路は、さらに、前記外部マスタからI²C規格のシリアルバスを経由して順次入力されるシリアルデータを、前記DRAMの先頭アドレス、前記任意のワード数

10

20

30

40

50

の書き換えデータおよび前記終了データにデコードする I²C インターフェイス回路を備え、

前記 S R A M ライトデータ生成回路は、前記 I²C インターフェイス回路から入力される前記 D R A M の先頭アドレス、前記任意のワード数の書き換えデータおよび前記終了データを前記 S R A M のデータの形式に変換して前記 S R A M ライトデータを生成するものであり、

前記ライトデータカウンタは、前記 I²C インターフェイス回路から順次入力される前記書き換えデータのワード数をカウントするものであることが好ましい。

【0021】

また、前記ライトデータカウンタは、前記 D R A M の D R A M アドレスへのバースト長分の前記書き換えデータの書き込みが終了する毎に、前記ライトデータカウンタのカウント値をリセットするものであることが好ましい。

【0022】

また、前記第2制御回路は、

前記 S R A M から読み出される S R A M リードデータを、前記 D R A M の先頭アドレス、前記書き換えデータおよび前記終了データに分離するデータ分離回路と、

前記データ分離回路により分離された D R A M の先頭アドレスを、前記 D R A M のアドレスの形式に変換して D R A M アドレスを生成するアドレス生成回路と、

前記データ分離回路により分離されたバースト長分の書き換えデータおよび終了データを、前記 D R A M のデータの形式に変換するバッファ回路と、

前記バッファ回路から終了データが入力されない場合に、前記バッファ回路から入力されるバースト長分の書き換えデータを D R A M ライトデータとして出力し、前記バッファ回路から終了データが入力される場合に、前記バッファ回路から入力されるバースト長よりも少ないワード数分の書き換えデータと、前記バースト長よりも少ないワード数分の書き換えデータが書き込まれる前記 D R A M の D R A M アドレスから読み出されたバースト長分の D R A M リードデータのうち、前記バッファ回路から入力される書き換えデータの不足分に相当するワード数分の D R A M リードデータとを合成して前記バースト長分の D R A M ライトデータを生成する D R A M ライトデータ生成回路と、

前記 D R A M の D R A M アドレスからの前記 D R A M リードデータの読み出し、および、前記 D R A M の D R A M アドレスへの前記 D R A M ライトデータの書き込みを制御する D R A M インターフェイス回路とを備えることが好ましい。

【0023】

また、前記アドレス生成回路は、前記バーストアクセス時に、前記 D R A M アドレスを保持しておき、前記 D R A M の D R A M アドレスへのバースト長分の前記書き換えデータの書き込みが終了する毎に、前記保持された D R A M アドレスに、前記バースト長分の値を加算したものを新たな D R A M アドレスとして順次保持するものであることが好ましい。

【0024】

また、前記 S R A M に書き込まれる S R A M ライトデータの書き換えデータおよび終了データのいずれかのビットに、前記書き換えデータと前記終了データを区別するためのフラグが設定され、

前記データ分離回路は、前記フラグを使用して、前記書き換えデータと前記終了データを区別するものであることが好ましい。

【発明の効果】

【0025】

本発明では、D R A M に格納された補正データの書き換えを行う場合、S R A M をデータの送受信を行うためのバッファとして使用し、外部ホストから転送されたデータを S R A M に一時的に書き込む。これにより、本発明によれば、補正データの書き換えを行う場合に必要となるバッファ分の回路規模を削減することができる。

【0026】

10

20

30

40

50

また、本発明では、書き換えデータのワード数がバースト長よりも少ない場合に、このバースト長よりも少ないワード数分の書き換えデータと、この書き換えデータが書き込まれるＤＲＡＭのＤＲＡＭアドレスから読み出されたバースト長分のＤＲＡＭリードデータのうち、書き換えデータの不足分に相当するワード数分のＤＲＡＭリードデータとを合成してバースト長分のＤＲＡＭライトデータを生成する。これにより、本発明によれば、意図しないＤＲＡＭ中の補正データの上書きを防ぎ、外部マスタから、ＤＲＡＭに格納された補正データを、任意のデータ長の書き換えデータで書き換えることができる。

【００２７】

また、本発明では、外部マスタから入力される書き換えデータを、ＤＲＡＭよりも高速なＳＲＡＭへ一時的に書き込んだ後、ＳＲＡＭから読み出した書き換えデータをＤＲＡＭへ書き込むように制御する。これにより、本発明によれば、従来よりも、ＤＲＡＭに格納された補正データの書き換えに要する時間を大幅に短縮することができるため、液晶ディスプレイのテストコストを大幅に削減することができる。

【図面の簡単な説明】

【００２８】

【図１】本発明の表示ムラ補正装置の構成を表す一実施形態のブロック図である。

【図２】図１に示すＬＵＴコントローラの第１制御回路の構成を表す一例のブロック図である。

【図３】図１に示すＬＵＴコントローラの第２制御回路の構成を表す一例のブロック図である。

【図４】ＳＲＡＭに格納されるＳＲＡＭライトデータの形式を表す一例の概念図である。

【図５】ＤＲＡＭに格納された補正データの書き換えを行う場合の表示ムラ補正装置の動作を表す一例のタイミングチャートである。

【図６】図５に続く表示ムラ補正装置の動作を表すタイミングチャートである。

【図７】書き換えデータのワード数がバースト長よりも少ない場合の表示ムラ補正装置の動作を表す一例のタイミングチャートである。

【図８】従来の表示ムラ補正装置で用いられている補正テーブルの構成を表す一例の概念図である。

【図９】従来の表示ムラ補正装置の構成を表す一例のブロック図である。

【発明を実施するための形態】

【００２９】

以下に、添付の図面に示す好適実施形態に基づいて、本発明の表示ムラ補正装置を詳細に説明する。

【００３０】

図１は、本発明の表示ムラ補正装置の構成を表す一実施形態のブロック図である。同図に示す表示ムラ補正装置１０は、液晶ディスプレイに表示される画像の表示ムラを補正するための補正データをＤＲＡＭに格納するものであり、ＲＯＭ１２と、ＤＲＡＭ１４と、ＳＲＡＭ１６と、ＬＵＴコントローラ（本発明の制御回路）１８と、ムラ補正回路２０とを備えている。

【００３１】

ＲＯＭ１２は、表示ムラを補正するための１画面分の補正データを格納するものである。

本実施形態では、ＬＵＴとして、特許文献２の場合と同じように、特定の輝度レベルに対応する補正データが画像表示領域内の基準座標ごとに記憶されたテーブルが、複数の輝度レベルについて用意され、ＲＯＭ１２内に格納されている。

なお、どのような形式のＬＵＴを使用してもよい。また、ＲＯＭ１２は、各種の不揮発性メモリに置き換えることができる。

【００３２】

ＤＲＡＭ１４は、表示ムラ補正装置１０の電源投入後に、ＬＵＴコントローラ１８の制御により、ＲＯＭ１２から読み出される１画面分の補正データを格納するものである。

【 0 0 3 3 】

S R A M 1 6 は、処理対象のラインの処理が行われる前に、L U T コントローラ 1 8 の制御により、D R A M 1 4 から順次読み出される処理対象の 1 ライン分の補正データを順次格納するものである。

【 0 0 3 4 】

ムラ補正回路 2 0 は、L U T コントローラ 1 8 の制御により、S R A M 1 6 から読み出される補正データを用いて、液晶ディスプレイに表示される画像の処理対象のラインの画像データを順次補正するものである。

【 0 0 3 5 】

L U T コントローラ 1 8 は、L U T として R O M 1 2、D R A M 1 4 および S R A M 1 6 に格納された補正データの読み出しおよび書き込みを制御するものであり、R O M 1 2 から 1 画面分の補正データを読み出して D R A M 1 4 へ書き込む制御、D R A M 1 4 から処理対象の 1 ライン分の補正データを順次読み出して S R A M 1 6 へ順次書き込む制御を行う。

10

【 0 0 3 6 】

また、L U T コントローラ 1 8 は、D R A M 1 4 に格納された補正データの書き換えを行う場合、外部マスタ 2 2 から入力される書き換えデータを S R A M 1 6 に一時的に書き込み、S R A M 1 6 に書き込まれた書き換えデータを読み出して D R A M 1 4 に書き込むことにより、D R A M 1 4 に格納された補正データを、外部マスタ 2 2 から入力される書き換えデータに書き換える制御を行う。

20

【 0 0 3 7 】

表示ムラ補正装置 1 0 を搭載する液晶ディスプレイでは、電源投入後に、L U T コントローラ 1 8 の制御により、点線 (A) で示すように、R O M 1 2 から 1 画面分の補正データが順次読み出され、D R A M 1 4 へ順次書き込まれる。

このように、動作速度の遅い R O M 1 2 から R O M 1 2 よりも動作速度の速い D R A M 1 4 へ補正データを転送し、液晶ディスプレイに画像を表示させる場合に、D R A M 1 4 から補正データを読み出すことにより、処理速度を向上させることができる。

【 0 0 3 8 】

続いて、液晶ディスプレイに画像を表示する場合、処理対象のラインの処理が行われる前に、L U T コントローラ 1 8 の制御により、点線 (B) で示すように、D R A M 1 4 から処理対象の 1 ライン分の補正データが順次読み出され、S R A M 1 6 へ順次書き込まれる。

30

このように、D R A M 1 4 から S R A M 1 6 へ補正データを転送することにより、同様に、動作速度を向上させることができる。

続いて、L U T コントローラ 1 8 の制御により、点線 (C) で示すように、S R A M 1 6 から処理対象の 1 ライン分の補正データが順次読み出され、ムラ補正回路 2 0 により、S R A M 1 6 から読み出された補正データを用いて、液晶ディスプレイに表示される画像の処理対象のラインの画像データが順次補正される。

補正後の画像データは液晶ディスプレイに入力され、液晶ディスプレイには、表示ムラが低減された画像が表示される。

40

【 0 0 3 9 】

一方、補正データを調整するために、D R A M 1 4 に格納された補正データの書き換えを行う場合、補正データの書き換えを行う D R A M 1 4 の先頭アドレス、補正データを書き換える任意のワード数の書き換えデータ、および、書き換えデータの終了を表す終了データが、外部マスタ 2 2 から L U T コントローラ 1 8 へ順次入力され、L U T コントローラ 1 8 の制御により、これらのデータが S R A M 1 6 に順次書き込まれる。

【 0 0 4 0 】

その後、L U T コントローラ 1 8 の制御により、S R A M 1 6 から D R A M 1 4 の先頭アドレス、書き換えデータおよび終了データが順次読み出される。この場合、S R A M 1 6 から順次読み出される書き換えデータが、S R A M 1 6 から読み出される D R A M 1 4

50

の先頭アドレスに対応する D R A M 1 4 のアドレスを先頭アドレスとして順次書き込まれることが、S R A M 1 6 から終了データが読み出されるまで繰り返される。

【 0 0 4 1 】

そして、書き換えられた補正データを用いて、液晶ディスプレイに画像を表示させて確認することを何回か繰り返すことにより、最適な補正データが決定される。

補正データの調整が終了した後、L U T コントローラ 1 8 の制御により、D R A M 1 4 から調整後の補正データが順次読み出され、新たな R O M に順次書き込まれる。この新たな R O M を備える表示ムラ補正装置 1 0 が搭載された液晶ディスプレイが製品として出荷される。

【 0 0 4 2 】

ここで、D R A M 1 4 に格納された補正データの書き換えを行う場合、表示ムラ補正装置 1 0 では正しい補正処理ができなくなるため、ムラ補正回路 2 0 の動作が停止され、入力された画像データがそのまま出力される。

この時、画像の表示ムラを補正するために使用される S R A M 1 6 は使用されないため、この S R A M 1 6 をデータの送受信を行うためのバッファとして使用し、外部マスタ 2 2 から転送されたデータを S R A M 1 6 に一時的に書き込む。

これにより、D R A M 1 4 に格納された補正データの書き換えを行う場合に必要となるバッファ分の回路規模を削減することができる。

【 0 0 4 3 】

また、表示ムラ補正装置 1 0 では、L U T コントローラ 1 8 が、外部マスタ 2 2 から入力される書き換えデータを、D R A M 1 4 よりも高速な S R A M 1 6 へ一時的に書き込んだ後、S R A M 1 6 から読み出した書き換えデータを D R A M 1 4 へ書き込むように制御する。

これにより、表示ムラ補正装置 1 0 は、従来の表示ムラ補正装置 6 0 よりも、D R A M 1 4 に格納された補正データの書き換えに要する時間を大幅に短縮することができる。

例えば、前述のように、液晶ディスプレイの解像度が、4 K × 2 K であり、基準座標が 4 画素 × 4 画素毎に配置され、テーブル数が 3、R G B で個別の補正データを使用する場合、D R A M 1 4 に格納された全ての補正データを秒単位で書き換えることができる。そのため、表示ムラ補正装置 1 0 では、液晶ディスプレイのテストコストを大幅に削減することができる。

【 0 0 4 4 】

次に、L U T コントローラ 1 8 の具体例を挙げて説明する。

【 0 0 4 5 】

図 2 および図 3 は、図 1 に示す L U T コントローラの構成を表す一例のブロック図である。L U T コントローラ 1 8 は、図 2 に示す第 1 制御回路 2 4 と、図 3 に示す第 2 制御回路 2 6 とを備えている。

【 0 0 4 6 】

第 1 制御回路 2 4 は、外部マスタ 2 2 から順次入力される、D R A M 1 4 の先頭アドレス、任意のワード数の書き換えデータおよび終了データを S R A M 1 6 に順次書き込む制御、および、S R A M 1 6 に書き込まれた D R A M 1 4 の先頭アドレス、任意のワード数の書き換えデータおよび終了データを順次読み出す制御を行うものであり、図 2 に示すように、I²C インターフェイス (I / F) 回路 2 8 と、S R A M ライトデータ生成回路 3 0 と、ライトアドレスカウンタ 3 2 と、リードアドレスカウンタ 3 4 と、マルチプレクサ 3 6 と、ライトデータカウンタ 3 8 と、S R A M 制御回路 4 0 とを備えている。

【 0 0 4 7 】

I²C インターフェイス回路 2 8 は、外部マスタ 2 2 から I²C 規格のシリアルバスを経由して順次入力されるシリアルデータを、D R A M 1 4 の先頭アドレス、任意のワード数の書き換えデータおよび終了データにデコードするものである。

【 0 0 4 8 】

なお、外部マスタ 2 2 から I²C 規格のシリアルバスを経由してデータが入力されるこ

10

20

30

40

50

とは必須ではなく、外部マスタ 2 2 からデータを、 I^2C 規格のシリアルバス以外のインターフェイスを介して入力してもよい。

【0049】

SRAMライトデータ生成回路 30 は、 I^2C インターフェイス回路 28 から入力される DRAM 14 の先頭アドレス、任意のワード数の書き換えデータおよび終了データを SRAM 16 のデータの形式に変換して、SRAM 16 へ書き込まれる SRAMライトデータを生成するものである。

【0050】

ライトアドレスカウンタ 32 は、ライト/リード切替信号がライトモードの場合に、SRAMライトデータが書き込まれる SRAM 16 の SRAMライトアドレスを生成するものである。

10

なお、SRAMライトアドレスの生成方法は何ら限定されない。

【0051】

リードアドレスカウンタ 34 は、ライト/リード切替信号がリードモードの場合に、SRAMリードデータが読み出される SRAM 16 の SRAMリードアドレスを生成するものである。

なお、SRAMリードアドレスの生成方法は何ら限定されない。

【0052】

ライトデータカウンタ 38 は、 I^2C インターフェイス回路 28 から順次入力される書き換えデータのワード数をカウントするものである。

20

ライトデータカウンタ 38 は、書き換えデータのワード数をバースト長分だけカウントするものであり、ライトデータカウンタ 38 のカウント値は、DRAM 14 の DRAMアドレスへのバースト長分の書き換えデータの書き込みが終了する毎にリセットされる。

【0053】

SRAM制御回路 40 は、SRAM 16 の SRAMライトアドレスに SRAMライトデータを書き込むライトモードと、SRAMリードアドレスから SRAMリードデータを読み出すリードモードとを切り替えるライト/リード切替信号を生成するものである。

【0054】

SRAM制御回路 40 は、ライトデータカウンタ 38 のカウント値が、DRAM 14 のバーストアクセス時のバースト長 n に到達していない場合に、ライトモードのライト/リード切替信号を出力し、ライトデータカウンタ 38 のカウント値が DRAM 14 のバースト長 n に到達する毎に、および、 I^2C インターフェイス回路 28 から終了データが入力された場合に、リードモードのライト/リード切替信号を出力する。

30

【0055】

マルチプレクサ 36 は、ライト/リード切替信号に応じて、SRAMライトアドレスと SRAMリードアドレスとを切り替え、SRAMアドレスとして出力するものである。

【0056】

ライト/リード切替信号がライトモードの場合、マルチプレクサ 36 からは、SRAMアドレスとして、ライトアドレスカウンタ 32 から入力される SRAMライトアドレスが出力され、ライト/リード切替信号がリードモードの場合、マルチプレクサ 36 からは、SRAMアドレスとして、リードアドレスカウンタ 34 から入力される SRAMリードアドレスが出力される。

40

【0057】

続いて、第 2 制御回路 26 は、SRAM 16 から順次読み出される書き換えデータを、SRAM 16 から読み出される DRAM 14 の先頭アドレスに対応する DRAM 14 のアドレスを先頭アドレスとして順次書き込む制御を、SRAM 16 から終了データが読み出されるまで行うものであり、図 3 に示すように、データ分離回路 42 と、アドレス生成回路 44 と、バッファ回路 46 と、DRAMライトデータ生成回路 48 と、DRAMインターフェイス (I/F) 回路 50 とを備えている。

【0058】

50

データ分離回路42は、SRAM16から読み出されるSRAMリードデータを、DRAM14の先頭アドレス、書き換えデータおよび終了データに分離するものである。

【0059】

アドレス生成回路44は、データ分離回路42により分離されたDRAM14の先頭アドレスを、DRAM14のアドレスの形式に変換して、DRAMライトデータが書き込まれる、または、DRAMリードデータが読み出されるDRAMアドレスを生成するものである。

【0060】

バッファ回路46は、データ分離回路42により分離されたバースト長分の書き換えデータおよび終了データを、DRAM14のデータの形式に変換するものである。

10

【0061】

DRAMライトデータ生成回路48は、DRAM14へ書き込むDRAMライトデータを生成するものである。

【0062】

DRAMインターフェイス回路50は、アドレス生成回路44から入力されるDRAM14のDRAMアドレスからのDRAMリードデータの読み出し、および、アドレス生成回路44から入力されるDRAM14のDRAMアドレスへの、DRAMライトデータ生成回路48から入力されるDRAMライトデータの書き込みを制御するものである。

【0063】

次に、表示ムラ補正装置10において、DRAM14に格納された補正データを、書き換えデータに書き換える場合の動作を、図5、図6および図7に示すタイミングチャートを参照しながら説明する。

20

【0064】

本実施形態は、DRAM14の先頭アドレスが24ビット、補正データおよび書き換えデータが8ビット、バースト長がn、外部マスタ22から入力される書き換えデータのワード数がxの場合である。

【0065】

また、液晶ディスプレイの解像度がFHD（フルハイビジョン）の1920画素×1080画素であり、基準座標が4画素×4画素毎に配置され、テーブル数が3、RGB共通の補正データを使用するものとする。

30

この場合、LUTの水平方向のサイズ（基準座標の数）は481、垂直方向のサイズは271となる。DRAM14には全ての補正データが格納されるため、その容量は、 $481 \times 271 \times 3$ （テーブル数） $\times 8$ （補正データのビット幅）=約3Mビット（メガビット）となる。また、SRAM16には、各テーブルの1ライン分の補正データ、つまり、3つのテーブルの合計で3ライン分の補正データが一時的に格納されるため、その容量は、 $481 \times 3 \times 3$ （テーブル数） $\times 8$ （補正データのビット幅）=約34Kビット（キロビット）となる。

【0066】

DRAM14に格納された補正データの書き換えを行う場合、図5および図6のタイミングチャートに示すように、外部マスタ22からI²C規格のシリアルバスを経由して、データの転送の開始を表す開始データ（S）、データの転送先を指定するデバイスアドレス、補正データの書き換えを行うDRAM14の先頭アドレス、xワードの書き換えデータ、および、書き換えデータの終了を表す終了データ（S__）が順次出力される（I²Cアクセス参照）。

40

【0067】

なお、DRAM14の24ビットの先頭アドレスは、8ビットを1ワードとして、アドレス（H：上位ビット側の8ビット）、アドレス（M：中間の8ビット）およびアドレス（L：下位ビット側の8ビット）の3ワードに分けて外部マスタ22から出力される。

【0068】

表示ムラ補正装置10では、外部マスタ22から開始データが入力され、かつ、デバイ

50

スアドレスが表示ムラ補正装置 10 を指定するものである場合、 I^2C インターフェイス回路 28 により、外部マスタ 22 から I^2C 規格のシリアルバスを経由して入力されるシリアルデータがデコードされ、DRAM 14 の先頭アドレス、 x ワードの書き換えデータおよび終了データが I^2C インターフェイス回路 28 から順次出力される。

【0069】

続いて、SRAM ライトデータ生成回路 30 により、 I^2C インターフェイス回路 28 から入力される DRAM 14 の先頭アドレス、書き換えデータおよび終了データが、SRAM 16 のデータの形式に変換されて SRAM ライトデータが生成される。

【0070】

ここで、SRAM ライトデータの形式について一例を挙げて説明する。

10

【0071】

図 4 は、SRAM に格納される SRAM ライトデータの形式を表す一例の概念図である。同図に示す SRAM ライトデータの縦方向は、SRAM 16 の SRAM アドレスを、横方向は、SRAM 16 の 1 ワードのビット幅が 24 ビットであることを表している。

【0072】

SRAM アドレス A_0 には、DRAM 14 の先頭アドレスが格納されている。

SRAM アドレス $A_1 \sim A_n$ 、 $A_{n+1} \sim A_{2n}$ 、...、 A_{x-1} 、 A_x には、 x 個の書き換えデータ $1 \sim n$ 、 $n+1 \sim 2n$ 、...、 $x-1$ 、 x が格納されている。書き換えデータ $1 \sim n$ は、DRAM 14 の先頭アドレスから書き込まれる 1 回目のバーストアクセス時のバースト長分の書き換えデータ、書き換えデータ $n+1 \sim 2n$ は、2 回目のバーストアクセス時のバースト長分の書き換えデータである。

20

続く SRAM アドレス A_{x+1} には、終了データが格納されている。

【0073】

また、書き換えデータおよび終了データの最上位ビットには、書き換えデータと終了データを区別するためのフラグが設定されている。図示例の場合、フラグが“0”の場合には書き換えデータであり、“1”の場合には終了データであることを意味する。

これにより、フラグに応じて、SRAM 16 から読み出されるデータが、書き換えデータなのか終了データなのかを判別することができる。

なお、フラグを格納するビットは、SRAM 16 の 1 ワードのうちのどのビットに割り当てられていてもよい。

30

【0074】

この例の場合、SRAM アドレス A_{x+1} に続く SRAM アドレス A_0 には、次の DRAM 14 の先頭アドレスが格納されている。図示省略しているが、これ以降には、書き換えデータおよび終了データが同様に格納されている。

このように、SRAM 16 には、DRAM 14 の先頭アドレス、書き換えデータおよび終了データを 1 組として、1 組以上のデータが順次格納されるとともに、格納されたデータが、格納された順序で順次読み出される。また、読み出されたデータが格納されていたアドレスには、新たなデータが順次書き込まれ、SRAM 16 はリングバッファのように使用される。

【0075】

40

続いて、ライトアドレスカウンタ 32 により、SRAM ライトデータ生成回路 30 から入力される SRAM ライトデータのワード数がカウントされて SRAM ライトアドレスが生成される。

【0076】

また、ライトデータカウンタ 38 により、 I^2C インターフェイス回路 28 から順次入力される書き換えデータのワード数がカウントされる。

【0077】

ここで、ライトデータカウンタ 38 のカウント値が、DRAM 14 のバーストアクセス時のバースト長 n に到達していない場合に、SRAM 制御回路 40 からは、ライトモードのライト/リード切替信号が出力される。

50

【 0 0 7 8 】

ライト／リード切替信号がライトモードの場合、マルチプレクサ36からは、SRAMアドレスとして、ライトアドレスカウンタ32から入力されるSRAMライトアドレスが出力される。そして、図5および図6のタイミングチャートに示すように、SRAMライトデータ生成回路30から出力されるSRAMライトデータ、つまり、DRAM14の先頭アドレス、xワードの書き換えデータおよび終了データが、SRAM16のSRAMアドレスに順次書き込まれる（SRAMライトアクセス参照）。

【 0 0 7 9 】

一方、ライトデータカウンタ38のカウンタ値がDRAM14のバースト長nに到達する毎に、および、I²Cインターフェイス回路28から終了データが入力された場合に、SRAM制御回路40からは、リードモードのライト／リード切替信号が出力される。

10

【 0 0 8 0 】

ライト／リード切替信号がリードモードの場合、リードアドレスカウンタ34により、SRAMライトアドレスの開始アドレスから、SRAM16から1ワードのSRAMリードデータが読み出される毎に、1つずつインクリメント（アップカウント）されてSRAMリードアドレスが順次生成され、マルチプレクサ36からは、SRAMアドレスとして、リードアドレスカウンタ34から入力されるSRAMリードアドレスが出力される。そして、図5および図6のタイミングチャートに示すように、SRAM16のSRAMリードアドレスから、DRAM14の先頭アドレス、書き換えデータおよび終了データが順次読み出される（SRAMリードアクセス参照）。

20

【 0 0 8 1 】

本実施形態の場合、ライトデータカウンタ38のカウンタ値が、DRAM14のバースト長nに1回目に到達した場合、DRAM14の先頭アドレスが読み出され、続いて、バースト長分の書き換えデータが順次読み出される。

ライトデータカウンタ38のカウンタ値が、DRAM14のバースト長nに2回目以降に到達した場合、バースト長分の書き換えデータが順次読み出されることが、I²Cインターフェイス回路28から終了データが出力されるまで繰り返し行われる。

また、I²Cインターフェイス回路28から終了データが出力された場合、SRAM16のSRAMリードアドレスから、バースト長分未満の書き換えデータおよび終了データが順次読み出される。

30

【 0 0 8 2 】

続いて、データ分離回路42により、SRAM16から読み出されたSRAMリードデータが、DRAM14の先頭アドレス、書き換えデータおよび終了データに分離される。

データ分離回路42は、例えば、前述のフラグを使用して、書き換えデータと終了データを区別する。つまり、フラグが“0”の場合には書き換えデータであり、“1”の場合には終了データであると区別することができる。

【 0 0 8 3 】

続いて、アドレス生成回路44により、データ分離回路42により分離されたDRAM14の先頭アドレスが、DRAM14のアドレスの形式に変換されてDRAMアドレスが生成される（図5および図6のタイミングチャートのアドレス参照）。アドレス生成回路44は、バーストアクセス時に、DRAM14のアドレスの形式に変換されたDRAMアドレスを保持しておく。

40

【 0 0 8 4 】

また、バッファ回路46により、データ分離回路42により分離されたバースト長分の書き換えデータおよび終了データが、DRAM14のデータの形式に変換される。

【 0 0 8 5 】

続いて、図5および図6のタイミングチャートに示すように、DRAMライトデータ生成回路48により、データ分離回路42により分離された書き換えデータが書き込まれるDRAM14のDRAMアドレスからバースト長分のDRAMリードデータが読み出される（DRAMリードアクセス参照）。

50

【 0 0 8 6 】

ここで、バッファ回路 4 6 から D R A M ライトデータ生成回路 4 8 に終了データが入力されない場合、つまり、バースト長分の書き換えデータが入力される場合、D R A M ライトデータ生成回路 4 8 により、D R A M 1 4 から読み出された D R A M リードデータが使用されることなく、バッファ回路 4 6 から入力されるバースト長分の書き換えデータが D R A M ライトデータとして順次出力される。

【 0 0 8 7 】

この場合、図 5 および図 6 のタイミングチャートに示すように、D R A M インターフェイス回路 5 0 の制御により、D R A M ライトデータ生成回路 4 8 から入力されるバースト長分の D R A M ライトデータが、アドレス生成回路 4 4 から入力される D R A M 1 4 の D R A M アドレスを先頭アドレスとして順次書き込まれる (D R A M ライトアクセス参照) 。

10

【 0 0 8 8 】

D R A M 1 4 の D R A M アドレスへのバースト長分の書き換えデータの書き込みが終了する毎に、アドレス生成回路 4 4 により、保持された D R A M アドレスに、バースト長分の値 n を加算したものが新たな D R A M アドレスとして順次保持される (図 5 および図 6 のタイミングチャートのアドレス参照) 。また、D R A M 1 4 へのバースト長分の書き換えデータの書き込みが終了する毎に、ライトデータカウンタ 3 8 のカウント値がリセットされる。

【 0 0 8 9 】

上記の S R A M 1 6 からの S R A M リードデータの読み出し、および、D R A M 1 4 への D R A M ライトデータの書き込みは、データ分離回路 4 2 から終了データが出力されるまで繰り返される。

20

【 0 0 9 0 】

データ分離回路 4 2 から S R A M 制御回路 4 0 に終了データが入力された場合、S R A M 制御回路 4 0 の制御により、S R A M 1 6 からの S R A M リードデータの読み出しが停止される。

【 0 0 9 1 】

一方、バッファ回路 4 6 から D R A M ライトデータ生成回路 4 8 に終了データが入力される場合、つまり、バッファ回路 4 6 から入力される書き換えデータのワード数がバースト長 n よりも少ない場合、図 7 のタイミングチャートに示すように、D R A M ライトデータ生成回路 4 8 により、このバースト長 n よりも少ないワード数分の書き換えデータ 1、2、...、 x と、この書き換えデータが書き込まれる D R A M 1 4 の D R A M アドレスから読み出されたバースト長分の D R A M リードデータ 1、2、...、 n のうち、バッファ回路 4 6 から入力される書き換えデータの不足分に相当するワード数分の D R A M リードデータ $x + 1$ 、 $x + 2$ 、...、 n とが合成されてバースト長分の D R A M ライトデータが生成される。

30

【 0 0 9 2 】

そして、同様に、D R A M インターフェイス回路 5 0 の制御により、D R A M ライトデータ生成回路 4 8 から入力されるバースト長分の D R A M ライトデータが、アドレス生成回路 4 4 から入力される D R A M 1 4 の D R A M アドレスを先頭アドレスとして順次書き込まれる。

40

【 0 0 9 3 】

これにより、意図しない D R A M 1 4 中の補正データの上書きを防ぎ、外部マスタ 2 2 から I²C 規格のシリアルバスを経由して、D R A M 1 4 に格納された補正データを、任意のデータ長の書き換えデータで書き換えることができる。

【 0 0 9 4 】

続いて、データ分離回路 4 2 から S R A M 制御回路 4 0 に終了データが入力された場合に、S R A M ライトアドレスと S R A M リードアドレスが一致しない場合、つまり、次の D R A M 1 4 の先頭アドレス、書き換えデータおよび終了データが S R A M 1 6 に格納さ

50

れている場合、次のDRAM14の先頭アドレス、書き換えデータおよび終了データに対して引き続き上記と同様の処理が行われる。

【0095】

一方、データ分離回路42からSRAM制御回路40に終了データが入力された場合に、SRAMライトアドレスとSRAMリードアドレスが一致している場合、つまり、SRAM16に格納された全てのSRAMライトデータが読み出された場合、DRAM14に格納された補正データを、書き換えデータに書き換えるための処理を終了する。

【0096】

なお、バーストアクセスを行う場合について説明したが、そのバースト長は何ら制限されない。また、表示ムラ補正装置10は、ランダムアクセスを行う場合も、バーストアクセスを行う場合と同様に動作する。

10

【0097】

本発明は、基本的に以上のようなものである。

以上、本発明について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【符号の説明】

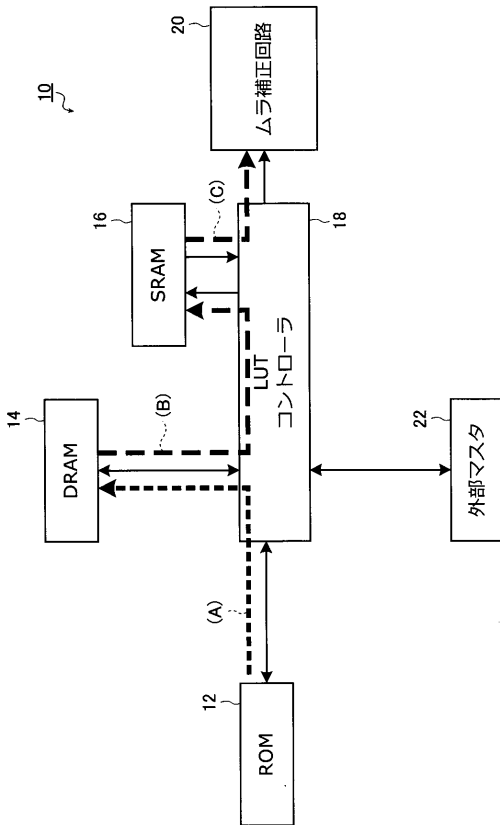
【0098】

- 10、60 表示ムラ補正装置
- 12 ROM
- 14 DRAM
- 16 SRAM
- 18、68 LUTコントローラ
- 20 ムラ補正回路
- 22 外部マスタ
- 24 第1制御回路
- 26 第2制御回路
- 28 I²Cインターフェイス回路
- 30 SRAMライトデータ生成回路
- 32 ライトアドレスカウンタ
- 34 リードアドレスカウンタ
- 36 マルチプレクサ
- 38 ライトデータカウンタ
- 40 SRAM制御回路
- 42 データ分離回路
- 44 アドレス生成回路
- 46 バッファ回路
- 48 DRAMライトデータ生成回路
- 50 DRAMインターフェイス回路

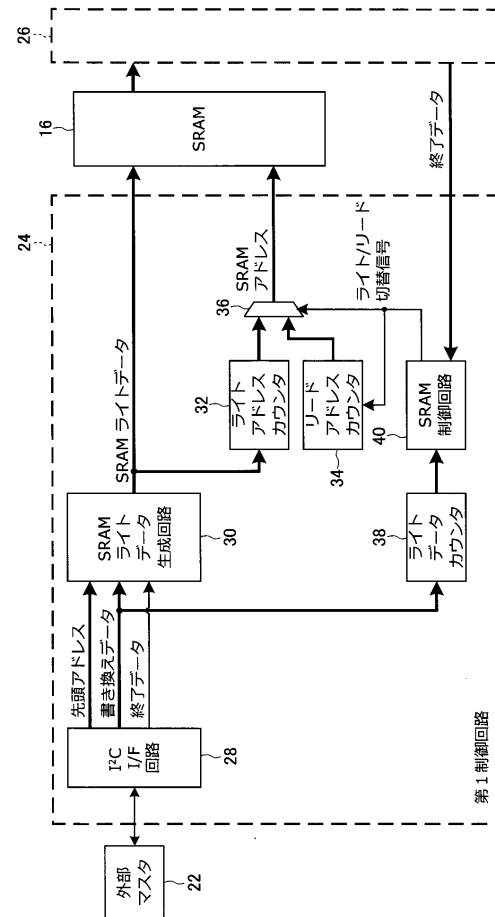
20

30

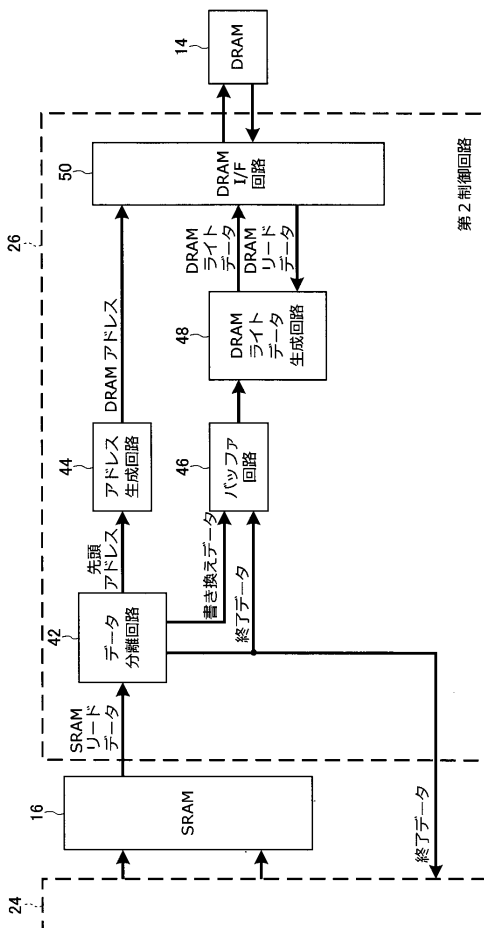
【図 1】



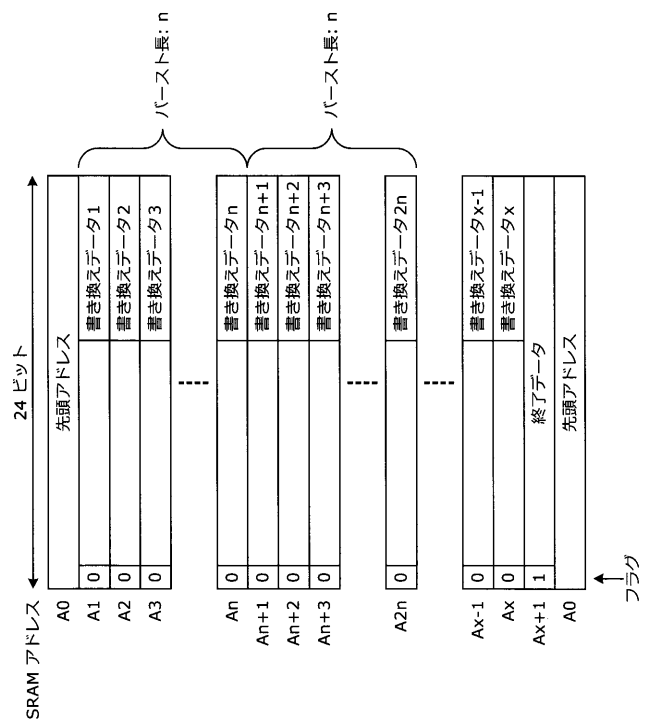
【図 2】



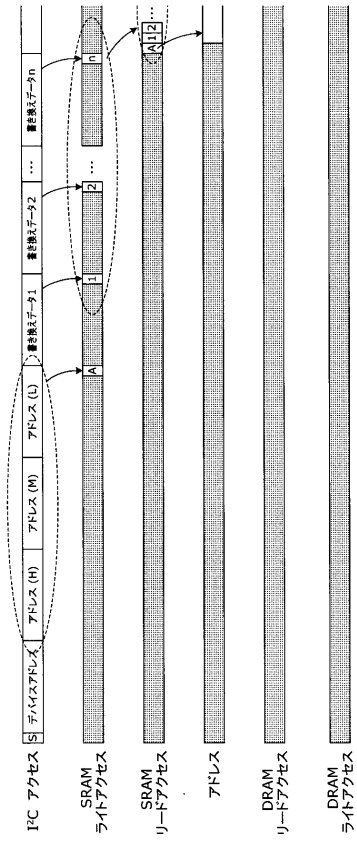
【図 3】



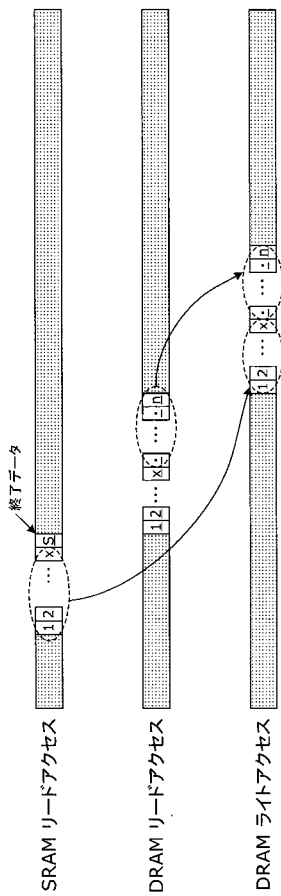
【図 4】



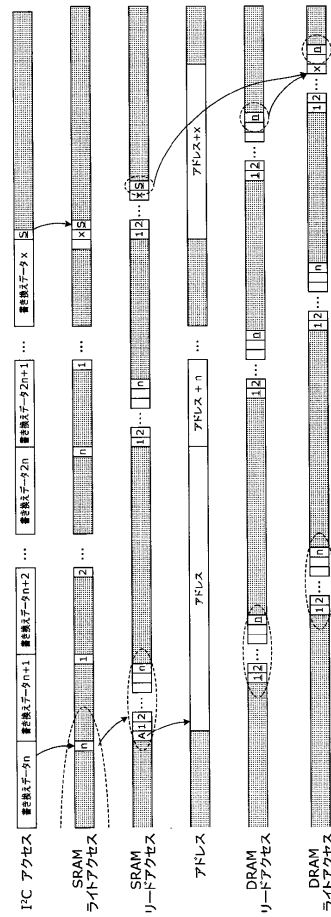
【図 5】



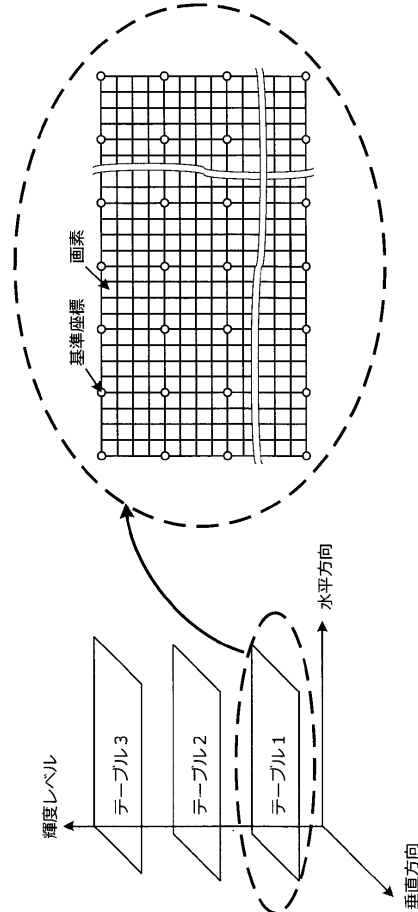
【図 7】



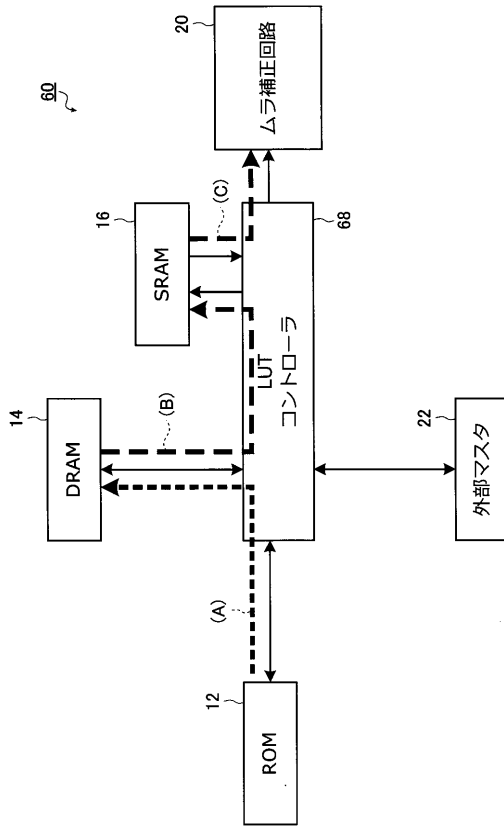
【図 6】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl.	F I			テーマコード (参考)	
	G 0 9 G	3/20	6 3 1 U		
	G 0 9 G	3/20	6 3 1 B		
	G 0 9 G	3/20	6 3 1 C		
	G 0 9 G	5/00	5 5 0 X		
	G 0 2 F	1/133	5 5 0		
F ターム(参考)					
5C080	AA10	BB05	CC03	DD05	DD22
	GG13	GG14	GG15	JJ01	JJ02
5C082	BD02	CA11	CA12	CB01	CB08
	DA64	DA65	DA67	DA71	MM02
	MM07				

专利名称(译)	表示ムラ修正装置		
公开(公告)号	JP2016145858A	公开(公告)日	2016-08-12
申请号	JP2015021894	申请日	2015-02-06
[标]申请(专利权)人(译)	株式会社巨晶片		
申请(专利权)人(译)	MegaChips		
[标]发明人	米沢則史		
发明人	米沢 則史		
IPC分类号	G09G3/36 G06F12/00 G09G3/20 G09G5/00 G02F1/133		
FI分类号	G09G3/36 G06F12/00.560.A G06F12/00.560.B G06F12/00.580 G09G3/20.642.A G09G3/20.631.U G09G3/20.631.B G09G3/20.631.C G09G5/00.550.X G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZF16 2H193/ZF17 5B060/CB02 5C006/AA22 5C006/AF02 5C006/AF03 5C006/AF04 5C006/AF11 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF57 5C006/BF01 5C006/FA13 5C006/FA22 5C006/FA41 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD22 5C080/GG13 5C080/GG14 5C080/GG15 5C080/JJ01 5C080/JJ02 5C082/BD02 5C082/CA11 5C082/CA12 5C082/CB01 5C082/CB08 5C082/DA64 5C082/DA65 5C082/DA67 5C082/DA71 5C082/MM02 5C082/MM07 5B160/CB02 5C182/AA03 5C182/BA14 5C182/BA25 5C182/CC25 5C182/DA18 5C182/DA32 5C182/DA62 5C182/DA70		
其他公开文献	JP6621582B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示不均校正装置，当从外部主机重写存储在DRAM中的校正数据时，该显示不均校正装置能够减小电路规模。显示不均校正装置校正液晶显示器上显示的图像的显示不均，并且不均校正电路包括在处理要处理的线之前的一个屏幕的校正数据。通过使用针对要处理的一行的校正数据来顺序校正从液晶显示器上显示的图像的要处理的行的图像数据，该校正数据从存储数据的DRAM中依次读取。当重写存储在DRAM中的校正数据时，LUT控制器将从外部主设备输入的重写数据写入SRAM，读取写入SRAM的重写数据，然后将其写入DRAM以存储在DRAM中。执行控制以将由此获得的校正后的数据重写为重写数据。[选型图]图1

