

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-146053

(P2015-146053A)

(43) 公開日 平成27年8月13日(2015.8.13)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G O 2 F 1/1368	2 H 0 9 2
G02F 1/1343 (2006.01)	G O 2 F 1/1343	2 H 1 9 2

審査請求 有 請求項の数 1 O L (全 43 頁)

(21) 出願番号	特願2015-102446 (P2015-102446)	(71) 出願人	000153878
(22) 出願日	平成27年5月20日 (2015. 5. 20)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-20028 (P2015-20028) の分割	(72) 発明者	木村 肇
原出願日	平成18年12月27日 (2006.12.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-378778 (P2005-378778)		半導体エネルギー研究所内
(32) 優先日	平成17年12月28日 (2005.12.28)	Fターム(参考)	2H092 GA13 JA25 JA26 JA46 JB05
(33) 優先権主張国	日本国(JP)		JB08 JB64 JB66 JB69 MA14
			MA16 NA27 PA12 QA09
			2H192 AA24 BA25 BC32 BC64 BC72
			BC82 CB02 CB05 CB13 DA12
			DA43 GD13 GD14 HA33 HA44
			JA13

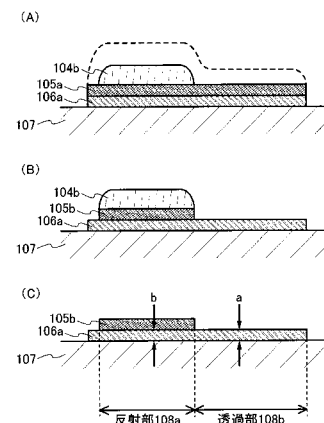
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】半透過型液晶表示装置において、反射電極と透明電極とを構成する場合、2つのレジストマスクを用いるため、コストが高い。

【解決手段】画素電極となる透明電極と反射電極を積層させる。反射電極上に半透部を有する露光マスクを用いて、膜厚の厚い領域と該領域よりも膜厚が薄い領域とを有するレジストパターンを形成する。レジストパターンを用いて反射電極と透明電極とを形成する。以上により、1つのレジストマスクを用いて、反射電極と透明電極を形成することが可能となる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

トランジスタと、
前記トランジスタに電氣的に接続される透明電極と、
反射電極と、
前記トランジスタに電氣的に接続される保持容量と、を有し、
前記反射電極の下に、前記保持容量の少なくとも一部が設けられ、
前記反射電極の下面全体が前記透明電極の上面に接していることを特徴とする表示装置
。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、画素電極を有する半導体装置、特に表示装置に関する。特に、1つの画素に、反射領域と透過領域とを有する半透過型の液晶表示装置に関する。

【背景技術】

【0002】

表示装置には、自発光の表示装置と非発光の表示装置とがあり、液晶表示装置は、非発光の表示装置の最も代表的なものである。非発光であるため、通常は、バックライトからの光を液晶表示装置に照射して、表示を行っている。

【0003】

20

しかしながら、バックライトからの光を利用した透過型の液晶表示装置は、通常の室内では表示画像を見易いが、太陽光の下では表示画像を見辛いという問題がある。特に、カメラ及び携帯情報端末、携帯電話機等の屋外で頻繁に活用される電子機器においては、この問題による影響は大きい。

【0004】

そこで、室内でも屋外でも良好な画像を表示できるようにするため、半透過型の液晶表示装置が開発されている。半透過型の液晶表示装置は、1つの画素の中に、反射領域と透過領域とを有している。透過領域には、透明電極を有し、そこで光を透過させて、透過型液晶表示装置として機能する。一方、反射領域には、反射電極を有し、そこで光を反射させて、反射型液晶表示装置として機能する。このようにすることにより、室内でも屋外でも良好な画像を表示することができる。

30

【0005】

このような液晶表示装置としては、パッシブマトリクス型とアクティブマトリクス型とがある。アクティブマトリクス型の表示装置を作製する際は、一般的に、薄膜トランジスタ（TFT：Thin Film Transistor）の半導体層に接続する配線を形成し、その配線の上に画素電極となる導電膜を形成する。

【0006】

画素電極としては、反射領域における反射電極と透過領域における透明電極とがある。各々は、形状が異なる。したがって、反射電極を形成するためのレジストマスクと、透明電極を形成するためのレジストマスクが必要だった（例えば特許文献1～特許文献5参照）

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2002-229016号公報

【特許文献2】特開2004-46223号公報

【特許文献3】特開2005-338829号公報

【特許文献4】特開2004-334205号公報

【特許文献5】特開2004-109797号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0008】

従来の半透過型液晶表示装置において、反射電極と透明電極を形成する際はレジストマスクがそれぞれの層において必要であった。つまり、反射電極を形成するレジストマスクと、透明電極と積層する膜のエッチング用のレジストマスクとが必要であり、その分だけ作製工程数が多かった。そのため、表示装置のような半導体装置の製造コストが高く、電極パターンを形成するための製造時間も長く必要であった。

【0009】

そこで、本発明は、使用するレジストマスクの数を減らし、作製工程を短縮することを課題とする。

10

【課題を解決するための手段】

【0010】

本発明は、トランジスタと、該トランジスタに電氣的に接続する透明電極と、該透明電極に電氣的に接続する反射電極と、該トランジスタに電氣的に接続する保持容量と、を有し、該反射電極の下に、該保持容量の少なくとも一部が形成され、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。

【0011】

また、本発明は、トランジスタと、該トランジスタに電氣的に接続する透明電極と、該透明電極に電氣的に接続する反射電極と、を有し、該透明電極もしくは該反射電極の少なくとも1つは、スリットを有し、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。

20

【0012】

また、本発明は、トランジスタと、該トランジスタに電氣的に接続する透明電極と、該透明電極に電氣的に接続する反射電極と、該トランジスタに電氣的に接続する保持容量と、を有し、該透明電極もしくは該反射電極の少なくとも1つは、スリットを有し、該反射電極の下に、該保持容量の少なくとも一部が形成され、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。

【0013】

また、本発明は、トランジスタと、該トランジスタに電氣的に接続する透明電極と、該透明電極に電氣的に接続する反射電極と、該トランジスタに電氣的に接続する保持容量と、を有し、該反射電極の下に、該保持容量の少なくとも一部が形成され、該反射電極の下に、該トランジスタの少なくとも一部が形成され、該反射電極の下面全体が該透明電極の上面に接していることを特徴とする表示装置が提供される。

30

【0014】

また、本発明は、トランジスタと、該トランジスタに電氣的に接続する画素電極と、を有し、該画素電極は、透明電極と反射電極とを有し、該反射電極の下面全体が該透明電極の上面に接しており、該反射電極と接する領域での該透明電極の膜厚は、該反射電極と接しない領域での該透明電極の膜厚よりも厚いことを特徴とする表示装置が提供される。

【0015】

また、本発明は、上記構成において、該反射電極と、対向電極との間に液晶層が配置されていることを特徴とする表示装置が提供される。

40

【0016】

また、本発明は、基板上にトランジスタを形成し、該トランジスタの上に絶縁膜を形成し、該絶縁膜の上に透明導電膜を形成し、該透明導電膜の上に反射導電膜を形成し、該反射導電膜の上に半透部を有する露光マスクを用いて、膜厚の厚い領域と該領域よりも膜厚の薄い領域とを有するレジストパターンを形成し、該レジストパターンを用いて、該透明導電膜でなる透明電極と、該反射導電膜でなる反射電極とを形成することを特徴とする表示装置の作製方法が提供される。

【0017】

また、本発明は、基板上にトランジスタを形成し、該トランジスタの上に絶縁膜を形成

50

し、該絶縁膜の上に透明導電膜を形成し、該透明導電膜の上に反射導電膜を形成し、該反射導電膜の上に半透部を有する露光マスクを用いて、膜厚の厚い領域と該領域よりも膜厚の薄い領域とを有するレジストパターンを形成し、該レジストパターンを用いて、該反射導電膜と該透明導電膜とをエッチングし、該レジストパターンの一部を除去し、該一部が除去されたレジストパターンを用いて、該反射導電膜をエッチングすることを特徴とする表示装置の作製方法が提供される。

【0018】

このように、1つのレジストパターンを用いて、透明電極と、透明電極上の一部に接する反射電極とを形成することができる。透明電極と反射電極の2つのパターンを、1つのレジストパターンを用いて形成することができるので、作製工程が短縮でき、低コストな表示装置を実現することができる。

10

【0019】

なお、本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、 α -InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することが出来る。

20

【0020】

なお、トランジスタの構成は、特に限定されない。例えば、ゲート電極の本数が2本以上になっているマルチゲート構造になっていてもよいし、チャンネルの上下にゲート電極が配置されている構造でもよいし、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよいし、チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっていてもよいし、LDD領域(低濃度不純物領域)があってもよい。

【0021】

なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子(例えば、スイッチやトランジスタや容量素子や抵抗素子やダイオードなど)が配置されていてもよい。

30

【0022】

なお、本発明において示すスイッチは特定のスイッチに限定されない。電氣的スイッチや機械的なスイッチを適用することができる。電流の流れを制御できるものなら、限定されない。トランジスタでもよいし、ダイオード(PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど)でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{SS} 、GND、0Vなど)に近い状態で動作する場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源(V_{DD} など)に近い状態で動作する場合はPチャンネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、トランジスタがスイッチとしての機能を果たし易くなるからである。なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

40

50

【0023】

なお、画素に配置するのは、特定の表示素子に限定されない。画素に配置する表示素子の例としては、例えば、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

10

【0024】

なお、本発明においては、1画素とは1つの色要素を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との3画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）がある。なお、1画素（3色分）と記載する場合は、RとGとBの3画素分を1画素と考える場合である。

【0025】

なお、本発明において、画素がマトリクスに配置されているとは、いわゆるストライプ配置されている場合はもちろんのこと、三色の色要素（例えばRGB）でフルカラー表示を行う場合に、三色の色要素のドットがいわゆるデルタ配置されている場合も含むものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBWがある。また、色要素のドット毎にその領域の大きさが異なってもよい。

20

【0026】

なお、トランジスタとは、それぞれ、ゲート電極と、ドレイン領域（もしくはドレイン電極）と、ソース領域（もしくはソース電極）とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを限定することが困難である。そこで、本形態においては、ソース領域又はドレイン領域として機能する領域を、第1端子、第2端子と表記する。

30

【0027】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、基板上に液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけでなく、それにフレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたものも含む。また、発光装置とは、特にEL素子や電子放出素子で用いる素子などの自発光型の表示素子を用いている表示装置をいう。

40

【発明の効果】

【0028】

本発明により、従来よりも作製工程を少なくすることができ、半導体装置や表示装置の製造コストを低くすることができる。

【図面の簡単な説明】

【0029】

【図1】本発明の半導体装置の作製工程を示す断面図。

【図2】本発明の半導体装置の作製工程を示す断面図。

【図3】本発明の半導体装置の作製工程を示す断面図。

【図4】本発明の半導体装置を示す断面図。

50

【図 5】本発明の半導体装置を示す断面図。	
【図 6】本発明の半導体装置を示す断面図。	
【図 7】本発明の半導体装置の作製工程を示す断面図。	
【図 8】本発明の半導体装置の作製工程を示す断面図。	
【図 9】本発明の半導体装置を示す断面図。	
【図 10】本発明の半導体装置を示す断面図。	
【図 11】本発明の半導体装置を示す断面図。	
【図 12】本発明の半導体装置を示す断面図。	
【図 13】本発明の半導体装置を示す断面図。	
【図 14】本発明の半導体装置を示す断面図。	10
【図 15】本発明の半導体装置を示す断面図。	
【図 16】本発明の半導体装置を示す断面図。	
【図 17】本発明の半導体装置を示す断面図。	
【図 18】本発明の半導体装置を示す断面図。	
【図 19】本発明の半導体装置を示す断面図。	
【図 20】本発明の露光マスクの上面図及び光強度分布を示す図。	
【図 21】本発明の半導体装置を示す断面図。	
【図 22】本発明の半導体装置を示す断面図。	
【図 23】本発明の半導体装置を示す断面図。	
【図 24】本発明の半導体装置を示す断面図。	20
【図 25】本発明の半導体装置を示す断面図。	
【図 26】本発明の半導体装置を示す断面図。	
【図 27】本発明の半導体装置を示す断面図。	
【図 28】本発明の半導体装置の上面図。	
【図 29】本発明の半導体装置の上面図。	
【図 30】本発明の半導体装置の上面図。	
【図 31】本発明の半導体装置の上面図。	
【図 32】本発明の半導体装置の上面図。	
【図 33】本発明の半導体装置の上面図。	
【図 34】本発明の半導体装置の上面図。	30
【図 35】本発明の半導体装置の上面図。	
【図 36】本発明の半導体装置の上面図。	
【図 37】本発明の半導体装置の上面図。	
【図 38】本発明の半導体装置の上面図。	
【図 39】本発明の半導体装置の上面図。	
【図 40】本発明を適用した電子機器の一態様について説明する図。	
【図 41】本発明の半導体装置を示す図。	
【図 42】本発明の半導体装置を示す図。	
【図 43】本発明の半導体装置を示す図。	
【図 44】本発明を適用した電子機器の一態様について説明する図。	40
【図 45】本発明の液晶表示装置の回路図。	
【図 46】本発明の液晶表示装置の回路構成のブロック図。	
【図 47】本発明の半導体装置を示す断面図。	
【図 48】本発明の半導体装置を示す断面図。	
【図 49】本発明の半導体装置を示す断面図。	
【図 50】本発明の半導体装置を示す断面図。	
【図 51】本発明の半導体装置を示す断面図。	
【図 52】本発明の半導体装置を示す断面図。	
【発明を実施するための形態】	
【0030】	50

以下、本発明の実施の形態について説明する。但し、本発明は、実施可能な範囲において、多くの異なる態様で実施することが可能である。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。また、以下に示す実施の形態は適宜組み合わせることが可能である。

【0031】

(実施の形態1)

図1～図2に、反射電極と透明電極とを形成する製造方法について述べる。

【0032】

まず、絶縁膜107の上にスパッタ法または印刷法またはCVD法またはインクジェット法などで導電膜106を形成する。導電膜106は、透明導電膜であっても反射性を有していても良い。透明導電膜である場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜、または酸化スズ膜、リンやボロンが含まれるシリコン(Si)などを用いることができる。なお、IZOとは、ITOに2～20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、組成比などは、これに限定されない。

【0033】

絶縁膜107上に導電膜106を形成し、続いて導電膜106上に導電膜105を積層する。導電膜106と導電膜105は連続的にスパッタで形成することができる。これにより、工程数を低減することが出来る。

【0034】

導電膜105は、抵抗の低い材料や反射率が高い材料が好ましい。例えば、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどやそれらの合金を用いることができる。また、これらを積層させた2層構造にしてもよい。その場合、Al(もしくはAlを主材料とした合金)と、Ti、Mo、Ta、Cr、Wなどの金属とを用いた2層積層構造としても良い。また、3層の積層構造でもよい。その場合、Al(もしくはAlを主材料とした合金)をTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としても良い。このように、Al(もしくはAlを主材料とした合金)の周りにTi、Mo、Ta、Cr、Wなどの金属を配置することにより、別の電極や配線に接続するときに、不具合を低減することができる。例えば、ITO膜などとAl(もしくはAlを主材料とした合金)を接続させると、電食などの不具合を起こすことがある。また、Si膜などとAl(もしくはAlを主材料とした合金)を接続させると、AlとSi膜とが反応してしまうことがある。これらは、多層構造にすることにより、低減することが出来る。

【0035】

なお、導電膜としてITO膜を用いる場合は、ITO膜を熱処理して結晶化する工程が必要になってくる。そのときはITO膜をスパッタで形成し、焼成後、導電膜105を形成すると良い。ITSO膜を用いると、結晶化する工程が不要なため工程が少なくてすむ。

【0036】

次いで、導電膜105上にレジスト膜104を全面に形成(塗布)した後、図1(A)に示す露光マスクを用いて露光を行う。

【0037】

図1(A)において、露光マスクは、露光光が遮光される遮光部101aと、露光光が一部通過する半透部101bを有する。半透部101bには半透膜102が設けられ、露光光の光強度を低減させている。遮光部101aは半透膜102上に金属膜103が積層されて構成されている。遮光部101aの幅はt1、半透部101bの幅はt2と示す。ここでは半透部に半透膜を用いた例を示したが、これに限定されず、半透部は露光光の

光強度を低減するものであればよい。また、半透部に回折格子パターンを用いてもよい。

【0038】

つまり、半透部にハーフトーンあるいはグレートーンと呼ばれるものを用いてもよい。

【0039】

図1 (A) に示す露光マスクを用いてレジスト膜の露光を行うと、非露光領域と露光領域が形成される。露光時には、光が遮光部101aで回り込んだり、半透部101bを通過することによって、露光領域が形成される。

【0040】

そして、現像を行うと、露光領域が除去されて、図1 (B) に示すように、大きく分けて2つの膜厚を有するレジストパターン104aが導電膜105上に得られる。レジストパターン104aは膜厚の厚い領域と、該領域より膜厚の薄い領域とを有し、膜厚の薄い領域については、露光エネルギーまたは半透膜102の透過率を調節することで膜厚を調節することができる。

【0041】

次に、ドライエッチングにより導電膜105及び導電膜106のエッチングを行う。ドライエッチングはECR (Electron Cyclotron Resonance) やICP (Inductively Coupled Plasma) などの高密度プラズマ源を用いたドライエッチング装置によって行われる。

【0042】

すると、図1 (C) に示すように、導電膜105a及び導電膜106aが形成される。

【0043】

なお、ここでは、ICP型エッチング装置を用いた例を示すが、これに限定されず、例えば、平行平板型エッチング装置、マグネトロン型エッチング装置、ECR型エッチング装置、ヘリコン型エッチング装置を用いてもよい。

【0044】

なお、導電膜105及び導電膜106のエッチングをウェットエッチングにより行っても良い。但し、微細加工にはドライエッチングが適しているため、ドライエッチングが好ましい。また、導電膜105及び導電膜106と、絶縁膜107との材料が大きく異なるため、ドライエッチングで行っても、導電膜105及び導電膜106と絶縁膜107とで大きなエッチング選択比がとれる。さらに両者のエッチング選択比を大きくするため、絶縁膜107の少なくとも最上層を窒化珪素膜で形成しても良い。

【0045】

こうして、図1 (C) で示すように、絶縁膜107上に、導電膜106aと導電膜105aとの積層で構成されるパターンが形成される。

【0046】

次に、レジストパターン104a (の一部) をアッシングまたはエッチングする (図2 (A))。この工程により、レジストパターン104aの膜厚の薄い領域がエッチングされるとともに、その膜厚の薄い領域の膜厚分だけレジストパターン104aの全体の膜厚も薄くなる。そしてレジストパターン104bを形成する。レジストパターン104aは、膜厚方向だけでなく、幅方向もエッチングされるため、レジストパターン104bの幅は導電膜105a及び106aの幅よりも小さくなる。したがって、レジストパターン104bの側面は下層にある導電膜の側面と一致せず、レジストパターン104bの側面の方が後退している。図2 (B) では、レジストパターン104bは左右非対称である。

【0047】

次に、レジストパターン104bを用いて導電膜105aをエッチングし、導電膜105bを形成する (図2 (B))。このとき同時に導電膜106aが無用にエッチングされないように、導電膜105aの材料は導電膜106aと高い選択比がとれるものが好ましい。例えば、その材料としてTi、Mo、Cr、Al、Nd等やその合金があり、これら材料でなる積層構造であっても良い。そして導電膜106aよりもパターンの小さい導電膜105bを形成する。

10

20

30

40

50

【0048】

図2 (A) から図2 (B) の導電膜105bのエッチングは、ドライエッチングで行ってもウェットエッチングで行っても良いが、図2ではドライエッチングの場合を図示する。導電膜105bは、側面がレジストパターン104bの側面と概ね一致するように形成される。導電膜105bは、一方の側面はレジストパターン104bの一方の側面の延長線上にあり、他方の側面はレジストパターン104bの他方の側面と一致する。

【0049】

ドライエッチングを行うことにより、微細な加工が可能となる。ただし、導電膜105bを形成するときに、導電膜106aも一部がエッチングされる。

【0050】

一方、導電膜105bをウェットエッチングすると、等方的にエッチングが進むため、レジストパターン104bよりも小さい導電膜105bが形成される。レジストパターン104bの側面と導電膜105bの側面は一致しない。故に、同一のレジストパターン104bをマスクとしても、ドライエッチングよりウェットエッチングで形成したほうが、より小さい導電膜105bが形成される。

【0051】

ウェットエッチングを行うことにより、エッチングの選択比を十分大きくとることが可能となる。

【0052】

なお、導電膜106aはドライエッチングで形成されるときは、その側面は、基板面に対してほぼ垂直または90度に近い角度 θ_1 を有する。一方、導電膜105bがウェットエッチングで形成されると、等方的なエッチングにより、その側面は、基板面に対して鋭角な角度 θ_2 を有する。したがって、導電膜106aと導電膜105bの側面の角度 θ_1 と角度 θ_2 を比較すると、 $\theta_1 > \theta_2$ となっている。なお、角度 θ_1 とは基板若しくは絶縁膜107の表面に対して導電膜106aの傾斜角度であり、角度 θ_2 とは基板若しくは絶縁膜107の表面に対して導電膜105bの側面の傾斜角であり、 θ_1 、 θ_2 ともに0°～90°の範囲内である。

【0053】

導電膜105bや導電膜106aが積層構造の場合は、各層によってエッチング速度が異なるときがある。これに伴い、基板面に対して各層の側面がなす角度もそれぞれ異なるときがある。したがってそのときは、基板面に対して最下層の膜の側面がなす角度を θ_2 とする。

【0054】

なお、導電膜105b及び導電膜106aの側面がなだらかな面とならずに、凸凹を持つ場合がある。その場合、角度 θ_1 及び角度 θ_2 は適宜決定すればよい。例えば、凸凹した側面に対し大まかな直線または曲線を引き、それを用いて角度 θ_1 及び角度 θ_2 を決定することができる。また、凸凹した側面に基づき、複数の角度 θ_1 及び角度 θ_2 をとって、その平均値を角度 θ_1 及び角度 θ_2 とすることができる。最も合理的な方法を用いれば良い。

【0055】

以上より、ドライエッチング法またはウェットエッチング法のいずれかのエッチング方法で導電膜105bを形成する。どちらのエッチング法で形成しても、導電膜106aの側面よりも後退した側面を有する導電膜105bが形成される。その要因の一つは、導電膜106aを形成するためのマスクであるレジストパターン104aと、導電膜105bを形成するためのマスクであるレジストパターン104bの大きさが異なり、レジストパターン104bのほうが小さいことである。

【0056】

その後、レジストパターン104bを除去する(図2 (C))。そして導電膜105b及び導電膜106aでなる電極が形成される。導電膜106aや導電膜105bは画素電極として機能する。ただし、これに限定されない。

10

20

30

40

50

【0057】

より望ましくは、導電膜105bを反射導電膜とすることで、反射電極として機能させ、導電膜106aを透明導電膜とすることで、透明電極として機能させることである。そして、導電膜105bの下には、必ず導電膜106aが配置されており、導電膜105bの下面全体が導電膜106aの上面に接している。

【0058】

そして、反射部108aに反射電極を配置し、透過部108bに透明電極を配置する。これにより、反射電極と透明電極とを、少ない工程数で製造することが出来、半透過型表示装置を容易に製造することができる。また、反射電極や透明電極は、微細な加工を必要としない。多少、ずれていても、大きな問題はない。例えば、少し、反射電極が小さくて、透明電極が大きくても、表示に大きな影響を与えない。よって、このような製造方法を行っても、製造歩留まりが低下しにくい。よって、コスト低減や製造日数の短縮などに有益である。

【0059】

本発明の膜厚の異なる領域を有するレジストパターン104aを用いて、導電膜105b及び導電膜106aの積層を形成すると、導電膜105bを形成する際、つまりレジストパターン104bをマスクとしてエッチングをするときに、導電膜106a表面の一部は多少エッチングされる。特に、ドライエッチングにより導電膜105bを形成するときは、下層の導電膜106aと選択比がとりにくいので、より導電膜106a表面の一部はエッチングされやすい。そのため、図2(C)の導電膜106aの膜厚a(上面が導電膜105bと接する部分の導電膜106aの膜厚)と、膜厚b(上面が導電膜105bと接しない部分の導電膜106aの膜厚)を比較すると、膜厚a<膜厚bとなる。なお、膜厚aとは導電膜105bと重ならない部分における導電膜106aの平均膜厚を言い、膜厚bとは導電膜105bと重なる部分における導電膜106aの平均膜厚を言う。

【0060】

本実施の形態で形成する導電膜105bは、側面が傾斜する場合がある。そのため、液晶表示装置に利用した場合、導電膜105bの傾斜している側面側からラビングするようにすると、導電膜105bの側面においてスムーズにラビングを行うことができる。導電膜105bの側面が垂直である方向からラビングを行うと、垂直な側面部分でラビング布にストレスがかかる等の理由でラビングが不完全になり、配向が不完全になることがあった。したがって、ラビングは導電膜105bの側面が傾斜している側から行うことが好ましい。

【0061】

また、ウェットエッチングにより、両側面ともに傾斜している導電膜105bを形成する場合は、どちらの方向からもスムーズにラビングでき、より効果的である。

【0062】

なお、図1(A)～図1(B)で示したように、光が照射された部分のレジストが溶解する場合のレジストをポジ型レジストと呼ぶ。しかし、ポジ型レジストに限定されず、ネガ型レジストを用いても良い。ネガ型レジストは、光が照射されない部分のレジストが溶解するものである。

【0063】

図3に、ネガ型レジストを用いた場合の図を示す。図1(A)が図3(A)に対応し、図1(B)が図3(B)に対応する。それ以外は、ネガ型とポジ型とでは、概ね違いはない。図3(A)に示すように、レジスト304で残したい部分には、透明部101cが配置され、レジスト304を除去したい部分には、遮光部101aが配置され、レジスト304を少し残したい部分には、半透部101bが配置される。その結果、図3(B)に示すように、レジスト304aが形成される。

【0064】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に

10

20

30

40

50

関して、組み合わせて、さらなる構成を作ることにも可能である。

【0065】

(実施の形態2)

実施の形態1では、絶縁膜107の上に画素電極が形成される場合について述べた。しかし、実際には、画素電極は別の配線やトランジスタや保持容量などに接続されることになる。そのため、必要であれば、絶縁膜107にコンタクトホールを形成して、配線などと接続する必要がある。

【0066】

そこで、その場合の断面図を図4に示す。絶縁膜107aに、コンタクトホール402が形成されている。コンタクトホール402の下には、配線401が形成されている。配線401は、トランジスタのソースもしくはドレインの一方に接続される場合が多い。あるいは、配線401自体がトランジスタのソースもしくはドレインの一方であることも多い。また、保持容量の電極であることも多い。

【0067】

このとき、導電膜105bの下には、必ず導電膜106aが配置されている。これは、実施の形態1で述べた製造方法を用いるためである。よって、コンタクトホール402を覆って配置される導電膜106aの上にも、導電膜105bが配置されることになる。

【0068】

そして、導電膜105bの下に、トランジスタや配線や保持容量が形成される。導電膜105bが反射電極であり、導電膜106aが透明電極である場合、透過領域を出来るだけ多くとることが望ましい。そこに光を透過させて表示を行うためである。一方、反射領域においては、反射電極の下に、何かが配置されていても、表示に影響が出ない。よって、導電膜105bの下に、トランジスタや配線や保持容量を配置することにより、効率的にレイアウトすることが出来る。

【0069】

なお、トランジスタや保持容量の全域が、反射電極の下に配置されていることが望ましいが、これに限定されない。トランジスタや保持容量について、各々の一部が反射電極の外側（反射領域の外側）に配置されていても問題ない。

【0070】

次に、反射電極の凹凸について述べる。反射電極は、外光を反射させて、表示を行うためのものである。反射電極に入ってきた外光を効率的に活用し、表示輝度を高めるためには、反射電極で乱反射させることが望ましい。

【0071】

そこで、図5に示すように、絶縁膜107bに凹凸501を設けることにより、反射電極を凹凸にしてもよい。なお、絶縁膜107bは、積層構造になっていてもよい。また、図6に示すように、コンタクトホール501aも、凹凸を形成するための手段として用いても良い。この場合、コンタクトホール501aは、配線401と導電膜106aを接続させる機能も持っている。

【0072】

次に、絶縁膜や反射電極の凹凸の形成方法の一例を示す。図1や図3では、露光光が遮光される遮光部101aと、露光光が一部通過する半透部101bを有する露光マスクを用いてレジストを形成する方法を述べた。そこでこの製造方法を、絶縁膜や反射電極の凹凸と、絶縁膜のコンタクトホールとを少ない工程数で形成する方法に適用してもよい。これにより、さらなる工程数の削減を実現することができる。

【0073】

また、透明電極と反射電極とを形成する部分で、この製造方法を用いているため、製造設備が整っている。そのため、さらに、絶縁膜や反射電極の凹凸の形成のために、この製造方法を用いても、特別に必要なものがない。よって、両方ともこの製造方法を用いて形成することに、非常に大きなメリットがある。

【0074】

この凹凸も、形状が多少ずれていても問題ない。微細化を強く要請されるような部分ではない。よって、製造歩留まりを低下させることなく、製造することが出来る。

【0075】

図7(A)において、露光マスクは、露光光が遮光される遮光部701aと、露光光が一部通過する半透部701bと、露光光が通過する透明部701cを有する。半透部701bには半透膜702が設けられ、露光光の光強度を低減させている。遮光部701aは半透膜702上に金属膜703が積層されて構成されている。ここでは半透部に半透膜を用いた例を示したが、これに限定されず、半透部は露光光の光強度を低減するものであればよい。また、半透部に回折格子パターンを用いてもよい。

【0076】

絶縁膜707の上に電極705が配置されている。その上に光によって感光する膜（例えば、感光性のアクリルなど）704を配置する。図7(A)に示す露光マスクを用いて膜704の露光を行うと、非露光領域と露光領域と半露光領域が形成される。そして、光が当たった部分は、膜704が除去される。すると、図7(B)に示すように、膜704aのようになり、コンタクトホール706aと凹凸706とが同時に形成される。

【0077】

なお、図7では、コンタクトホールの他に凹凸を形成したが、これに限定されない。コンタクトホールのような孔を複数形成し、これにより、凹凸を形成してもよい。その場合、その孔の下側には、配線を設けなくても良い。なぜなら、電氣的に接続させることが目的ではないからである。ただし、電氣的に問題がない場合であれば、配線を設けても良い。

【0078】

なお、図7では、光が当たった部分の膜704が除去されたが、これに限定されない。逆に、光が当たらなかった部分の膜704が除去されるようにしてもよい。

【0079】

なお、図7では、レジストを用いなかったが、これに限定されない。膜を形成したあと、レジストを用いて、ドライエッチングやウェットエッチングを行って、凹凸やコンタクトホールを形成してもよい。

【0080】

なお、透過領域では、反射領域よりも、液晶の厚さ（セルギャップ）を厚くする場合がある。これは、反射領域では、光が往復して通るが、透過領域では、光が一度通るだけだからである。そこで、セルギャップを調節して、透過領域でのセルギャップを厚くするようにしてもよい。その場合の図を図8に示す。膜704を除去して膜704bを形成することによって、コンタクトホールだけでなく、透過領域における凹部801を形成することが出来る。凹部801の部分は、セルギャップが厚くなる。よって、この部分を透過領域にすればよい。

【0081】

この場合、セルギャップを厚くするために、特別な工程の増加が必要ないため、コストを低くすることが出来る。

【0082】

なお、本実施の形態は、実施の形態1で述べた内容を、一部変形した場合の一例を示している。したがって、実施の形態1で述べた内容は、本実施の形態にも適用することができ、本実施の形態と組み合わせることも出来る。

【0083】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせ、さらなる構成を作ることにも可能である。

【0084】

（実施の形態3）

次に、トランジスタを配置した場合の具体例について述べる。ただし、トランジスタは必ずしも必要ではなく、いわゆるパッシブマトリックス型に適用してもよい。

10

20

30

40

50

【0085】

まず、図9を用いて、基板901上にトップゲート型のTFETを形成する方法を説明する。基板901は透光性を有する基板、例えば石英基板、ガラス基板またはプラスチック基板である。なお、基板901は遮光性の基板でもよく、半導体基板、SOI (Silicon on Insulator) 基板でもよい。

【0086】

基板901上に下地膜として絶縁膜902を成膜する。絶縁膜902としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜 (SiO_xN_y) 等の絶縁膜の単層、或いはこれらの膜の少なくとも2つの膜でなる積層を用いる。

【0087】

なお、半導体と接する部分では、酸化シリコン膜を用いる方がよい。その結果、下地膜における電子のトラップやトランジスタ特性のヒステリシスを抑えることが出来る。また、下地膜として、窒素を多く含む膜を少なくとも1つ配置することが望ましい。それにより、ガラスからの不純物を低減することが出来る。

【0088】

次いで、絶縁膜902上に島状半導体膜903を形成する。

【0089】

島状半導体膜903は、絶縁膜902上にスパッタ法、LP-CVD法、またはプラズマCVD法等により半導体膜を全面に形成した後、フォトリソグラフィ法等により形成されたマスクを用いて半導体膜を形状加工して形成する。島状半導体膜903を結晶性半導体膜で形成するときは、基板901上に直接結晶性半導体膜を形成する方法と、非晶質半導体膜を基板901上に形成した後に、加熱処理により結晶化させて結晶性半導体膜を形成する方法がある。後者の方法において、結晶化の際の加熱処理は、加熱炉、レーザ照射、若しくはレーザ光の代わりにランプから発する光の照射 (以下、ランプアニールと表記する)、又はそれらを組み合わせて用いることにより行われる。

【0090】

また、ニッケルなどを非晶質半導体膜に添加した後に上記加熱処理を行う熱結晶化法により結晶性半導体膜を形成してもよい。なお、ニッケルを用いた熱結晶化法を用いて結晶化を行って結晶性半導体膜を得た場合は、結晶化後にニッケルを除去するゲッタリング処理を行うことが好ましい。

【0091】

レーザ照射により結晶化して結晶性半導体膜を作製する場合には、連続発振 (CW: continuous-wave) 型のレーザビームやパルス発振型のレーザビーム (パルスレーザビーム) を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、 YVO_4 、フォルステライト (Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶 (セラミック) のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ (基本波1064nm) の第2高調波 (532nm) や第3高調波 (355nm) を用いることができる。このレーザは、CWで射出することも、パルス発振で射出することも可能である。CWで射出する場合は、レーザのパワー密度は0.01~100MW/cm²程度 (好ましくは0.1~10MW/cm²) 必要である。そして、走査速度を10~2000cm/sec程度として照射する。

【0092】

なお、単結晶のYAG、 YVO_4 、フォルステライト (Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶 (セラミック) のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3

10

20

30

40

50

、 $GdVO_4$ に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi：サファイアレーザは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0093】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【0094】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上を図ることができる。

【0095】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ1mm以下、長辺の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【0096】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【0097】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【0098】

次いで、必要があればTFETのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いる。ただし、質量分離して、ドープ量を正確に制御するようにしてもよい。これにより、しきい値電圧を正確に制御出来る。

【0099】

この島状半導体膜903の厚さは25～80nm（好ましくは30～70nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0100】

そして、島状半導体膜903を覆うようにゲート絶縁膜904を形成する。ゲート絶縁膜904としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの単層または積層構造を用いることができる。島状半導体膜903と接するゲート絶縁膜は酸化珪素膜が好ましい。それは、酸化珪素膜にすると島状半導体膜との界面におけ

10

20

30

40

50

るトラップ準位が少なくなるからである。また、ゲート電極をMoで形成するときは、ゲート電極と接するゲート絶縁膜は窒化シリコン膜が好ましい。それは、窒化シリコン膜はMoを酸化させないからである。

【0101】

ここではゲート絶縁膜904として、プラズマCVD法により厚さ115nmの酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）を形成する。

【0102】

次に、ゲート絶縁膜904上に導電層を形成して、フォトリソグラフィ法等により形成したマスクを用いて導電層を形状加工し、ゲート電極908やゲート配線を形成する。保持容量用の配線や電極を形成することもある。これらの導電層の材料としてはTi、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層により構成しても良い。ここではMoによりゲート電極を形成する。Moは、エッチングしやすく、熱に強いので好適である。次に、ゲート電極908またはレジストをマスクとして島状半導体膜903に不純物元素をドーピングし、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とを形成する。

【0103】

このとき、LDD領域を形成してもよい。

【0104】

次いで、透光性を有する無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）やそれらの積層を用いて絶縁膜917を形成する。また、シロキサンを含む材料を用いて絶縁膜917（もしくはその一部）を形成してもよい。なお、シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基としてフルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。絶縁膜917は積層構造でも良い。

【0105】

次いで、フォトリソマスクを用いてレジストからなるマスクを形成し、そのマスクを用いて、絶縁膜917、及びゲート絶縁膜904を選択的にエッチングし、コンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0106】

そして、絶縁膜917上にスパッタ法または印刷法またはCVD法またはインクジェット法で導電膜を形成する。そして、フォトリソグラフィ法等により形成したマスクを用いて導電層を形状加工し、ドレイン電極909やソース電極やソース配線を形成する。材料としてはTi、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層によりドレイン電極909などを構成しても良い。ここではAlの上下をMoで挟んだ三層構造によりドレイン電極やソース配線を形成する。

【0107】

このドレイン電極909が、図4、図6における配線401、図7、図8における電極705に相当する。

【0108】

その上に、絶縁膜907を形成する。絶縁膜907は、平坦性や被覆性が良いと望ましいため、有機材料を用いて形成されることが多い。なお、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）の上に、有機材料が形成され、多層構造になっていてもよい。この絶縁膜907が、図1～図3などにおける絶縁膜107に相当する。

【0109】

そして、絶縁膜907にコンタクトホールを形成したあと、上にスパッタ法または印刷法またはCVD法またはインクジェット法で導電膜を形成する。

【0110】

図9における導電膜906が、図2(C)、図4～図6の導電膜106aに相当する。そして、図9における導電膜905が、図2(C)、図4～図6の導電膜105bに相当する。

【0111】

導電膜906は、画素電極の一部であり、光を透過する透明電極である。そして、導電膜905は、画素電極の一部であり、光を反射する反射電極である。反射電極の下面全体が透明電極の上面に接している。

【0112】

透明電極の場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ITO）膜、インジウムスズ酸化物（ITO）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ITSO）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（IZO）膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2～20wt%の酸化亜鉛（ZnO）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。

10

【0113】

反射電極の場合は、例えば、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどやそれらの合金などを用いることができる。また、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としても良い。

20

【0114】

導電膜905、導電膜906は、実施の形態1～実施の形態2で述べた方法を用いて形成する。

【0115】

導電膜905、導電膜906の上には、図示していないが、配向膜が形成されている場合が多い。

【0116】

対向基板911には、カラーフィルタ916やブラックマトリックス915や平坦化膜912や対向電極914などが形成されている。対向基板911と基板901の間に、液晶層910が配置されている。

30

【0117】

なお、光を反射させて表示を行う部分（反射部）920においては、液晶層910の中を光が2回通る。つまり、外光が対向基板側から液晶層910に入射し、導電膜905で反射されて、再度、液晶層910を通過し、対向基板側から出て行くので、液晶層910を2回通ることになる。

【0118】

一方、光を透過させて表示を行う部分（透過部）921においては、光は、導電膜906を通過して液晶層910に入り、対向基板側から出て行く。つまり、液晶層910の中を光が1回通る。

【0119】

ここで、液晶層910は、屈折率異方性を有しているため、液晶層910を通る距離によって、光の偏光状態が変わってくる。そのため、画像を表示する場合に、正しく表示できなくなってしまう。そこで、光の偏光状態を調整する必要がある。そのための方法として、光を反射させて表示を行う部分（反射部）920の液晶層910の厚さ（いわゆるセルギャップ）を薄くすることにより、2回通っても、距離が長くなりすぎないようにすればよい。

40

【0120】

そこで、液晶層910の厚さ（いわゆるセルギャップ）を薄くするために、厚さを調整する膜（セルギャップを調整するための膜、厚さ調整膜又はセルギャップ調整膜などともいう）を配置すればよい。図9においては、絶縁膜913がそれに相当する。つまり、光を

50

反射させて表示を行う部分（反射部）９２０において、絶縁膜９１３は液晶層の厚さを調整する為に設けられている層である。絶縁膜９１３を設けることによって反射部９２０における液晶層の厚さを、透過部９２１における液晶層の厚さよりも薄くすることが出来る。

【０１２１】

なお、反射部９２０での液晶層９１０の厚さは、透過部９２１における液晶層９１０の厚さの２分の１となることが望ましい。ここで、２分の１とは、人間の目で視認できない程度のずれを有していても良い程度のずれ量も含む。

【０１２２】

ただし、光は基板と垂直な方向、つまり法線方向のみから入射するわけではない。斜めから入射する場合も多い。よって、それらの場合を総合して、反射部９２０と透過部９２１とで、光の通る距離が実質的に、概ね同じ程度になればよい。したがって、反射部９２０での液晶層９１０の厚さは、透過部９２１における液晶層９１０の厚さの概ね３分の１以上、３分の２以下となることが望ましい。

【０１２３】

このように、厚さを調整する膜は対向基板９１１側に配置することにより、形成が容易になる。厚さを調整する膜は、アクリルやポリイミドなどの有機材料を用いて形成されることが好適である。

【０１２４】

なお、厚さを調整する膜に、光散乱用粒子が混在されていてもよい。これにより、光を散乱させ、輝度を向上させることが出来る。光散乱用粒子は、セルギャップ調整膜とは異なる屈折率を有する材質で出来ており、透光性を有する樹脂材料から成る。このような光散乱用粒子を、セルギャップを調整するための膜に混在させて、作製すればよい。

【０１２５】

なお、対向電極９１４は、絶縁膜９１３の上（液晶層９１０に近い側）にあることが望ましい。それにより、液晶層９１０に十分大きな電界を加えることが出来る。

【０１２６】

ただし、これに限定されない。図１０に示すように、電極１０１４の上（液晶層９１０に近い側）に絶縁膜１０１３を配置してもよい。絶縁膜１０１３は非常に厚いため、電極１０１４が断線してしまうことを防止することが出来る。

【０１２７】

なお、図９では、反射部９２０において、反射電極に凹凸が形成されていなかったが、図５，図６に示すように、凹凸を形成してもよい。その場合を図１０に示す。凹凸は、図７で述べた方法を用いて形成してもよい。凹凸１００１やコンタクトホール１００１aにより、光を拡散させることが出来る。

【０１２８】

なお、図９、図１０では、厚さ調整膜は対向基板側に設けられていたが、これに限定されない。トランジスタが形成されている側に配置してもよい。その場合を図１１に示す。絶縁膜９０７aの一部が除去されて、形成されている。なお、図１０と図１１とを組み合わせてもよい。その場合の一例を図１２に示す。凹部１１０１は、図８の凹部８０１に対応する。このように、透過部９２１に凹部８０１を設けることにより、透過部９２１のセルギャップを反射部９２０のセルギャップよりも大きくすることが出来る。

【０１２９】

なお、凹部と厚さ調整膜とを両方設けても良い。両方で厚さを制御すればよいので、片方の厚さは、あまり大きくなくても良い。そのため、製造しやすくなる。

【０１３０】

なお、図１１において、凹部１１０１は、絶縁膜９０７aの一部が除去されて、形成されているが、これに限定されない。他の絶縁膜も除去されてもよい。例えば、図５０には、絶縁膜９０７aだけでなく、絶縁膜９１７aの一部も除去されている場合を示す。これにより、反射部９２０と透過部９２１とで、セルギャップの差を付けやすくなる。また、絶

10

20

30

40

50

縁膜 907a だけを除去する場合と比較して、絶縁膜 907a の厚さを薄くすることが出来る。そのため、基板のそりなどの不具合を低減することが出来る。

【0131】

図 51 には、さらに、絶縁膜 902e、ゲート絶縁膜 904e、基板 901e など一部を除去している場合を示す。絶縁膜 902e、ゲート絶縁膜 904e、基板 901e などは、成分が類似した膜で形成されている場合があるため、凹部 1101c をより深く形成することが出来る。

【0132】

なお、凹凸は、コンタクトホールを用いて形成してもよい。その場合を図 13 に示す。導電膜 906 がドレイン電極 909 に接続されていない場所にコンタクトホール 1301 を設けて、それを用いて凹凸を形成している。このように、配線と配線とを接続させるためではなく、配線や電極の表面を凹凸にするために、複数のコンタクトホール 1301 を形成している。なお、コンタクトホール 1301 において、コンタクトホール 1001a と同様に、導電膜 906 をドレイン電極 909 と接続させるようにしてもよい。

【0133】

また、図 14 に、図 13 の場合に凹部 1101 を設けた場合を示す。

【0134】

このように、凹凸の有無、凹凸の形成方法、セルギャップの調整方法（厚さ調整を対向基板側で行うか、TF T 基板側で行うか）などは、各々の方式が複数ある。よって、そのいずれかを選択して、組み合わせて良い。

【0135】

なお、導電膜 905 が反射電極の場合、その下に、トランジスタや配線や保持容量が形成されることが望ましい。導電膜 905 が反射電極であり、導電膜 906 が透明電極である場合、透過領域を出来るだけ多くとることが望ましい。そこに光を透過させて表示を行うためである。一方、反射領域においては、反射電極の下に、何かが配置されていても、表示に影響が出ない。よって、導電膜 905 の下に、トランジスタや配線や保持容量を配置することにより、効率的にレイアウトすることが出来る。

【0136】

なお、トランジスタや保持容量の全域が、反射電極の下に配置されていることが望ましいが、これに限定されない。トランジスタや保持容量について、各々の一部が反射電極の外側（反射領域の外側）に配置されていても問題ない。

【0137】

そこで、反射電極の下にトランジスタや保持容量を配置した場合の断面図を図 47、図 48 に示す。図 47 では、トランジスタ 4702 で活性層として用いる半導体層の一部を用いて、保持容量 4701 の電極の 1 つを構成している。図 47 では、島状半導体膜 903 と、保持容量用配線 908e の間で、ゲート絶縁膜 904 を絶縁物として、保持容量 4701 を形成している。また、ドレイン電極 909 の一部を用いて、保持容量用配線 908e との間でも、絶縁膜 917 を絶縁物として、保持容量 4701 を形成している。図 48 では、トランジスタ 4702 で活性層として用いる半導体層とは別の半導体層 903f と、保持容量用配線 908f との間で、ゲート絶縁膜 904 を絶縁物として、保持容量 4801 を形成している。半導体層 903f は、コンタクトホールを介して、ドレイン電極 909 と接続されている。

【0138】

なお、図 9～図 14、図 47～図 48 までにおいて、ドレイン電極の上に絶縁膜を設けていたが、これに限定されない。ドレイン電極 905a を反射電極とし、ドレイン電極の下に透明電極 906a を配置し、ゲート電極の上の絶縁膜 1517 の上に、画素電極を配置してもよい。その場合の断面図を図 15 に示す。なお、図 15 の場合においても、反射電極の表面を凹凸にしてもいいし、セルギャップを調整するため、厚さ調整膜や凹部を構成してもよい。一例として、コンタクトホール 1601、1601a を用いて、反射電極の凹凸を形成した場合を図 16 に示す。

10

20

30

40

50

【0139】

なお、図9～図16、図47～図48までにおいて、チャンネルの上にゲート電極が配置されている、所謂トップゲート型のトランジスタの場合について述べてきたが、これに限定されない。チャンネルの下にゲート電極が配置されている、所謂ボトムゲート型のトランジスタの場合にも適用することが出来る。

【0140】

ボトムゲート型のトランジスタの場合を図17に示す。ゲート電極1708の上にゲート絶縁膜1704を形成する。その上に島状半導体膜1703を形成する。その上に、絶縁膜1717を形成する。そして、コンタクトホールを形成して、その上に、ドレイン電極1709やソース信号線を形成する。ドレイン電極1709やソース信号線の上は、トップゲート構造の場合と同様である。よって、ボトムゲート型の場合においても、反射電極の表面を凹凸にしてもいいし、セルギャップを調整するため、厚さ調整膜や凹部を構成してもよい。また、コンタクトホールを用いて、反射電極の凹凸を形成してもよい。

10

【0141】

なお、本実施の形態は、実施の形態1、実施の形態2で述べた内容を、より具体的に実現した場合の一例を示している。したがって、実施の形態1、実施の形態2で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせることも出来る。

【0142】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることにも可能である。

20

【0143】

(実施の形態4)

液晶層910には、様々な方式の液晶分子を配置することが出来る。

【0144】

例えば、TN (Twisted Nematic) 型液晶があげられる。TN型液晶を用いる場合は、画素電極にスリットを設ける必要がない。つまり、1画素内で一面に配置されていればよい。また、対向基板に形成した共通電極は、全ての画素に渡って、一面に形成されていればよい。そのため、実施の形態1～実施の形態3までに述べたような画素電極 (透明電極、反射電極) でよい。

30

【0145】

TN型以外の液晶としては、液晶分子が垂直方向に配置したMVA (Multi-domain Vertical Alignment) 方式やPVA (Patterned Vertical Alignment) 方式がある。MVA方式やPVA方式の場合、液晶分子の傾き方を制御するため、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置する。もしくは、突起物を設ける。

【0146】

そこで、画素電極にスリットが入っている場合について、断面図を図18に示す。なお、図18に示すように、対向電極にもスリット等が入っているのが、PVA方式であり、図19に示すように、対向電極に突起1901、1902が設けられているのが、MVA方式である。

40

【0147】

本発明の製造方法を用いた場合、導電層906bの側面と、導電層905bの側面とは、揃わない。導電層905bの側面の方が、引っ込んだ形になる。そして、反射電極の下面全体が透明電極の上面に接している。これは、各々の導電層をエッチングする時のレジスト形状など、本発明の製造方法に起因している。

【0148】

MVA方式やPVA方式を用いることにより、視野角特性が向上する。そのため、視認性が良くなり、どの角度から見ても、色むらの低減された画像を表示させることが出来る。

50

また、ノーマリーブラック方式を用いることができるので、黒状態での輝度を非常に小さく出来る。そのため、コントラスト比を高くすることが出来る。

【0149】

なお、本実施の形態は、実施の形態1～3で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態1～3で述べた内容は、本実施の形態にも適用してもいいし、本実施の形態と組み合わせることも出来る。

【0150】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に

10

【0151】

(実施の形態5)

次に、非晶質シリコンを用いたトランジスタの場合について述べる。なお、本実施の形態で説明するTFTを構成する基板の種類、各層の形成方法及び材料等は実施の形態1～実施の形態4を参照できる。

【0152】

非晶質シリコンを用いたトランジスタの場合においても、ボトムゲート型（逆スタガ型）、トップゲート型（正スタガ型）などを実現できる。ここでは、逆スタガ型の場合のトランジスタを用いた場合について述べる。

20

【0153】

図21に、断面図を示す。基板2101上に下地膜として絶縁膜を形成する。なお、下地膜は設けなくてもよい。次に、絶縁膜上もしくは基板2101上に導電層を形成し、フォトリソグラフィ法等により形成されたマスクを用いて導電層を形状加工し、ゲート電極2108やゲート配線を形成する。保持容量用の配線や電極を形成することもある。

【0154】

ゲート電極2108を覆うようにゲート絶縁膜2104を形成する。ゲート絶縁膜2104は、窒化珪素膜や酸化珪素膜やそれらの積層などが用いられる。ゲート絶縁膜2104上に非晶質半導体膜を形成する。非晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。続いて、非晶質半導体膜上に導電層を形成する。導電層には例えばリンを含む非晶質シリコン膜を用いることができる。そして、フォトリソグラフィ法等により形成されたマスクを用いて、非晶質半導体膜及び導電層の形状を加工して、非晶質半導体膜と導電層とを島状に形成する。通常、これらの層は、シリコンを主成分とする半導体層2103である。

30

【0155】

半導体層2103上に導電層を積層形成し、フォトリソグラフィ法等により形成されたマスクを用いて導電層を形状加工し、ドレイン電極2109を形成する。

【0156】

そして、ドレイン電極2109などをマスクとして、半導体層2103の導電層をエッチングする。これにより、ソースとドレインを分断することになる。このような構成は、通常、チャネルエッチ型と言われる。

40

【0157】

このドレイン電極2109が、図4、図6における配線401、図7、図8における電極705に相当する。

【0158】

その上に、絶縁膜2102を形成する。絶縁膜2102は、窒化珪素膜が望ましい。なぜなら、トランジスタへの、様々な不純物の進入を防止するためである。なお、酸化珪素膜やそれを含んだ積層膜でもよい。

【0159】

次に、配線の凹凸などを吸収し、平坦にするための絶縁膜2107を形成する。これは、

50

アクリルやポリイミドなどの有機膜が用いられる。光感光性の材料でもよい。

【0160】

この絶縁膜2107、絶縁膜2102が、図1～図3などにおける絶縁膜107に相当する。

【0161】

次に、絶縁膜2102、絶縁膜2107に、コンタクトホールを形成する。そして、その上に導電膜を形成する。

【0162】

図21における電極2106が、図2(C)、図4～図6の導電膜106aに相当する。そして、図21における電極2105が、図2(C)、図4～図6の導電膜105bに相当する。

10

【0163】

電極2106は、画素電極の一部であり、光を透過する透明電極である。そして、電極2105は、画素電極の一部であり、光を反射する反射電極である。反射電極の下面全体が透明電極の上面に接している。

【0164】

透明電極の場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2～20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。

20

【0165】

反射電極の場合は、例えば、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなどやそれらの合金などを用いることができる。また、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としても良い。

【0166】

導電膜2105、導電膜2106は、実施の形態1～実施の形態2で述べた方法を用いて形成する。

30

【0167】

導電膜2105、導電膜2106の上には、図示していないが、配向膜が形成されている場合が多い。

【0168】

対向電極2114、絶縁膜2113、平坦化膜2112、ブラックマトリクス2115、カラーフィルター2116、対向基板2111及び液晶層2110に関連することについては、実施の形態1～実施の形態4で述べたものと同様であるが、一例として述べる。

【0169】

なお、図21では、反射部920において、反射電極に凹凸が形成されていなかったが、図5、図6に示すように、凹凸を形成してもよい。その場合を図22に示す。凹凸は、図7で述べた方法を用いて形成してもよい。凹凸2201やコンタクトホール2201aにより、光を拡散させることが出来る。

40

【0170】

なお、厚さを調整する膜2113、2213に、光散乱用粒子が混在されていてもよい。これにより、光を散乱させ、輝度を向上させることが出来る。させる。光散乱用粒子は、セルギャップ調整膜とは異なる屈折率を有する材質で出来ており、透光性を有する樹脂材料から成る。このような光散乱用粒子を、セルギャップを調整するための膜に混在させて、作製すればよい。

【0171】

なお、図21、図22では、厚さ調整膜は対向基板側に設けられていたが、これに限定さ

50

れない。トランジスタが形成されている側に配置してもよい。その場合を図 23 に示す。なお、図 21 と図 22 とを組み合わせてもよい。その場合の一例を図 24 に示す。凹部 2301 は、図 8 の凹部 801 に対応する。このように、透過部 921 に凹部 2301 を設けることにより、透過部 921 のセルギャップを反射部 920 のセルギャップよりも大きくすることが出来る。

【0172】

なお、図 23 において、凹部 2301 は、絶縁膜 2107a の一部が除去されて、形成されているが、これに限定されない。他の絶縁膜も除去されてもよい。例えば、絶縁膜 2107a だけでなく、絶縁膜 2102 の一部も除去されていてもよい。図 52 には、さらに、ゲート絶縁膜 2104e、基板 2101e など一部を除去している場合を示す。これにより、反射部 920 と透過部 921 とで、セルギャップの差を付けやすくなる。また、絶縁膜 2102e、ゲート絶縁膜 2104e、基板 2101e などは、成分が類似した膜で形成されている場合があるため、凹部 2301e をより深く形成することが出来る。

【0173】

なお、図 24 では、凹部と厚さ調整膜とを両方設けているが、これに限定されない。どちらか一方だけでもよい。ただし、両方設けると、両方で厚さを制御すればよいので、片方の厚さは、あまり大きくなくても良い。そのため、製造しやすくなる。

【0174】

なお、凹凸は、コンタクトホールを用いて形成してもよい。その場合を図 25 に示す。電極 2106 がドレイン電極 2109 に接続されていない場所にコンタクトホール 2501 を設けて、それを用いて凹凸を形成している。このように、配線と配線とを接続させるためではなく、配線や電極の表面を凹凸にするために、複数のコンタクトホール 2501 を形成している。なお、コンタクトホール 2501 において、コンタクトホール 2201a と同様に、電極 2106 をドレイン電極 2109 と接続させるようにしてもよい。

【0175】

なお、図 25 の場合に凹部 2301 を設けてもよい。

【0176】

なお、図 21 ～図 25 において、チャネルエッチ型のトランジスタを用いていたが、これに限定されない。チャネル保護型でもよい。例として、図 21 の場合において、チャネル保護型のトランジスタを用いた時の断面図を図 26 に示す。チャネルを形成する半導体層 2603a の上にチャネル保護膜 2601 があり、その上に、リンを含む半導体層および導電層（ドレイン電極又はソース信号線など）2603b が配置されている。図 22 ～図 25、図 49 の場合も、同様にチャネル保護型トランジスタに適用することができる。

【0177】

チャネル保護膜 2601 を有する構成の TFT は次のような効果がある。半導体層がエッチングされる心配がないため、半導体層 2603a を薄く形成することができ、TFT の特性を向上させることができる。そのため、TFT に大電流を流すことができ、信号の書き込み時間が短縮することができ、好適である。

【0178】

なお、図 21 ～図 26、図 49 までにおいて、絶縁膜 2102 の上に絶縁膜 2107 を設けていたが、これに限定されない。平坦化する必要がない場合も実現可能である。その場合の断面図を図 27 に示す。絶縁膜 2107 を省いたことにより、工程数を減らすことができ、コストを低減することが出来る。なお、図 27 の場合においても、反射電極の表面を凹凸にしてもいいし、セルギャップを調整するため、厚さ調整膜や凹部を構成してもいいし、コンタクトホールを用いて反射電極の凹凸を形成してもよい。

【0179】

このように、凹凸の有無、凹凸の形成方法、セルギャップの調整方法（厚さ調整を対向基板側で行うか、TFT 基板側で行うか）、トランジスタの構造などは、各々の方式が複数ある。よって、そのいずれかを選択して、組み合わせる良い。

【0180】

なお、本実施の形態は、実施の形態 1～4 で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態 1～4 で述べた内容は、本実施の形態にも適用、組み合わせたりすることが出来る。

【0181】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせ、さらなる構成を作ることにも可能である。

【0182】

(実施の形態 6)

これまでは、主に断面図を用いて述べてきたが、本実施の形態では、上面図を述べる。

10

【0183】

図 28 に、図 9 や図 47 に適用できる場合の上面図を示す。図 28 は、1 画素分（1 色要素分）を示している。半導体層 2803a が形成され、その上に、ゲート配線 2808a、容量線 2808b が形成されている。ゲート配線 2808a と一続きの膜であって、半導体層 2803a の上に形成されたゲート電極によって、トランジスタが構成される。容量線 2808b の下には、半導体層 2803a が配置されており、容量線 2808b と半導体層 2803a とで、保持容量を形成している。ゲート絶縁膜を介して、上下の電極で容量を形成する。その場合、容量の電極となる領域の半導体層 2803a は、リンやボロンが添付されていてもよいし、添付されていなくてもよい。添付されていない場合は、容量線 2808b には、高い電圧が供給されている。リンやボロンが添付されている場合は、容量線 2808b は、対向電極と電氣的に接続されている場合が多い。これにより、配線数を減らすことが出来る。

20

【0184】

その上には、ソース信号線 2809a やドレイン電極 2809b が形成されている。それらは、コンタクトホールを介して、半導体層 2803a と接続されている。

【0185】

なお、ドレイン電極 2809b を大きく配置し、容量線 2808b と重なる領域を大きくとり、保持容量の容量値を大きくできるようにしてもよい。

【0186】

その上に、透明電極 2806 が形成されており、コンタクトホールを介して、ドレイン電極 2809b と接続されている。その上には、反射電極 2803b が形成されている。

30

【0187】

反射電極 2803b は、トランジスタや保持容量の上に形成されている。これにより、透過部での開口率を向上させることが出来、効率的にレイアウトすることができる。

【0188】

なお、容量線 2808b を配置しているが、これに限定されない。容量線 2808b のかわりに、1 行前のゲート信号線を用いても良い。つまり、1 行前のゲート信号線は、非選択状態の時には、電位が一定であるので、保持容量線として機能させることが出来る。

【0189】

なお、図 28 では、保持容量をトランジスタの近辺に配置したが、図 29 では、画素電極の中央部分に配置した。これにより、1 画素の中に、透過部を複数設けることが出来る。したがって、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすいことが出来る。マルチドメイン構造にすると、視野角を広くすることが出来る。

40

【0190】

図 30 には、図 27 の場合に対して、反射電極に凹凸 3001 を形成した場合を示す。これは、図 10 や図 13 などに対応している。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。

【0191】

同様に、図 29 の場合のように、保持容量を画素電極の中央部分に配置した場合に対して

50

、反射電極に凹凸 3 0 0 1 を形成した場合を図 3 1 に示す。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。また、1 画素の中に、透過部を複数設けることが出来るので、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすいことが出来る。マルチドメイン構造にすると、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を広くすることが出来る。

【0 1 9 2】

次に、図 1 1 に示したように、凹部 3 2 0 1 を形成した場合を図 3 2 に示す。これにより、セルギャップを反射部と透過部とで異なるようにすることが出来るため、視認性が向上し、正しい階調で、色むらの低減された画像を表示させることが出来る。また、セルギャップの調整を、トランジスタや容量や配線などが配置された側の基板で、同時に実現できるため、工程数が少なく、低コストで実現することが出来る。

【0 1 9 3】

同様に、図 2 9 の場合のように、保持容量を画素電極の中央部分に配置した場合に対して、凹部 3 2 0 1 a、3 2 0 1 b を形成した場合を図 3 3 に示す。

【0 1 9 4】

図 2 8 ～図 3 3 では、画素電極が 1 画素ごとに、一面に配置されている場合を述べた。これは、主に、TN 型液晶の時に用いる場合に相当する。

【0 1 9 5】

しかし、図 1 8、図 1 9 などに示したように、画素電極にスリットを入れることも可能であるし、画素電極を分割して間隔をおいて配置することも可能である。

【0 1 9 6】

図 3 4 では、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置することにより、MVA 型や PVA 型などに対応させた場合の上面図を示す。透過領域においても、反射領域においても、スリット 3 4 0 1 a、3 4 0 1 b、3 4 0 1 c、3 4 0 1 d などを形成する。これにより、液晶分子の傾く方向を決めることが出来る。

【0 1 9 7】

また、保持容量部を反射部の下に配置することにより、透過部の開口率を向上させることができ、最適なレイアウトを行うことが出来る。

【0 1 9 8】

また、反射部や保持容量を画素電極の中央部に配置し、その上下に透過部を配置することにより、1 画素の中に、透過部を複数設けることが出来るので、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすいことが出来る。これにより、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を向上させることが出来る。

【0 1 9 9】

なお、反射部において、凹凸 3 0 0 1 を形成した場合を図 3 5 に示す。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。

【0 2 0 0】

このように、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置する構成にするのは、図 2 8 ～図 3 3 にも適用させることが出来る。

【0 2 0 1】

なお、スリットの入れ方は、図 3 4、図 3 5 に限定されず、様々な配置をすることが出来る。

【0 2 0 2】

図 2 8 ～図 3 5 において、トップゲート構造のトランジスタを用いた場合の一例を示した。ただし、これに限定されず、これら以外の構成も可能である。次に、逆スタガ構造のトランジスタを用いた場合の一例を示す。

【0 2 0 3】

図 3 6 は、図 2 1 に対応している。ゲート配線 3 6 0 8 a、容量線 3 6 0 8 b が形成され

10

20

30

40

50

ている。その上に、半導体層 3603 が形成される。ゲート配線 3608a と一続きの膜であって、半導体層 3603 の下に形成されたゲート電極によって、トランジスタが構成される。その上には、ソース信号線 3609a やドレイン電極 3619b が形成されている。容量線 3608b の上には、ドレイン電極 3619b が配置されており、そこで、保持容量を形成している。ゲート絶縁膜を介して、上下の電極で容量を形成する。その上に、透明電極 3606 が形成されており、コンタクトホールを介して、ドレイン電極 3619b と接続されている。その上には、反射電極 3605 が形成されている。

【0204】

反射電極 3605 は、トランジスタや保持容量の上に形成されている。これにより、透過部での開口率を向上させることが出来、効率的にレイアウトすることができる。

10

【0205】

図 36 では、保持容量をトランジスタの近辺に配置したが、画素電極の中央部分に配置してもよい。これにより、1 画素の中に、透過部を複数設けることが出来るので、液晶分子の配向状態が異なる領域が複数存在させることができ、マルチドメイン構造にしやすいことが出来る。マルチドメイン構造にすると、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を広くすることが出来る。

【0206】

図 37 には、図 36 の場合に対して、反射電極に凹凸 3701 を形成した場合を示す。これは、図 22 や図 25 などに対応している。反射電極に凹凸を形成することにより、光が拡散され、輝度を上げることが出来る。

20

【0207】

次に、図 23 に示したように、凹部 3801 を形成した場合を図 38 に示す。これにより、セルギャップを反射部と透過部とで異なるようにすることが出来るため、視認性が向上し、正しい階調で、色むらの低減された画像を表示させることが出来る。

【0208】

図 36 ～図 38 では、画素電極が 1 画素ごとに、一面に配置されている場合を述べた。これは、主に、TN 型液晶の時に用いる場合に相当する。

【0209】

しかし、図 18、図 19 などに示したように、画素電極にスリットを入れることも可能であるし、画素電極を分割して間隔をおいて配置することも可能である。

30

【0210】

図 39 では、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置することにより、MVA 型や PVA 型などに対応させた場合の上面図を示す。透過領域においても、反射領域においても、スリット 3901a、3901b、3901c、3901d などを形成する。これにより、液晶分子の傾く方向を決めることが出来る。

【0211】

また、保持容量部を反射部の下に配置することにより、透過部の開口率を向上させることができ、最適なレイアウトを行うことが出来る。

【0212】

また、反射部や保持容量を画素電極の中央部に配置し、その上下に透過部を配置することにより、マルチドメイン構造にしやすいことが出来る。これにより、特定の角度で見たとき、光の透過量が減少してしまうことを防止することができ、視野角を向上させることが出来る。

40

【0213】

なお、反射部（反射電極 3605a の上）において、凹凸を形成してもよい。

【0214】

なお、図 39 でのスリットは波打つような形状をしている。これにより、液晶分子をより制御しやすくしている。

【0215】

このように、画素電極にスリットを入れる又は画素電極を分割して間隔をおいて配置する

50

構成にするのは、他の上面図にも適用させることが出来る。

【0216】

なお、スリットの入れ方は、図39に限定されず、様々な配置をすることが出来る。

【0217】

なお、本実施の形態は、実施の形態1～5で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態1～5で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせたりすることも出来る。

【0218】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることにも可能である。

【0219】

(実施の形態7)

本実施の形態では、実施の形態1～6で用いた露光マスクについて図20を用いて説明する。図20(A)～(C)は、図1、図3、図7、図8で示した露光マスクの遮光部101a及び半透部101bの上面図を示す。露光マスクの遮光部101aの幅は t_1 と示し、半透部101bの幅は t_2 と示している。

【0220】

半透部101bには回折格子パターンを設けることができ、図20(A)、(B)には露光装置の解像限界以下の複数のスリットでなるスリット部を有する回折格子パターンが示されている。回折格子パターンとは、スリット、ドット等のパターンが少なくとも1つ以上配置されたパターンである。スリット、ドット等のパターンを複数配置する場合は、周期的に配置されていてもよいし、非周期的に配置されてもよい。解像度限界以下の微細パターンを用いることによって、実質的な露光量を変調することが可能であり、露光されたレジストの現像後の膜厚を調節することが可能である。

【0221】

該スリット部のスリットが延びる方向は、スリット部301の様に遮光部303の一边と平行でも、スリット部302の様に遮光部303の一边と垂直でも構わない。または、遮光部303の一边に対して斜めの方向がスリットの延びる方向でも良い。尚、このフォトリソグラフィ工程で使用されるレジストはポジ型レジストが好ましい。

【0222】

また、半透部の別の例として、図20(C)に、露光光の光強度を低減する機能を有する半透膜2004を設けた例を示す。半透膜としては、MoSiNの他に、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。半透部を備えた露光マスクを用いた露光法は、ハーフトーン露光法とも呼ばれる。

【0223】

これら図20(A)～(C)に示す露光マスクに露光光を照射した場合、遮光部303の光強度はゼロであり、透光部305の光強度は100%である。一方、スリット部301、302、または半透膜2004で構成される光強度低減機能を有する半透部を通過する光の強度は、10～70%の範囲で調整可能となっている。代表的な光強度分布の例を図20(D)に示す。半透部が回折格子パターンである場合には、半透部を通過する光強度の調整は、スリット部301、302のピッチ及びスリット幅の調整により実現している。

【0224】

また、本実施の形態は実施の形態1～6と自由に組み合わせることができる。

【0225】

(実施の形態8)

本発明の画素回路について述べる。図45に画素配列50000には、画素50001がマトリックス状に配置されている。画素50001には、ビデオ信号が入力されるソー

ス信号線 5 0 0 0 2、ゲート信号が入力されるゲート信号線 5 0 0 0 3 が接続されている。それらの信号を用いてトランジスタ 5 0 0 0 4 を制御して、液晶 C_{LC} 、保持容量 C_s にビデオ信号を入力する。保持容量 C_s は、保持容量線 5 0 0 0 5 と接続されている。そして、ビデオ信号に応じて、液晶 C_{LC} の光透過率が変化し、画像を表示する。

【0226】

ガラス基板 6 0 0 0 0 上には、図 4 6 に示すように、少なくとも画素配列 5 0 0 0 0 が配置されている。そして、ゲート信号線を駆動するためのゲート信号線駆動回路 6 0 0 0 1 や、ソース信号線にビデオ信号を供給するためのソース信号線駆動回路 6 0 0 0 2 が配置されている場合がある。両方配置されている場合もあれば、いずれか一つのみ配置されていることもある。

10

【0227】

ソース信号線駆動回路 6 0 0 0 2 には、シフトレジスタやサンプリングスイッチやラッチ回路や D/A コンバータ回路などが配置されているが、これに限定されない。サンプリングスイッチのみ配置されて、シフトレジスタなどは配置されない場合もある。

【0228】

なお、本実施の形態は、実施の形態 1～7 で述べた内容を、より具体的に実現し、ある部分をより詳細に説明した場合の一例を示している。したがって、実施の形態 1～7 で述べた内容は、本実施の形態にも適用することができるし、本実施の形態と組み合わせることも出来る。

【0229】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせ、さらなる構成を作ることにも可能である。

20

【0230】

(実施の形態 9)

本発明の表示装置を表示部に有する携帯電話の構成例について図 4 0 を用いて説明する。

【0231】

表示パネル 5 4 1 0 はハウジング 5 4 0 0 に脱着自在に組み込まれる。ハウジング 5 4 0 0 は表示パネル 5 4 1 0 のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル 5 4 1 0 を固定したハウジング 5 4 0 0 はプリント基板 5 4 0 1 に嵌入されモジュールとして組み立てられる。

30

【0232】

表示パネル 5 4 1 0 は FPC 5 4 1 1 を介してプリント基板 5 4 0 1 に接続される。プリント基板 5 4 0 1 には、スピーカ 5 4 0 2、マイクロフォン 5 4 0 3、送受信回路 5 4 0 4、CPU 及びコントローラなどを含む信号処理回路 5 4 0 5 が形成されている。このようなモジュールと、入力手段 5 4 0 6、バッテリー 5 4 0 7 を組み合わせ、筐体 5 4 0 9、5 4 1 2 に収納する。表示パネル 5 4 1 0 の画素部は筐体 5 4 1 2 に形成された開口窓から視認できよう配置する。

【0233】

表示パネル 5 4 1 0 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に TFT を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 5 4 1 0 に実装しても良い。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成した IC チップを COG 等で実装した表示パネルの構成は図 4 1 (a) に一例を示してある。このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

40

50

【0234】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【0235】

さらに消費電力の低減を図るため、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネルに実装しても良い。

【0236】

そして、本発明の表示装置を用いることにより、コントラストの高い画像で見ることが出来る。

10

【0237】

また、本実施例に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【0238】

なお、本実施の形態で述べた内容は、実施の形態1～8で述べた内容と自由に組み合わせて実施することができる。

【0239】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることにも可能である。

20

【0240】

(実施の形態10)

図42は表示パネル5701と、回路基板5702を組み合わせた液晶モジュールを示している。表示パネル5701は画素部5703、走査線駆動回路5704及び信号線駆動回路5705を有している。回路基板5702には、例えば、コントロール回路5706や信号分割回路5707などが形成されている。表示パネル5701と回路基板5702は接続配線5708によって接続されている。接続配線にはFPC等を用いることができる。

【0241】

30

表示パネル5701は、画素部と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にTFTを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネル5701に実装するとよい。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いて表示パネル5701に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した構成は図41(a)に一例を示してある。このような構成とすることで、表示装置の低消費電力を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

40

【0242】

走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【0243】

さらに消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての信号線駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)表示パネルに実装してもよい。

【0244】

なお、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に

50

形成し、その I C チップを C O G (C h i p O n G l a s s) で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に信号線駆動回路を形成した I C チップを C O G 等で実装した構成は図 4 1 (b) に一例を示してある。

【 0 2 4 5 】

この液晶モジュールにより液晶テレビ受像機を完成させることができる。図 4 3 は、液晶テレビ受像機の主要な構成を示すブロック図である。チューナ 5 8 0 1 は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路 5 8 0 2 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 5 8 0 3 と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路 5 7 0 6 により処理される。コントロール回路 5 7 0 6 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 5 7 0 7 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

10

【 0 2 4 6 】

チューナ 5 8 0 1 で受信した信号のうち、音声信号は音声信号増幅回路 5 8 0 4 に送られ、その出力は音声信号処理回路 5 8 0 5 を経てスピーカ 5 8 0 6 に供給される。制御回路 5 8 0 7 は受信局（受信周波数）や音量の制御情報を入力部 5 8 0 8 から受け、チューナ 5 8 0 1 や音声信号処理回路 5 8 0 5 に信号を送出する。

【 0 2 4 7 】

液晶モジュールを筐体に組みこんで、テレビ受像機を完成させることができる。液晶モジュールにより、表示部が形成される。また、スピーカ、ビデオ入力端子などが適宜備えられている。

20

【 0 2 4 8 】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【 0 2 4 9 】

このように、本発明の表示装置を用いることにより、コントラストの高い画像で見ることが出来る。

【 0 2 5 0 】

なお、本実施の形態で述べた内容は、実施の形態 1 ～ 9 で述べた内容と自由に組み合わせ実施することができる。

30

【 0 2 5 1 】

また、本実施の形態の中において、さまざまな図を用いて述べてきたが、1つの図は、様々な構成要件により成り立っている。したがって、各々の図の中から、各々の構成要件に関して、組み合わせて、さらなる構成を作ることとも可能である。

【 0 2 5 2 】

(実施の形態 1 1)

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には D i g i t a l V e r s a t i l e D i s c (D V D) 等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。

40

【 0 2 5 3 】

図 4 4 (A) は表示装置であり、筐体 3 5 0 0 1、支持台 3 5 0 0 2、表示部 3 5 0 0 3、スピーカ部 3 5 0 0 4、ビデオ入力端子 3 5 0 0 5 等を含む。本発明の表示装置を表示部 3 5 0 0 3 に用いることができる。なお、表示装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明の表示装置を表示部 3 5 0 0 3 に用いた表示装置は、コントラストの高い画像で見ること

50

とが可能となる。

【0254】

図44(B)はカメラであり、本体35101、表示部35102、受像部35103、操作キー35104、外部接続ポート35105、シャッター35106等を含む。

【0255】

本発明を表示部35102に用いたデジタルカメラは、コントラストの高い画像で見ることが可能となる。

【0256】

図44(C)はコンピュータであり、本体35201、筐体35202、表示部35203、キーボード35204、外部接続ポート35205、ポインティングデバイス35206等を含む。本発明を表示部35203に用いたコンピュータは、コントラストの高い画像で見ることが可能となる。

【0257】

図44(D)はモバイルコンピュータであり、本体35301、表示部35302、スイッチ35303、操作キー35304、赤外線ポート35305等を含む。本発明を表示部35302に用いたモバイルコンピュータは、コントラストの高い画像で見ることが可能となる。

【0258】

図44(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体35401、筐体35402、表示部A35403、表示部B35404、記録媒体(DVD等)読み込み部35405、操作キー35406、スピーカ部35407等を含む。表示部A35403は主として画像情報を表示し、表示部B35404は主として文字情報を表示することができる。本発明を表示部A35403や表示部B35404に用いた画像再生装置は、コントラストの高い画像で見ることが可能となる。

【0259】

図44(F)はゴーグル型ディスプレイであり、本体35501、表示部35502、アーム部35503を含む。本発明を表示部35502に用いたゴーグル型ディスプレイは、コントラストの高い画像で見ることが可能となる。

【0260】

図44(G)はビデオカメラであり、本体35601、表示部35602、筐体35603、外部接続ポート35604、リモコン受信部35605、受像部35606、バッテリー35607、音声入力部35608、操作キー35609、接眼部35610等を含む。本発明を表示部35602に用いたビデオカメラは、コントラストの高い画像で見ることが可能となる。

【0261】

図44(H)は携帯電話機であり、本体35701、筐体35702、表示部35703、音声入力部35704、音声出力部35705、操作キー35706、外部接続ポート35707、アンテナ35708等を含む。本発明を表示部35703に用いた携帯電話機は、コントラストの高い画像で見ることが可能となる。

【0262】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態1~13に示したいずれの構成の表示装置を用いても良い。

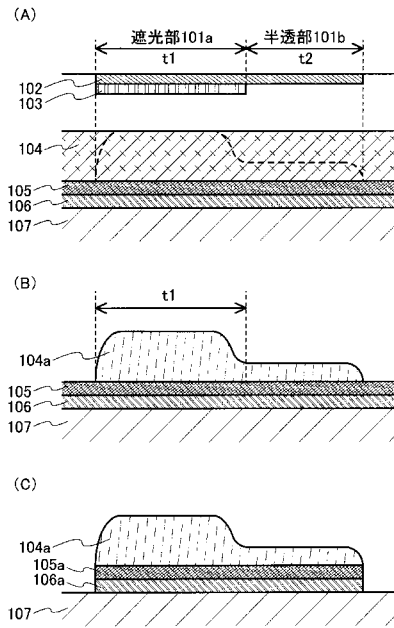
10

20

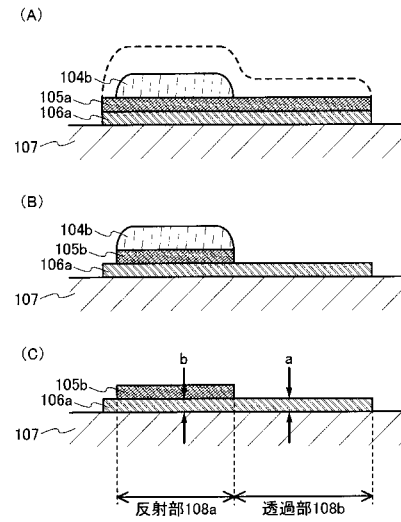
30

40

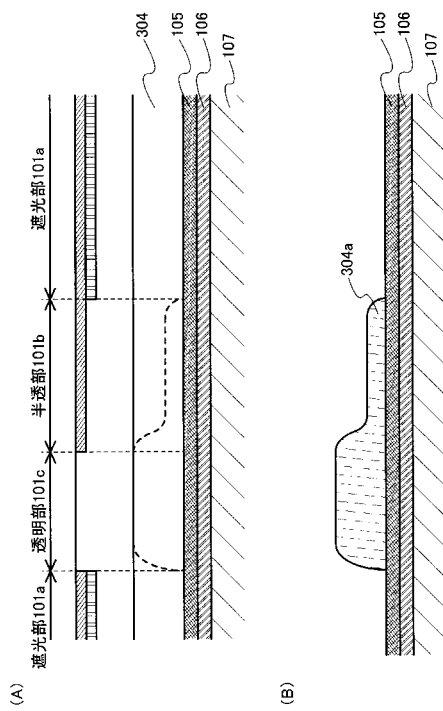
【図 1】



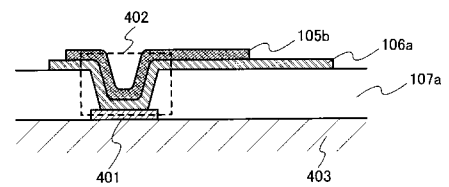
【図 2】



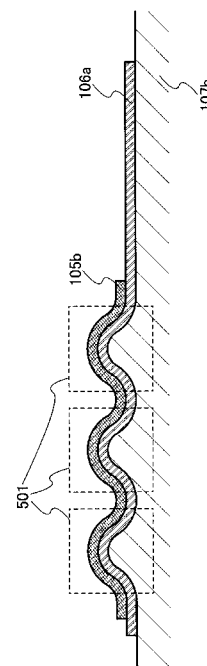
【図 3】



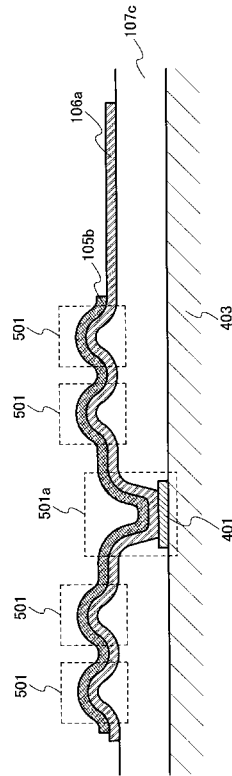
【図 4】



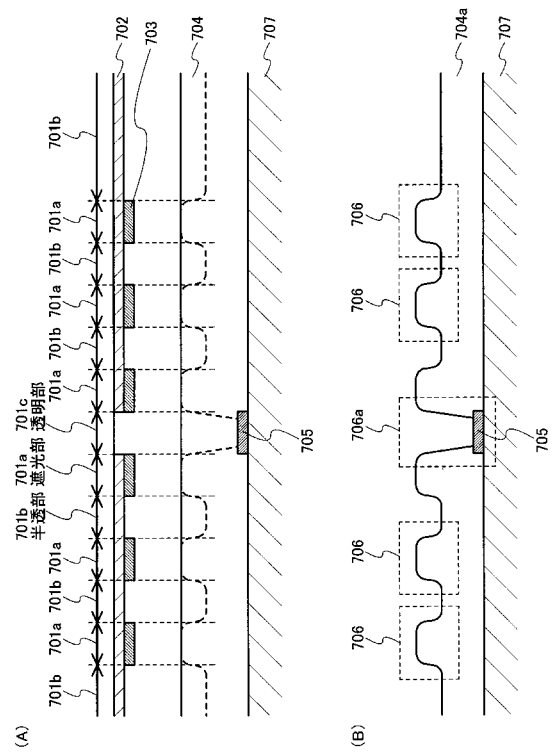
【図 5】



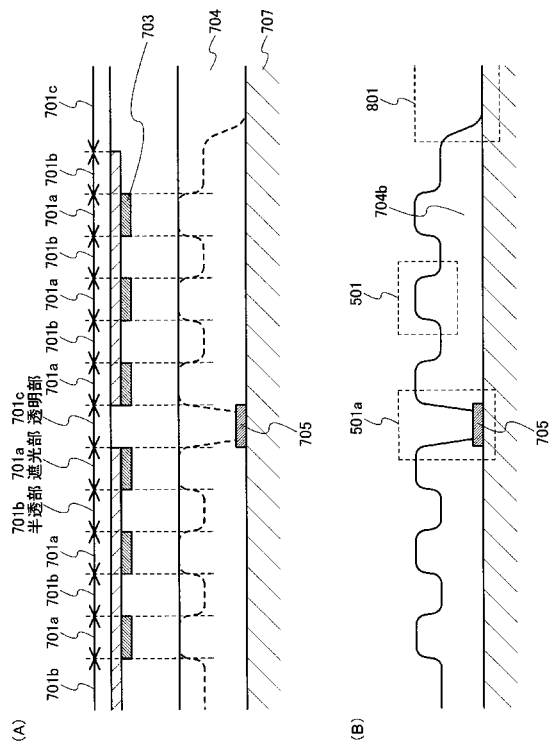
【図 6】



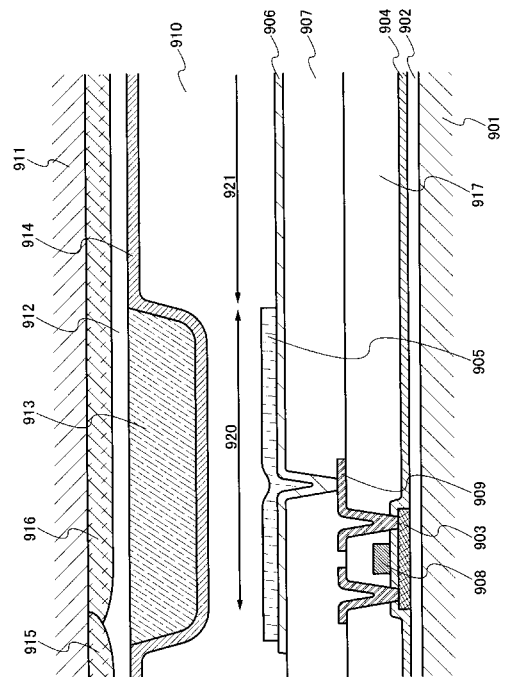
【 図 7 】



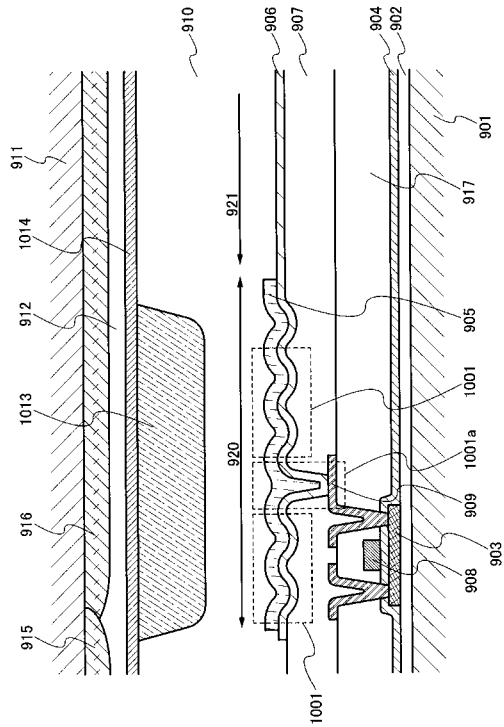
【図 8】



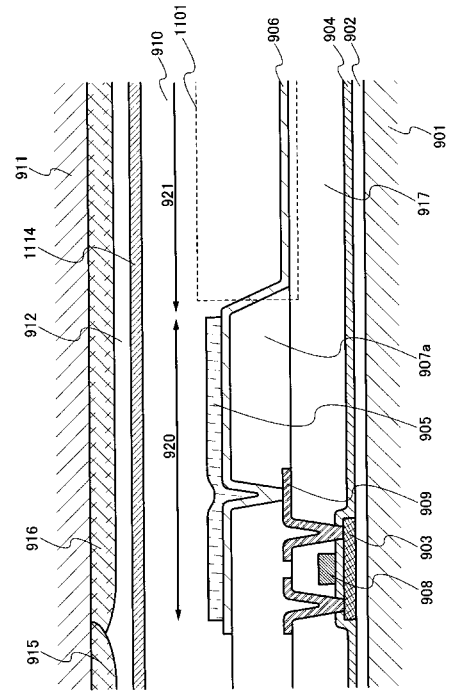
【图 9】



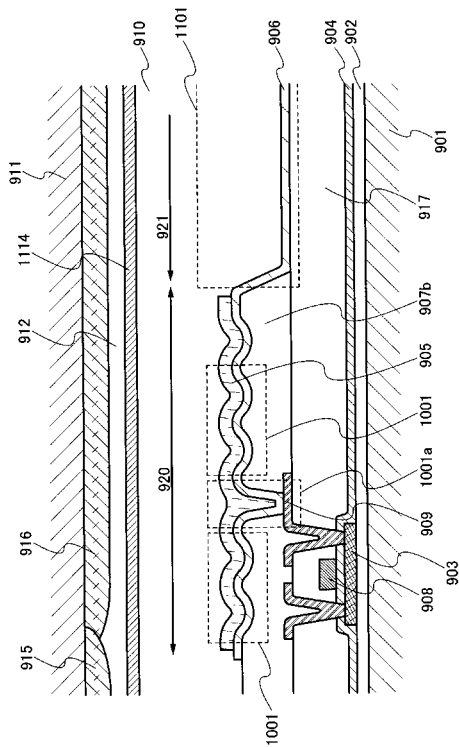
【図 10】



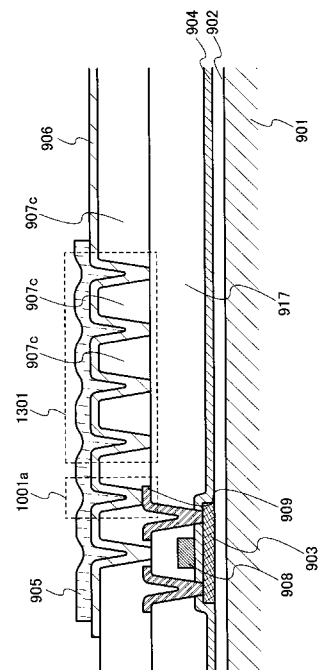
【図 11】



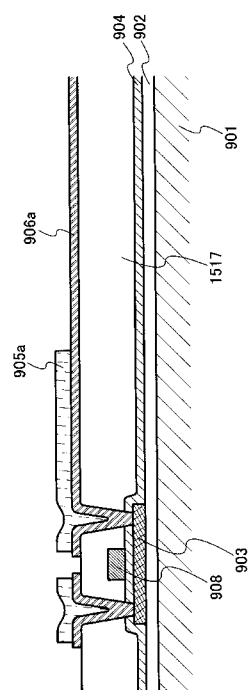
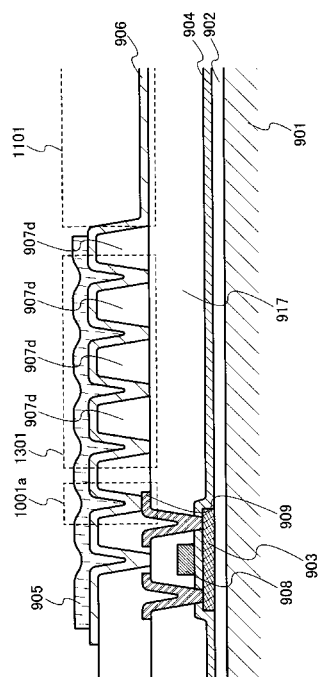
【図 12】



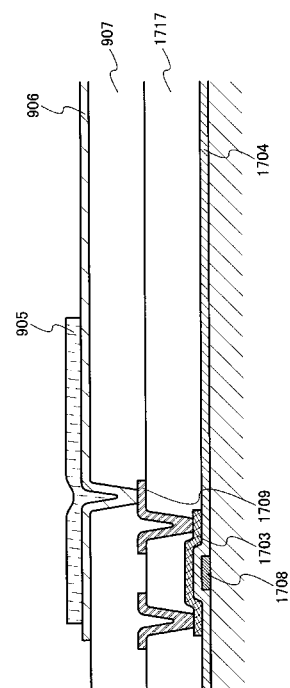
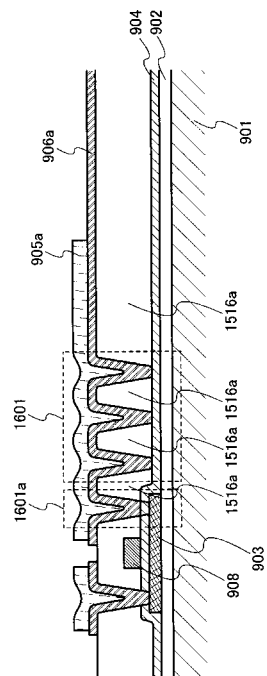
【図 13】



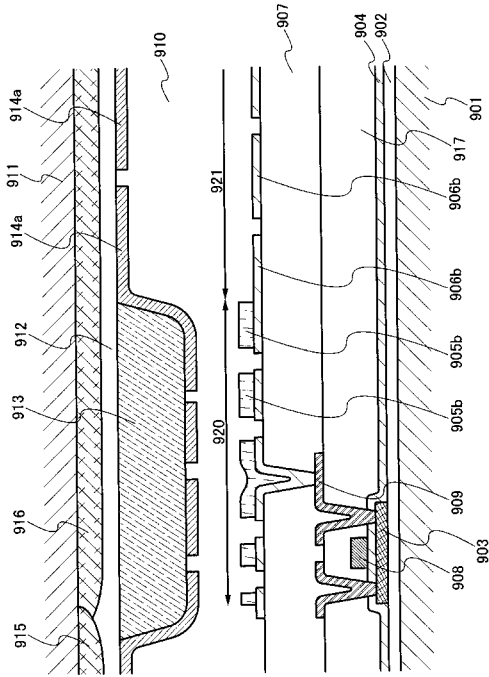
【図 15】



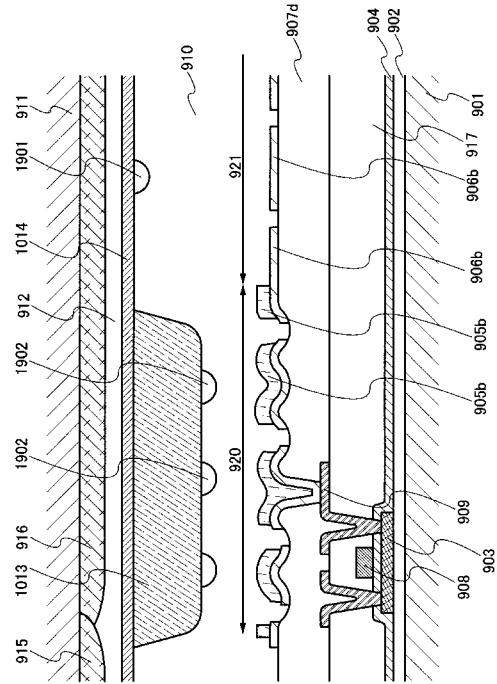
【図 17】



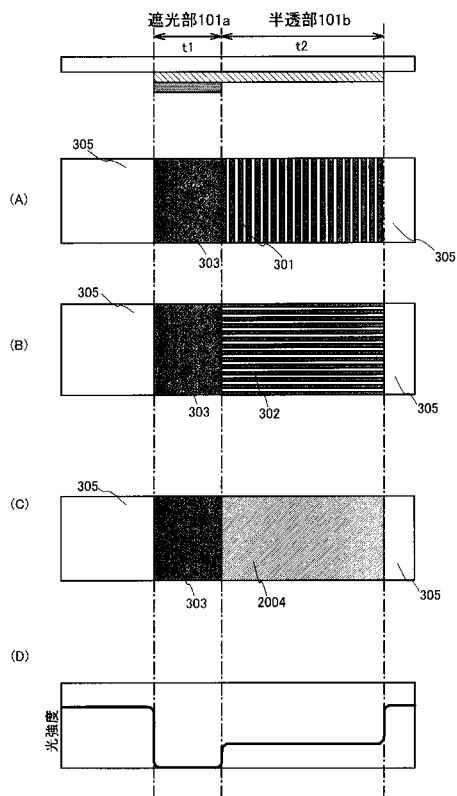
【図 18】



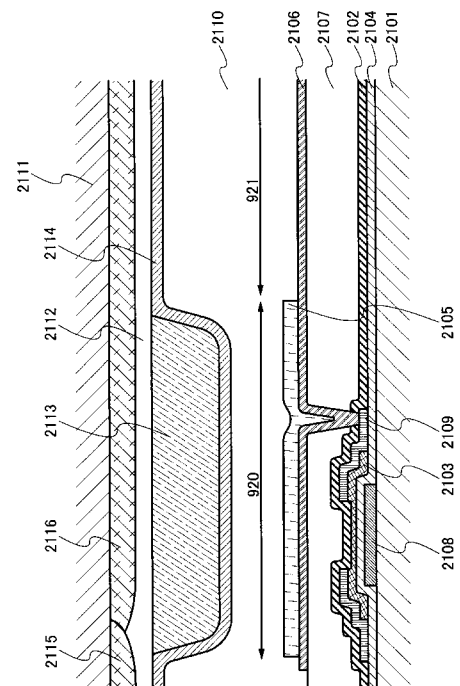
【図 19】



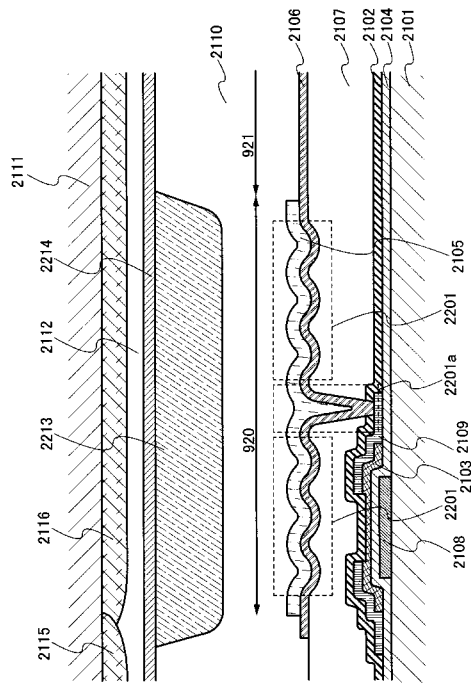
【図 20】



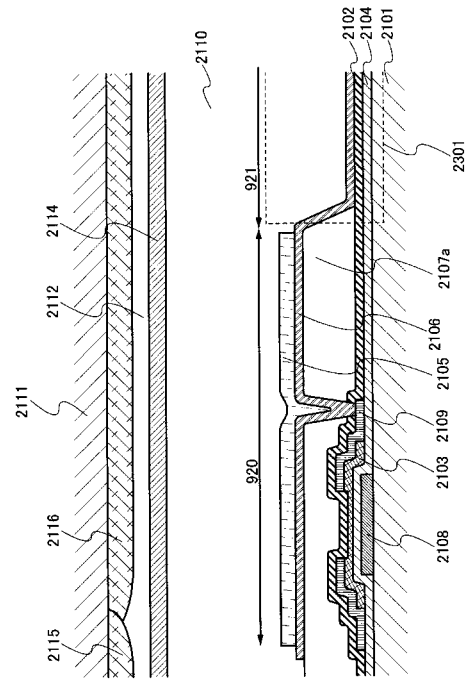
【図 21】



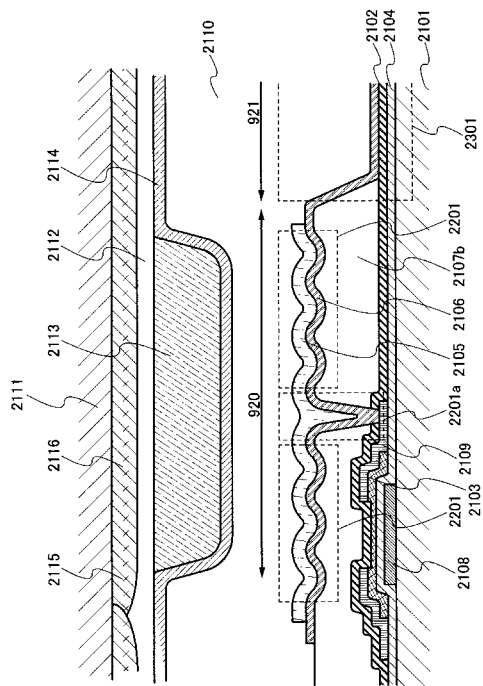
【図 2 2】



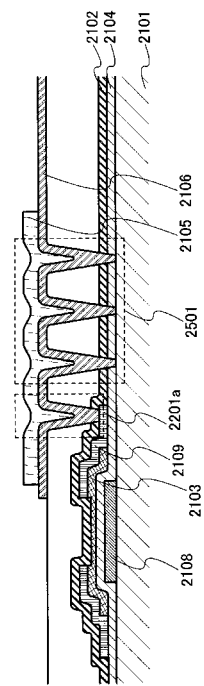
【図 2 3】



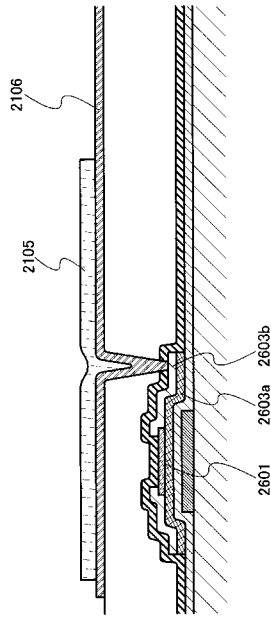
【図 2 4】



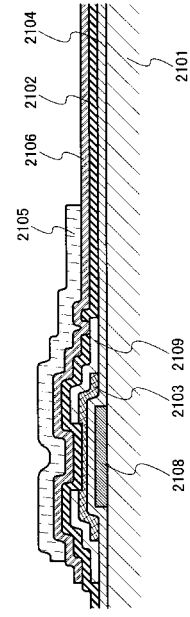
【図 2 5】



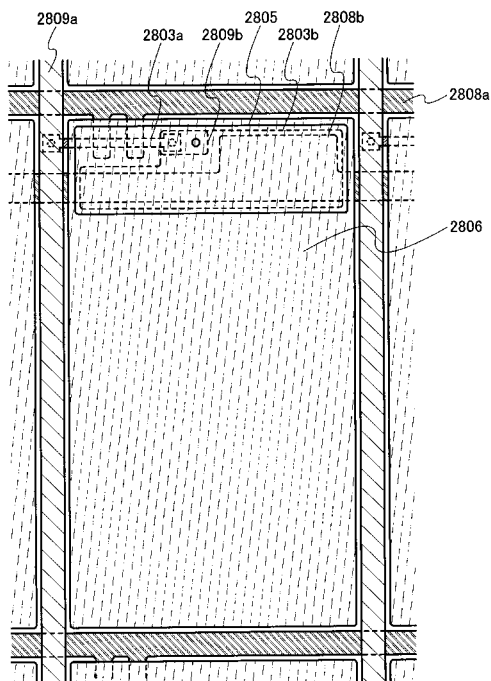
【図 26】



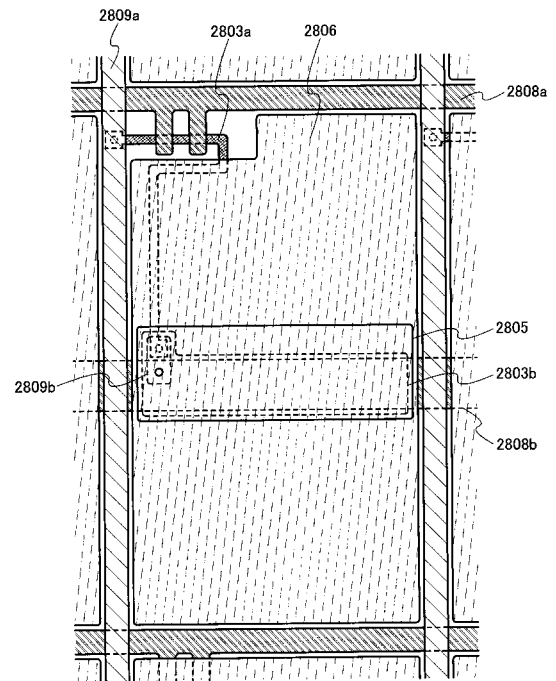
【図 27】



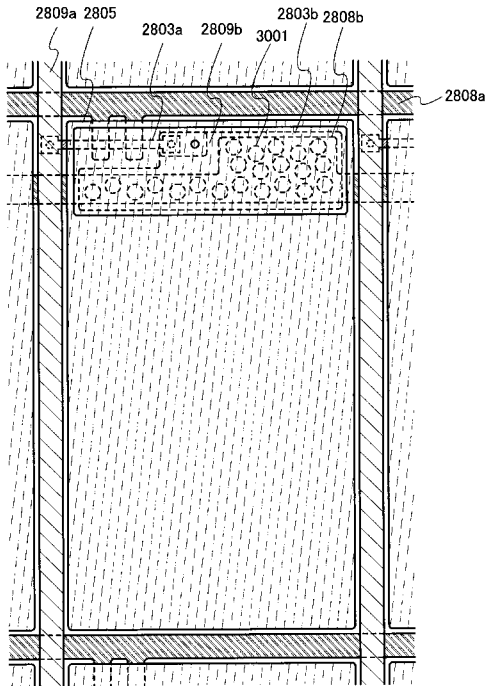
【図 28】



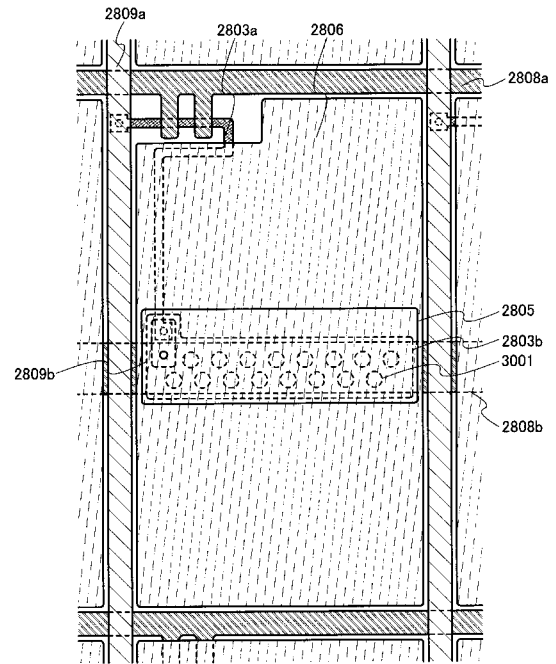
【図 29】



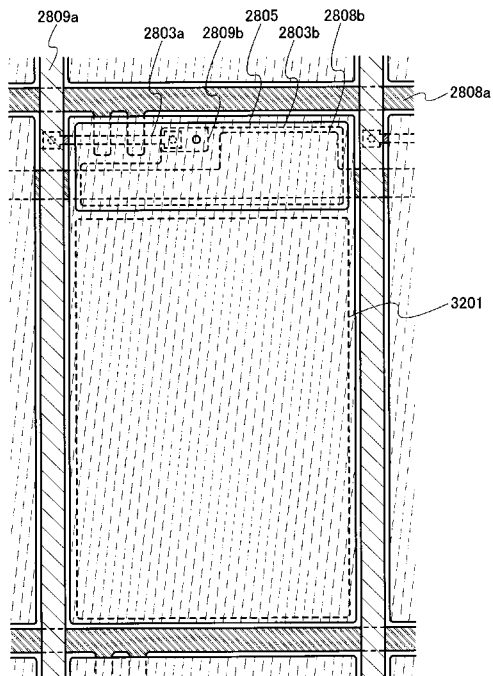
【図 30】



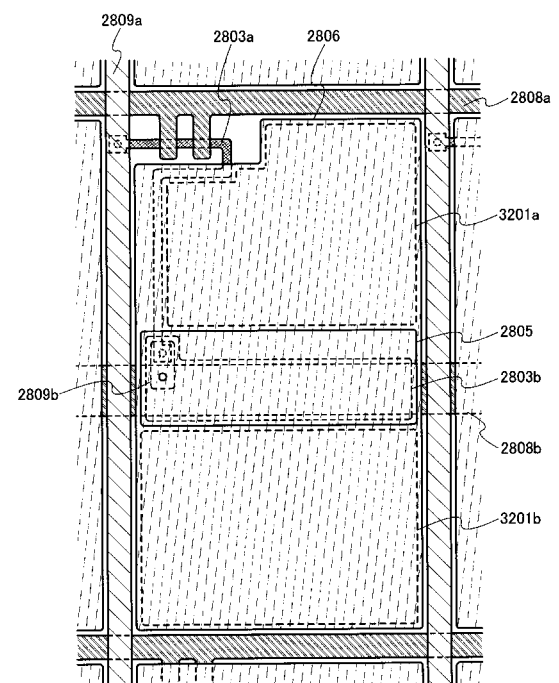
【図 31】



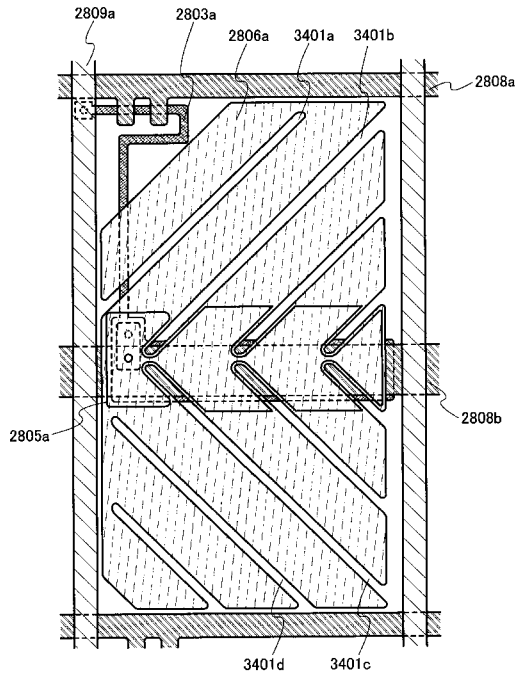
【図 32】



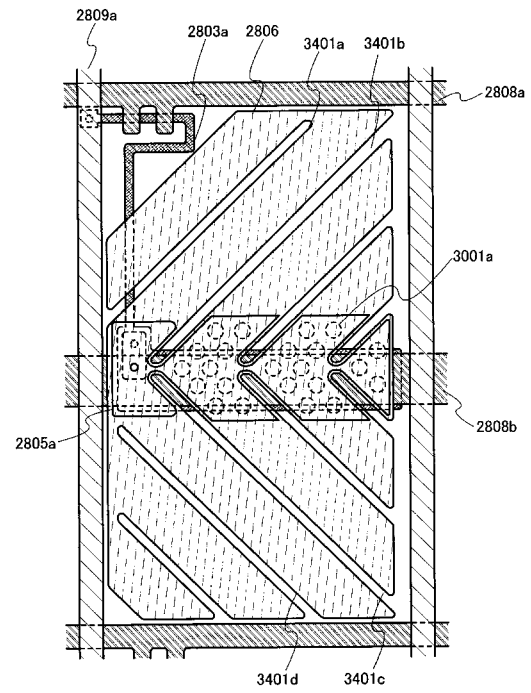
【図 33】



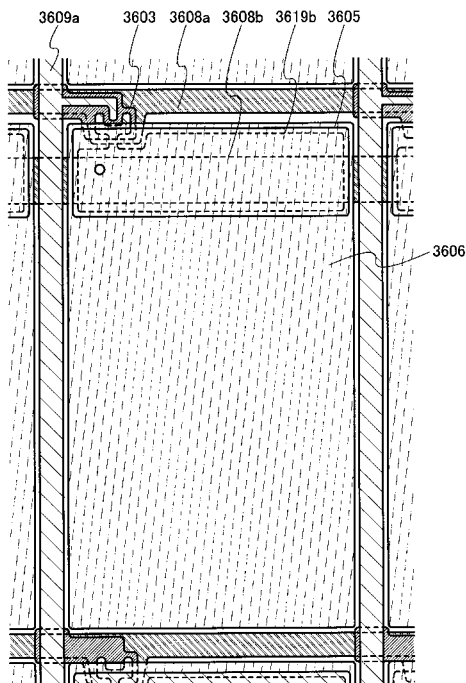
【図 3 4】



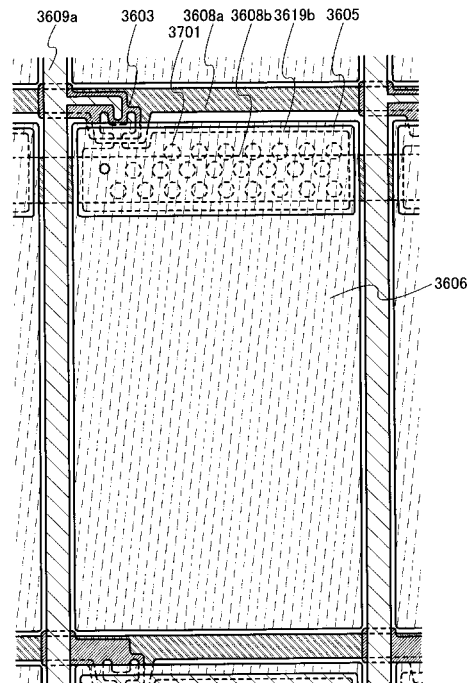
【図 3 5】



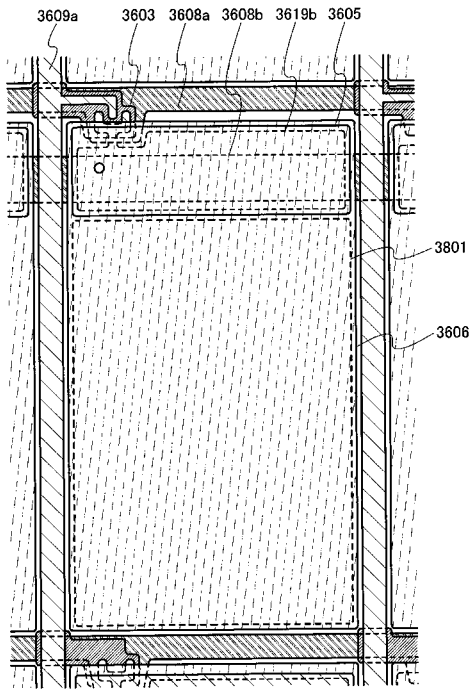
【図 3 6】



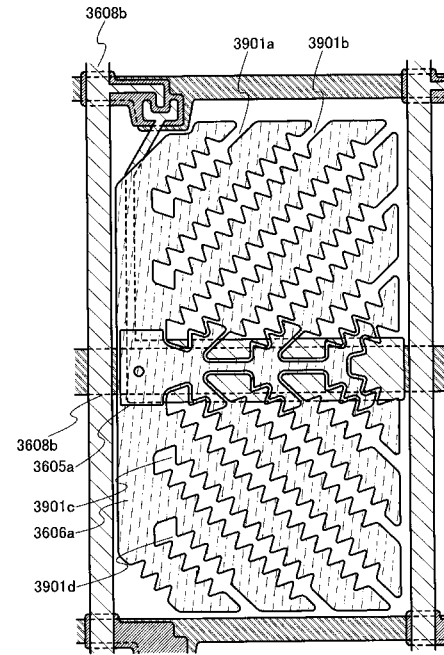
【図 3 7】



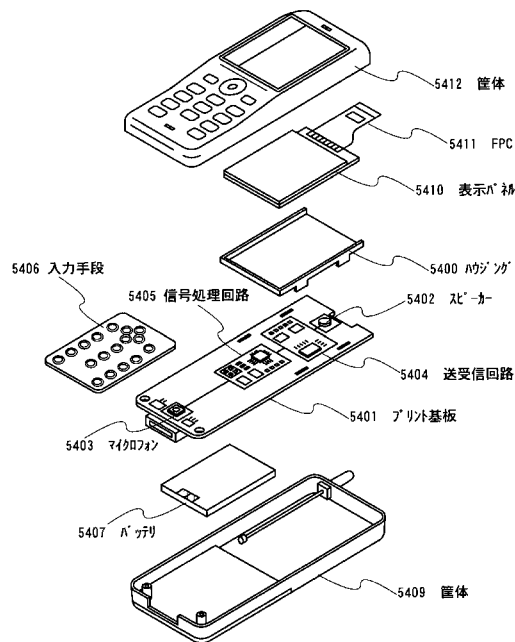
【図 38】



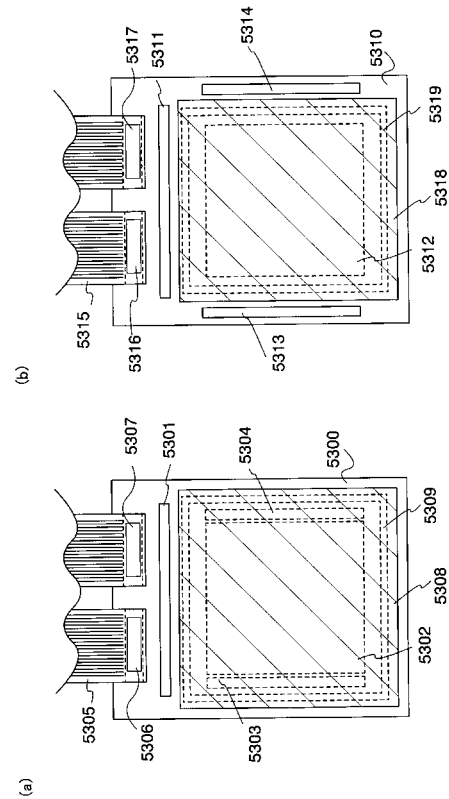
【図 39】



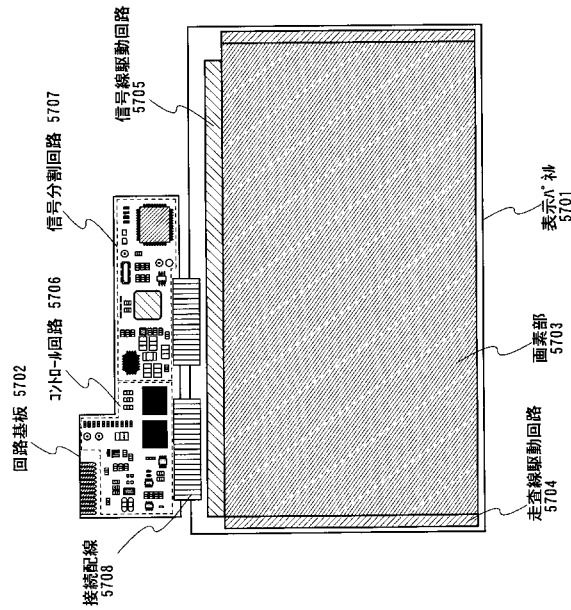
【図 40】



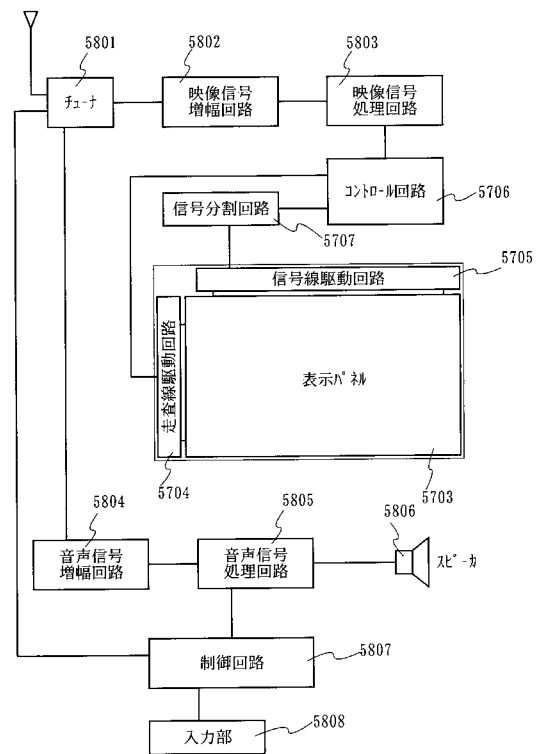
【図 41】



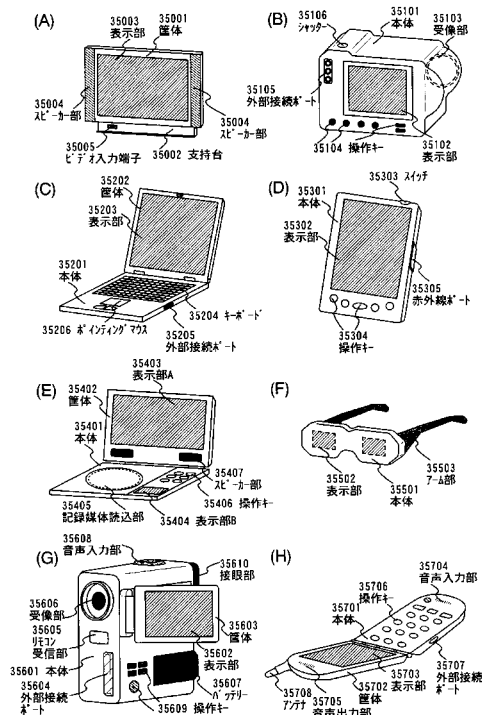
【図 4 2】



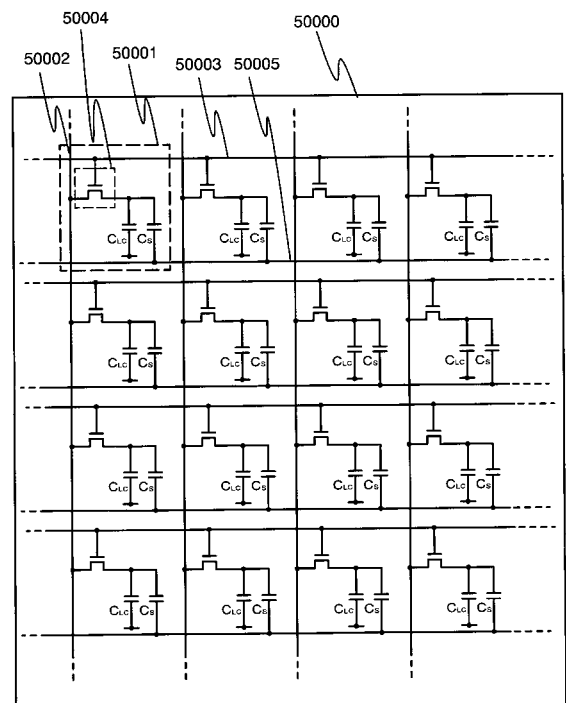
【図 4 3】



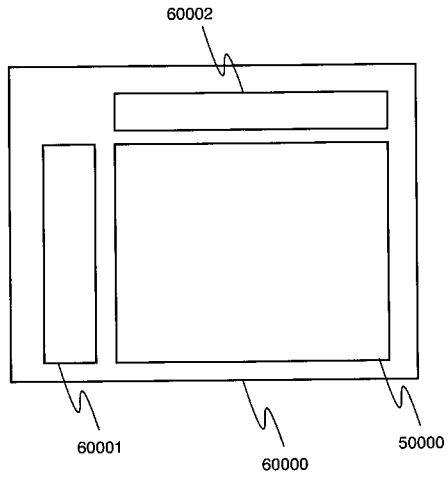
【図 4 4】



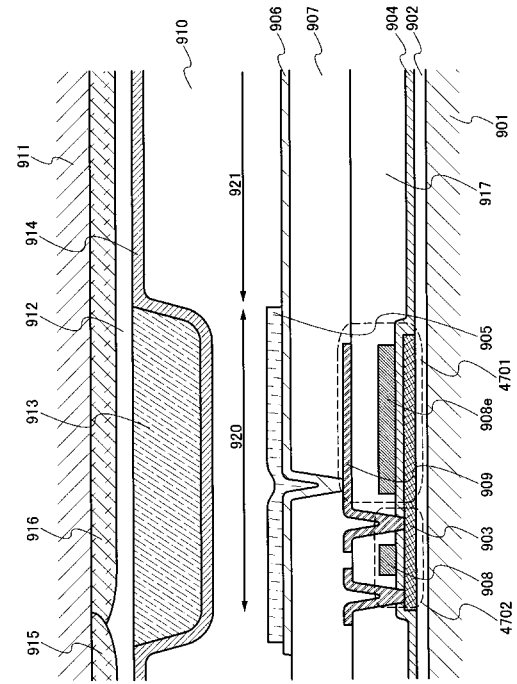
【図 4 5】



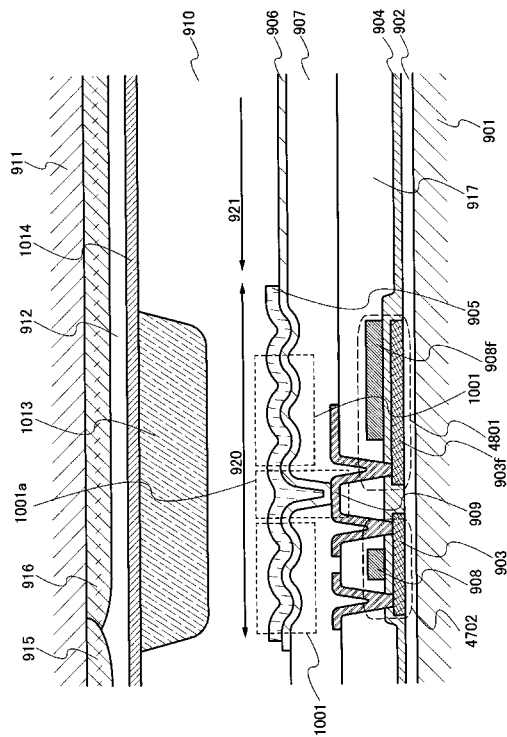
【図 4 6】



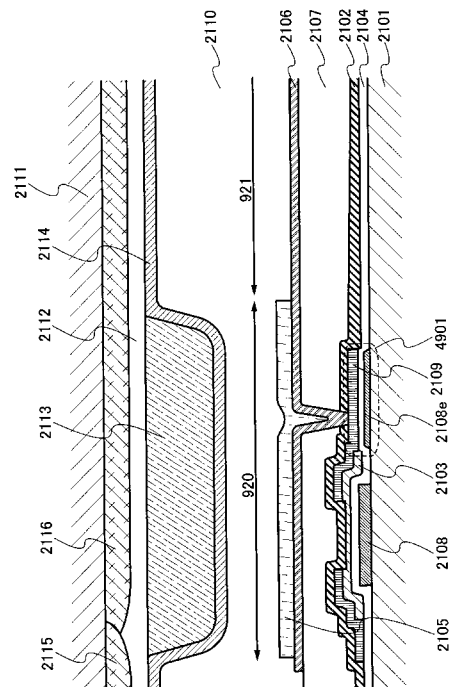
【図 4 7】



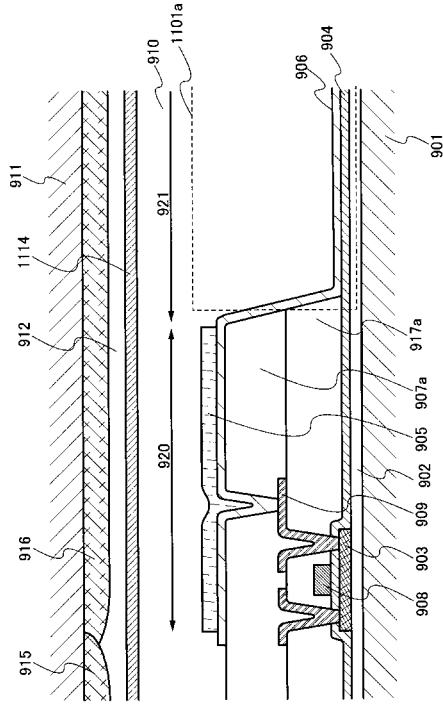
【図 4 8】



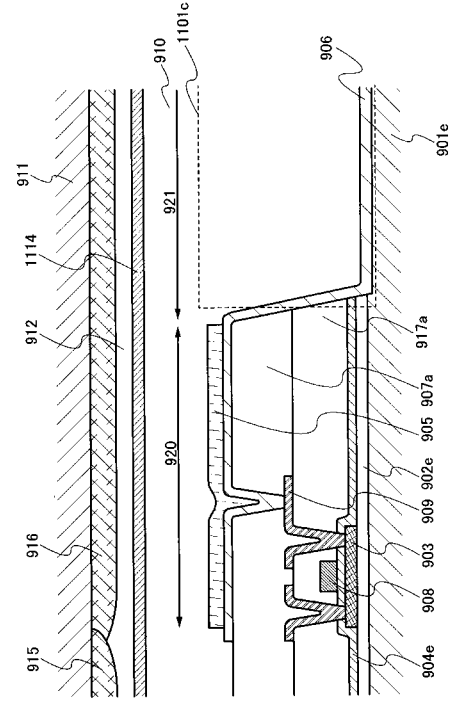
【図 4 9】



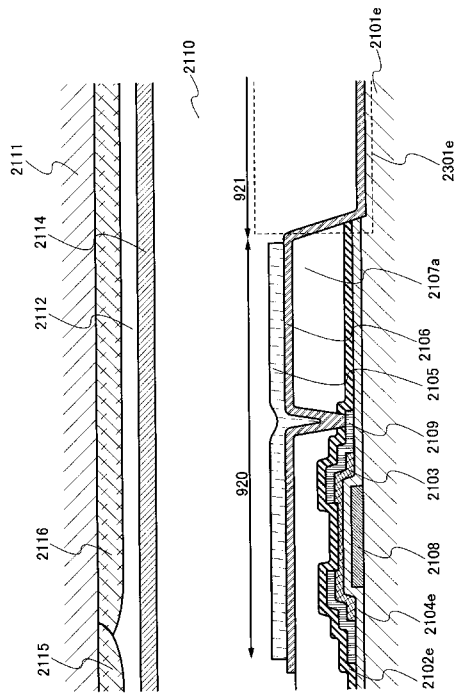
【図 50】



【図 51】



【図 52】



专利名称(译)	显示设备		
公开(公告)号	JP2015146053A	公开(公告)日	2015-08-13
申请号	JP2015102446	申请日	2015-05-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1333 G02F1/1335		
CPC分类号	B82Y20/00 G02F1/1333 G02F1/133371 G02F1/133555 G02F2001/136231 G02F2202/36 G02F1/133345 G02F1/136286 G02F1/1368		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB08 2H092/JB64 2H092/JB66 2H092/JB69 2H092/MA14 2H092/MA16 2H092/NA27 2H092/PA12 2H092/QA09 2H192/AA24 2H192/BA25 2H192/BC32 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB02 2H192/CB05 2H192/CB13 2H192/DA12 2H192/DA43 2H192/GD13 2H192/GD14 2H192/HA33 2H192/HA44 2H192/JA13		
优先权	2005378778 2005-12-28 JP		
其他公开文献	JP2015146053A5		
外部链接	Espacenet		

摘要(译)	解决的问题：当形成反射电极和透明电极时，提供一种具有两个电极的透反射液晶显示装置。由于使用抗蚀剂掩模，因此成本高。层叠成为像素电极的透明电极和反射电极。在反射电极上具有半透明的部分 通过使用曝光掩模来形成具有厚膜区域和薄膜区域的抗蚀剂 形成罢工模式。使用抗蚀剂图案形成反射电极和透明电极。如上所述，可以使用一个抗蚀剂掩模形成反射电极和透明电极。成为 [选择图]图2		<table> <tr> <td>(21) 出願番号</td><td>特願2015-102446 (P2015-102446)</td><td>(71) 出願人</td><td>000153878</td></tr> <tr> <td>(22) 出願日</td><td>平成27年5月20日 (2015. 5. 20)</td><td></td><td>株式会社半導体エネルギー研究所</td></tr> <tr> <td>(62) 分割の表示</td><td>特願2015-20028 (P2015-20028)</td><td></td><td>神奈川県厚木市長谷398番地</td></tr> <tr> <td></td><td>の分割</td><td>(72) 発明者</td><td>木村 肇</td></tr> <tr> <td>原出願日</td><td>平成18年12月27日 (2006. 12. 27)</td><td></td><td>神奈川県厚木市長谷398番地 株式会社</td></tr> <tr> <td>(31) 優先権主張番号</td><td>特願2005-378778 (P2005-378778)</td><td></td><td>半導体エネルギー研究所内</td></tr> <tr> <td>(32) 優先日</td><td>平成17年12月28日 (2005. 12. 28)</td><td>Fターム(参考)</td><td>2H092 GA13 JA25 JA26 JA46 JB05</td></tr> <tr> <td>(33) 優先権主張国</td><td>日本国(JP)</td><td></td><td>JB08 JB64 JB66 JB68 MA14</td></tr> <tr> <td></td><td></td><td></td><td>MA16 NA27 PA12 QA09</td></tr> <tr> <td></td><td></td><td></td><td>2H192 AA24 BA25 BC32 BC64 BC72</td></tr> <tr> <td></td><td></td><td></td><td>BC82 CB02 CB05 CB13 DA12</td></tr> <tr> <td></td><td></td><td></td><td>DA43 DA13 DA14 HA33 HA44</td></tr> <tr> <td></td><td></td><td></td><td>JA13</td></tr> </table>	(21) 出願番号	特願2015-102446 (P2015-102446)	(71) 出願人	000153878	(22) 出願日	平成27年5月20日 (2015. 5. 20)		株式会社半導体エネルギー研究所	(62) 分割の表示	特願2015-20028 (P2015-20028)		神奈川県厚木市長谷398番地		の分割	(72) 発明者	木村 肇	原出願日	平成18年12月27日 (2006. 12. 27)		神奈川県厚木市長谷398番地 株式会社	(31) 優先権主張番号	特願2005-378778 (P2005-378778)		半導体エネルギー研究所内	(32) 優先日	平成17年12月28日 (2005. 12. 28)	Fターム(参考)	2H092 GA13 JA25 JA26 JA46 JB05	(33) 優先権主張国	日本国(JP)		JB08 JB64 JB66 JB68 MA14				MA16 NA27 PA12 QA09				2H192 AA24 BA25 BC32 BC64 BC72				BC82 CB02 CB05 CB13 DA12				DA43 DA13 DA14 HA33 HA44				JA13
(21) 出願番号	特願2015-102446 (P2015-102446)	(71) 出願人	000153878																																																				
(22) 出願日	平成27年5月20日 (2015. 5. 20)		株式会社半導体エネルギー研究所																																																				
(62) 分割の表示	特願2015-20028 (P2015-20028)		神奈川県厚木市長谷398番地																																																				
	の分割	(72) 発明者	木村 肇																																																				
原出願日	平成18年12月27日 (2006. 12. 27)		神奈川県厚木市長谷398番地 株式会社																																																				
(31) 優先権主張番号	特願2005-378778 (P2005-378778)		半導体エネルギー研究所内																																																				
(32) 優先日	平成17年12月28日 (2005. 12. 28)	Fターム(参考)	2H092 GA13 JA25 JA26 JA46 JB05																																																				
(33) 優先権主張国	日本国(JP)		JB08 JB64 JB66 JB68 MA14																																																				
			MA16 NA27 PA12 QA09																																																				
			2H192 AA24 BA25 BC32 BC64 BC72																																																				
			BC82 CB02 CB05 CB13 DA12																																																				
			DA43 DA13 DA14 HA33 HA44																																																				
			JA13																																																				