

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-92246

(P2015-92246A)

(43) 公開日 平成27年5月14日(2015.5.14)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618B	3K107
HO1L 21/336 (2006.01)	HO1L 29/78 627F	5F045
HO1L 21/477 (2006.01)	HO1L 21/477	5F103
HO1L 51/50 (2006.01)	HO5B 33/14 A	5F110
審査請求 有 請求項の数 2 O L (全 63 頁) 最終頁に続く		

(21) 出願番号	特願2014-235811 (P2014-235811)	(71) 出願人	000153878
(22) 出願日	平成26年11月20日 (2014.11.20)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2010-156912 (P2010-156912) の分割	(72) 発明者	山崎 舜平
原出願日	平成22年7月9日 (2010.7.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-164134 (P2009-164134)		半導体エネルギー研究所内
(32) 優先日	平成21年7月10日 (2009.7.10)	(72) 発明者	細羽 みゆき
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	野田 耕生
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	大原 宏樹
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

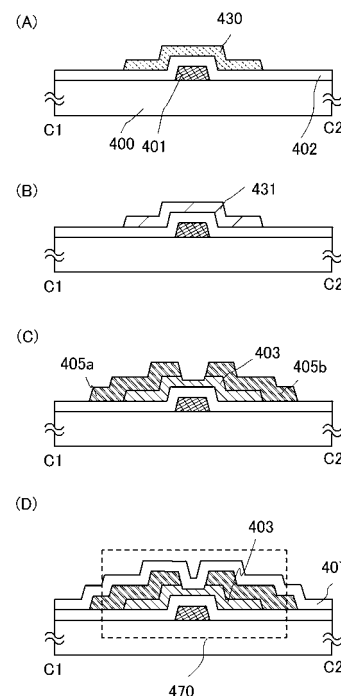
(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【要約】

【課題】安定した電気特性を有する薄膜トランジスタを有する、信頼性のよい半導体装置を作製し、提供することを課題の一とする。

【解決手段】チャネル形成領域を含む半導体層を酸化物半導体層とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体層の純度を高め、不純物である水分などを低減すると共に、酸化物半導体層を酸化する加熱処理（脱水化または脱水素化のための加熱処理）を行う。また、酸化物半導体層中だけでなく、ゲート絶縁層内に存在する水分などの不純物を低減し、上下に接して設けられる層と酸化物半導体層の界面に存在する水分などの不純物を低減する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に酸化物半導体層を形成し、
水分を含まず、窒素及び酸素を含む雰囲気中で、前記酸化物半導体層を加熱し、
前記酸化物半導体上にソース電極及びドレイン電極を形成し、
前記酸化物半導体上、前記ソース電極上、及び前記ドレイン電極上に、前記酸化物半導体層の一部と接する酸化物絶縁層を形成し、
前記酸化物絶縁層を形成後、酸素雰囲気又は不活性ガス雰囲気中で熱処理を行い、
前記熱処理後に、前記ソース電極または前記ドレイン電極に電気的に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

10

【請求項 2】

絶縁表面を有する基板上に第 1 のゲート電極を形成し、
前記第 1 のゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に酸化物半導体層を形成し、
水分を含まず、窒素及び酸素を含む雰囲気中で、前記酸化物半導体層を加熱し、
前記酸化物半導体上にソース電極及びドレイン電極を形成し、
前記酸化物半導体上、前記ソース電極上、及び前記ドレイン電極上に、前記酸化物半導体層の一部と接する酸化物絶縁層を形成し、
前記酸化物絶縁層を形成後、酸素雰囲気又は不活性ガス雰囲気中で熱処理を行い、
前記酸化物絶縁層上に第 2 のゲート電極を形成し、
前記第 2 のゲート電極形成後に、前記ソース電極または前記ドレイン電極に電気的に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し電気光学装置、半導体回路および電子機器は全て半導体装置である。

30

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄層（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT: Thin Film Transistor）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

40

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 乃至 5、非特許文献 1）。

【0005】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $InGaO_3(ZnO)_m$ (m : 自然数) は、 In 、 Ga 及び Zn を有する多元系酸化物半導体として知られている（非特許文献 2 乃至 4）。

【0006】

そして、上記のような $In-Ga-Zn-O$ 系酸化物で構成される酸化物半導体を薄膜ト

50

ランジスタのチャンネル層として適用可能であることが確認されている（特許文献 6、非特許文献 5 及び 6）。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開昭 60 - 198861 号公報

【特許文献 2】特開平 8 - 264794 号公報

【特許文献 3】特表平 11 - 505377 号公報

【特許文献 4】特開 2000 - 150900 号公報

【特許文献 5】特開 2007 - 123861 号公報

【特許文献 6】特開 2004 - 103957 号公報

10

【非特許文献】

【0008】

【非特許文献 1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650 - 3652

【非特許文献 2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」、J. Solid State Chem., 1991, Vol. 93, p. 298 - 315

20

【非特許文献 3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170 - 178

30

【非特許文献 4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993 年、Vol. 28, No. 5, p. 317 - 327

【非特許文献 5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE, 2003, Vol. 300, p. 1269 - 1272

【非特許文献 6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE, 2004, Vol. 432 p. 488 - 492

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

安定した電気特性を有する薄膜トランジスタを有する、信頼性のよい半導体装置を作製し、提供することを課題の一とする。

【課題を解決するための手段】

50

【 0 0 1 0 】

チャネル形成領域を含む半導体層を酸化物半導体層とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体層の純度を高め、不純物である水分などを低減する加熱処理（脱水化または脱水素化のための加熱処理）を酸素雰囲気下で行う。また、酸化物半導体層中だけでなく、ゲート絶縁層内に存在する水分などの不純物を低減し、上下に接して設けられる層と酸化物半導体層の界面に存在する水分などの不純物を低減する。また、当該加熱処理において、酸化物半導体層を酸化することができる。

【 0 0 1 1 】

水分などの不純物を低減するため、酸化物半導体層を形成後、露出した状態の酸化物半導体層を酸素雰囲気下で加熱処理し、酸化物半導体層の含有水分を低減すると共に、酸化物半導体層を酸化する。加熱処理温度は、200 以上基板の歪み点未満、好ましくは400 以上700 以下で行う。また、加熱処理後は、酸素雰囲気下、若しくは窒素または希ガス（ヘリウム、アルゴンなど）の不活性気体雰囲気下で保持して、徐冷することが好ましい。

10

【 0 0 1 2 】

酸素雰囲気とは、酸素原子を有する気体雰囲気であり、代表的には酸素、オゾン、または窒素酸化物（一酸化窒素、二酸化窒素、一酸化二窒素、三酸化二窒素、四酸化二窒素、五酸化二窒素など）雰囲気をいう。また、酸素雰囲気において、窒素、または希ガス（ヘリウム、アルゴンなど）の不活性気体が含まれてもよいが、その場合は、酸素原子を有する気体より不活性気体の量が少ない。

20

【 0 0 1 3 】

本明細書では、酸素雰囲気下で、脱水化または脱水素化しつつ酸化物半導体層を酸化する加熱処理を、脱水化または脱水素化のための加熱処理という。本明細書では、この加熱処理によって H_2 として脱離させていることのみを脱水素化と呼んでいるわけではなく、H、OHなどを含む分子を脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

【 0 0 1 4 】

酸素雰囲気下で加熱処理を行うことによって酸化物半導体層に含まれる水分などの不純物を低減させると共に、酸化物半導体層の酸化を行うことで、薄膜トランジスタの信頼性を向上させることができる。さらに、酸化物半導体層に接して酸化物絶縁層を形成することにより、薄膜トランジスタの信頼性の向上させることができる。

30

【 0 0 1 5 】

なお、酸素雰囲気下で加熱処理した酸化物半導体層に接して形成する酸化物絶縁層は、水分や、水素イオンや、 OH^- などの不純物をブロックする無機絶縁層を用いる。酸化物絶縁層の代表例としては、酸化珪素層、酸化窒化珪素層の単層、または積層がある。

【 0 0 1 6 】

さらに、酸素雰囲気下で加熱処理した酸化物半導体層上に接して保護層となる酸化物絶縁層を形成した後に、2回目の加熱を行ってもよい。酸化物半導体層上に接して保護層となる酸化物絶縁層を形成した後、2回目の加熱を行うと、薄膜トランジスタの電気的特性のばらつきを軽減することができる。

40

【 0 0 1 7 】

上記構成は、上記課題の少なくとも一つを解決する。

【 0 0 1 8 】

また、本発明の一態様は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を酸素雰囲気下にて脱水化または脱水素化し、脱水化または脱水素化させた酸化物半導体層上にソース電極層及びドレイン電極層を形成し、ゲート絶縁層、酸化物半導体層、ソース電極層、及びドレイン電極層上に、酸化物半導体層の一部と接する酸化物絶縁層を形成することを特徴とする半導体装置の作製方法である。

【 0 0 1 9 】

50

また、本発明の他の一態様は、絶縁表面を有する基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を酸素雰囲気下で加熱した後、脱水化または脱水素化させた酸化物半導体層上にソース電極層及びドレイン電極層を形成し、ゲート絶縁層、加熱した酸化物半導体層、ソース電極層、及びドレイン電極層上に上記した酸化物半導体層の一部と接する酸化物絶縁層を形成することを特徴とする半導体装置の作製方法である。なお、酸化物半導体層を酸素雰囲気下、かつ温度200以上で加熱した後、室温以上100未満まで徐冷することが好ましい。

【0020】

本明細書中で用いる酸化物半導体は、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶層とも呼ぶ。

10

【0021】

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。また上記酸化物半導体層に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素(SiO_x ($x > 0$))を含ませることで、製造プロセス中において酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

20

【0022】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型(真性)とするため、脱水化または脱水素化は有効である。

30

【0023】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0024】

また、ゲート絶縁層、及び酸化物半導体層を大気に触れさせることなく連続的に処理(連続処理、インサイチュ(*in situ*)工程、連続形成とも呼ぶ)してもよい。大気に触れさせることなく連続処理することで、ゲート絶縁層と酸化物半導体層の界面が、水分やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

40

【0025】

本明細書中で連続処理とは、PCVD法またはスパッタリング法で行う第1の処理工程からPCVD法またはスパッタリング法で行う第2の処理工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性気体雰囲気(窒素雰囲気または希ガス雰囲気)で制御されていることを言う。連続処理を行うことにより、清浄化された被処理基板の水分等の再付着を回避して膜形成などの処理を行うことができる。

50

【 0 0 2 6 】

同一チャンバー内で第 1 の処理工程から第 2 の処理工程までの一連のプロセスを行うことは本明細書における連続処理の範囲にあるとする。

【 0 0 2 7 】

また、異なるチャンバーで第 1 の処理工程から第 2 の処理工程までの一連のプロセスを行う場合、第 1 の処理工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第 2 の処理を施すことも本明細書における連続処理の範囲にあるとする。

【 0 0 2 8 】

なお、第 1 の処理工程と第 2 の処理工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第 2 の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続処理の範囲にあるとする。

10

【 0 0 2 9 】

ただし、洗浄工程、ウェットエッチング、レジスト形成といった液体を用いる工程が第 1 の処理工程と第 2 の処理工程の間にある場合、本明細書でいう連続処理の範囲には当てはまらないとする。

【 発明の効果 】

【 0 0 3 0 】

安定した電気特性を有する薄膜トランジスタを作製することができる。また、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製することができる。

【 図面の簡単な説明 】

20

【 0 0 3 1 】

【 図 1 】 本発明の一態様を示す半導体装置の作製工程の断面図である。

【 図 2 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 3 】 電気炉の断面図である。

【 図 4 】 本発明の一態様を示す半導体装置の作製工程の断面図である。

【 図 5 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 6 】 本発明の一態様を示す半導体装置の作製工程の断面図である。

【 図 7 】 本発明の一態様を示す半導体装置の作製工程の断面図である。

【 図 8 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 9 】 本発明の一態様を示す半導体装置を説明する図である。

30

【 図 1 0 】 本発明の一態様を示す半導体装置の作製方法を説明する図である。

【 図 1 1 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 1 2 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 1 3 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 1 4 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 1 5 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 1 6 】 表示装置のブロック図を説明する図である。

【 図 1 7 】 信号線駆動回路の構成を説明する図である。

【 図 1 8 】 シフトレジスタの構成を示す回路図である。

【 図 1 9 】 シフトレジスタの動作を説明する図である。

40

【 図 2 0 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 2 1 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 2 2 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 2 3 】 本発明の一態様を示す半導体装置の画素等価回路を説明する図である。

【 図 2 4 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 2 5 】 本発明の一態様を示す半導体装置を説明する図である。

【 図 2 6 】 電子書籍の一例を示す外観図である。

【 図 2 7 】 テレビジョン装置およびデジタルフォトフレームの例を示す外観図である。

【 図 2 8 】 遊技機の例を示す外観図である。

【 図 2 9 】 携帯型のコンピュータと携帯電話機の一例を示す外観図である。

50

【図 3 0】酸素分子と酸化物半導体層表面の相互作用を計算した結果を説明する図である。

【図 3 1】計算で用いた酸化物半導体層の構造を説明する図である。

【図 3 2】酸化物半導体層の酸素密度の計算結果を説明する図である。

【図 3 3】酸素と酸化物半導体層表面の相互作用を説明する図である。

【発明を実施するための形態】

【0032】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0033】

(実施の形態 1)

半導体装置及び半導体装置の作製方法を図 1 及び図 2 を用いて説明する。

【0034】

図 2 (A) は半導体装置の有する薄膜トランジスタ 470 の平面図であり、図 2 (B) は図 2 (A) の線 C1 - C2 における断面図である。薄膜トランジスタ 470 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース電極層またはドレイン電極層 405a、405b を含む。また、薄膜トランジスタ 470 を覆い、酸化物半導体層 403 に接する酸化物絶縁層 407 が設けられている。

20

【0035】

酸化物半導体層 403 は、少なくとも酸化物半導体層の形成後に不純物である水分などを低減する加熱処理（脱水化または脱水素化のための加熱処理）が酸素雰囲気下で行われる。当該加熱処理が行われた酸化物半導体層 403 を薄膜トランジスタのチャネル形成領域として用いることで、薄膜トランジスタの信頼性を向上することができる。

【0036】

さらに、酸素雰囲気下の加熱処理（脱水化または脱水素化のための加熱処理）によって水分（ H_2O ）などの不純物を脱離させると共に、酸化物半導体層 403 を酸化した後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。更には、脱水化または脱水素化のための加熱処理及び徐冷させた後、酸化物半導体層に接して酸化物絶縁層の形成などを行うことが好ましい。これらにより、薄膜トランジスタ 470 の信頼性の向上に繋がる。

30

【0037】

また、酸化物半導体層 403 内だけでなく、ゲート絶縁層 402 内、及び上下に接して設けられる層と酸化物半導体層 403 の界面、具体的にはゲート絶縁層 402 と酸化物半導体層 403 の界面、及び酸化物絶縁層 407 と酸化物半導体層 403 の界面に存在する水分などの不純物が低減されることが好ましい。

【0038】

また、酸化物半導体層 403 と接するソース電極層またはドレイン電極層 405a、405b として、チタン、アルミニウム、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのうちいずれか一または複数から選択された材料とする。また、上述した元素を組み合わせた合金層などを積層することができる。

40

【0039】

チャネル形成領域を含む酸化物半導体層 403 としては、半導体特性を有する酸化物材料を用いればよく、代表的には、In - Ga - Zn - O 系非単結晶層を用いる。

【0040】

図 1 (A) 乃至 (D) に図 2 に示す薄膜トランジスタ 470 の作製工程の断面図を示す。

【0041】

図 1 (A) において、絶縁表面を有する基板である基板 400 上にゲート電極層 401 を

50

設ける。

【0042】

基板400に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。基板400にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0043】

また、透光性を有する基板400としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、基板400には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。ホウ酸と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

10

【0044】

なお、上記の基板400に、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0045】

下地層となる絶縁層を基板400とゲート電極層401の間に設けてもよい。下地層は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素層、酸化珪素層、窒化酸化珪素層、または酸化窒化珪素層から選ばれた一または複数の層による積層構造により形成することができる。

20

【0046】

ゲート電極層401の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0047】

例えば、ゲート電極層401の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムと珪素の合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

30

【0048】

次いで、ゲート電極層401上にゲート絶縁層402を形成する。

【0049】

ゲート絶縁層402は、プラズマCVD法またはスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、酸化アルミニウム層、または酸化タンタル層を単層でまたは積層して形成することができる。例えば、形成ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。

【0050】

次いで、ゲート絶縁層402上に、酸化物半導体層を形成する。

40

【0051】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層402の表面に付着しているゴミを除去することが好ましい。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて、ヘリウムなどを用いてもよい。

【0052】

酸化物半導体層は、 $In-Ga-Zn-O$ 系酸化物半導体ターゲットを用いてスパッタリ

50

ング法により形成する。スパッタリングは、希ガス（代表的にはアルゴン）、酸素、あるいは希ガス（代表的にはアルゴン）と酸素を混合した雰囲気中で行う。

【0053】

ゲート絶縁層402及び酸化物半導体層を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続形成することで、界面が、水分やヒドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0054】

酸化物半導体層をフォトリソグラフィ工程により島状の酸化物半導体層（第1の酸化物半導体層430）に加工する（図1（A）参照。）。 10

【0055】

次に、酸素雰囲気下で酸化物半導体層の加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。酸化物半導体層430を上記雰囲気下で加熱処理することで、酸化物半導体層430に含まれる水素及び水分などの不純物を除去しつつ、酸化された酸化物半導体層431を形成することができる（図1（B）参照。）。当該加熱処理の条件、または酸化物半導体層の材料によっては、結晶化し、微結晶層または多結晶層となる場合もある。

【0056】

なお、酸素雰囲気とは、酸素原子を有する気体雰囲気であり、代表的には酸素、オゾン、または窒素酸化物（一酸化窒素、二酸化窒素、一酸化二窒素、三酸化二窒素、四酸化二窒素、五酸化二窒素など）を含む雰囲気をいう。また、酸素雰囲気において、窒素、または希ガス（ヘリウム、アルゴンなど）の不活性気体が含まれてもよいが、その場合は、酸素原子を有する気体より不活性気体の量が少ない。 20

【0057】

また、加熱処理においては、酸素雰囲気に、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素の純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0058】

また、加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA（Gas Rapid Thermal Anneal）法またはランプ光を用いるLRTA（Lamp Rapid Thermal Anneal）法などの瞬間加熱方法などを用いることができる。 30

【0059】

ここで、酸化物半導体層430の加熱処理の一形態として、電気炉601を用いた加熱方法について、図3を用いて説明する。

【0060】

図3は、電気炉601の概略図である。チャンバー602の外側にはヒーター603が設けられており、チャンバー602を加熱する。また、チャンバー602内には、基板604を搭載するサセプター605が設けられており、チャンバー602内に基板604を搬入または搬出する。また、チャンバー602にはガス供給手段606及び排気手段607が設けられている。ガス供給手段606により、チャンバー602にガスを導入する。また、排気手段607により、チャンバー602内を排気する。なお、電気炉601の昇温特性を0.1/min以上20/min以下とすることが好ましい。また、電気炉601の降温特性を0.1/min以上15/min以下とすることが好ましい。 40

【0061】

ガス供給手段606は、ガス供給源611、圧力調整弁612、精製器613、マスフローコントローラ614、及びストップバルブ615を有する。本実施の形態では、ガス供給源611とチャンバー602の間に精製器613を設ける。精製器613を設けることで、ガス供給源611からチャンバー602内に導入されるガスの、水分、水素などの不 50

純物を、当該精製器 6 1 3 によって除去することが可能であり、チャンバー 6 0 2 内に、水分、水素などの不純物の混入量を低減することができる。

【 0 0 6 2 】

本実施の形態では、ガス供給源 6 1 1 から、酸素原子を有する気体をチャンバー 6 0 2 に導入し、チャンバー内を酸素雰囲気とし、2 0 0 以上基板の歪み点未満、好ましくは 4 0 0 以上 7 0 0 以下に加熱されたチャンバー 6 0 2 において、基板 6 0 4 上に形成された酸化物半導体層 4 3 0 を加熱することで、酸化物半導体層 4 3 0 の脱水化または脱水素化を行うことができる。

【 0 0 6 3 】

本実施の形態に示す酸化物半導体層 4 3 0 は、酸素雰囲気下において脱水化または脱水素化の加熱処理を行うことにより、酸化物半導体層 4 3 0 の表面を酸化でき、水分、水素等の不純物が脱離した部位または欠陥に酸素が結合するため、欠陥の少ない i 型となる。このため、脱水化または脱水素化させた酸化物半導体層 4 3 0 を薄膜トランジスタのチャネル形成領域に用いることで、後に形成される薄膜トランジスタの信頼性を高めることができる。

10

【 0 0 6 4 】

酸化物半導体層の脱水化または脱水素化は、脱水化または脱水素化後の酸化物半導体層に対して TDS (Thermal Desorption Spectroscopy) で 4 5 0 まで測定を行っても水の 2 つのピーク、少なくとも 3 0 0 付近に現れる 1 つのピークは検出されない程度の熱処理条件とする。従って、脱水化または脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対して、TDS で 4 5 0 まで測定を行っても少なくとも 3 0 0 付近に現れる水のピークは検出されない。

20

【 0 0 6 5 】

次に、ヒーターをオフ状態にし、加熱装置のチャンバー 6 0 2 を酸素雰囲気下または不活性気体雰囲気下で保持して、徐々に冷却する（徐冷する）ことが好ましい。例えば、加熱処理後は、加熱処理の温度から室温以上 1 0 0 未満にまで徐冷すれば良い。この結果、後に形成される薄膜トランジスタの信頼性を高めることができる。

【 0 0 6 6 】

なお、冷却工程においては、酸化物半導体層 4 3 0 の脱水化または脱水素化を行う加熱温度 T から、再び水が入らないような十分な温度まで、具体的には加熱温度 T よりも 1 0 0 以上下げてよい。

30

【 0 0 6 7 】

また、加熱装置のチャンバー 6 0 2 内の基板 6 0 4 を 3 0 0 未満まで冷却した後、基板 6 0 4 を室温以上 1 0 0 未満の酸素雰囲気または不活性気体雰囲気に移動してもよい。この結果、基板 6 0 4 の冷却時間を短縮することができる。

【 0 0 6 8 】

また、加熱装置がマルチチャンバーの場合、加熱処理と冷却処理を異なるチャンバーで行うことができる。代表的には、酸素雰囲気、且つ 2 0 0 以上基板の歪み点未満、好ましくは 4 0 0 以上 7 0 0 以下に加熱された第 1 のチャンバーにおいて、基板上に形成された酸化物半導体層 4 3 0 を加熱する。次に、酸素雰囲気下または不活性気体雰囲気下の搬送室を経て、酸素雰囲気下または不活性気体雰囲気下で、室温以上 1 0 0 未満である第 2 のチャンバーに、上記加熱処理された基板を移動し、冷却処理を行う。以上の工程により、スループットを向上させることができる。

40

【 0 0 6 9 】

また、酸素雰囲気下における酸化物半導体層の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層に行うこともできる。その場合には、酸素雰囲気下または不活性気体雰囲気下における酸化物半導体層の加熱処理後に室温以上 1 0 0 未満まで徐冷を行い、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【 0 0 7 0 】

また、酸素雰囲気下の加熱処理後の酸化物半導体層 4 3 1 の状態は、非晶質な状態である

50

ことが好ましいが、一部結晶化してもよい。

【0071】

次いで、ゲート絶縁層402及び酸化物半導体層431上に導電層を形成する。

【0072】

導電層の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金層等がある。

【0073】

また、導電層の形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電層に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金層、または上述した元素を成分とする窒化物で形成する。

10

【0074】

酸化物半導体層431及び導電層をエッチング工程によりエッチングし、酸化物半導体層403、及びソース電極層またはドレイン電極層405a、405bを形成する(図1(C)参照。)。なお、酸化物半導体層431は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層403となる。

【0075】

酸化物半導体層403に接する酸化物絶縁層407を形成する。酸化物絶縁層407は、少なくとも1nm以上の厚さとし、CVD法、スパッタリング法など、酸化物絶縁層407に水分、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、酸化物絶縁層407は、スパッタリング法を用いて形成する。脱水化または脱水素化させた酸化物半導体層に接して形成する酸化物絶縁層407は、水分や、水素イオンや、OH⁻などが少なく、水分や、OH⁻が外部から侵入することをブロックする無機絶縁層を用い、具体的には酸化珪素層、酸化窒化珪素層の単層、または積層で形成すればよい。

20

【0076】

本実施の形態では、酸化物絶縁層407として厚さ300nmの酸化珪素層を形成する。形成時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。酸化珪素層のスパッタリング法による形成は、希ガス(代表的にはアルゴン)、酸素、あるいは希ガス(代表的にはアルゴン)と酸素を混合した雰囲気中で行うことができる。また、ターゲットとして酸化珪素ターゲットを用いても珪素ターゲットを用いてもよい。例えば珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素を形成することができる。

30

【0077】

脱水化または脱水素化させた酸化物半導体層403に接してスパッタリング法またはPCVD法などにより酸化物絶縁層407を形成することで信頼性の高い薄膜トランジスタ470を作製することができる(図1(D)参照。)。

40

【0078】

酸素雰囲気下で上記脱水処理または脱水素処理のための加熱処理を行うことによって酸化物半導体層に含まれるH₂O、H、OHなどの不純物を低減した後、徐冷を行うことが好ましい。また、徐冷させた後、酸化物半導体層に接して酸化物絶縁層の形成などを行うことで、薄膜トランジスタ470の信頼性を向上することができる。

【0079】

また、酸化物絶縁層407を形成後、酸素雰囲気下または不活性雰囲気下において薄膜トランジスタ470に加熱処理(好ましくは150℃以上350℃未満)を行ってもよい。例えば、窒素雰囲気下で250℃、1時間の加熱処理を行う。該加熱処理を行うと、酸化物半導体層403が酸化物絶縁層407と接した状態で加熱されることになり、薄膜トラ

50

ンジスタ４７０の電気的特性のばらつきを軽減することができる。この加熱処理（好ましくは１５０以上３５０未満）は、酸化物絶縁層４０７の形成後であれば特に限定されず、他の工程、例えば樹脂層形成時の加熱処理や、透明導電層を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

【００８０】

（実施の形態２）

半導体装置及び半導体装置の作製方法を図４及び図５を用いて説明する。実施の形態１と同一部分または同様な機能を有する部分、及び工程は、実施の形態１と同様に行うことができ、繰り返しの説明は省略する。

【００８１】

図５（Ａ）は半導体装置の有する薄膜トランジスタ４６０の平面図であり、図５（Ｂ）は図５（Ａ）の線Ｄ１－Ｄ２における断面図である。薄膜トランジスタ４６０はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板４５０上に、ゲート電極層４５１、ゲート絶縁層４５２、ソース電極層またはドレイン電極層４５５ａ、４５５ｂ、及び酸化物半導体層４５３を含む。また、薄膜トランジスタ４６０を覆い、酸化物半導体層４５３に接する酸化物絶縁層４５７が設けられている。酸化物半導体層４５３は、 In-Ga-Zn-O 系非単結晶層を用いる。

【００８２】

薄膜トランジスタ４６０は、薄膜トランジスタ４６０を含む領域全てにおいてゲート絶縁層４５２が存在し、ゲート絶縁層４５２と絶縁表面を有する基板である基板４５０の間にゲート電極層４５１が設けられている。ゲート絶縁層４５２上にはソース電極層またはドレイン電極層４５５ａ、４５５ｂが設けられている。そして、ゲート絶縁層４５２、及びソース電極層またはドレイン電極層４５５ａ、４５５ｂ上に酸化物半導体層４５３が設けられている。また、図示しないが、ゲート絶縁層４５２上にはソース電極層またはドレイン電極層４５５ａ、４５５ｂに加えて配線層を有し、該配線層は酸化物半導体層４５３の外周部より外側に延在している。

【００８３】

酸化物半導体層４５３は、少なくとも酸化物半導体層の形成後に、酸素雰囲気下で不純物である水分、水素などを低減すると共に酸化する加熱処理（脱水化または脱水素化のための加熱処理）を行うことで薄膜トランジスタの信頼性を高めることができる。

【００８４】

さらに、脱水化または脱水素化のための加熱処理によって水分（ H_2O ）などの不純物を脱離させる過程を経た後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。脱水化または脱水素化のための加熱処理及び徐冷させた後、酸化物半導体層に接して酸化物絶縁層の形成などを行うことで、薄膜トランジスタ４６０の信頼性を向上させることができる。

【００８５】

また、酸化物半導体層４５３と接するソース電極層またはドレイン電極層４５５ａ、４５５ｂとして、実施の形態１に示すソース電極層またはドレイン電極層４０５ａ、４０５ｂと同様に形成することができる。

【００８６】

図４（Ａ）乃至（Ｄ）に薄膜トランジスタ４６０の作製工程の断面図を示す。

【００８７】

絶縁表面を有する基板である基板４５０上にゲート電極層４５１を設ける。下地層となる絶縁層を基板４５０とゲート電極層４５１の間に設けてもよい。下地層は、基板４５０からの不純物元素の拡散を防止する機能があり、窒化珪素層、酸化珪素層、窒化酸化珪素層、または酸化窒化珪素層から選ばれた一または複数の層による積層構造により形成することができる。ゲート電極層４５１は、実施の形態１に示すゲート電極層４０１と同様に形成することができる。

【００８８】

ゲート電極層 4 5 1 上にゲート絶縁層 4 5 2 を形成する。

【 0 0 8 9 】

ゲート絶縁層 4 5 2 は、実施の形態 1 に示すゲート絶縁層 4 0 2 と同様に形成することができる。

【 0 0 9 0 】

ゲート絶縁層 4 5 2 上に、導電層を形成し、フォトリソグラフィ工程により島状のソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b に加工する（図 4（A）参照。）。

【 0 0 9 1 】

ソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b は、実施の形態 1 に示すソース電極層またはドレイン電極層 4 0 5 a、4 5 0 b と同様に形成することができる。

10

【 0 0 9 2 】

次に、ゲート絶縁層 4 5 2、及びソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b 上に酸化物半導体層を形成し、フォトリソグラフィ工程により島状の酸化物半導体層 4 8 3（第 1 の酸化物半導体層）に加工する（図 4（B）参照。）。

【 0 0 9 3 】

酸化物半導体層 4 8 3 は、チャネル形成領域となるため、実施の形態 1 の酸化物半導体層と同様に形成する。

【 0 0 9 4 】

なお、酸化物半導体層 4 8 3 をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層 4 5 2 の表面に付着しているゴミを除去することが好ましい。

20

【 0 0 9 5 】

酸化物半導体層 4 8 3 に脱水化または脱水素化のための加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。脱水化または脱水素化のための加熱処理としては、酸素雰囲気下において、200 以上基板の歪み点未満、好ましくは 400 以上 700 以下の加熱処理を行う。当該工程により、脱水化または脱水素化された酸化物半導体層 4 5 3（第 2 の酸化物半導体層）とすることができる（図 4（C）参照。）。

【 0 0 9 6 】

脱水化または脱水素化のための加熱処理においては、酸素雰囲気に、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素原子を有する気体、窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは 7N（99.99999%）以上、（即ち不純物濃度を 1ppm 以下、好ましくは 0.1ppm 以下）とすることが好ましい。

30

【 0 0 9 7 】

また、酸素雰囲気下における酸化物半導体層の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層に行うこともできる。その場合には、酸素雰囲気下における酸化物半導体層の加熱処理後に室温以上 100 未満まで徐冷を行うことが好ましい。この後、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【 0 0 9 8 】

また、酸素雰囲気下における加熱処理後の酸化物半導体層 4 5 3 の状態は、非晶質な状態であることが好ましいが、一部結晶化してもよい。

40

【 0 0 9 9 】

次いで、酸化物半導体層 4 5 3 に接してスパッタリング法または PCVD 法による酸化物絶縁層 4 5 7 を形成する。本実施の形態では、酸化物絶縁層 4 5 7 として厚さ 300nm の酸化珪素層を形成する。形成時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。脱水化または脱水素化させた酸化物半導体層 4 5 3 に接してスパッタリング法により酸化珪素層である酸化物絶縁層 4 5 7 を形成する。半導体装置の作製プロセス中、酸素雰囲気下での脱水処理または脱水素処理のための加熱処理、酸素雰囲気下または不活性気体雰囲気下での徐冷、及び酸化物絶縁層の形成などによって、

50

信頼性の高い薄膜トランジスタ 460 を作製することができる（図 4（D）参照。）。

【0100】

また、酸化物絶縁層 457 となる酸化珪素層を形成後、酸素雰囲気下または窒素雰囲気下において薄膜トランジスタ 460 に加熱処理（好ましくは 150 以上 350 未満）を行ってもよい。例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。酸化物半導体層 453 が酸化物絶縁層 457 と接した状態で加熱されることになり、該加熱処理を行うと薄膜トランジスタ 460 の電気的特性のばらつきを軽減することができる。この加熱処理（好ましくは 150 以上 350 未満）は、酸化物絶縁層 457 の形成後であれば特に限定されず、他の工程、例えば樹脂層形成時の加熱処理や、透明導電層を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

10

【0101】

また、本実施の形態は実施の形態 1 と自由に組み合わせることができる。

【0102】

（実施の形態 3）

薄膜トランジスタを含む半導体装置の作製工程について、図 6 乃至図 9 を用いて説明する。

【0103】

図 6（A）において、透光性を有する基板 100 には、実施の形態 1 に示す基板 100 を適宜用いることができる。

【0104】

次いで、導電層を基板 100 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121）を形成する。このとき少なくともゲート電極層 101 の端部にテーパーが形成されるようにエッチングする。

20

【0105】

ゲート電極層 101 を含むゲート配線と容量配線 108、端子部の第 1 の端子 121 は、実施の形態 1 に示すゲート電極層 401 に示す材料を適宜用いることができる。また、ゲート電極層 101 を耐熱性導電性材料で形成する場合は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金層、または上述した元素を成分とする窒化物で形成する。

30

【0106】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に形成する。ゲート絶縁層 102 は、実施の形態 1 に示すゲート絶縁層 402 と同様に形成することができる。また、ゲート絶縁層 102 の厚さを 50 ~ 250 nm とする。

【0107】

例えば、ゲート絶縁層 102 としてスパッタリング法により酸化珪素層を用い、100 nm の厚さで形成する。

【0108】

次に、ゲート絶縁層 102 上に、酸化物半導体層（In - Ga - Zn - O 系非単結晶層）を形成する。ゲート絶縁層 102 を形成後、大気に曝すことなく In - Ga - Zn - O 系非単結晶層を形成することは、ゲート絶縁層と半導体層の界面にゴミや水分を付着させない点で有用である。ここでは、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲット（In - Ga - Zn - O 系酸化物半導体ターゲット（In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1））を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流（DC）電源 0.5 kW、酸素、アルゴン、またはアルゴン及び酸素の混合雰囲気中で形成する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、厚さ分布も均一となるために好ましい。In - Ga - Zn - O 系非単結晶層の厚さは、5 nm ~ 200 nm とする。酸化物半導体層として、In - Ga - Zn - O 系酸化物半導体

40

50

ターゲットを用いてスパッタリング法により厚さ50nmのIn-Ga-Zn-O系非単結晶層を形成する。

【0109】

スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法と、直流電源を用いるDCスパッタリング法があり、さらに直流電源を用いてパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁層を形成する場合に用いられ、DCスパッタリング法は主に金属層を形成する場合に用いられる。

【0110】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる層を積層形成することも、同一チャンバーで複数種類の材料を同時に放電させて形成することもできる。

10

【0111】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタリング装置がある。

【0112】

また、スパッタリング法を用いる形成方法として、形成中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄層を形成するリアクティブスパッタリング法や、形成中に基板にも電圧をかけるバイアスパッタリング法もある。

20

【0113】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物半導体層をエッチングする。例えばリン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングにより、不要な部分を除去して酸化物半導体層133を形成する(図6(A)参照)。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0114】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

30

【0115】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0116】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0117】

ウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0118】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

50

【 0 1 1 9 】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【 0 1 2 0 】

次に、酸化物半導体層 1 3 3 に脱水化または脱水素化のための加熱処理を行う。酸化物半導体層 1 3 3 に酸素雰囲気下において加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。

【 0 1 2 1 】

加熱処理は、2 0 0 以上基板の歪み点未満、好ましくは 4 0 0 以上 7 0 0 以下で行う。例えば、酸素雰囲気下で 4 5 0 、1 時間の加熱処理を行った酸化物半導体層を酸化物半導体層 1 3 4 と示す（図 6（B）参照。）。

10

【 0 1 2 2 】

次に、酸化物半導体層 1 3 4 上に金属材料からなる導電層 1 3 2 をスパッタリング法や真空蒸着法で形成する（図 6（C）参照。）。

【 0 1 2 3 】

導電層 1 3 2 の材料としては、実施の形態 1 に示すソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b と同様の材料を適宜用いることができる。

【 0 1 2 4 】

導電層 1 3 2 形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電層に持たせることが好ましい。

20

【 0 1 2 5 】

次に、第 3 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b、及び第 2 の端子 1 2 2 を形成する（図 6（D）参照。）。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば導電層 1 3 2 としてアルミニウム層、またはアルミニウム合金層を用いる場合は、リン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。また、アンモニア過水（3 1 重量%過酸化水素水：2 8 重量%アンモニア水：水 = 5：2：2）を用いたウェットエッチングにより、導電層 1 3 2 をエッチングしてソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b を形成してもよい。このエッチング工程において、酸化物半導体層 1 3 4 の露出領域も一部エッチングされ、酸化物半導体層 1 0 3 となる。よってソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b の間の酸化物半導体層 1 0 3 は厚さの薄い領域となる。図 6（D）においては、ソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b、酸化物半導体層 1 0 3 のエッチングをドライエッチングによって一度に行うため、ソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b 及び酸化物半導体層 1 0 3 の端部は一致し、連続的な構造となっている。

30

【 0 1 2 6 】

また、この第 3 のフォトリソグラフィ工程において、ソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b と同じ材料である第 2 の端子 1 2 2 を端子部に残す。なお、第 2 の端子 1 2 2 はソース配線（ソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b を含むソース配線）と電氣的に接続されている。

40

【 0 1 2 7 】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【 0 1 2 8 】

次に、レジストマスクを除去し、ゲート絶縁層 1 0 2、酸化物半導体層 1 0 3、ソース電極層またはドレイン電極層 1 0 5 a、1 0 5 b を覆う酸化物絶縁層 1 0 7 を形成する。酸化物絶縁層 1 0 7 は P C V D 法により形成する酸化窒化珪素層を用いる。酸化物絶縁層 1 0 7 形成時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0

50

とする。ソース電極層またはドレイン電極層 105 a、105 b の間に設けられた酸化物半導体層 103 の露出領域と酸化物絶縁層 107 である酸化窒化珪素層が接して設けられることによって、信頼性の高い薄膜トランジスタを作製することができる（図 7（A）参照。）。

【0129】

次いで、酸化物絶縁層 107 を形成した後、加熱処理を行ってもよい。加熱処理は、酸素雰囲気下または窒素雰囲気下において、150 以上 350 未満で行えばよい。該加熱処理を行うと、酸化物半導体層 103 が酸化物絶縁層 107 と接した状態で加熱されることになり、薄膜トランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理（好ましくは 150 以上 350 未満）は、酸化物絶縁層 107 の形成後であれば特に限定されず、他の工程、例えば樹脂層形成時の加熱処理や、透明導電層を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

10

【0130】

以上の工程で薄膜トランジスタ 170 が作製できる。

【0131】

次に、第 4 のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層 107 及びゲート絶縁層 102 のエッチングによりソース電極層又はドレイン電極層 105 b に達するコンタクトホール 125 を形成する。また、ここでのエッチングにより第 2 の端子 122 に達するコンタクトホール 127、第 1 の端子 121 に達するコンタクトホール 126 も形成する。この段階での断面図を図 7（B）に示す。

20

【0132】

次いで、レジストマスクを除去した後、透明導電層を形成する。透明導電層の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する）などをスパッタリング法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いても良い。また、透明導電層を低抵抗化させるための加熱処理を行う場合、薄膜トランジスタの電気特性の向上および、電気特性のばらつきを軽減する熱処理と兼ねることができる。

30

【0133】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 110 を形成する。

【0134】

また、この第 5 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 102 及び酸化物絶縁層 107 を誘電体として、容量配線 108 と画素電極層 110 とで保持容量が形成される。

【0135】

また、この第 5 のフォトリソグラフィ工程において、第 1 の端子 121 及び第 2 の端子 122 をレジストマスクで覆い端子部に形成された透明導電層 128、129 を残す。透明導電層 128、129 は FPC との接続に用いられる電極または配線となる。第 1 の端子 121 上に形成された透明導電層 128 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 122 上に形成された透明導電層 129 は、ソース配線の入力端子として機能する接続用の端子電極である。

40

【0136】

次いで、レジストマスクを除去し、この段階での断面図を図 7（C）に示す。なお、この段階での平面図が図 8 に相当する。

【0137】

また、図 9（A1）、図 9（A2）は、この段階でのゲート配線端子部の断面図及び平面図をそれぞれ図示している。図 9（A1）は図 9（A2）中の E1 - E2 線に沿った断面

50

図に相当する。図 9 (A 1) において、酸化物絶縁層 1 5 4 上に形成される透明導電層 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 9 (A 1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極層 1 5 3 とがゲート絶縁層 1 5 2 を介して重なり、透明導電層 1 5 5 で導通させている。なお、図 7 (C) に図示した透明導電層 1 2 8 と第 1 の端子 1 2 1 とが接触している部分が、図 9 (A 1) の透明導電層 1 5 5 と第 1 の端子 1 5 1 が接触している部分に対応している。

【 0 1 3 8 】

また、図 9 (B 1)、及び図 9 (B 2) は、図 7 (C) に示すゲート配線端子部とは異なるソース配線端子部の断面図及び平面図をそれぞれ図示している。また、図 9 (B 1) は図 9 (B 2) 中の F 1 - F 2 線に沿った断面図に相当する。図 9 (B 1) において、酸化物絶縁層 1 5 4 上に形成される透明導電層 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 9 (B 1) において、端子部では、ゲート配線と同じ材料で形成される電極層 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方にゲート絶縁層 1 0 2 を介して重なる。電極層 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極層 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、酸化物絶縁層 1 5 4 を介して透明導電層 1 5 5 と電氣的に接続している。

【 0 1 3 9 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【 0 1 4 0 】

こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、ボトムゲート型のスタガ構造の薄膜トランジスタである薄膜トランジスタ 1 7 0 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 1 4 1 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0 V などに設定するための端子である。

【 0 1 4 2 】

また、容量配線を設けず、画素電極を隣り合う画素のゲート配線と酸化物絶縁層及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

【 0 1 4 3 】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【 0 1 4 4 】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面

10

20

30

40

50

黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0145】

また、通常の垂直同期周波数を1.5倍若しくは2倍以上にすることで動画特性を改善する所謂、倍速駆動と呼ばれる駆動技術もある。

【0146】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

10

【0147】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0148】

本明細書に開示するn型のトランジスタは、酸化物半導体層をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0149】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

20

【0150】

また、発光表示装置を作製する際、各有機発光素子の間に有機樹脂層を用いた隔壁を設ける場合がある。その場合には、有機樹脂層を加熱処理するため、薄膜トランジスタの電気特性の向上および、電気特性のばらつきを軽減する熱処理と兼ねることができる。

【0151】

酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減することができる。特に、脱水化または脱水素化のための加熱処理によって、不純物である水分などを低減して酸化物半導体層の純度を高めるため、形成チャンバー内の露点を下げた特殊なスパッタリング装置や超高純度の酸化物半導体ターゲットを用いなくとも、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製することができる。

30

【0152】

酸素雰囲気下における酸化物半導体層の加熱処理により薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

【0153】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

40

【0154】

（実施の形態4）

本実施の形態では、実施の形態1と一部工程が異なる一例を示す。本実施の形態は、ソース電極層またはドレイン電極層405a、405bの形成後に脱水化または脱水素化の加熱処理を行う形態を図10に示す。なお、図1と同一の部分には同じ符号を用いて説明する。

【0155】

実施の形態1と同様に、絶縁表面を有する基板400上にゲート電極層401、ゲート絶

50

縁層 402、酸化物半導体層 430 を形成する（図 10（A）参照。）。

【0156】

酸化物半導体層 430 上にソース電極層またはドレイン電極層 405a、405b を形成し、酸化物半導体層 430 の一部エッチングして酸化物半導体層 441 を形成する（図 10（B）参照。）。

【0157】

次に、酸化物半導体層 441、及びソース電極層またはドレイン電極層 405a、405b に対して酸素雰囲気下において加熱処理及び徐冷を行うことが好ましい。この加熱処理によって酸化物半導体層 441 は脱水処理または脱水素処理が行われ、酸化物半導体層 403 が形成される（図 10（C）参照。）。なお、ソース電極層またはドレイン電極層 405a、405b の材料は、ここでの加熱処理に耐える材料、例えばタンゲステン、モリブデンなどを用いることが好ましい。

10

【0158】

次いで、上記加熱処理後に大気に触れることなく、酸化物半導体層 403 に接してスパッタリング法または PCVD 法による酸化物絶縁層 407 を形成する。脱水化または脱水素化させた酸化物半導体層 403 に接してスパッタリング法または PCVD 法により酸化物絶縁層 407 を形成することで、薄膜トランジスタ 470 を作製することができる（図 10（D）参照。）。

【0159】

上記脱水処理または脱水素処理のための加熱処理を行うことによって酸化物半導体層に含まれる H_2O 、 H 、 OH などの不純物を低減した後、徐冷を行うことが好ましい。また酸化物半導体層に接する酸化物絶縁層の形成などを行って、薄膜トランジスタ 470 の信頼性を向上することができる。

20

【0160】

また、酸化物絶縁層 407 を形成後、酸素雰囲気下または窒素雰囲気下において加熱処理（好ましくは 150 以上 350 未満）を行ってもよい。例えば、窒素雰囲気下で 250、1 時間の加熱処理を行う。当該加熱処理を行うと、酸化物半導体層 403 が酸化物絶縁層 407 と接した状態で加熱されることになり、薄膜トランジスタ 470 の電気的特性のばらつきを軽減することができる。

【0161】

また、本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

30

【0162】

（実施の形態 5）

半導体装置及び半導体装置の作製方法を、図 11 を用いて説明する。実施の形態 1 と同一部分または同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

【0163】

図 11 に示す薄膜トランジスタ 471 はゲート電極層 401 及び酸化物半導体層 403 のチャネル領域に重なるように酸化物絶縁層 407 を介して導電層 409 を設ける例である。

40

【0164】

図 11 は半導体装置の有する薄膜トランジスタ 471 の断面図である。薄膜トランジスタ 471 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、及びソース電極層またはドレイン電極層 405a、405b、酸化物絶縁層 407、導電層 409 を含む。導電層 409 は、ゲート電極層 401 と重なるように、酸化物絶縁層 407 上に設けられている。

【0165】

導電層 409 は、ゲート電極層 401、ソース電極層またはドレイン電極層 405a、405b と同様な材料、方法を用いて形成することができる。画素電極層を設ける場合は、

50

画素電極層と同様な材料、方法を用いて形成してもよい。本実施の形態では、導電層 409 としてチタン層、アルミニウム層、及びチタン層の積層を用いる。

【0166】

導電層 409 は、電位がゲート電極層 401 と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 409 がフローティング状態であってもよい。

【0167】

導電層 409 を酸化物半導体層 403 と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験（以下、BT 試験という）において、BT 試験前後における薄膜トランジスタ 471 のしきい値電圧を制御することができる。特に、基板温度を 150 まで上昇させた後にゲートに印加する電圧を - 20 V とする - BT 試験においてしきい値電圧の変動を低減することができる。

10

【0168】

本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

【0169】

（実施の形態 6）

半導体装置及び半導体装置の作製方法を、図 12 を用いて説明する。実施の形態 1 と同一部分または同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

【0170】

図 12 に示す薄膜トランジスタ 472 はゲート電極層 401 及び酸化物半導体層 403 のチャネル領域に重なるように酸化物絶縁層 407 及び絶縁層 410 を介して導電層 419 を設ける例である。

20

【0171】

図 12 は半導体装置の有する薄膜トランジスタ 472 の断面図である。薄膜トランジスタ 472 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース領域またはドレイン領域 404 a、404 b、ソース電極層またはドレイン電極層 405 a、405 b、酸化物絶縁層 407、絶縁層 410、及び導電層 419 を含む。導電層 419 は、ゲート電極層 401 と重なるように、酸化物絶縁層 407 及び絶縁層 410 上に設けられている。

30

【0172】

本実施の形態では、実施の形態 1 と同様に、ゲート絶縁層 402 上に、酸化物半導体層を形成する。酸化物半導体層上にソース領域及びドレイン領域 404 a、404 b を形成する。ソース領域及びドレイン領域 404 a、404 b の形成前または形成後に、酸素雰囲気下において加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下において徐冷を行うことが好ましい。

【0173】

本実施の形態では、ソース領域及びドレイン領域 404 a、404 b は、Zn - O 系多結晶層または Zn 系微結晶層であり、酸化物半導体層 403 の形成条件とは異なる形成条件で形成され、より低抵抗な層である。また、本実施の形態では、ソース領域及びドレイン領域 404 a、404 b は、多結晶状態または微結晶状態であり、酸化物半導体層 403 も多結晶状態または微結晶状態である。酸化物半導体層 403 は加熱処理によって結晶化させて多結晶状態または微結晶状態とすることができる。

40

【0174】

本実施の形態では、酸化物絶縁層 407 上に平坦化層として機能する絶縁層 410 を積層し、酸化物絶縁層 407 及び絶縁層 410 にソース電極層またはドレイン電極層 405 b に達する開口を形成する。絶縁層 410、酸化物絶縁層 407 及び絶縁層 410 に形成された開口に導電層を形成し、所望の形状にエッチングして導電層 419 及び画素電極層 411 を形成する。このように画素電極層 411 を形成する工程で、同様の材料及び方法を

50

用いて導電層 419 を形成することができる。本実施の形態では、画素電極層 411、導電層 419 として酸化珪素を含む酸化インジウム酸化スズ合金（酸化珪素を含む In - Sn - O 系酸化物）を用いる。

【0175】

また、導電層 419 は、ゲート電極層 401、ソース電極層またはドレイン電極層 405a、405b と同様な材料、方法を用いて形成してもよい。

【0176】

導電層 419 は、電位がゲート電極層 401 と同じでもよい。または、異なってもよい。導電層 419 は、第 2 のゲート電極層として機能させることもできる。また、導電層 419 がフローティング状態であってもよい。

10

【0177】

導電層 419 を酸化物半導体層 403 と重なる位置に設けることによって、薄膜トランジスタのしきい値電圧を制御することができる。

【0178】

本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

【0179】

（実施の形態 7）

本実施の形態では、チャネルストップ型の薄膜トランジスタ 1430 の一例について図 13（A）、図 13（B）及び図 13（C）に説明する。また、図 13（C）は薄膜トランジスタの上面図の一例であり、図中 Z1—Z2 の鎖線で切断した断面図が図 13（B）に相当する。また、薄膜トランジスタ 1430 の酸化物半導体層にガリウムを含まない酸化物半導体材料を用いる例を示す。

20

【0180】

図 13（A）において、基板 1400 上にゲート電極層 1401 を設ける。次いで、ゲート電極層 1401 を覆うゲート絶縁層 1402 上には、酸化物半導体層を形成する。

【0181】

本実施の形態では、酸化物半導体層としてスパッタリング法を用いた Sn - Zn - O 系の酸化物半導体を用いる。酸化物半導体層にガリウムを用いないことによって、価格の高いターゲットを用いずに済むためコストを低減できる。

30

【0182】

酸化物半導体層の形成直後、または酸化物半導体層のパターニング後に、脱水化または脱水素化するため、酸素雰囲気下において加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。加熱処理は、200 以上基板の歪み点未満、好ましくは 400 以上 700 以下とする。酸化物半導体層は酸素雰囲気下における加熱処理によって、酸化物半導体層 1403 を形成することができる（図 13（A）参照）。本実施の形態では酸化物半導体層 1403 は、微結晶状態または多結晶状態とする。

【0183】

次いで、酸化物半導体層 1403 上にはチャネル保護層 1418 を接して設ける。チャネル保護層 1418 を設けることによって、後のソース領域及びドレイン領域 1406a、1406b 形成工程時におけるダメージ（エッチング時のプラズマやエッチング剤による膜減りなど）を防ぐことができる。従って薄膜トランジスタ 1430 の信頼性を向上させることができる。

40

【0184】

また、脱水化または脱水素化の後、大気に触れることなく連続的にチャネル保護層 1418 を形成することもできる。大気に触れさせることなく連続的に処理することで、界面が、水分やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0185】

また、脱水化または脱水素化させた酸化物半導体層 1403 に接してスパッタリング法ま

50

たはPCVD法などにより酸化物絶縁層であるチャネル保護層1418を形成することで、脱水化または脱水素化させた酸化物半導体層1403をチャネル形成領域に有する薄膜トランジスタを作製することができる。

【0186】

チャネル保護層1418としては、酸素を含む無機材料（酸化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。作製方法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。チャネル保護層1418は形成後にエッチングにより形状を加工して形成する。ここでは、スパッタリング法により酸化珪素層を形成し、フォトリソグラフィによるマスクを用いてエッチング加工することでチャネル保護層1418を形成する。

10

【0187】

次いで、チャネル保護層1418及び酸化物半導体層1403上にソース領域及びドレイン領域1406a、1406bを形成する。本実施の形態では、ソース領域またはドレイン領域1406a、1406bは、Zn-O系微結晶層またはZn-O系多結晶層であり、酸化物半導体層1403の形成条件とは異なる形成条件で形成され、より低抵抗な酸化物半導体層である。また、ソース領域またはドレイン領域1406a、1406bは、窒素を含ませたAl-Zn-O系非単結晶層、即ちAl-Zn-O-N系非単結晶層（AZON層とも呼ぶ）を用いてもよい。

【0188】

次いで、ソース領域1406a上にソース電極層1405a、ドレイン領域1406b上にドレイン電極層1405bをそれぞれ形成して薄膜トランジスタ1430を作製する（図13（B）参照）。ソース電極層1405a及びドレイン電極層1405bは、実施の形態1に示すソース電極層405a及びドレイン電極層405bと同様に形成することができる。

20

【0189】

ソース領域及びドレイン領域1406a、1406bを酸化物半導体層1403と、ソース電極層1405a及びドレイン電極層1405bとの間に設けることにより、金属層であるソース電極層1405a、ドレイン電極層1405bと、酸化物半導体層1403との間を良好な接合としてショットキー接合に比べて熱的にも安定動作を有せしめる。また、ソース領域及びドレイン領域1406a、1406bの低抵抗化により、高いドレイン電圧でも良好な移動度を保持することができる。

30

【0190】

また、上述したソース領域及びドレイン領域1406a、1406bを有する構造に限定されず、例えば、ソース領域及びドレイン領域を設けない構造としてもよい。

【0191】

また、チャネル保護層1418を形成後、酸素雰囲気または窒素雰囲気下において薄膜トランジスタ1430に加熱処理（好ましくは150 以上350 未満）を行う。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。該加熱処理を行うと、酸化物半導体層1403がチャネル保護層1418と接した状態で加熱されることになり、薄膜トランジスタ1430の電気的特性のばらつきを軽減することができる。この加熱処理（好ましくは150 以上350 未満）は、チャネル保護層1418の形成後であれば特に限定されず、他の工程、例えば樹脂層形成時の加熱処理や、透明導電層を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

40

【0192】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0193】

（実施の形態8）

半導体装置及び半導体装置の作製方法を、図14（A）及び図14（B）を用いて説明する。実施の形態7と同一部分または同様な機能を有する部分、及び工程は、実施の形態7

50

と同様に行うことができ、繰り返しの説明は省略する。

【0194】

図14(A)に示す薄膜トランジスタ1431は、ゲート電極層1401及び酸化物半導体層1403のチャネル領域に重なるようにチャネル保護層1418及び絶縁層1407を介して導電層1409を設ける例である。

【0195】

図14(A)は半導体装置の有する薄膜トランジスタ1431の断面図である。薄膜トランジスタ1431はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板1400上に、ゲート電極層1401、ゲート絶縁層1402、酸化物半導体層1403、ソース領域またはドレイン領域1406a、1406b、ソース電極層またはドレイン電極層1405a、1405b、絶縁層1407、及び導電層1409を含む。導電層1409は、ゲート電極層1401と重なるように、絶縁層1407上に設けられている。

10

【0196】

本実施の形態では、実施の形態1と同様に、ゲート絶縁層1402上に、酸化物半導体層を形成する。酸化物半導体層上にソース領域及びドレイン領域1406a、1406bを形成する。ソース領域及びドレイン領域1406a、1406bの形成前または形成後に、酸素雰囲気下において脱水化または脱水素化のための加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下において徐冷を行うことが好ましい。

20

【0197】

本実施の形態において、酸化物半導体層1403上に形成されるソース領域及びドレイン領域1406a、1406bは、Zn-O系微結晶層またはZn-O系多結晶層であり、酸化物半導体層1403の形成条件とは異なる形成条件で形成され、より低抵抗な酸化物半導体層である。また、酸化物半導体層1403は非晶質状態である。

【0198】

導電層1409は、ゲート電極層1401、ソース電極層またはドレイン電極層1405a、1405bと同様な材料、方法を用いて形成することができる。画素電極層を設ける場合は、画素電極層と同様な材料、方法を用いて形成してもよい。本実施の形態では、導電層1409としてチタン層、アルミニウム層、及びチタン層の積層を用いる。

30

【0199】

導電層1409は、電位がゲート電極層1401と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層1409がフローティング状態であってもよい。

40

【0200】

導電層1409を酸化物半導体層1403と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス-熱ストレス試験(以下、BT試験という)において、BT試験前後における薄膜トランジスタ1431のしきい値電圧を制御することができる。

【0201】

また、図14(B)に図14(A)と一部異なる例を示す。図14(A)と同一部分または同様な機能を有する部分、及び工程は、図14(A)と同様に行うことができ、繰り返しの説明は省略する。

40

【0202】

図14(B)に示す薄膜トランジスタ1432は、ゲート電極層1401及び酸化物半導体層1403のチャネル領域に重なるようにチャネル保護層1418、絶縁層1407及び絶縁層1408を介して導電層1409を設ける例である。

【0203】

本実施の形態では、実施の形態1と同様に、ゲート絶縁層1402上に、酸化物半導体層を形成する。酸化物半導体層の形成後に、酸素雰囲気下において脱水化または脱水素化のための加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下において徐冷を行う

50

ことが好ましい。

【0204】

図14(B)では、絶縁層1407上に平坦化層として機能する絶縁層1408を積層する。

【0205】

また、図14(B)では、ソース領域またはドレイン領域を設けず、酸化物半導体層1403とソース電極層またはドレイン電極層1405a、1405bが直接接する構造となっている。

【0206】

図14(B)の構造においても、導電層1409を酸化物半導体層1403と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのBT試験において、BT試験前後における薄膜トランジスタ1432のしきい値電圧を制御することができる。

【0207】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0208】

(実施の形態9)

本実施の形態では、実施の形態1と構造が一部異なる例を図15に示す。実施の形態1と同一部分または同様な機能を有する部分、及び工程は、実施の形態1と同様に行うことができ、繰り返しの説明は省略する。

【0209】

本実施の形態では、第1の酸化物半導体層のパターニングの後に、酸素雰囲気下において脱水化または脱水素化のための加熱処理を行った後、酸素雰囲気下または不活性気体雰囲気下で徐冷を行うことが好ましい。第1の酸化物半導体層を上記雰囲気下で加熱処理することで、酸化物半導体層403に含まれる水素及び水分などの不純物を除去することができる。

【0210】

次いで、第1の酸化物半導体層上に、薄膜トランジスタのソース領域及びドレイン領域として用いる第2の酸化物半導体層を形成した後、導電層を形成する。

【0211】

次いで、第1の酸化物半導体層、及び第2の酸化物半導体層、導電層をエッチング工程により選択的にエッチングし、酸化物半導体層403、及びソース領域またはドレイン領域404a、404b、及びソース電極層またはドレイン電極層405a、405bを形成する。なお、酸化物半導体層403は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となる。

【0212】

次いで、酸化物半導体層403に接してスパッタリング法またはPCVD法による酸化珪素層を酸化物絶縁層407として形成する。脱水化または脱水素化させた酸化物半導体層に接して形成する酸化物絶縁層407は、水分や、水素イオンや、OH⁻などが少なく、水分や、OH⁻が外部から侵入することをブロックする無機絶縁層を用い、具体的には酸化珪素層、または窒化酸化珪素層を用いる。さらに酸化物絶縁層407上に窒化珪素層を積層してもよい。

【0213】

脱水化または脱水素化させた酸化物半導体層403に接してスパッタリング法またはPCVD法などにより酸化物絶縁層407を形成することで、脱水化または脱水素化させた酸化物半導体層403をチャンネル形成領域に有する薄膜トランジスタ473を作製することができる(図15参照。)。

【0214】

図15における構造において、ソース領域またはドレイン領域404a、404bとしてIn-Ga-Zn-O系非単結晶層を用いる。また、ソース領域及びドレイン領域404

10

20

30

40

50

a、404bは、Al-Zn-O系非晶質層を用いることができる。また、ソース領域及びドレイン領域404a、404bは、窒素を含ませたAl-Zn-O系非晶質層、即ちAl-Zn-O-N系非晶質層を用いてもよい。

【0215】

また、酸化物半導体層403とソース電極層の間にソース領域を、酸化物半導体層とドレイン電極層との間にドレイン領域を有する。

【0216】

また、薄膜トランジスタ473のソース領域またはドレイン領域404a、404bとして用いる第2の酸化物半導体層は、チャネル形成領域として用いる第1の酸化物半導体層の厚さよりも薄く、且つ、より高い導電率（電気伝導度）を有するのが好ましい。

10

【0217】

またチャネル形成領域として用いる第1の酸化物半導体層は非晶質構造を有し、ソース領域及びドレイン領域として用いる第2の酸化物半導体層は非晶質構造の中に結晶粒（ナノクリスタル）を含む場合がある。このソース領域及びドレイン領域として用いる第2の酸化物半導体層中の結晶粒（ナノクリスタル）は直径1nm～10nm、代表的には2nm～4nm程度である。

【0218】

また、酸化物絶縁層407を形成後、酸素雰囲気下または窒素雰囲気下において薄膜トランジスタ473に加熱処理（好ましくは150 以上350 未満）を行ってもよい。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。該加熱処理を行うと、酸化物半導体層403が酸化物絶縁層407と接した状態で加熱されることになり、薄膜トランジスタ473の電気的特性のばらつきを軽減することができる。

20

【0219】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0220】

（実施の形態10）

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0221】

30

画素部に配置する薄膜トランジスタは、実施の形態1乃至実施の形態9に従って形成する。また、実施の形態1乃至実施の形態9に示す薄膜トランジスタはn型TFTであるため、駆動回路のうち、n型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0222】

アクティブマトリクス型表示装置のブロック図の一例を図16（A）に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC（Flexible Printed Circuit）等の接続部を介して、タイミング制御回路5305（コントローラ、制御ICともいう）に接続されている。

40

【0223】

図16（A）では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

50

【0224】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、第1の走査線駆動回路用クロック信号(GCLK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、第2の走査線駆動回路用クロック信号(GCLK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCLK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

10

【0225】

図16(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、または歩留まりの向上などを図ることができる。

20

【0226】

また、実施の形態1乃至実施の形態9に示す薄膜トランジスタは、n型TFETである。図17(A)、図17(B)ではn型TFETで構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0227】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、スイッチング回路5602__1~5602__N(Nは自然数)という複数の回路を有する。スイッチング回路5602__1~5602__Nは、各々、薄膜トランジスタ5603__1~5603__k(kは自然数)という複数のトランジスタを有する。薄膜トランジスタ5603__1~5603__kが、n型TFETである例を説明する。

30

【0228】

信号線駆動回路の接続関係について、スイッチング回路5602__1を例にして説明する。薄膜トランジスタ5603__1~5603__kの第1端子は、各々、配線5604__1~5604__kと接続される。薄膜トランジスタ5603__1~5603__kの第2端子は、各々、信号線S1~Skと接続される。薄膜トランジスタ5603__1~5603__kのゲートは、配線5605__1と接続される。

【0229】

シフトレジスタ5601は、配線5605__1~5605__Nに順番にHレベル(H信号、高電源電位レベル、ともいう)の信号を出力し、スイッチング回路5602__1~5602__Nを順番に選択する機能を有する。

40

【0230】

スイッチング回路5602__1は、配線5604__1~5604__kと信号線S1~Skとの導通状態(第1端子と第2端子との間の導通)を制御する機能、即ち配線5604__1~5604__kの電位を信号線S1~Skに供給するか否かを制御する機能を有する。このように、スイッチング回路5602__1は、セレクトとしての機能を有する。また薄膜トランジスタ5603__1~5603__kは、各々、配線5604__1~5604__kと信号線S1~Skとの導通状態を制御する機能、即ち配線5604__1~5604__kの電位を信号線S1~Skに供給する機能を有する。このように、薄膜トランジスタ5603__1~5603__kは、各々、スイッチとしての機能を有する。

50

【0231】

なお、配線5604__1～5604__kには、各々、ビデオ信号用データ(DATA)が入力される。ビデオ信号用データ(DATA)は、画像情報または画像信号に応じたアナログ信号である場合が多い。

【0232】

次に、図17(A)の信号線駆動回路の動作について、図17(B)のタイミングチャートを参照して説明する。図17(B)には、信号Sout__1～Sout__N、及び信号Vdata__1～Vdata__kの一例を示す。信号Sout__1～Sout__Nは、各々、シフトレジスタ5601の出力信号の一例であり、信号Vdata__1～Vdata__kは、各々、配線5604__1～5604__kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T1～期間TNに分割される。期間T1～TNは、各々、選択された行に属する画素にビデオ信号用データ(DATA)を書き込むための期間である。

10

【0233】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

【0234】

期間T1～期間TNにおいて、シフトレジスタ5601は、Hレベルの信号を配線5605__1～5605__Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、Hレベルの信号を配線5605__1に出力する。すると、薄膜トランジスタ5603__1～5603__kはオンになるので、配線5604__1～5604__kと、信号線S1～Skとが導通状態になる。このとき、配線5604__1～5604__kには、Data(S1)～Data(Sk)が入力される。Data(S1)～Data(Sk)は、各々、薄膜トランジスタ5603__1～5603__kを介して、選択される行に属する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間T1～TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ(DATA)が書き込まれる。

20

【0235】

以上のように、ビデオ信号用データ(DATA)が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ(DATA)の数、または配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くことができ、ビデオ信号の書き込み不足を防止することができる。

30

【0236】

なお、シフトレジスタ5601及びスイッチング回路5602としては、実施の形態1乃至実施の形態9に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ5601が有する全てのトランジスタの極性をn型、またはp型のいずれかの極性のみで構成することができる。

40

【0237】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図18及び図19を用いて説明する。

【0238】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッフ

50

ァは大きな電流を流すことが可能なものが用いられる。

【0239】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N (Nは3以上の自然数)を有している(図18(A)参照)。図18(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n (nは、2以上、N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)という)(nは2以上N以下の自然数)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号、また、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__n+2からの信号(後段信号OUT(n+2)という)が入力される。また各段のパルス出力回路からは、前段及び/または後段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の配線等に電氣的に接続される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図18(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

10

20

【0240】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(L信号、低電源電位レベル、ともいう)を繰り返す信号である。ここで、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う。

【0241】

第1のパルス出力回路10__1~第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図18(B)参照)。第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図18(A)において、第1のパルス出力回路10__1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10__2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

30

【0242】

第1のパルス出力回路10__1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24に第1のスタートパルスSP1が入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力されていることとなる。

40

【0243】

なお第1のパルス出力回路10__1~第Nのパルス出力回路10__Nは、3端子の薄膜トランジスタ(TFT)の他に、上記実施の形態で説明した4端子の薄膜トランジスタを用いることができる。なお、本明細書において、薄膜トランジスタが半導体層を介して二つ

50

のゲート電極を有する場合、半導体層より下方のゲート電極を下方のゲート電極、半導体層に対して上方のゲート電極を上方のゲート電極とも呼ぶ。

【0244】

酸化物半導体を薄膜トランジスタのチャネル形成領域を含む半導体層に用いた場合、製造工程により、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。そのため、チャネル形成領域を含む半導体層に酸化物半導体を用いた薄膜トランジスタでは、しきい値電圧の制御を行うことのできる構成が好適である。4端子の薄膜トランジスタのしきい値電圧は、上方及び/または下方のゲート電極の電位を制御することにより所望の値に制御することができる。

【0245】

次に、図18(B)に示したパルス出力回路の具体的な回路構成の一例について、図18(C)で説明する。

【0246】

図18(C)で示したパルス出力回路は、第1のトランジスタ31～第13のトランジスタ43を有している。また、第1の高電源電位VDDが供給される電源線51、第2の高電源電位VCCが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、または電源電位が供給される。ここで、図18(C)における各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位VCC以上の電位とし、第2の電源電位VCCは第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。なお電源線51の電位VDDを、電源線52の電位VCCより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお、第1のトランジスタ31～第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、4端子の薄膜トランジスタを用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い(オン電流の立ち上がりが急峻)ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、4端子の薄膜トランジスタを用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。

【0247】

図18(C)において、第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第5の入力端子25に電氣的に接続されている。第7のトランジスタ

37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が電源線52に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。

【0248】

図18（C）において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

【0249】

図19（A）に、図18（C）で説明したパルス出力回路を第1のパルス出力回路10__1に適用した場合に、第1の入力端子21乃至第5の入力端子25と第1の出力端子26及び第2の出力端子27に☐入力または出力される信号を示している。

【0250】

具体的には、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT（3）が入力され、第1の出力端子26より第1の出力信号OUT（1）（SR）が出力され、第2の出力端子27より第2の出力信号OUT（1）が出力される。

【0251】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重版した領域にチャンネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャンネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0252】

なお図18（C）、図19（A）において、ノードAを浮遊状態とすることによりブート

ストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

【0253】

ここで、図19(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図19(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図19(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0254】

なお、図19(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下の

10

【0255】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は

20

【0256】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減する利点がある。

30

【0257】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き

40

【0258】

なお、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38ゲート電極（下方のゲート電極及び上方のゲート電極）に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図19(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第

50

8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図19(A)に示すシフトレジスタを図19(B)のように、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極(下方のゲート電極及び上方のゲート電極)に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極(下方のゲート電極及び上方のゲート電極)に第2の入力端子22によって供給されるクロック信号とすることによって、ノードBの電位の変動を小さくすることで、ノイズを低減することが出来るため好適である。

10

20

30

40

50

【0259】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0260】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0261】

(実施の形態11)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、薄膜トランジスタを使用した駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0262】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0263】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極(画素電極層ともいう)のみが形成された状態であっても良いし、画素電極となる導電層を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0264】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回

路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0265】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図20を用いて説明する。図20(A1)(A2)は、第1の基板4001上に形成された実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図20(B)は、図20(A1)(A2)のM-Nにおける断面図に相当する。

【0266】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体層または多結晶半導体層で形成された信号線駆動回路4003が実装されている。

10

【0267】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図20(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図20(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0268】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図20(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には保護絶縁層4020、4021が設けられている。

【0269】

薄膜トランジスタ4010、4011は、実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態1または実施の形態2に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4010、4011はn型薄膜トランジスタである。

30

【0270】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0271】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

40

【0272】

また4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサ4035であり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に

50

接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0273】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1ミリ秒以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

10

【0274】

なお透過型液晶表示装置の他に、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0275】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層（カラーフィルター）、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光層を設けてもよい。

20

【0276】

また、薄膜トランジスタ4010、4011上には保護絶縁層4020が形成されている。保護絶縁層4020は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。勿論、保護絶縁層4020は透光性を有する絶縁膜である。ここでは、保護絶縁層4020として、PCVD法により窒化珪素膜を形成する。

【0277】

また、平坦化絶縁層として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4021を形成してもよい。

30

【0278】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0279】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）等の方法、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等のツール（設備）を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

40

【0280】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する

50

導電性材料を用いることができる。

【0281】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0282】

導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

10

【0283】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0284】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電層から形成され、端子電極4016は、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電層で形成されている。

【0285】

接続端子電極4015は、FPC4018が有する端子と、異方性導電層4019を介して電氣的に接続されている。

20

【0286】

また図20においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0287】

図21は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0288】

図21は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

30

40

【0289】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

50

【 0 2 9 0 】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【 0 2 9 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 2 9 2 】

(実施の形態 1 2)

半導体装置として電子ペーパーの例を示す。

【 0 2 9 3 】

電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【 0 2 9 4 】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの（無色を含む）とする。

【 0 2 9 5 】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。なお、電気泳動ディスプレイは、液晶表示装置には必要な偏光板は必要ない。

【 0 2 9 6 】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【 0 2 9 7 】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態 1 乃至実施の形態 9 の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【 0 2 9 8 】

なお、マイクロカプセル中の第 1 の粒子および第 2 の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【 0 2 9 9 】

図 2 2 は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 5 8 1 としては、実施の形態 1 で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2 乃至実施の形態 9 で示す薄膜トランジスタも本実施の薄膜トランジスタ 5 8 1 として適用することもできる。

【 0 3 0 0 】

図 2 2 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差

10

20

30

40

50

を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0301】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁層583に覆われている。薄膜トランジスタ581のソース電極層またはドレイン電極層によって第1の電極層587と、絶縁層583及び絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には、黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャピティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板580上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて基板580と基板596の間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

10

【0302】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、または表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

【0303】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0304】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0305】

（実施の形態13）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0306】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

40

【0307】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利

50

用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0308】

図23は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0309】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いるn型のトランジスタを1つの画素に2つ用いる例を示す。

【0310】

画素6400は、スイッチング用トランジスタ6401、発光素子駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線6405に接続され、第2電極(ソース電極及びドレイン電極の他方)が発光素子駆動用トランジスタ6402のゲートに接続されている。発光素子駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【0311】

なお、発光素子6404の第2電極(共通電極6408)には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0312】

なお、容量素子6403は発光素子駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

30

【0313】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ6402のゲートには、発光素子駆動用トランジスタ6402が十分にオンするか、オフするか、の二つの状態となるようなビデオ信号を入力する。つまり、発光素子駆動用トランジスタ6402は線形領域で動作させる。発光素子駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を発光素子駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+発光素子駆動用トランジスタ6402の V_{th})以上の電圧をかける。

40

【0314】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図23と同じ画素構成を用いることができる。

【0315】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+発光素子駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。発光素子駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、発光素子駆動用トランジスタ6402のゲート電位よりも高くする。ピ

50

デオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【 0 3 1 6 】

なお、図 2 3 に示す画素構成は、これに限定されない。例えば、図 2 3 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタまたは論理回路などを追加してもよい。

【 0 3 1 7 】

次に、発光素子の構成について、図 2 4 を用いて説明する。ここでは、発光素子駆動用 T F T が n 型の場合を例に挙げて、画素の断面構造について説明する。図 2 4 (A) (B) (C) の半導体装置に用いられる発光素子駆動用 T F T である T F T 7 0 0 1、7 0 1 1、7 0 2 1 は、実施の形態 1 で示す画素に配置される薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2 乃至実施の形態 9 で示す画素に配置される薄膜トランジスタを T F T 7 0 0 1、7 0 1 1、7 0 2 1 として適用することもできる。

10

【 0 3 1 8 】

発光素子は発光を取り出すために少なくとも陽極または陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【 0 3 1 9 】

上面射出構造の発光素子について図 2 4 (A) を用いて説明する。

20

【 0 3 2 0 】

図 2 4 (A) に、発光素子駆動用 T F T である T F T 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 2 4 (A) では、発光素子 7 0 0 2 の陰極 7 0 0 3 と発光素子駆動用 T F T である T F T 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電層であれば様々な材料を用いることができる。例えば、C a、A l、M g A g、A l L i 等が望ましい。そして発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、I T O と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電層を用いても良い。

30

【 0 3 2 1 】

また、陰極 7 0 0 3 上に隔壁 7 0 0 9 を設ける。隔壁 7 0 0 9 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7 0 0 9 は、特に感光性の樹脂材料を用い、隔壁 7 0 0 9 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7 0 0 9 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

40

【 0 3 2 2 】

陰極 7 0 0 3 及び陽極 7 0 0 5 で発光層 7 0 0 4 を挟んでいる領域が発光素子 7 0 0 2 に相当する。図 2 4 (A) に示した画素の場合、発光素子 7 0 0 2 から発せられる光は、矢印で示すように陽極 7 0 0 5 側に射出する。

【 0 3 2 3 】

次に、下面射出構造の発光素子について図 2 4 (B) を用いて説明する。発光素子駆動用

50

TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図24(B)では、発光素子駆動用TFT7011と電氣的に接続された透光性を有する導電層7017上に、発光素子7012の陰極7013が形成されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽層7016が形成されていてもよい。陰極7013は、図24(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその厚さは、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの厚さを有するアルミニウム層を、陰極7013として用いることができる。そして発光層7014は、図24(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図24(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽層7016は、例えば光を反射する金属等を用いることができるが、金属層に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

10

20

30

40

50

【0324】

また、導電層7017上に隔壁7019を設ける。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、隔壁7019の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0325】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図24(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0326】

次に、両面射出構造の発光素子について、図24(C)を用いて説明する。図24(C)では、発光素子駆動用TFT7021と電氣的に接続された透光性を有する導電層7027上に、発光素子7022の陰極7023が形成されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図24(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその厚さは、光を透過する程度とする。例えば20nmの厚さを有するアルミニウム膜を、陰極7023として用いることができる。そして発光層7024は、図24(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図24(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0327】

また、導電層7027上に隔壁7029を設ける。隔壁7029は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、隔壁7029の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0328】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図24(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0329】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0330】

なお、発光素子の駆動を制御する薄膜トランジスタ（発光素子駆動用TFT）と発光素子が電氣的に接続されている例を示したが、発光素子駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0331】

なお半導体装置は、図24に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【0332】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図25を用いて説明する。図25（A）は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図25（B）は、図25（A）のH-Iにおける断面図に相当する。

10

【0333】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

20

【0334】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図25（B）では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0335】

薄膜トランジスタ4509、4510は、実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態1または実施の形態2に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4509、4510はn型薄膜トランジスタである。

30

【0336】

また、薄膜トランジスタ4509、4510上には保護絶縁層4543が形成されている。保護絶縁層4543は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。勿論、保護絶縁層4543は透光性を有する絶縁膜である。ここでは、保護絶縁層4543として、PCVD法により窒化珪素膜を形成する。

【0337】

また、平坦化絶縁膜として絶縁層4544を形成する。絶縁層4544としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4544を形成してもよい。ここでは、絶縁層4544としてアクリルを用いる。

40

【0338】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層

50

４５１２、第２の電極層４５１３の積層構造であるが、示した構成に限定されない。発光素子４５１１から取り出す光の方向などに合わせて、発光素子４５１１の構成は適宜変えることができる。

【０３３９】

隔壁４５２０は、有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第１の電極層４５１７上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【０３４０】

電界発光層４５１２は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【０３４１】

発光素子４５１１に水素、水分、二酸化炭素等が侵入しないように、第２の電極層４５１３及び隔壁４５２０上に酸化物絶縁層を形成してもよい。

【０３４２】

また、信号線駆動回路４５０３ａ、４５０３ｂ、走査線駆動回路４５０４ａ、４５０４ｂ、または画素部４５０２に与えられる各種信号及び電位は、ＦＰＣ４５１８ａ、４５１８ｂから供給されている。

【０３４３】

接続端子電極４５１５が、発光素子４５１１が有する第１の電極層４５１７と同じ導電層から形成され、端子電極４５１６は、薄膜トランジスタ４５０９が有するソース電極層及びドレイン電極層と同じ導電層から形成されている。

【０３４４】

接続端子電極４５１５は、ＦＰＣ４５１８ａが有する端子と、異方性導電層４５１９を介して電氣的に接続されている。

【０３４５】

発光素子４５１１からの光の取り出し方向に位置する第２の基板４５０６は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエスチルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【０３４６】

また、充填材４５０７としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

【０３４７】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止層を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【０３４８】

信号線駆動回路４５０３ａ、４５０３ｂ、及び走査線駆動回路４５０４ａ、４５０４ｂは、別途用意された基板上に単結晶半導体層または多結晶半導体層によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、または走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図２５の構成に限定されない。

【０３４９】

以上の工程により、半導体装置として信頼性の高い発光表示パネル（発光パネル）を作製することができる。

【０３５０】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能

10

20

30

40

50

である。

【0351】

(実施の形態14)

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図26に示す。

【0352】

図26は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

【0353】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図26では表示部2705)に文章を表示し、左側の表示部(図26では表示部2707)に画像を表示することができる。

20

【0354】

また、図26では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0355】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

30

【0356】

(実施の形態15)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

40

【0357】

図27(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0358】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示され

50

る映像を操作することができる。また、リモコン操作機 9 6 1 0 に、当該リモコン操作機 9 6 1 0 から出力する情報を表示する表示部 9 6 0 7 を設ける構成としてもよい。

【0359】

なお、テレビジョン装置 9 6 0 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0360】

図 2 7 (B) は、デジタルフォトフレーム 9 7 0 0 の一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0361】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム 9 7 0 0 の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

【0362】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0363】

図 2 8 (A) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 8 (A) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段（操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）、マイクロフォン 9 8 8 9）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 2 8 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 2 8 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0364】

図 2 8 (B) は大型遊技機であるスロットマシン 9 9 0 0 の一例を示している。スロットマシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0365】

図 2 9 (A) は携帯型のコンピュータの一例を示す斜視図である。

【0366】

図 2 9 (A) の携帯型のコンピュータは、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを開状態として表示部 9 3 0 3 を有する上部筐体 9 3 0 1 と、キーボ

10

20

30

40

50

ード 9304 を有する下部筐体 9302 とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部 9303 を見て入力操作を行うことができる。

【0367】

また、下部筐体 9302 はキーボード 9304 の他に入力操作を行うポインティングデバイス 9306 を有する。また、表示部 9303 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9302 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9302 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9305 を有している。

10

【0368】

上部筐体 9301 には更に上部筐体 9301 内部にスライドさせて収納可能な表示部 9307 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9307 の画面の向きを使用者は調節できる。また、収納可能な表示部 9307 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0369】

表示部 9303 または収納可能な表示部 9307 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0370】

また、図 29 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態としたまま、表示部 9307 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9303 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

20

【0371】

また、図 29 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0372】

30

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9204、腕に対するバンド部の固定状態を調節する調節部 9205、表示部 9201、スピーカ 9207、及びマイク 9208 から構成されている。

【0373】

また、本体は、操作スイッチ 9203 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えば押すとインターネット用のプログラムが起動されるスイッチなど、操作スイッチ 9203 を用いて各ファンクションに対応づけることができる。

【0374】

40

この携帯電話の入力操作は、表示部 9201 に指や入力ペンなどで触れること、または操作スイッチ 9203 の操作、またはマイク 9208 への音声入力により行われる。なお、図 29 (B) では、表示部 9201 に表示された表示ボタン 9202 を図示しており、指などで触れることにより入力を行うことができる。

【0375】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9206 を有する。なお、特にカメラ部は設けなくともよい。

【0376】

また、図 29 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9201 に表示することができ、さらにメモリなどの記

50

憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図 29 (B) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

【0377】

表示部 9201 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 29 (B) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量の限られており、表示部 9201 に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【0378】

なお、図 29 (B) では「腕」に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

10

【実施例 1】

【0379】

第一原理 MD (分子動力学) 法を用いて、酸化物半導体層と酸素分子の相互作用を計算した。ここでは、計算用のソフトウェアとしては、アクセルリス株式会社製の CASTEP を用い、計算条件は、NV T アンサンブル、時間を 0.5 ピコ秒、温度を 350 とした。計算手法は平面波基底擬ポテンシャル法を用いた密度汎関数法である。汎関数は GGA PBE を用いた。

【0380】

ここでは、IGZO 表面の計算モデルとして、12 個の In 原子、12 個の Ga 原子、12 個の Zn 原子、及び 46 個の O 原子からなるアモルファス構造とした。計算に用いた基本格子は $1.02 \text{ nm} \times 1.02 \text{ nm} \times 2.06 \text{ nm}$ の直方体である。境界は周期境界条件を用いている。以下では上記表面モデルに酸素分子を付加したモデルを用いている。

20

【0381】

酸化物半導体層の表面と、酸化物半導体層の表面近傍に配置した酸素分子の初期状態を図 30 (A) に示し、0.5 ピコ秒後の両者の位置を図 30 (B) に示す。図 30 (B) において、酸素分子が酸化物半導体層表面の金属に吸着されている。0.5 ピコ秒内では、酸素分子の共有結合が失われる状態に至らなかった。

【0382】

しかし、酸素原子は酸素原子同士が結合した状態よりも金属原子と隣り合った構造の方が熱力学的に安定である。また、酸化物半導体層の密度の測定値から作製した構造モデルは、酸素分子が共有結合を保ったまま拡散するには酸化物半導体層内部のスペースは狭すぎることを示している。従って、酸素原子は熱力学的平衡に達した際には酸化物半導体層内部に拡散する。

30

【0383】

次に、酸素密度の高い領域及び酸素密度の低い領域を有する酸化物半導体層における、加熱処理に伴う酸素の拡散現象について計算した。結果を、図 31 及び図 32 を用いて説明する。ここでは、計算用のソフトウェアとしては、富士通株式会社製の Materials Explorer 5.0 を用いた。

【0384】

図 31 に、計算に用いた酸化物半導体層のモデルを示す。ここでは、酸化物半導体層 701 を、酸素密度の低い層 703 及び酸素密度の高い層 705 が積層される構造とした。

40

【0385】

ここでは、酸素密度の低い層 703 として、15 個の In 原子、15 個の Ga 原子、15 個の Zn 原子、及び 54 個の O 原子からなるアモルファス構造とした。

【0386】

また、酸素密度の高い層 705 として、15 個の In 原子、15 個の Ga 原子、15 個の Zn 原子、及び 66 個の O 原子からなるアモルファス構造とした。

【0387】

また、酸化物半導体層 701 の密度を 5.9 g/cm^3 とした。

【0388】

50

次に、酸化物半導体層 701 に対して、NVT アンサンブル、温度 250 の条件で、古典 MD (分子動力学) 計算を行った。時刻幅を 0.2 フェムト秒とし、総計算時間を 200 ピコ秒と設定した。また、ポテンシャルは、金属 - 酸素結合、及び酸素 - 酸素結合のポテンシャルに Born - Mayer - Huggins 型のポテンシャルを適用した。また、酸化物半導体層 701 の上端及び下端の原子の動きを固定した。

【0389】

次に、計算結果を図 32 に示す。z 軸座標の 0 nm から 1.15 nm が酸素密度の低い層 703 であり、z 軸座標の 1.15 nm から 2.3 nm が酸素密度の高い層 705 である。MD 計算前の酸素の密度分布を実線 707 で示し、MD 計算後の酸素密度の分布を破線 709 で示す。

10

【0390】

実線 707 においては、酸素密度の低い層 703 と酸素密度の高い層 705 との界面より、酸素密度の高い層 705 において、酸素の密度が高い。一方、破線 709 においては、酸素密度の低い層 703 及び酸素密度の高い層 705 において、酸素密度が均質であることが分かる。

【0391】

以上のことから、酸素密度の低い層 703 と酸素密度の高い層 705 の積層状態のように、酸素密度の分布に偏りが有る場合、加熱処理により酸素密度が高い方から低い方へ拡散し、酸素密度が均質になることが分かる。

20

【0392】

このときの酸素の拡散の様子について図 33 を用いて模式的に示す。酸化物半導体層 711 の表面に酸素 713 が移動する (図 33 (A) 参照)。なお、図 33 (A) では、酸化物半導体層 711 として、金属 (Me) と酸素 (O) が結合している形態を示す。次に、酸素 713 は、酸化物半導体層 711 の表面に吸着する。図 33 (B) に、酸素が酸化物半導体の金属 (Me) に吸着した酸化物半導体層 715 を示す。こののち、吸着した酸素は、酸化物半導体層に含まれる金属イオン (Me) とイオン結合を生じ、酸素原子の状態で酸化物半導体層内部に拡散することが分かる (図 33 (C) 参照。)

【0393】

即ち、実施の形態 1 に示すように、酸化物半導体層 403 上に酸化物絶縁層 407 を形成することで、酸化物半導体層 403 及び酸化物絶縁層 407 の界面において酸素密度が高まるため、当該酸素が酸化物半導体層 403 の酸素密度の低い方へ拡散し、酸化物半導体層 403 が高抵抗化する。以上のことから、薄膜トランジスタの信頼性を向上させることができる。

30

【符号の説明】

【0394】

- 10 パルス出力回路
- 11 配線
- 12 配線
- 13 配線
- 14 配線
- 15 配線
- 21 入力端子
- 22 入力端子
- 23 入力端子
- 24 入力端子
- 25 入力端子
- 26 出力端子
- 27 出力端子
- 31 トランジスタ
- 32 トランジスタ

40

50

3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	
4 2	トランジスタ	10
4 3	トランジスタ	
5 1	電源線	
5 2	電源線	
5 3	電源線	
6 1	期間	
6 2	期間	
1 0 0	基板	
1 0 1	ゲート電極層	
1 0 2	ゲート絶縁層	
1 0 3	酸化物半導体層	20
1 0 5 a	ドレイン電極層	
1 0 5 b	ドレイン電極層	
1 0 7	酸化物絶縁層	
1 0 8	容量配線	
1 1 0	画素電極層	
1 2 1	端子	
1 2 2	端子	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 7	コンタクトホール	30
1 2 8	透明導電層	
1 2 9	透明導電層	
1 3 2	導電層	
1 3 3	酸化物半導体層	
1 3 4	酸化物半導体層	
1 5 0	端子	
1 5 1	端子	
1 5 2	ゲート絶縁層	
1 5 3	接続電極層	
1 5 4	酸化物絶縁層	40
1 5 5	透明導電層	
1 5 6	電極層	
1 7 0	薄膜トランジスタ	
2 0 0	温度	
2 5 0	温度	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 4 a	ソース領域またはドレイン領域	50

4 0 5 a	ソース電極層またはドレイン電極層	
4 0 5 b	ソース電極層またはドレイン電極層	
4 0 7	酸化物絶縁層	
4 0 9	導電層	
4 1 0	絶縁層	
4 1 1	画素電極層	
4 1 9	導電層	
4 3 0	酸化物半導体層	
4 3 1	酸化物半導体層	
4 4 1	酸化物半導体層	10
4 5 0	基板	
4 5 1	ゲート電極層	
4 5 2	ゲート絶縁層	
4 5 3	酸化物半導体層	
4 5 5 a	ドレイン電極層	
4 5 7	酸化物絶縁層	
4 6 0	薄膜トランジスタ	
4 7 0	薄膜トランジスタ	
4 7 1	薄膜トランジスタ	
4 7 2	薄膜トランジスタ	20
4 7 3	薄膜トランジスタ	
4 8 3	酸化物半導体層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	30
5 9 5	充填材	
5 9 6	基板	
6 0 1	電気炉	
6 0 2	チャンバー	
6 0 3	ヒーター	
6 0 4	基板	
6 0 5	サセプター	
6 0 6	ガス供給手段	
6 0 7	排気手段	
6 1 1	ガス供給源	40
6 1 2	圧力調整弁	
6 1 3	精製器	
6 1 4	マスフローコントローラ	
6 1 5	ストップバルブ	
7 0 1	酸化物半導体層	
7 0 3	層	
7 0 5	層	
7 0 7	実線	
7 0 9	破線	
7 1 1	酸化物半導体層	50

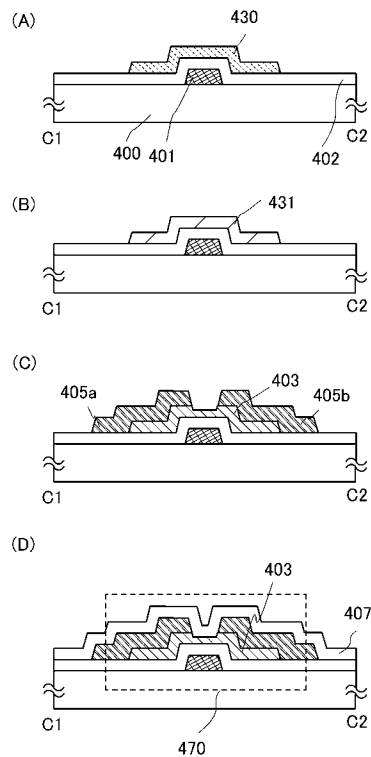
7 1 3	酸素	
7 1 5	酸化物半導体層	
1 4 0 0	基板	
1 4 0 1	ゲート電極層	
1 4 0 2	ゲート絶縁層	
1 4 0 3	酸化物半導体層	
1 4 0 5 a	ソース電極層またはドレイン電極層	
1 4 0 5 b	ソース電極層またはドレイン電極層	
1 4 0 6 a	ソース領域またはドレイン領域	
1 4 0 6 b	ソース領域またはドレイン領域	10
1 4 0 7	絶縁層	
1 4 0 8	絶縁層	
1 4 0 9	導電層	
1 4 1 8	チャネル保護層	
1 4 3 0	薄膜トランジスタ	
1 4 3 1	薄膜トランジスタ	
1 4 3 2	薄膜トランジスタ	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	20
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	30
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	40
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	50

4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	
4 0 2 0	保護絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 5	スペーサ	10
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	20
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電層	
4 5 2 0	隔壁	
4 5 4 3	保護絶縁層	
4 5 4 4	絶縁層	30
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	40
5 6 0 5	配線	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	発光素子駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	50

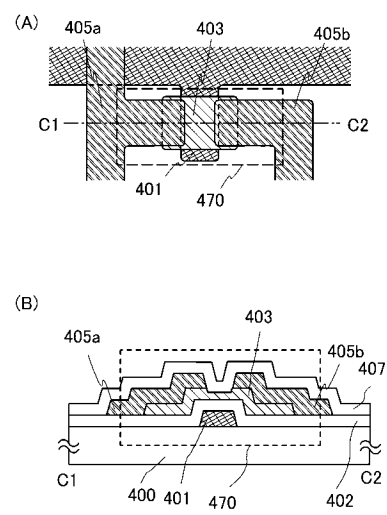
6 4 0 7	電 源 線	
6 4 0 8	共 通 電 極	
7 0 0 1	T F T	
7 0 0 2	発 光 素 子	
7 0 0 3	陰 極	
7 0 0 4	発 光 層	
7 0 0 5	陽 極	
7 0 0 9	隔 壁	
7 0 1 1	発 光 素 子 駆 動 用 T F T	
7 0 1 2	発 光 素 子	10
7 0 1 3	陰 極	
7 0 1 4	発 光 層	
7 0 1 5	陽 極	
7 0 1 6	遮 蔽 層	
7 0 1 7	導 電 層	
7 0 1 9	隔 壁	
7 0 2 1	発 光 素 子 駆 動 用 T F T	
7 0 2 2	発 光 素 子	
7 0 2 3	陰 極	
7 0 2 4	発 光 層	20
7 0 2 5	陽 極	
7 0 2 7	導 電 層	
7 0 2 9	隔 壁	
9 2 0 1	表 示 部	
9 2 0 2	表 示 ボ タ ン	
9 2 0 3	操 作 ス イ ッ チ	
9 2 0 4	バ ン ド 部	
9 2 0 5	調 節 部	
9 2 0 6	カ メ ラ 部	
9 2 0 7	ス ピ ー カ	30
9 2 0 8	マ イ ク	
9 3 0 1	上 部 筐 体	
9 3 0 2	下 部 筐 体	
9 3 0 3	表 示 部	
9 3 0 4	キ ー ボ ー ド	
9 3 0 5	外 部 接 続 ポ ー ト	
9 3 0 6	ポ イ ン テ ィ ン グ デ バ イ ス	
9 3 0 7	表 示 部	
9 6 0 0	テ レ ビ ジ ョ ン 装 置	
9 6 0 1	筐 体	40
9 6 0 3	表 示 部	
9 6 0 5	ス タ ン ド	
9 6 0 7	表 示 部	
9 6 0 9	操 作 キ ー	
9 6 1 0	リ モ コ ン 操 作 機	
9 7 0 0	デ ジ タ ル フ ォ ト フ レ ー ム	
9 7 0 1	筐 体	
9 7 0 3	表 示 部	
9 8 8 1	筐 体	
9 8 8 2	表 示 部	50

9 8 8 3	表示部
9 8 8 4	スピーカ部
9 8 8 5	入力手段（操作キー
9 8 8 6	記録媒体挿入部
9 8 8 7	接続端子
9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E D ランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部

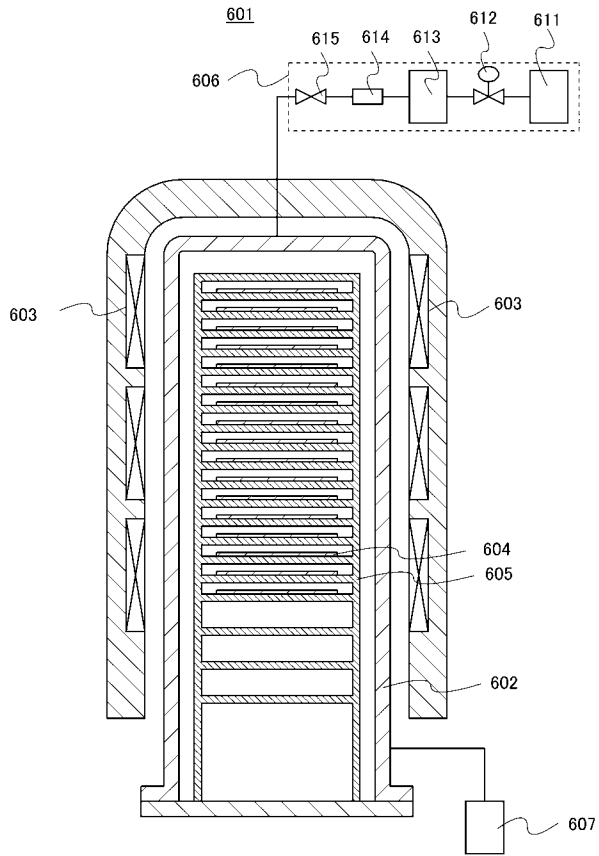
【 図 1 】



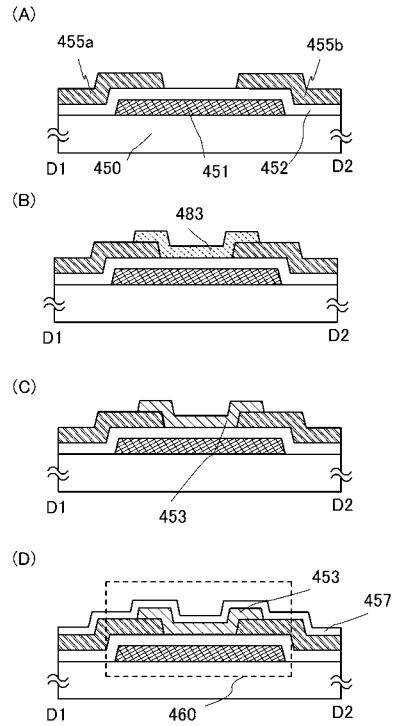
【 図 2 】



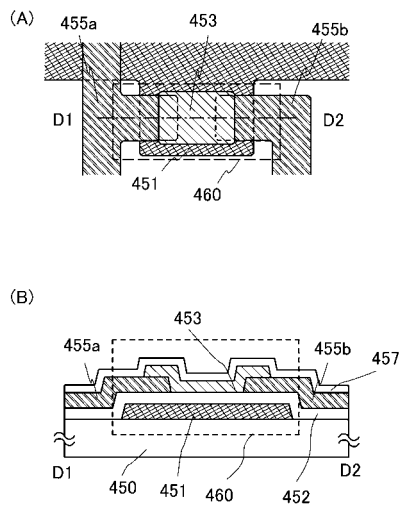
【図 3】



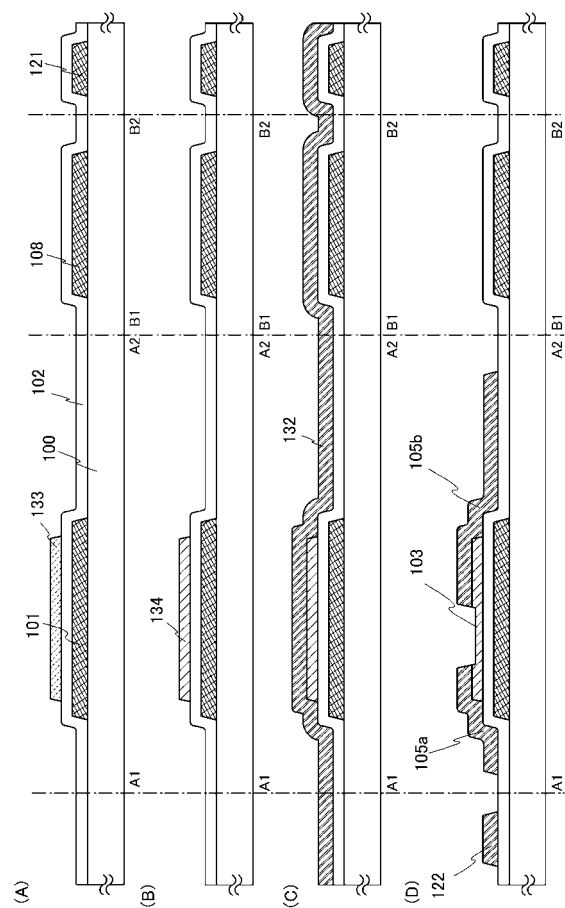
【図 4】



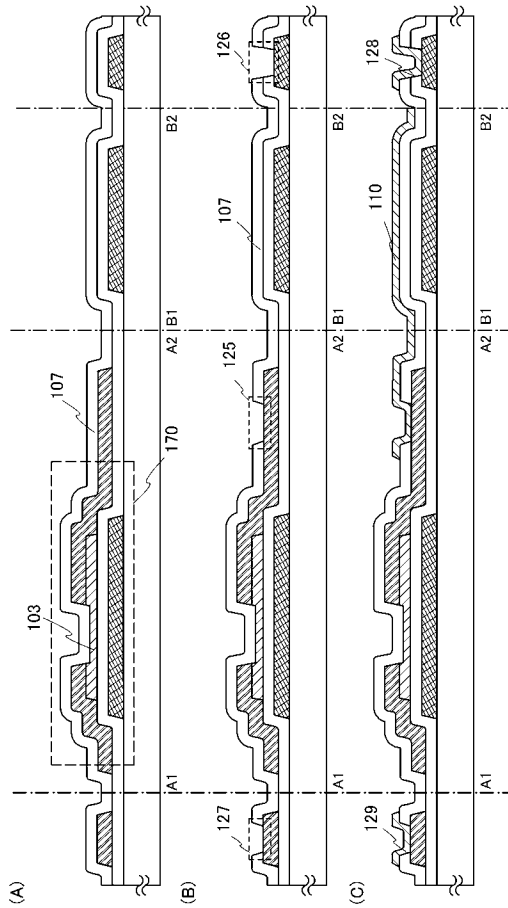
【図 5】



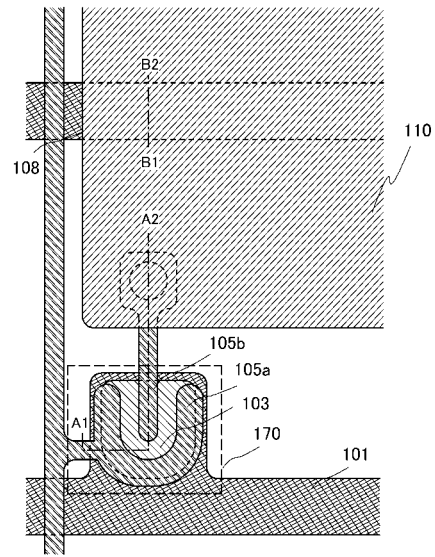
【図 6】



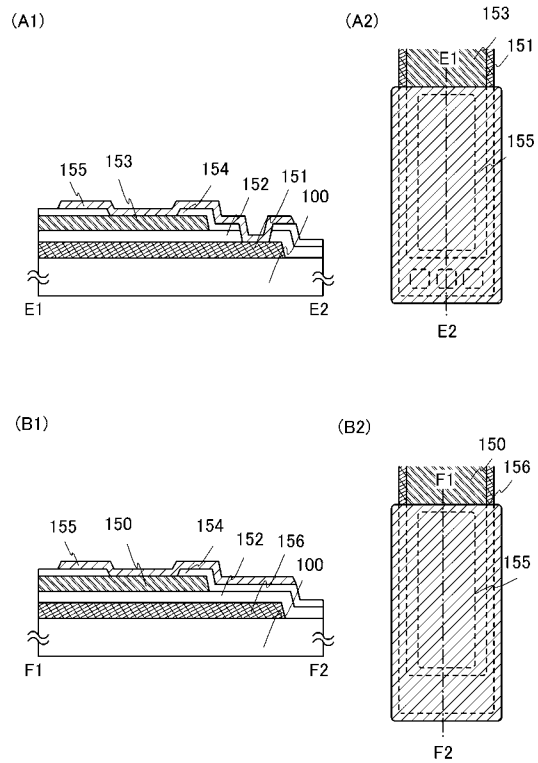
【図 7】



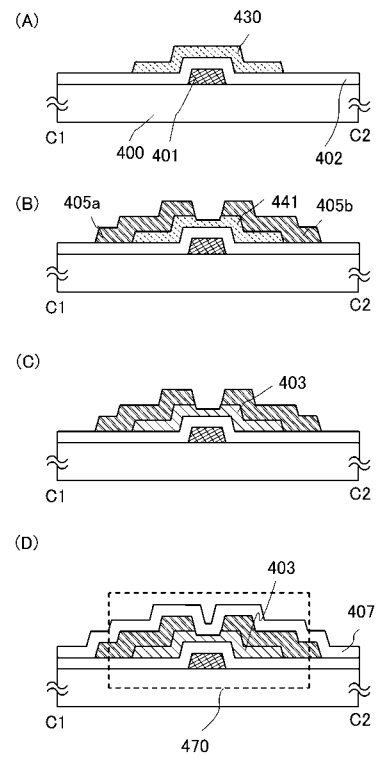
【図 8】



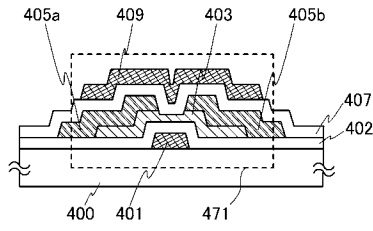
【図 9】



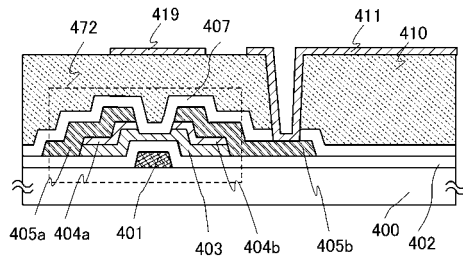
【図 10】



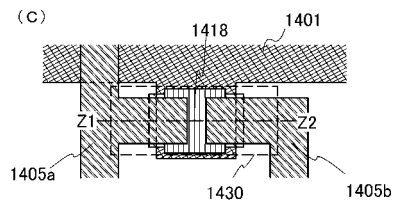
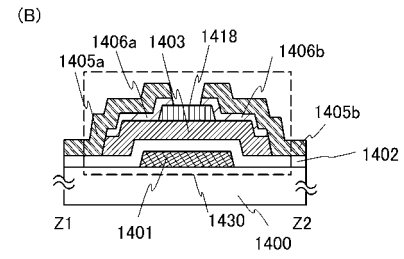
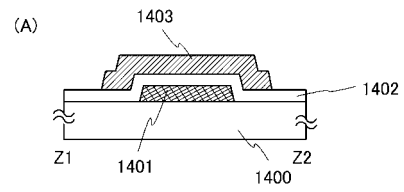
【図 1 1】



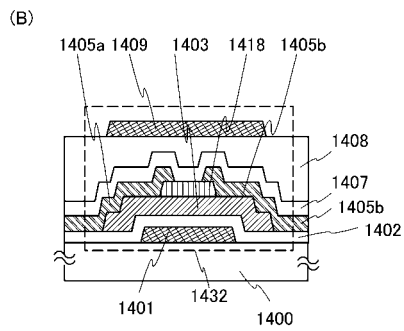
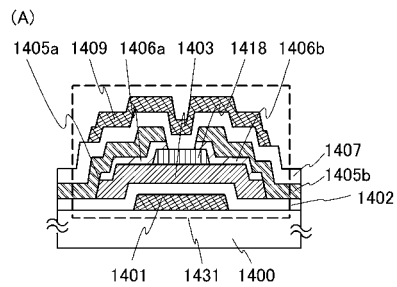
【図 1 2】



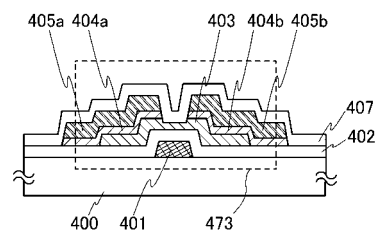
【図 1 3】



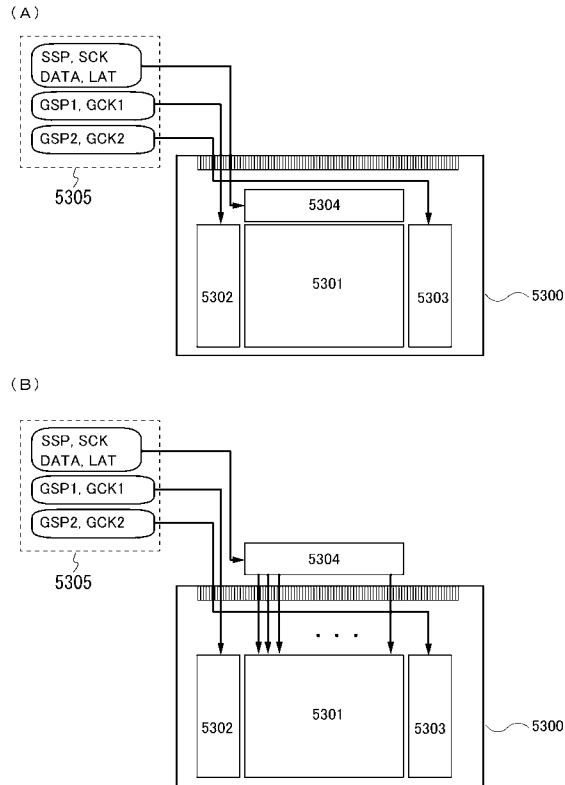
【図 1 4】



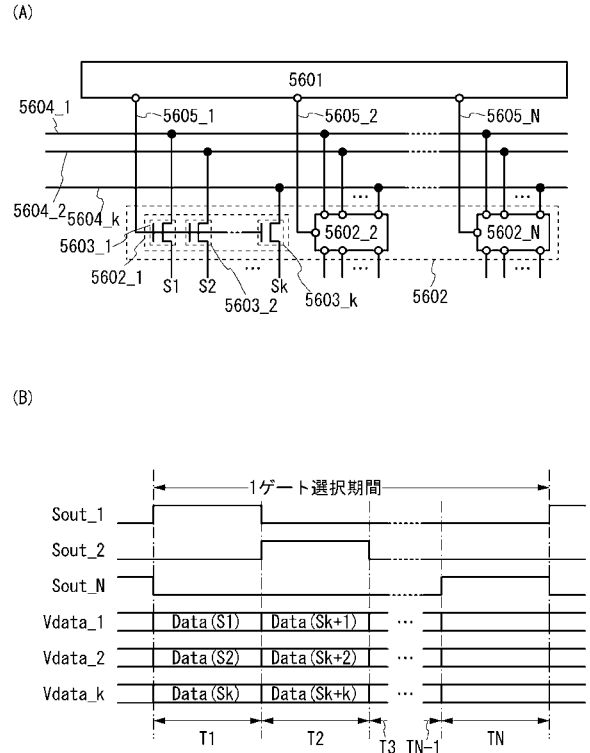
【図 1 5】



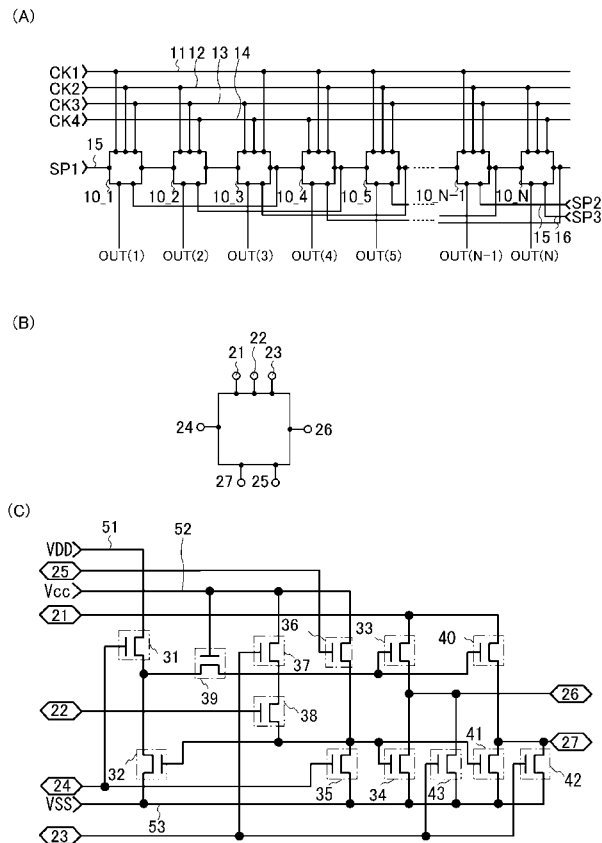
【図 16】



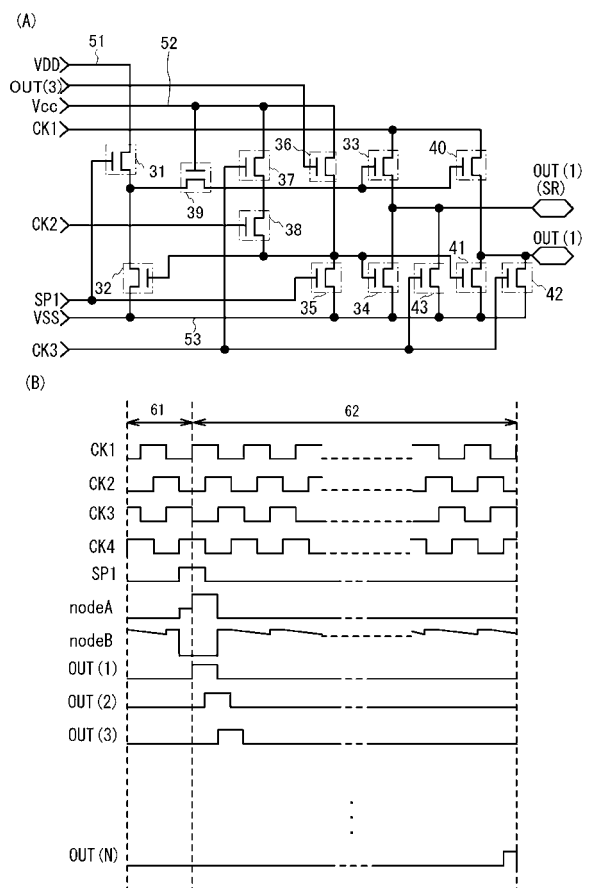
【図 17】



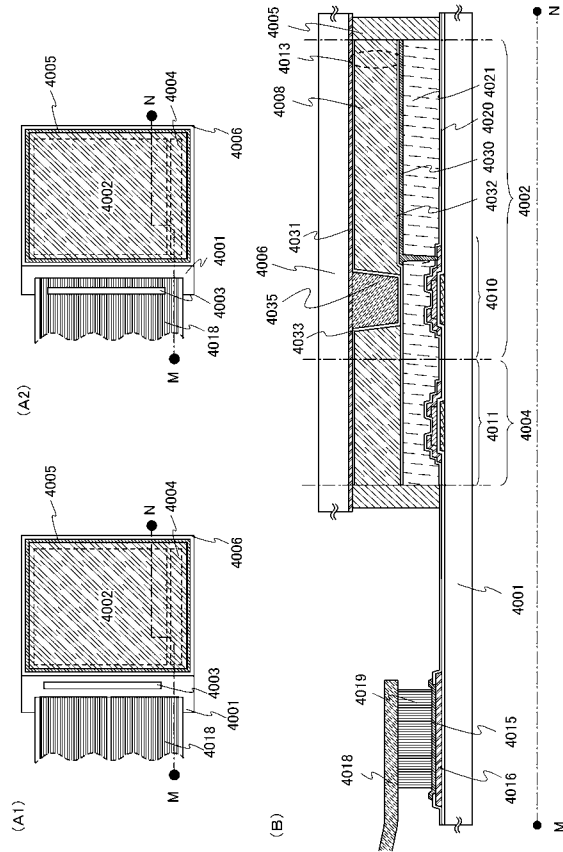
【図 18】



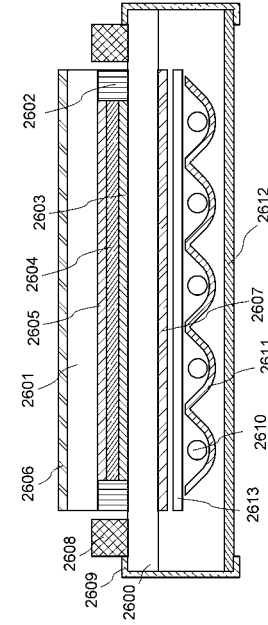
【図 19】



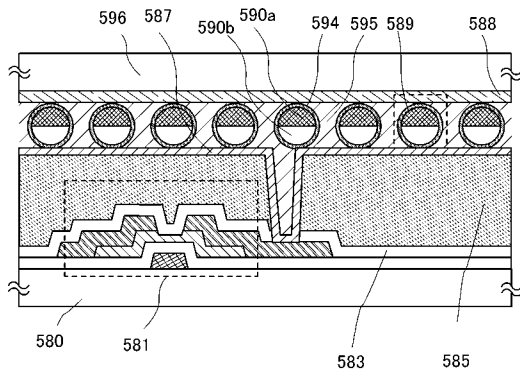
【図 20】



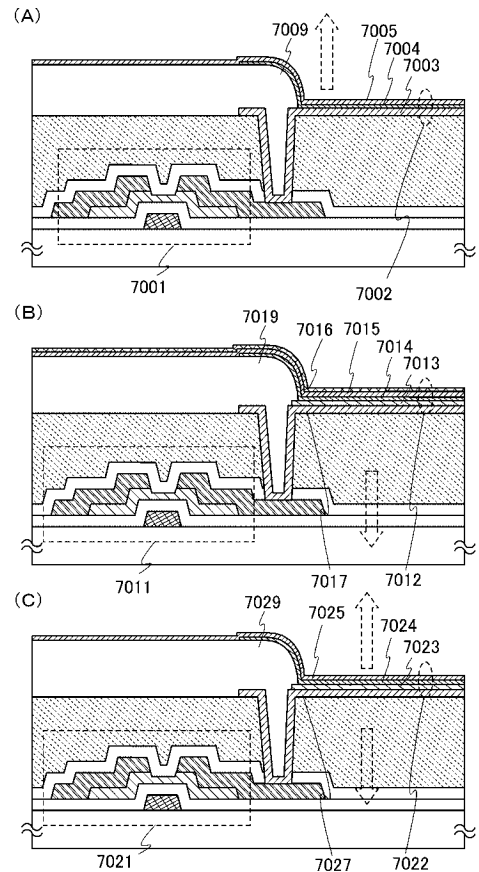
【図 21】



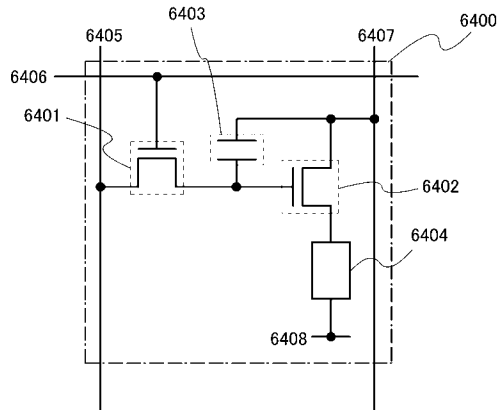
【図 22】



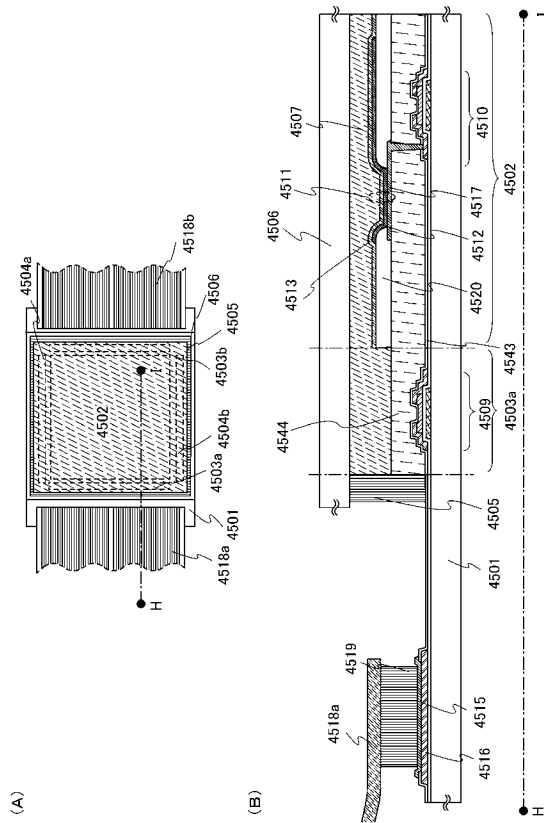
【図 24】



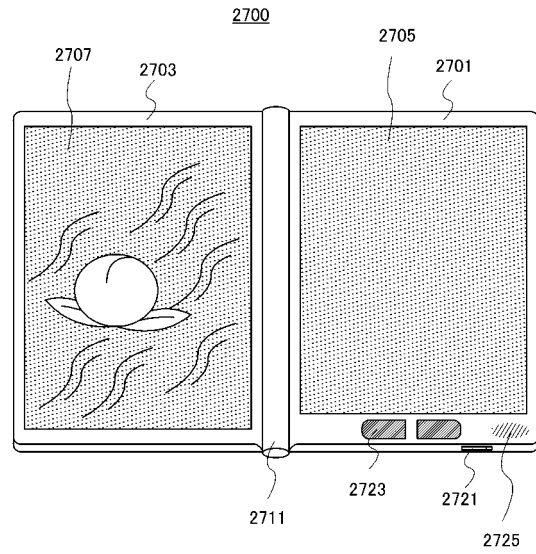
【図 23】



【図 25】

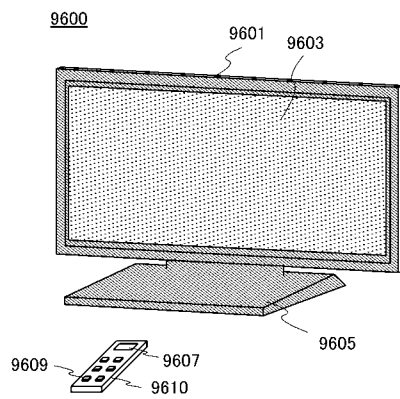


【図 26】

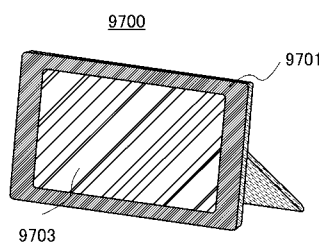


【図 27】

(A)

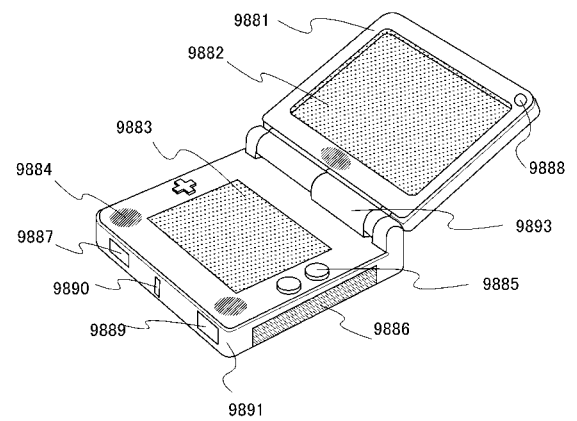


(B)

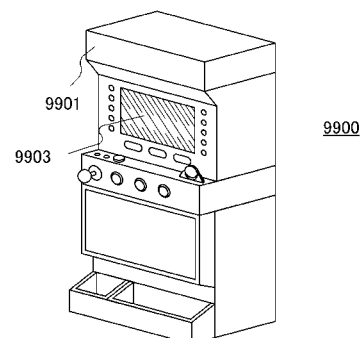


【図 28】

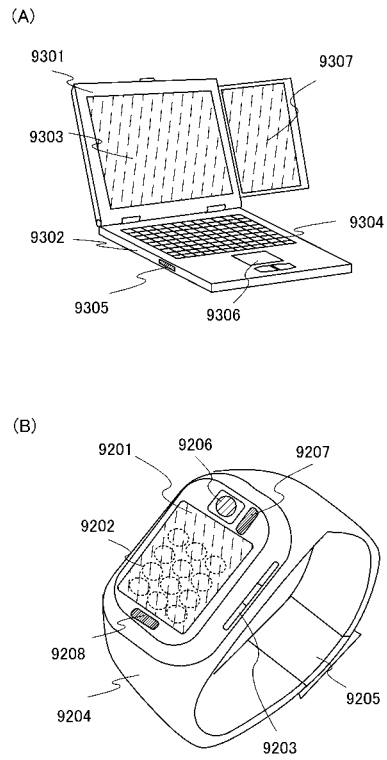
(A)



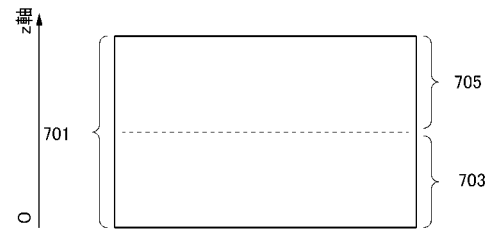
(B)



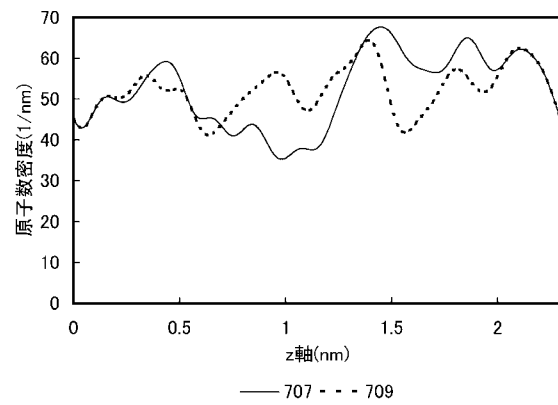
【図 29】



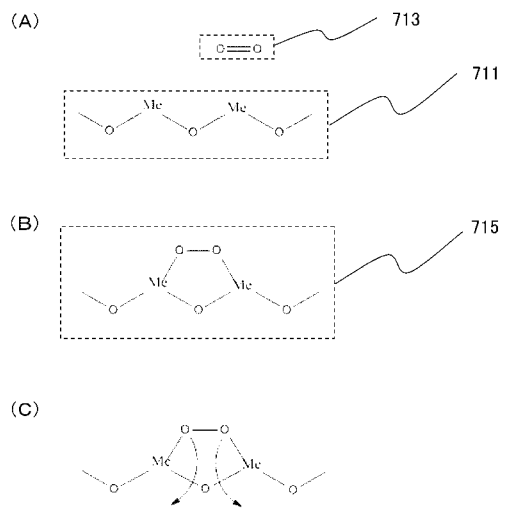
【図 31】



【図 32】

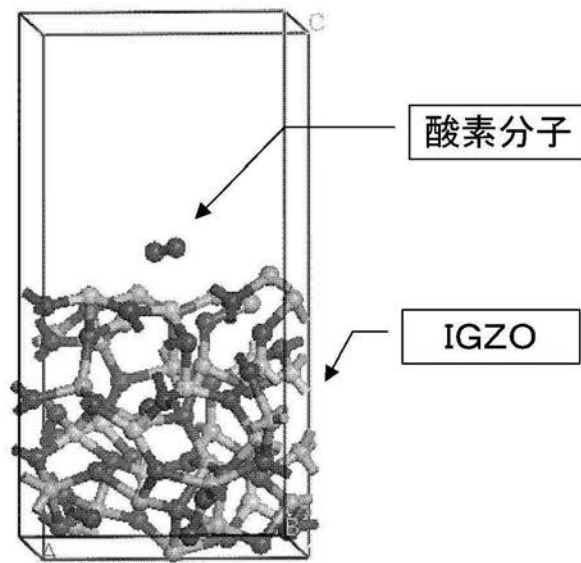


【図 33】

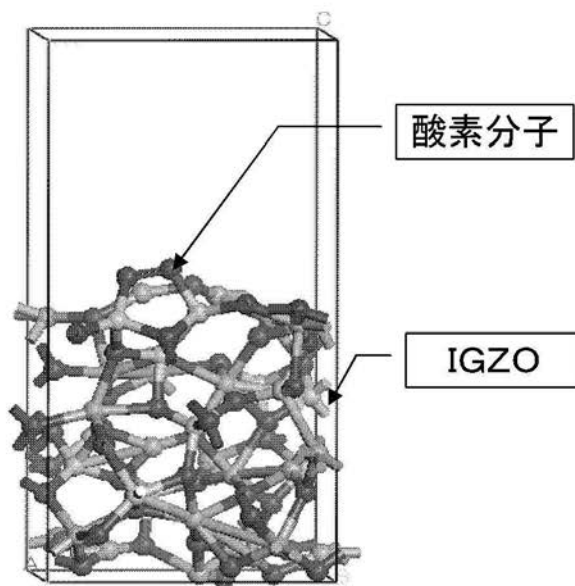


【図 30】

(A)



(B)



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
H 0 5 B 33/14 (2006.01)	H 0 5 B	33/14	Z			
H 0 5 B 33/08 (2006.01)	H 0 5 B	33/08				
H 0 5 B 33/10 (2006.01)	H 0 5 B	33/10				
H 0 1 L 21/363 (2006.01)	H 0 1 L	21/363				
H 0 1 L 21/365 (2006.01)	H 0 1 L	21/365				

(72)発明者 佐々木 俊成
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 坂田 淳一郎
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 2H192 AA24 BC31 BC61 CB05 CB08 CB37 CB71 EA43 FB03 FB05
 FB27 FB33 GD23 HA90 HA91 JA06 JA64
 3K107 AA01 AA05 BB01 CC21 CC45 EE04 GG28 HH05
 5F045 AA19 AB40 AC11 AC16 AF07 BB14 CA15 EB13
 5F103 AA08 BB22 DD30 GG02 GG03 HH04 LL07 LL13 NN05 PP01
 PP03 PP11 PP12 PP13 PP15 RR04
 5F110 AA06 AA08 AA14 BB02 CC03 CC07 DD01 DD02 DD03 DD04
 DD07 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06
 EE07 EE14 EE15 EE23 EE30 EE43 EE44 FF01 FF02 FF03
 FF04 FF09 FF28 FF30 GG01 GG13 GG14 GG15 GG25 GG43
 GG45 GG57 GG58 HK02 HK03 HK04 HK06 HK07 HK08 HK14
 HK15 HK17 HK21 HK32 HK33 HK42 HL01 HL02 HL03 HL04
 HL06 HL07 HL11 HL14 HL22 HL23 HM03 HM04 HM12 NN03
 NN04 NN16 NN22 NN23 NN24 NN25 NN26 NN27 NN33 NN34
 NN35 NN36 NN40 NN71 NN72 NN73 QQ09 QQ19

专利名称(译)	制造液晶显示装置的方法		
公开(公告)号	JP2015092246A	公开(公告)日	2015-05-14
申请号	JP2014235811	申请日	2014-11-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 細羽みゆき 野田耕生 大原宏樹 佐々木俊成 坂田淳一郎		
发明人	山崎 舜平 細羽 みゆき 野田 耕生 大原 宏樹 佐々木 俊成 坂田 淳一郎		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/477 H01L51/50 H05B33/14 H05B33/08 H05B33/10 H01L21/363 H01L21/365		
CPC分类号	H01L27/1225 H01L29/66969 H01L29/7869 H01L29/66742 H01L29/78606 H01L21/477		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.627.F H01L21/477 H05B33/14.A H05B33/14.Z H05B33/08 H05B33/10 H01L21/363 H01L21/365		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/BC61 2H192/CB05 2H192/CB08 2H192/CB37 2H192/CB71 2H192/EA43 2H192/FB03 2H192/FB05 2H192/FB27 2H192/FB33 2H192/GD23 2H192/HA90 2H192/HA91 2H192/JA06 2H192/JA64 3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC21 3K107/CC45 3K107/EE04 3K107/GG28 3K107/HH05 5F045/AA19 5F045/AB40 5F045/AC11 5F045/AC16 5F045/AF07 5F045/BB14 5F045/CA15 5F045/EB13 5F103/AA08 5F103/BB22 5F103/DD30 5F103/GG02 5F103/GG03 5F103/HH04 5F103/LL07 5F103/LL13 5F103/NN05 5F103/PP01 5F103/PP03 5F103/PP11 5F103/PP12 5F103/PP13 5F103/PP15 5F103/RR04 5F110/AA06 5F110/AA08 5F110/AA14 5F110/BB02 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE15 5F110/EE23 5F110/EE30 5F110/EE43 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG25 5F110/GG43 5F110/GG45 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK08 5F110/HK14 5F110/HK15 5F110/HK17 5F110/HK21 5F110/HK32 5F110/HK33 5F110/HK42 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL11 5F110/HL14 5F110/HL22 5F110/HL23 5F110/HM03 5F110/HM04 5F110/HM12 5F110/NN03 5F110/NN04 5F110/NN16 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN26 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN40 5F110/NN71 5F110/NN72 5F110/NN73 5F110/QQ09 5F110/QQ19		
优先权	2009164134 2009-07-10 JP		
其他公开文献	JP5937179B2		

摘要(译)

一种高度可靠的半导体器件及其制造方法，该半导体器件包括具有稳定电特性的薄膜晶体管。在包括薄膜晶体管的半导体器件的制造方法中，其中包括沟道形成区的半导体层是氧化物半导体层，进行热处理，其减少诸如水分的杂质以提高氧化物半导体层的纯度并氧化氧化物进行半导体层（脱水或脱氢的热处理）。不仅氧化物半导体层中的水分等杂质而且存在于栅极绝缘层中的杂质也减少，并且氧化物半导体层之间的界面中存在的水分等杂质，设置在氧化物半导体层的上方和下方并与之接触减少了。