

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-65027

(P2013-65027A)

(43) 公開日 平成25年4月11日(2013.4.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C094
H01L 21/336 (2006.01)	H01L 29/78 619B	5F110
H01L 29/786 (2006.01)	H01L 29/78 612Z	

審査請求 有 請求項の数 1 O L (全 22 頁)

(21) 出願番号	特願2012-244153 (P2012-244153)	(71) 出願人	000153878
(22) 出願日	平成24年11月6日 (2012.11.6)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-141812 (P2011-141812)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	荒尾 達也
原出願日	平成13年9月26日 (2001.9.26)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	2H092 JA25 JA33 JA35 JA39 JA46
			JB54 JB57 JB58 JB64 JB66
			JB69 KA05 KA12 KA19 KA22
			KB05 KB14 KB22 KB24 KB25
			MA05 MA08 MA13 MA25 MA30
			NA04 RA05
			5C094 AA03 AA10 AA21 BA03 BA43
			CA19 DA13 DB10 EA04 ED15
			FA01 FB12
			最終頁に続く

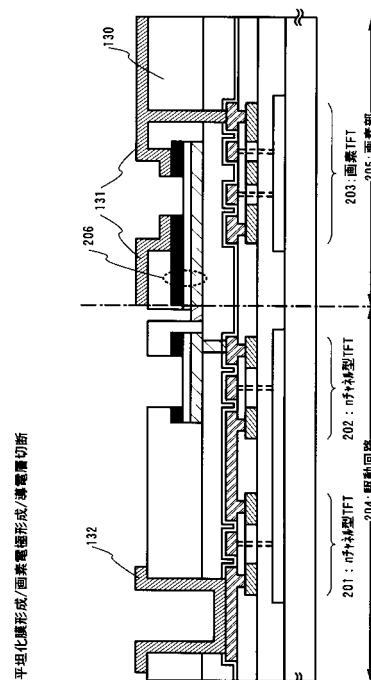
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】液晶の配向不良を抑制するために画素電極を平坦化し、開口率を下げずに十分な容量を得られる容量素子を有する半導体装置を実現することを課題とする。

【解決手段】薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上に導電層、前記導電層と電気的に接続するように画素電極を有する半導体装置であり、前記遮光膜、前記容量絶縁膜および前記導電層から保持容量素子を形成することにより、容量素子として機能する領域の面積を増やすことができる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

光を遮ることができる機能を有する導電層と、
前記導電層上のトランジスタと、
前記トランジスタ上の第 1 の絶縁層と、
前記第 1 の絶縁層上の容量素子と、
第 2 の絶縁層と、
前記第 2 の絶縁層上の画素電極と、を有し、
前記導電層は、前記トランジスタのゲートに信号を供給することができる機能を有し、
前記画素電極は、前記第 2 の絶縁層に設けられた開口を介して前記容量素子と電氣的に
接続され、
前記容量素子は、前記トランジスタと重なる領域を有することを特徴とする半導体装置

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁体上に形成されたトランジスタ、特に電界効果型トランジスタ、代表的には MOS (Metal Oxide Semiconductor) トランジスタや薄膜トランジスタ (Thin Film Transistor: 以下、TFT とする) といった半導体装置を画素部のスイッチング素子に用いた液晶表示装置、また前記半導体装置により作製された回路を駆動回路を含む液晶表示装置、該液晶表示装置を表示部に用いた電気器具に関する。

20

【背景技術】

【0002】

一对の基板間に液晶を挟持して、一对の基板間に電界をかけ液晶の配向により表示を行う液晶表示装置が、パーソナルコンピュータのモニターや、テレビジョンの表示装置として盛んに用いられるようになってきた。

【0003】

さらに、半導体膜の結晶化技術の向上により、一枚の基板上に駆動回路を内蔵した液晶表示装置も実現されるようになってきている。

【0004】

30

ところで、駆動回路の TFT には、高い電界効果移動度が求められるが、画素部のひとつひとつの画素におけるスイッチング素子として用いられる TFT には、低リーク電流という特性が求められる。電荷 (信号) を保持することが重要であり、TFT をオフさせている保持時間にわずかでも生じるリーク電流が、画質の低下やコントラストの低下を招いてしまう。

【0005】

しかし、TFT には、半導体層に光が照射されると光励起がおこり、光リーク電流が発生してしまうという問題があった。そこで、TFT を覆う遮光膜を形成し、十分な遮光をすることで半導体層に光が照射されないようにすること、リーク電流が発生してしまったとしても、1 フレーム期間信号を保持できるだけの保持容量を確保することが重要であった。

40

【0006】

そこで特許第 2924506 号公報では、保持容量を形成し、さらに光もれを遮断できる構造として、ソース電極およびドレイン電極の形成後、層間膜を形成し、該層間膜上にアルミニウムからなる遮光膜を形成し、遮光膜を陽極酸化して遮光膜の上面および側面に Al_2O_3 からなる陽極酸化膜を形成し、その上に透明画素電極を形成して、遮光膜 / Al_2O_3 膜 / 透明画素電極からなる保持容量を有する画素構造を開示している。

【0007】

保持容量素子の静電容量 (以下、容量という) は、容量絶縁膜 (本明細書では、一对の導電体からなる電極に挟まれた誘電膜のことをいう) の厚さに反比例、容量絶縁膜の誘電

50

定数および電極の表面積に比例する。したがって、上記した特許第2924506号の構造は、遮光膜と透明画素電極との間の容量絶縁膜が陽極酸化膜からなりほぼ一定であるため、遮光膜と透明画素電極とが重なる領域は、ほとんど保持容量素子として機能しうる。

【0008】

しかし、液晶表示装置には、液晶の配向不良により表示不良を招くという問題がある。液晶の配向不良は、画素電極表面の段差や凹凸が配向膜表面に影響してしまい、この段差や凹凸が原因で配向膜のラビングムラを招き、最終的には液晶の配向不良、画像品質低下を引き起こしてしまう。上記した特許第2924506号公報の構造では、図1(A)に示すように画素電極の段差が遮光膜によって遮光された領域より外側(光が透過する領域)にあり、液晶の配向不良が生じて、光ぬけが起こる等の問題があった。

10

【0009】

しかし、多数の層の積層からなる表示装置においては、画素電極表面にどうしても段差や凹凸が生じてしまい、配向膜表面にもその段差や凹凸が影響し、光ぬけ等によりコントラスト低下が起こってしまう。そこで、画素電極、特に光が透過して画素の表示に寄与する領域における画素電極の段差や凹凸を平坦化させる方法が考えられてきた。

【発明の概要】

【発明が解決しようとする課題】

【0010】

そこで、素子基板側に遮光膜を形成し、形成することで生じた段差を平坦化させて、画素電極を形成する方法が考えられた。しかし、この方法では、遮光膜と画素電極との間で保持容量素子を形成しようとする場合、図1(B)に示したように遮光膜と画素電極との層間距離が離れてしまい、容量素子として機能する領域が狭くなってしまい、保持容量が十分に確保できないという問題があった。

20

【0011】

TFTをオフさせている間に流れるわずかなオフリーク電流が、コントラストの低下やパネルとしての画質の不均一をもたらしてしまうため、これを補うためには、どうしても保持容量素子を形成しなければならない。しかし、別の領域で保持容量素子を形成しようとすると、例えば、図1(C)に示すようにTFTの活性層を延長して、半導体層、ゲート絶縁膜およびゲート絶縁膜上の導電層からなる保持容量素子を形成すると、画素の開口率が小さくなってしまい、明るさの面において、表示能が落ちてしまう。

30

【0012】

以上のような問題を鑑みて、液晶の配向不良を抑制するために画素電極を平坦化し、開口率を下げずに十分な保持容量を得られる容量素子を有する半導体装置を実現することを課題とする。

【課題を解決するための手段】

【0013】

本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層および前記導電層上の絶縁膜、前記絶縁膜上の画素電極を有する半導体装置であって、前記導電層と前記画素電極とは電氣的に接続されており、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなることを特徴としている。

40

【0014】

また本発明は、薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部を介して前記導電層と前記画素電極とが接しており、前記開孔部は、前記遮光膜の上に形成されていることを特徴としている。

【0015】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層

50

、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部を介して前記導電層と前記画素電極とが接しており、前記絶縁膜は、前記容量絶縁膜および前記導電層による前記画素電極の段差を平坦化しており、前記開孔部の内壁および前記段差は、前記遮光膜上にあることを特徴としている。

【0016】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜、前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部で前記導電層と前記画素電極とは接しており、ある画素電極と、その画素電極に隣接している画素電極との間の段差が絶縁膜で平坦化されていることを特徴としている。

10

【0017】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部で前記導電層と前記画素電極とは接しており、前記導電層と前記画素電極とは、隣接する画素と画素との間において、端面が揃っていることを特徴としている。

20

【0018】

また本発明は、薄膜トランジスタおよび保持容量素子を有する半導体装置であって、前記薄膜トランジスタ上の遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層上の絶縁膜および前記絶縁膜上の画素電極を有し、前記保持容量素子は、前記遮光膜、前記容量絶縁膜および前記導電層からなり、前記絶縁膜に設けられた開孔部で前記導電層と前記画素電極とは接しており、前記容量絶縁膜、前記導電層および前記画素電極は、各画素において独立して形成されており、隣接した画素との間での端面が揃っていることを特徴としている。

30

【0019】

容量絶縁膜上に形成された導電層は、画素電極と同電位になるように電氣的に接続されており、遮光膜、前記遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層とからなる保持容量素子を適応することにより、開口率を低減することなく十分な保持容量を得ることができる。

【0020】

また、導電層上には、光が透過する領域（表示に寄与する領域）の画素電極表面の段差や凹凸による液晶の配向不良を防ぐために、絶縁膜からなる平坦化膜が形成されている。この平坦膜を形成することにより、前記画素電極の段差が前記遮光膜上に形成されるので、万が一配向膜のラビング処理にムラが生じて配向不良が起こっても、表示には影響しないようになっている。

【0021】

なお、本発明は、一对の基板で液晶を挟み込み、各画素のスイッチング素子として薄膜トランジスタを用いておりFPCやTAB等のコネクターを接続して駆動回路と接続された液晶表示装置、同一基板上に画素部および駆動回路が一体形成された液晶表示装置（以下、一体形成型液晶表示装置という）、一体形成型液晶表示装置に駆動回路を駆動し画素部に画像を表示させるための機能を有するコントローラが接続された液晶表示装置およびコントローラを制御するマイコンを有する液晶表示装置すべてに適用することができる。また、本明細書では、これらすべての液晶表示装置を半導体装置ともいう。

40

【発明の効果】

【0022】

本発明で開示したように、遮光膜上の容量絶縁膜、前記容量絶縁膜上の導電層、前記導電層と画素電極とを電氣的に接続して同電位になるように形成することにより、遮光膜と

50

画素電極とが重なった領域をすべて保持容量素子として有効に用いることができる。また本発明を用いることにより、画素の開口率を落とすことなく十分な容量を有する保持容量素子を形成することができる。

【 0 0 2 3 】

なお、本発明は、ＴＦＴの形状によらず、ＴＦＴを遮光するための導電性を有する材料からなる遮光膜上に容量配線、容量配線上に導電層を形成し、画素電極から導電層に電位を与えることにより、保持容量素子として機能させることができるため有効である。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】従来の保持容量素子を説明する図。

10

【図 2】本発明の保持容量素子として機能する領域を説明する図。

【図 3】従来の保持容量素子として機能する領域を説明する図。

【図 4】本発明の実施の一例を示す図。

【図 5】本発明の実施の一例を示す図。

【図 6】本発明の実施の一例を示す図。

【図 7】本発明の実施の一例を示す図。

【図 8】本発明の実施の一例を示す図。

【図 9】本発明の実施の一例を示す図。

【図 10】本発明の実施の一例を示す図。

【図 11】電気器具の一例を示す図。

20

【図 12】電気器具の一例を示す図。

【図 13】電気器具の一例を示す図。

【発明を実施するための形態】

【 0 0 2 5 】

本実施形態では、本発明の半導体装置の画素部の構造について説明する。

【 0 0 2 6 】

本発明の半導体装置の構成を図 2 (A) に示す。基板 1 0 上にＴＦＴ 1 1 が形成されている。ＴＦＴは、少なくともチャネル形成領域およびソース領域またはドレイン領域を有する半導体層 1 2、半導体層 1 2 上に形成されたゲート絶縁膜 1 3、ゲート絶縁膜 1 3 上に形成されたゲート電極 1 4 を含み、さらに各ＴＦＴを電氣的に接続するためのソース配線およびドレイン配線 1 5 a、1 5 b が形成されている。

30

【 0 0 2 7 】

ソース配線 1 5 a およびドレイン配線 1 5 b は半導体層 1 2 の高濃度に不純物元素が添加された領域（ソース領域またはドレイン領域）にそれぞれ接続されている。

【 0 0 2 8 】

また、ゲート電極 1 4、ソース配線 1 5 a およびドレイン配線 1 5 b 上には層間絶縁膜 1 6 が形成されており、前記層間絶縁膜 1 6 上にＴＦＴ（特にチャネル形成領域）の遮光膜 1 7 が形成されている。

【 0 0 2 9 】

遮光膜 1 7 上には容量絶縁膜 1 8 が形成されている。容量絶縁膜 1 8 上には、導電層 1 9 が形成される。導電層 1 9 を形成した後、絶縁材料からなる平坦化膜 2 0 を形成し、続いて画素電極 2 1 を形成する。導電層 1 9 と画素電極 2 1 とは、平坦化膜 2 0 に形成されたコンタクトホールを介して接しており、同電位となるように形成されている。以上のようにして、遮光膜 1 7 を絶縁膜で覆うことにより生じる段差（遮光膜 1 7 の端部）2 2 が、光が透過する領域ではなく遮光膜 1 7 上になるような構造である。本発明で開示する画素構造は、遮光膜 1 7 上の容量絶縁膜 1 8、容量絶縁膜 1 8 上の導電層 1 9 により保持容量が形成されていることを特徴としている。

40

【 0 0 3 0 】

また、光が透過する領域における段差による液晶の配向乱れを抑制していることを特徴としている。

50

【 0 0 3 1 】

なお、遮光膜 17 は、Al、Ti、W、Cr から選ばれた元素または前記元素を主成分とする合金材料を用いて、単層または積層して形成すればよい。

【 0 0 3 2 】

また、容量絶縁膜 18 は、CVD 法やスパッタ法などで成膜した酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜等の無機絶縁膜により形成すればよい。ただし、高い誘電率かつ低いリーク電流という特性を有する有機絶縁膜があれば、有機絶縁膜を用いてもかまわない。

【 0 0 3 3 】

また、導電層 19 は、Al、Ti、W から選ばれた元素、前記元素を主成分とする合金材料またはITOを用いて形成すればよい。なお、TFTへの遮光性を重視する場合には、遮光性の高いAl、Ti、Wから選ばれた元素または前記元素を主成分とする合金材料を用いて形成すればよい。

10

【 0 0 3 4 】

さらに、ドレイン配線 15b 上の層間絶縁膜 16、層間絶縁膜 16 上の遮光膜 17 により保持容量を形成することも可能である。

【 0 0 3 5 】

また、絶縁膜からなる平坦化膜 20 は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜またはSOG（スピノングラス）と呼ばれる溶液塗布系材料等の無機絶縁膜を用いて形成すればよい。またはアクリル、ポリイミド等の有機絶縁膜から選ばれた一種または複数種の材料を用いて形成すればよい。

20

【 0 0 3 6 】

本発明のように導電層 19 を設けて、画素電極と導電層とを同電位とすることにより、上部遮光膜と画素電極が重なる領域を無駄なく保持容量素子として機能できる領域とすることができるため、図 1 (B) に示した従来の構造と比較して保持容量を大きくすることができる。

【 0 0 3 7 】

実際のマスク図を図 2 (B) に、本発明の一例として示す（なお、 $14\mu\text{m} \times 14\mu\text{m}$ で設計された 1 画素に、簡単のために遮光膜と画素電極 (ITO) を示している）。ここで上部遮光膜、容量絶縁膜および導電層 (画素電極と同電位) からなる保持容量素子として機能する面積を計算してみると、 $63.645\mu\text{m}^2$ となる。図 1 (B) で示した導電層のない従来の構造は、上部遮光膜と画素電極とが重なっていても実際に保持容量素子として機能する面積は、本発明と比較するとずいぶん狭くなってしまう。図 3 (B) に、図 2 (B) と同様に $14\mu\text{m} \times 14\mu\text{m}$ で設計された 1 画素の簡単のために遮光膜と画素電極 (ITO) とで保持容量素子として機能する領域を破線で示した。従来の構造で保持容量素子として機能する面積は、 $34.905\mu\text{m}^2$ となり、本発明と比較すると、本発明は、開口率を下げることなく保持容量素子として機能する面積を 1.82 倍にすることができる。

30

【 0 0 3 8 】

以上のように、工程数を増やすことなく画素電極の光透過領域における段差をなくすることができる。これにより、画素電極の段差や凹凸により配向膜のラビング処理が十分にできないということもなくなるため、液晶の配向乱れによる光もれの現象を抑制することができる。さらに、導電層 19 を形成することにより、導電層を形成していない従来の構造と比較して、開口率を下げることなく約 2 倍の容量を確保することができるため、本発明は有効である。

40

【 0 0 3 9 】

なお、本発明は本実施例で示した TFT に限定されることなく適応することができる。

【 実施例 1 】

【 0 0 4 0 】

本実施例ではアクティブマトリクス基板の作製方法について図 4 ~ 図 6 を用いて説明す

50

る。なお、本明細書において、駆動回路、画素部のスイッチング素子（画素ＴＦＴ）および保持容量素子とが同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【００４１】

コーニング社の７０５９ガラスや１７３７ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラスからなる基板、または、石英基板や単結晶シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板として用いればよい。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。なお、本実施例では石英ガラス基板を用いる。

【００４２】

次いで、石英基板１００上に下部遮光膜１０１を形成する。本実施例の処理温度に耐え得るＴａ、Ｗ、Ｃｒ、Ｍｏ等の導電性材料およびその積層構造により３００nm程度の膜厚で下部遮光膜１０１を形成する。なお、下部遮光膜１０１はゲート配線としての機能も有するため、以下ではゲート線とも称する。本実施例では膜厚７５nmの結晶質珪素膜を形成し、続いて膜厚１５０nmのＷＳｉ_x（ $x = 2.0 \sim 2.8$ ）を成膜した後、不要な部分をエッチングして下部遮光膜（ゲート線）１０１を形成する。なお、下部遮光膜１０１は、単層構造でも、上記したような導電性材料から２層以上に積層させた構造を用いても良い。また、基板からの汚染物質の拡散を防ぐために、下地遮光膜１０１を形成する前に、絶縁膜を形成してもよい。

【００４３】

そして基板１００および下部遮光膜（ゲート線）１０１上に酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜またはＬＰＣＶＤ法を用いて８００ 程度の高温で成膜される酸化シリコン膜などの絶縁膜から成る膜厚１０～６５０nm（好ましくは５０～６００nm）の下地絶縁膜１０２を形成する。本実施例では下地絶縁膜１０２として単層構造を用いるが、汚染防止のために絶縁膜を２層以上積層させた構造を用いても良い。プラズマＣＶＤ法を用い、ＳｉＨ₄、ＮＨ₃、及びＮ₂Ｏを反応ガスとして成膜される酸化窒化シリコン膜（組成比Ｓｉ＝３２％、Ｏ＝２７％、Ｎ＝２４％、Ｈ＝１７％）を４００ にて膜厚５８０nmに形成してもよい。

【００４４】

次いで、下地絶縁膜１０２上に非晶質半導体膜１０３を形成する（図４（Ａ））。非晶質半導体膜１０３は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、ＬＰＣＶＤ法、またはプラズマＣＶＤ法等）により、２５～８０nm（好ましくは３０～６０nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ＳｉＧｅ）合金などで形成すると良い。

【００４５】

そして、ニッケルなどの触媒を用いた熱結晶化法を行って、半導体膜を結晶化する。また、ニッケルなどの触媒元素を用いた熱結晶化法他に、公知の結晶化処理（レーザ結晶化法、熱結晶化法等）を組み合わせてもよい。本実施例では、酢酸ニッケル溶液（重量換算濃度１０ppm、体積５ml）をスピコートにより膜上全面に塗布して触媒元素含有層を形成し、温度６００ の窒素雰囲気中に１２時間さらして加熱処理を行う。

【００４６】

また、触媒元素を添加する熱結晶化法にレーザ結晶化法を併せて結晶化を行ってもよい。レーザ結晶化法も適用する場合には、パルス発振型または連続発振型の気体レーザまたは固体レーザを用いればよい。気体レーザとしては、エキシマレーザ、Ａｒレーザ、Ｋｒレーザ等があり、固体レーザとしては、ＹＡＧレーザ、ＹＶＯ₄レーザ、ＹＬＦレーザ、ＹＡｌＯ₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ｔｉ：サファイアレーザなどが挙げられる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状、矩形状もしくは楕円形状に集光し半導体膜に照射すればよい。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数３００Ｈｚとし、レーザーエネルギー密度を１００～８００mJ/c

10

20

30

40

50

m^2 (代表的には $200 \sim 700 \text{ mJ/cm}^2$) とする。また、YAG レーザを用いる場合にはその第 2 高調波を用いパルス発振周波数 $1 \sim 300 \text{ Hz}$ とし、レーザーエネルギー密度を $300 \sim 1000 \text{ mJ/cm}^2$ (代表的には $350 \sim 800 \text{ mJ/cm}^2$) とすると良い。そして幅 $100 \sim 1000 \mu\text{m}$ 、例えば $400 \mu\text{m}$ で線状に集光したレーザ光を基板全面に渡って照射すればよい。また、YVO₄ レーザを用いる場合、出力 10 W の連続発振の YVO₄ レーザから射出されたレーザ光を非線形光学素子により高調波に変換して、共振器の中に YVO₄ 結晶と非線形光学素子を入れて、高調波を射出してもよい。このとき光学系により矩形状または楕円形状にして照射すればよく、エネルギー密度は、 $0.01 \sim 100 \text{ MW/cm}^2$ 程度 (好ましくは、 $0.1 \sim 10 \text{ MW/cm}^2$) が必要である。そして、 $0.5 \sim 2000 \text{ cm/s}$ 程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

10

【0047】

半導体膜の結晶化工程に触媒元素を用いた場合は、続いて、活性領域となる半導体層から、結晶化を助長するために用いた触媒元素を移動させてその濃度を低減させるためのゲッターリング処理を行う。ゲッターリングについては特開平 10 - 270363 号公報に開示している方法や、結晶質半導体膜上にオゾン水で処理することによりケミカルオキサイド膜を形成し、該ケミカルオキサイド膜上に希ガス元素を含むゲッターリングサイトを形成して加熱処理をすることにより触媒元素をゲッターリングサイトに移動させる方法のいずれかを適用すればよい。本実施例では、マスクとして、膜厚 50 nm の酸化珪素膜を形成し、パターンングを行って、所望の形状のマスク $104a \sim 104c$ を得る。そして、半導体膜に選択的に 15 族に属する元素 (代表的には P (リン)) を導入して不純物領域 $105a \sim 105d$ を形成する。なお、不純物元素の導入の方法は、プラズマドーピング法、イオン注入法、イオンシャワードーピング法から選ばれた一種または複数種の方法により導入すればよい。そして、第 1 の加熱処理を行うことで、活性領域となる半導体層から不純物領域 $105a \sim 105d$ へ触媒元素を移動させ、半導体特性に影響しない程度にまで低減することができる。このようにして作製した活性領域を有する TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる (図 4 (B))。

20

【0048】

そして、結晶質半導体膜にエッチングを行って、半導体層を形成する。ここで、絶縁膜を形成して半導体膜の結晶性を向上させるために加熱処理を行って、半導体層の上部を熱酸化させるのが望ましい。例えば、減圧 CVD 装置で 20 nm の酸化珪素膜を成膜した後、ファーネスアニール炉で加熱処理を行う。この処理により、半導体層の上部は酸化される。そして、酸化珪素膜および半導体層の酸化した部分をエッチングして除去し、結晶性の向上した半導体層 $106 \sim 108$ を得ることができる。

30

【0049】

また、半導体層 $106 \sim 108$ を形成した後、TFT のしきい値を制御するために微量な不純物元素 (ボロンまたはリン) を導入してもよい。

【0050】

そして、レジストからなるマスク $109a \sim 109c$ を形成し、第 2 の不純物元素の導入を行って、半導体層に n 型を付与する不純物元素を導入する。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。このとき、マスク $109a \sim 109c$ が形成されているため、半導体層の選択された領域に不純物が添加されて、高濃度不純物領域 $110 \sim 112$ が形成される。高濃度不純物領域 $110 \sim 112$ には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲で n 型を付与する不純物元素 (以下、n 型不純物元素という) が添加される (図 4 (C))。

40

【0051】

次いで、半導体層 $106 \sim 108$ を覆ってゲート絶縁膜 113 を形成する。ゲート絶縁膜 113 はプラズマ CVD 法またはスパッタ法を用い、厚さを $20 \sim 150 \text{ nm}$ として珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により 35 nm の厚さで酸

50

化窒化珪素膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を用いても良い。

【0052】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Ortho Silicate）と O_2 とを混合し、反応圧力40Pa、基板温度300～400とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0053】

なお、ゲート絶縁膜113を形成してから、不純物元素の導入を行って、不純物領域を形成してもよい。

【0054】

そして、各TFEを電氣的に接続するための配線を半導体層に接続するコンタクトホールおよびゲート電極とゲート線101とを接続するコンタクトホールを形成した後、膜厚100～500nmの耐熱性を有する導電膜を形成する。本実施例では、Wのターゲットを用いたスパッタ法で膜厚400nmのW膜を形成する。その他に6フッ化タングステン（ WF_6 ）を用いる熱CVD法で形成することもできる。

【0055】

なお、導電膜は特にWに限定されるわけではなく、Ta、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素を導入した結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、本実施例では単層構造としたが、導電膜を2層以上積層して形成してもよい。また、Al等の耐熱性の低い導電膜を耐熱性の高い導電膜で挟んだ3層構造としてもよい。

【0056】

次に、フォトリソグラフィ法を用いてレジストからなるマスク（図示せず）を形成し、電極及び配線を形成するためのエッチング処理を行う。本実施例ではエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を25：25：10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。こうしてゲート電極114～116、配線117～121を形成する（図5（A））。

【0057】

次いで、電極114～116および配線117～121を覆う第1の層間絶縁膜122を形成する。この第1の層間絶縁膜122としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成する。もちろん、第1の層間絶縁膜122は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0058】

なお、必要に応じて、マスクを用いて半導体層に低濃度に不純物元素を含む半導体領域を形成してもよい。例えば、レジストからなるマスクで半導体層の選択された領域を露出し、ドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を5～80keVとして、n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を添加する。これにより、半導体層の選択的領域に低濃度不純物領域を形成することができる。低濃度不純物領域には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0059】

10

20

30

40

50

次いで、加熱処理を行って、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行う。この加熱処理は炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1 ppm以下、好ましくは0.1 ppm以下の窒素雰囲気中で400～1000で行えばよく、本実施例では950、4時間の加熱処理で活性化処理を行った。なお、熱アニール法の他に、YAGレーザ等を用いたレーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。なお、この加熱処理は、第1の層間絶縁膜を形成する前に加熱処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜を形成した後で加熱処理を行うことが好ましい。

【0060】

さらに、加熱処理(300～550で1～12時間の加熱処理)を行って、水素化処理を行う。この工程は第1の層間絶縁膜122に含まれる水素により半導体層のダングリングボンドを終端する工程である。もちろん、第1の層間絶縁膜の存在に関係なく半導体層を水素化することもできる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)や、3～100%の水素を含む雰囲気中で300～450で1～12時間の加熱処理を行っても良い。

【0061】

次いで、第1の層間絶縁膜122上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜123を形成する。前記第2の層間絶縁膜123は表面が平坦化する膜を用いるのが望ましい。また、表面の平坦性を向上させる公知の技術、例えばCMP(ケミカルメカニカルポリッシング)と呼ばれる研磨工程を用いてもよい。第2の層間絶縁膜123として膜厚1μmのアクリル樹脂膜を形成し、エッチングを行って、ゲート電極、ソース配線およびドレイン配線上に形成されている前記第1の層間絶縁膜の一部を露呈させ、前記第1の層間絶縁膜および前記第2の層間絶縁膜とにより表面を平坦化してもよい。なお、本実施例では、第1の層間絶縁膜および第2の層間絶縁膜を形成しているが、もちろん、単層構造としてもよい。この場合においても、表面が平坦化する膜を用いるのが望ましい。

【0062】

なお、ドレイン配線121と後に形成する遮光膜との間でも保持容量素子として機能させたい場合は、CMP等を用いて層間絶縁膜の膜厚を薄くし、遮光膜とドレイン配線との距離を縮めればよい。

【0063】

そして、第2の層間絶縁膜123上にAl、Ti、W、Crから選ばれた元素または前記元素を主成分とする合金材料を所望の形状にパターンニングして上部遮光膜124を形成する。この上部遮光膜124は画素の開口部以外を遮光するように網目状に配置する。また、駆動回路にも遮光膜125を形成した。

【0064】

続いて、上部遮光膜上に窒化酸化シリコン膜または酸化窒化シリコン膜からなる絶縁膜(以下、容量絶縁膜という)を膜厚50～100nm程度に形成する。容量絶縁膜は、窒素の割合が高いと誘電率が高くなるが同時にリーク電流も大きくなってしまいうため、窒素と酸素と含有比率を1:8～2:1程度とすることで、膜厚50～100nmの容量絶縁膜を形成する。

【0065】

続いて、容量絶縁膜上に導電層を膜厚100～150nm程度で形成する。導電層は、Al、Ti、Wから選ばれた元素、前記元素を主成分とする合金材料またはITOを用いて形成すればよい。この後、公知の方法を用いて所定の形状にエッチングして、上部遮光膜124、125、容量絶縁膜126、127および導電層128、129を形成すればよい。

(図5(B))。

【0066】

続いて、酸化シリコン膜、ポリイミドまたはアクリルなどの絶縁膜を用いて、光が透過する領域の画素電極が平坦化するように膜（以下、平坦化膜という）130を形成する。そして、平坦化膜に画素電極と導電層とを接続させるための開孔部を形成し、さらに、画素電極とドレイン電極とを接続させるためのコンタクトホールを平坦化膜130および層間絶縁膜122、123に形成する。続いて、画素電極131を形成する。画素電極131は、透明導電膜（ITO）を用いて100nm厚で形成すればよい。これにより画素電極131と導電層128とは同じ電位となる。また、画素電極形成工程において、駆動回路における取り出し電極132を形成する。

【0067】

以上のようにして、上部遮光膜124、容量絶縁膜126および導電層128（画素電極131と同電位）からなる保持容量素子が形成される（図6）。

10

【0068】

本発明のように、容量絶縁膜126上に導電層126を形成することにより、保持容量素子として電荷の蓄積が可能な領域の面積を従来の約2倍にすることができる。

【0069】

続いて、導電層126を画素電極131をマスクにしてエッチングして、隣接した画素との連続を断ち、画素毎に独立させる。

【0070】

以上の様にして、nチャネル型TFT201、202のNMOS回路からなる駆動回路204と、画素TFT203を有する画素部205が同一基板上に形成されたアクティブマトリクス基板が完成する。

20

【0071】

なお、画素部には、画素TFT203を遮光するための上部遮光膜124、容量絶縁膜126、導電層128（画素電極131と同電位）からなる保持容量206が形成されている。

【0072】

このようにして形成されたアクティブマトリクス基板はゲート電極、ソース配線およびドレイン配線が同一工程で形成されているため、従来よりも工程数を削減することを可能としている。そのため、歩留まりが向上し、コストの低減も実現できる。また、上部遮光膜と半導体膜との物理的な距離が短縮されるため、光漏れや光の回折などによるリーク電流の発生を防ぐことが可能となる。さらに、ソース配線が直接半導体膜と接続することでコンタクトホールの数を最小限に留め、液晶表示装置を作製したときの開口率を向上させることが可能となる。

30

【実施例2】

【0073】

本実施例では、実施例1と異なる構造の半導体装置を作製する工程について、図7を用いて説明する。

【0074】

実施例1にしたがって、平坦化膜130上に導電層128と電氣的に接続する画素電極131を形成する。続いて、図7に示すように第2の層間絶縁膜123上に形成された遮光膜124、容量絶縁膜126、導電層128および画素電極131により発生する隣接する画素と画素との間に形成される大きな段差（50nm以上）をアクリル、ポリイミド等からなる絶縁膜401により平坦化する。

40

次いで、配向膜402を形成するが、絶縁膜401で、隣接する画素と画素との間の段差を埋めて平坦化しているため、配向膜402表面に、凹凸が生じにくい。この後、ラビング処理を行い、シール材（封止材）を用いてTFTが形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させてアクティブマトリクス型液晶表示装置を作製する。なお、このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0075】

50

以上のように凹部に絶縁膜を形成することで、基板上に種々の材料を積層して形成されアクティブマトリクス基板表面の凹凸の差を小さくすることができる。

これにより、配向膜を形成した後に行われるラビング処理の際に、ラビングムラを最小限に抑えることができ、液晶の配向不良を発生しにくくすることができる。

【実施例 3】

【0076】

本実施例では、実施例 1 と異なる構造の半導体装置を作製する工程について、図 8 を用いて説明する。

【0077】

実施例 1 にしたがって、遮光膜 301、容量絶縁膜 302、導電層 303 を形成する。その後、導電層 303 が図 8 (A) の矢印で示すように、遮光膜 301 および容量絶縁膜 302 より若干内側に入るようにエッチングする。マスクを用いたエッチング、もしくはオーバーエッチングすればよい。これにより、遮光膜 301 と導電層 303 が接してリーク電流が発生してしまうことを防ぐことができる。

【0078】

またさらに、図 8 (B) に示すように遮光膜 311、容量絶縁膜 312、導電層 313 の順に段が付くようにオーバーエッチングする、またはマスクを用いてエッチングすることにより、積層をなだらかにすることができ、平坦化膜 314 を形成した後に形成する画素電極 315 の段差や凹凸をさらに低減することができる。なお、315a は、隣接する画素の画素電極である。

【0079】

以上のようにすることで、十分な保持容量を有し、良好な表示が行える液晶表示装置を実現することができる。

【実施例 4】

【0080】

本発明で開示する遮光膜、容量絶縁膜および画素電極と同電位になるように形成された導電層からなる保持容量素子は、実施例 1 で示したような TFT 以外を遮光する遮光膜上に形成しても構わない。本実施例では、図 9、10 を用いて、一例を示す。

【0081】

基板 50 上に、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜を形成し（図示せず）、ゲート電極を形成するために導電膜を形成し、所望の形状にパターニングしてゲート電極 51a ~ 51c を得る。導電膜には、Ta、Ti、W、Mo、Cr または Al から選ばれた元素またはいずれかの元素を主成分とする導電膜を用いればよい。基板には、バリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板、石英基板、単結晶シリコン基板、金属基板、ステンレス基板の表面に絶縁膜を形成したもの、また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板のいずれかを用いればよい。

【0082】

次いで、ゲート絶縁膜 52a、52b を形成する。ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜の単層、もしくはいずれかの膜の積層構造にしてもよい。

【0083】

次いで、非晶質半導体膜としてアモルファスシリコン膜 53 を熱 CVD 法、プラズマ CVD 法、減圧 CVD 法、蒸着法またはスパッタリング法により 10 ~ 1150 nm 厚に形成する。なお、ゲート絶縁膜 52 とアモルファスシリコン膜 53 とは、同じ成膜法で形成することが可能であるため、両者を連続形成してもよい。連続形成することで、一旦大気に曝すことがなくなり、表面の汚染を防ぐことができ、作製する TFT の特性バラツキやしきい値電圧の変動を低減することができる（図 9 (A)）。

【0084】

次いで、アモルファスシリコン膜 53 を結晶化するために結晶化を促進する触媒元素を

10

20

30

40

50

塗布（触媒元素含有層 5 4 を形成）する。この後、加熱処理を行い、結晶質シリコン膜を形成する（図 9（B））。

【0085】

なお、半導体膜の結晶化は、触媒元素を用いた加熱処理以外にも、連続発振またはパルス発振の気体レーザもしくは固体レーザを用いた結晶化方法を用いてもよい。そのような気体レーザとしては、エキシマレーザ、Arレーザ、Krレーザなどがあり、固体レーザとしては、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti：サファイアレーザなどが挙げられる。非晶質半導体膜の結晶化に際して、大粒径の結晶を得るためには、連続発振が可能な固体レーザを用いて、基本波の第2高調波～第4高調波を適応するのが好ましい。代表的には、Nd：YVO₄レーザ（基本波1064nm）の第2高調波（波長532nm）や第3高調波（波長355nm）を用いればよい。

10

【0086】

結晶化工程が終わったら、後の不純物添加工程において結晶質シリコン膜（チャネル形成領域）を保護する絶縁膜 5 5 を 100～400nm厚で形成する。この絶縁膜は、不純物元素を添加する時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、さらに、微妙な濃度制御を可能にするために形成される。

【0087】

次いで、レジストからなるマスクを用いて、後のnチャネル型TFETの活性層となる結晶質シリコン膜にn型を付与する不純物元素を添加して高濃度にn型不純物元素を含んだ領域（後のソース領域またはドレイン領域）5 6、5 7を形成する。続いて、後のpチャネル型TFETの活性層となる結晶質シリコン膜にp型不純物元素を添加して、p型不純物元素を高濃度に含んだ領域（後のソース領域またはドレイン領域）5 8を形成する。なお、nチャネル型TFETおよびpチャネル型TFETにおいて、不純物元素を低濃度に含む領域（LDD領域）を形成してもよい（図9（C））。

20

【0088】

次いで、結晶質シリコン膜に添加された不純物元素を活性化する工程を行う。活性化と同時に、結晶化工程でシリコン膜に塗布した触媒元素の捕獲（ゲッタリング）も行う。加熱処理条件として、酸素濃度が5ppmの雰囲気中で、450～950℃で処理を行えばよい。

30

【0089】

次いで、結晶質シリコン膜上の絶縁膜を除去し、結晶質シリコン膜を所望の形状にパターニングしてエッチングし、半導体層 5 9～6 1を得る。続いて、層間絶縁膜 6 2を形成する。層間絶縁膜 6 2は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜から500～1500nm厚で形成する（図9（D））。

【0090】

その後、それぞれのTFETのソース領域またはドレイン領域に達するコンタクトホールを形成して、各TFETを電氣的に接続するための配線 6 3～6 7を形成する。続いて、配線 6 3～6 7を覆う層間絶縁膜 6 8を形成する（図10（A））。

40

【0091】

次いで、TFETに光が照射されないように遮光するための遮光膜 6 9を形成する。なお、遮光膜 6 9は、Al、Ti、W、Crから選ばれた元素、前記元素を主成分とする合金材料、または黒色樹脂等の高い遮光性を持つ膜を100～200nm程度の膜厚で成膜すればよい。

【0092】

その後、遮光膜 6 9上に容量絶縁膜 7 0を形成する。容量絶縁膜 7 0としては、酸化窒化シリコン膜、窒化酸化シリコン膜のいずれかを用いればよく、その膜厚は、50～100nmとすればよい。

【0093】

50

続いて、容量絶縁膜 70 上に導電層 71 を形成する。導電層 71 は、Al、Ti、W から選ばれた元素、または前記元素を主成分とする合金材料を用いればよい。また、透明導電性膜（例えば、ITO）を用いてもよい。

【0094】

次いで、画素電極の光が透過する領域を平坦化するための膜（平坦化膜）72 を絶縁膜を用いて形成する。平坦化膜 72 は、酸化シリコン膜を膜厚 100 ~ 200 nm 程度に形成して、CMP（Chemical Mechanical Polishing: 化学的機械研磨）を用いて平坦化する。またその他、ポリイミド、アクリルといった熱硬化する樹脂を用いて平坦化してもよい。平坦化膜 72 形成後、導電層 71 と画素電極とを接続させるためのコンタクトホールを平坦化膜 72 に、画素電極とドレイン電極となる配線 67 とを電氣的に接続するためのコンタクトホールを平坦化膜 72 と層間絶縁膜 68 とに形成し、画素電極 73 を形成する。なお、画素電極 73 形成後、導電層 71 をパターンニングしてエッチングし、隣接する画素に形成された導電層 71 との連続性を断つ（図 10（B））。

10

【0095】

このようにして、遮光膜 69、容量絶縁膜 70 および画素電極 73 と同電位となる導電層 71 とからなる保持容量素子が形成される。導電層 71 を形成することにより、遮光膜 69 と画素電極 73 とが重なる領域を無駄なく保持容量素子として機能させることができる。

【0096】

また、本発明のように平坦化膜 72 を形成することにより、画素電極 73 の段差が遮光膜 69 上に形成されるため、画素電極 73 の段差や凹凸が原因となる配向乱れや光もれを防ぐことができる。

20

【0097】

以上のように、本発明は TFT の形状に依存することなく適応させることができる。

【実施例 5】

【0098】

本実施例では、薄膜トランジスタおよび保持容量素子を有する実施例 1 に示した構造の半導体装置において、薄膜トランジスタのチャネル形成領域、ソース領域およびドレイン領域を含む半導体層を高温で加熱処理して得られた半導体（代表的にはシリコン）膜（以下、高温ポリシリコン膜という）を用いて作製する例について説明する。

30

【0099】

耐熱性の高い石英基板基板上に実施例 1 にしたがって、ゲート線としても機能する下部遮光膜および下地絶縁膜を形成する。続いて、下地絶縁膜上に LPCVD 法、PCVD 法またはスパッタ法など公知の方法を用いて非晶質半導体膜を形成する。

【0100】

次いで、炉を用いて 600 で 24 時間の加熱処理を行い、結晶質半導体膜を形成する。なお、この結晶化処理において半導体膜表面に酸化シリコン膜が形成されるが、エッチング等で除去できるとごく薄い膜であるため問題はない。

【0101】

次いで、結晶質半導体膜の表面に形成された酸化膜を除去した後、ゲート絶縁膜を形成するための加熱処理を行う。結晶質半導体膜を 900 ~ 1050 にて加熱処理し、結晶質半導体膜の表面に酸化膜を形成する。この酸化シリコン膜をゲート絶縁膜に用いる。最終的に結晶質半導体膜の膜厚が 30 ~ 50 nm になるように結晶質半導体膜を加熱処理することによりその表面に酸化シリコン膜を形成すればよい。

40

【0102】

このようにして高温加熱処理により得られた結晶質半導体膜は、結晶性が高く、さらに高い電界効果移動度が得られる半導体膜をチャネル形成領域、ソース領域およびドレイン領域を含む半導体層に用いることにより、優れた特性をもつ TFT を実現でき、さらにこの TFT を回路に用いることで高い信頼性を有する半導体装置を実現することができる。本実施例は、実施例 1 ~ 4 と組み合わせて用いることが可能である。

50

【実施例 6】

【0103】

本実施例では、薄膜トランジスタおよび保持容量素子を有する実施例 1 に示した構造の半導体装置において、薄膜トランジスタのチャネル形成領域、ソース領域およびドレイン領域を含む半導体層を、レーザ光を照射することにより得られた結晶質半導体膜を用いて作製する例について説明する。

【0104】

基板上に実施例 1 にしたがって、ゲート線としても機能する下部遮光膜および下地絶縁膜を形成する。続いて、下地絶縁膜上に L P C V D 法、P C V D 法またはスパッタ法など公知の方法で非晶質半導体膜を形成する。なお、基板はコーニング社の 7059 ガラスや 1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板を用いる。

また、石英基板や単結晶シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、高い耐熱性を有するプラスチック基板を用いてもよい。

【0105】

続いて、非晶質半導体膜にレーザ光を照射する。使用するレーザとしては、連続発振またはパルス発振の気体レーザもしくは固体レーザを用いる。気体レーザとして、エキシマレーザ、Ar レーザ、Kr レーザなどがあり、固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti : サファイアレーザなどが挙げられる。

【0106】

なお、固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti 又は Tm がドーピングされた YAG、YVO₄、YLF、YAlO₃ などの結晶を使ったレーザが適用される。当該レーザの基本波はドーピングする材料によって異なり、1 μm 前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0107】

非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第 2 高調波～第 4 高調波を適用するのが好ましい。代表的には、Nd : YVO₄ レーザー（基本波 1064 nm）の第 2 高調波（532 nm）や第 3 高調波（355 nm）を適用する。

【0108】

ここで、一例として、YVO₄ レーザを用いて結晶化を行う方法について説明する。出力 10 W の連続発振の YVO₄ レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中に YVO₄ 結晶と非線形光学素子を入れて、高調波を射出するしてもよい。そして、好ましくは光学系により照射面に矩形形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は 0.01～100 MW/cm² 程度（好ましくは 0.1～10 MW/cm²）が必要である。そして、0.5～2000 cm/s 程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

【0109】

このようにしてレーザ光を照射することにより得られた結晶質半導体膜は、結晶性が高く、さらに高い電界効果移動度が得られる半導体膜をチャネル形成領域、ソース領域およびドレイン領域を含む半導体層に用いることにより、優れた特性をもつ TFT を実現でき、さらにこの TFT を回路に用いることで高い信頼性を有する半導体装置を実現することができる。本実施例は、実施例 1～4 と組み合わせて用いることが可能である。

【実施例 7】

【0110】

本発明を用いて、アクティブマトリクス型液晶表示装置（液晶ディスプレイ）

10

20

30

40

50

を表示部にんだ組み込んだ様々な電気器具を完成させることができる。

【0111】

その様な電気器具としては、プロジェクター（リア型またはフロント型）、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図11、図12及び図13に示す。

【0112】

図11（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。

【0113】

図11（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。

【0114】

なお、図11（C）は、図11（A）及び図11（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図11（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0115】

また、図11（D）は、図11（C）中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図11（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0116】

本発明を用いれば、遮光膜により薄膜トランジスタに照射される光を遮光することができるため、プロジェクターに用いられる強力な光によっても光リーク電流の発生を抑えることができ、十分な保持容量を有する容量素子が形成されているため、信号を保持することができ表示ムラが起こらず、精細で良好な表示を行うことができる。またさらに、開口率を低下させずに十分な容量素子を形成できるため、輝度も十分で、光源の低消費電力化もはかることができる。

【0117】

図12（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明の液晶表示装置を表示部2003に適用して、パーソナルコンピュータを完成させることができる。また、図12（B）はモバイルコンピュータ（モビルコンピュータ）であり、本体2101、カメラ部2102、受像部2103、操作スイッチ2104、表示部2105等を含む。本発明の液晶表示装置を表示部2105に適用して、モバイルコンピュータを完成させることができる。図12（C）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2201、表示部2202、スピーカ部2203、記録媒体2204、操作スイッチ2205等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明の液晶表示装置を表示部2402に適用して記録媒体を用いるプレーヤーを閉せさせることができる。

これらの電気器具は、本発明により、画素電極の光透過領域における段差や凹凸による液晶の配向不良を無くすことができ、さらに十分な保持容量を得られる容量素子を形成する

10

20

30

40

50

ことができるため、リーク電流が生じても表示信号を保持することができ、表示ムラのない精細な表示を実現することができる。またさらに、容量素子を形成しても高い開口率を維持することができるため、高輝度化が可能で、表示のために用いる光源の消費電力を低減することができる。これは、電気器具全体としての低消費電力化につながる。

【0118】

図12(D)はビデオカメラであり、本体2301、表示部2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306等を含む。本発明の液晶表示装置を表示部2302に適用して、ビデオカメラを完成させることができる。図12(E)はデジタルカメラであり、本体2401、表示部2402、接眼部2403、操作スイッチ2404、受像部(図示しない)等を含む。本発明の液晶表示装置を表示部2402に適用することができる。

10

図12(D)はゴーグル型ディスプレイであり、本体2501、表示部2502、アーム部2503等を含む。本発明の液晶表示装置を表示部2502に適用することができる。図13(A)は携帯電話であり、3001は表示用パネル、3002は操作用パネルである。表示用パネル3001と操作用パネル3002とは接続部3003において接続されている。接続部3003における、表示用パネル3001の表示部3004が設けられている面と操作用パネル3002の操作キー3006が設けられている面との角度 θ は、任意に変えることができる。

さらに、音声出力部3005、操作キー3006、電源スイッチ3007、音声入力部3008を有している。本発明の液晶表示装置を表示部3004に適用して携帯電話を完成させることができる。図13(B)は携帯書籍(電子書籍)であり、本体3101、表示部3102、3103、記憶媒体3104、操作スイッチ3105、アンテナ3106等を含む。本発明の液晶表示装置を表示部3102に適用して携帯書籍を完成させることができる。このように本発明により、液晶の配向不良を低減できるため、表示ムラのない精細な表示を実現できる。さらに、高い開口率を維持して容量素子を形成することができるため、高輝度化が可能で、表示のために用いる光源の消費電力を低減することができる。これは、電気器具全体としての低消費電力化が実現できるため、バッテリーの重量も小型なものを採用すればよくなるため、電気器具全体を軽量化することもできる。

20

【0119】

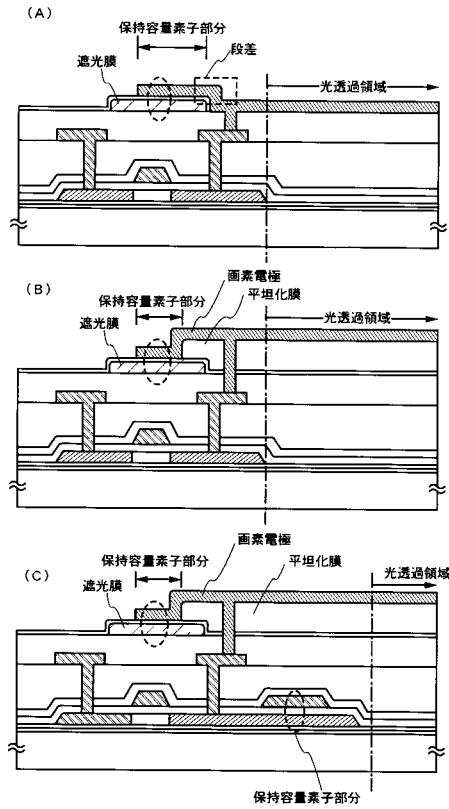
図13(C)はディスプレイであり、本体3201、支持台3202、表示部3203等を含む。本発明の液晶表示装置を表示部3203に適用してディスプレイを完成させることができる。本発明により、画素電極の光透過領域(表示に寄与する領域)を平坦化し、段差を遮光膜上にすることができるため、液晶の配向不良をなくし、表示ムラをなくすることができる。また、開口率を下げずに保持容量素子を形成することができるため、高輝度、高精細な表示を実現することができる。

30

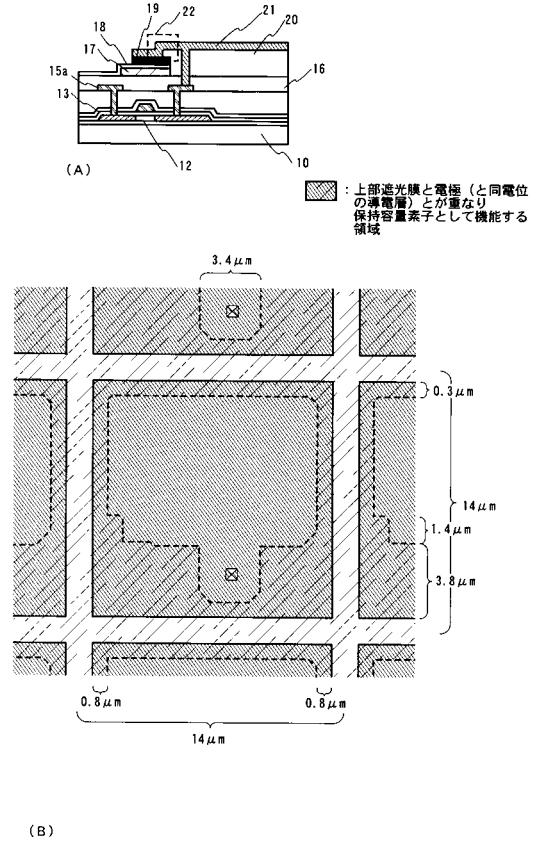
【0120】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具を完成させるために本発明を適用することができる。また、本実施例の電気器具は実施例1~6を組み合わせることで作製された液晶表示装置のいずれを用いても実現することができる。

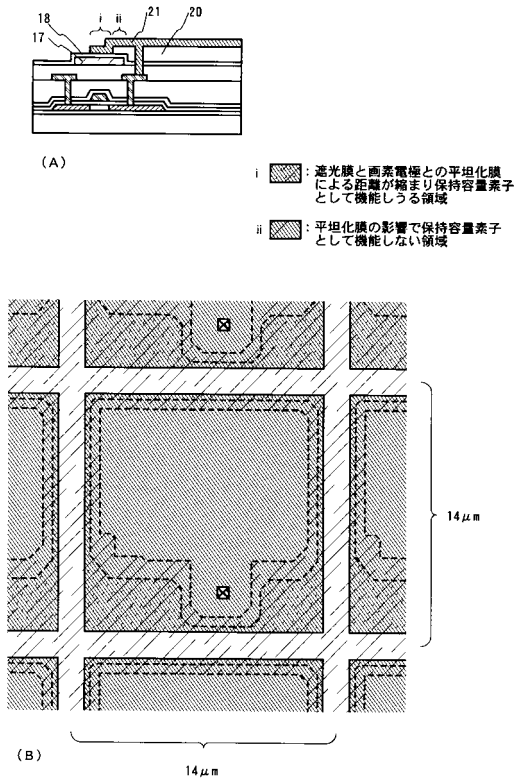
【図 1】



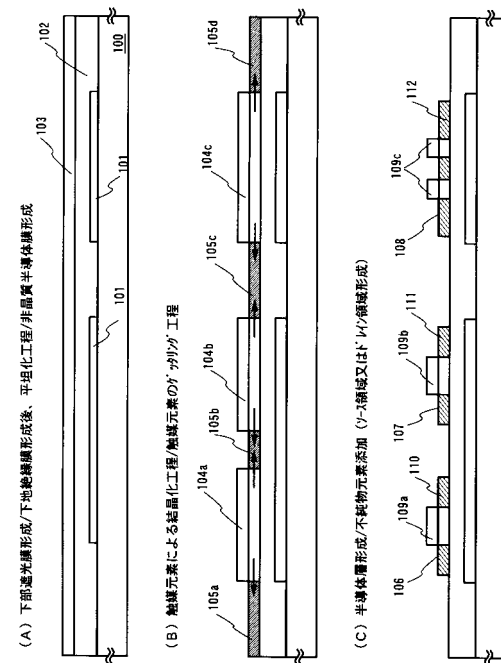
【図 2】



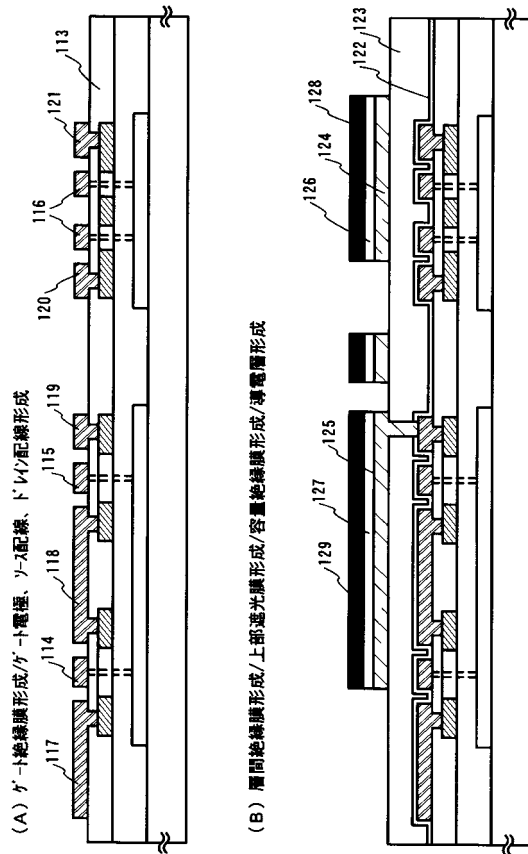
【図 3】



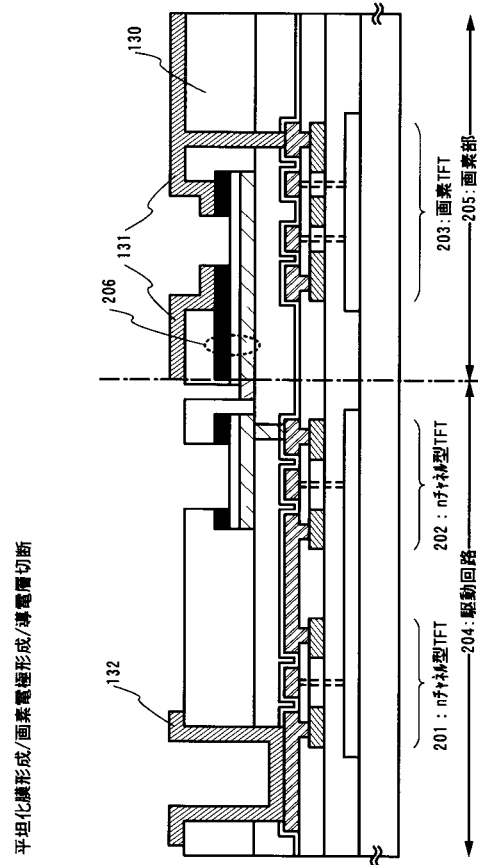
【図 4】



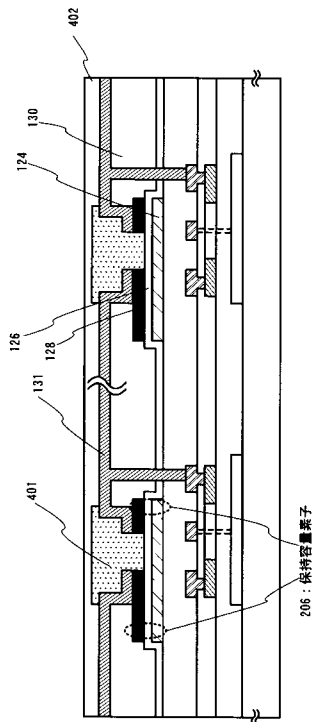
【図 5】



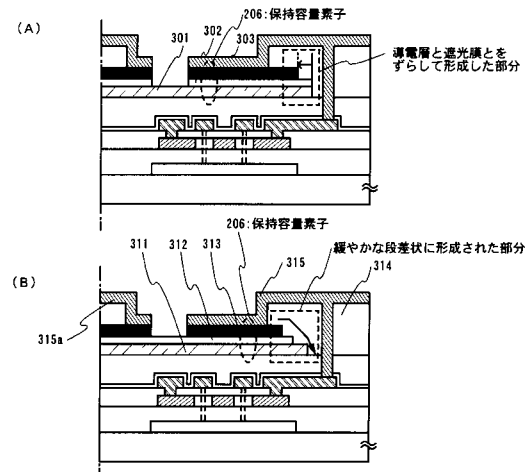
【図 6】



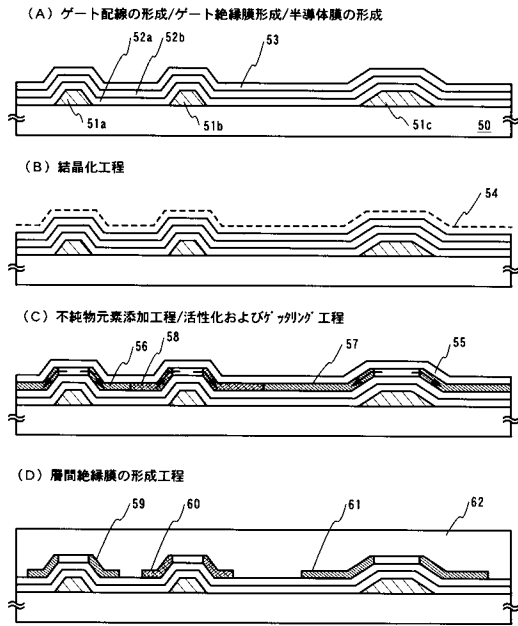
【図 7】



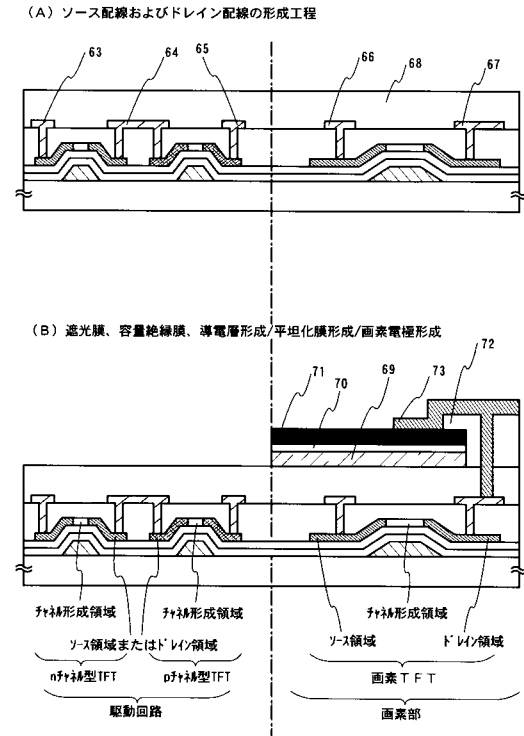
【図 8】



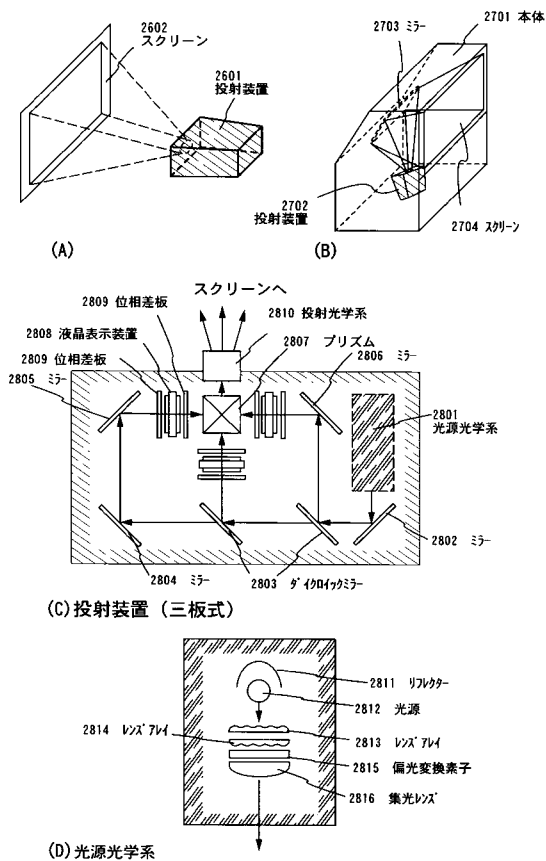
【図 9】



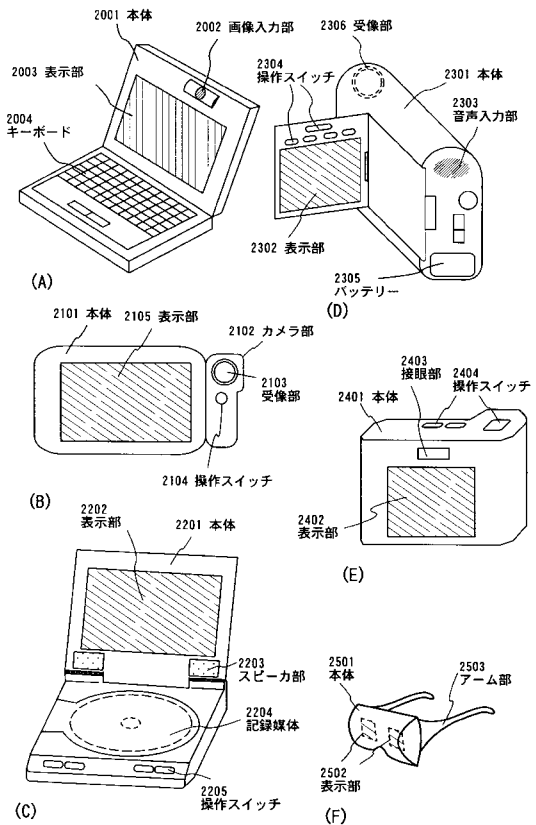
【図 10】



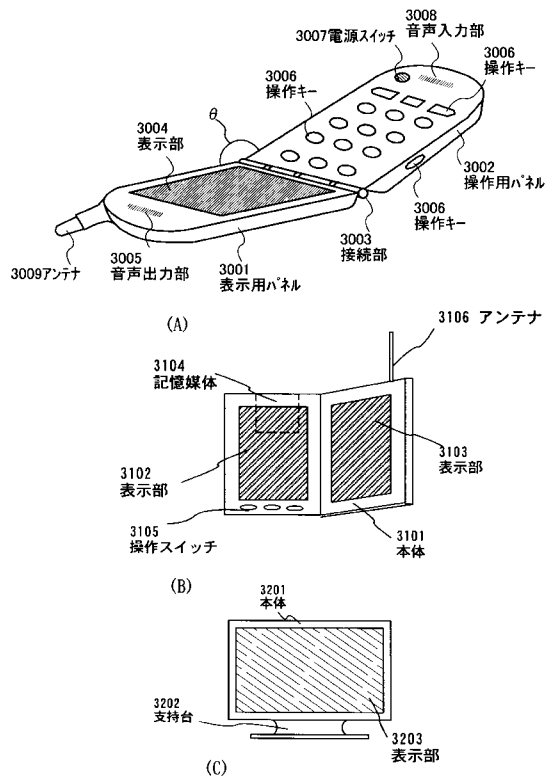
【図 11】



【図 12】



【図 13】



フロントページの続き

F ターム(参考) 5F110 AA06 AA30 BB01 CC02 CC08 DD01 DD02 DD03 DD05 DD12
DD13 DD14 DD15 DD17 EE02 EE03 EE04 EE06 EE08 EE14
EE23 EE44 EE45 FF02 FF03 FF04 FF09 FF23 FF28 FF30
FF36 GG01 GG02 GG13 GG25 GG32 GG42 GG43 GG44 GG45
GG47 GG58 HJ01 HJ04 HJ22 HJ23 HL02 HL03 HL04 HL06
HL07 HL08 HL11 HL23 HL24 HM15 NN03 NN04 NN22 NN23
NN24 NN27 NN33 NN34 NN35 NN36 NN40 NN43 NN46 NN47
NN72 NN73 PP01 PP03 PP04 PP05 PP10 PP13 PP34 QQ08
QQ19 QQ23 QQ25 QQ28

专利名称(译)	显示装置		
公开(公告)号	JP2013065027A5	公开(公告)日	2013-07-18
申请号	JP2012244153	申请日	2012-11-06
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	荒尾達也		
发明人	荒尾 達也		
IPC分类号	G09F9/30 G02F1/1368 H01L21/336 H01L29/786		
FI分类号	G09F9/30.338 G02F1/1368 H01L29/78.619.B H01L29/78.612.Z		
F-TERM分类号	2H092/JA25 2H092/JA33 2H092/JA35 2H092/JA39 2H092/JA46 2H092/JB54 2H092/JB57 2H092/JB58 2H092/JB64 2H092/JB66 2H092/JB69 2H092/KA05 2H092/KA12 2H092/KA19 2H092/KA22 2H092/KB05 2H092/KB14 2H092/KB22 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA25 2H092/MA30 2H092/NA04 2H092/RA05 5C094/AA03 5C094/AA10 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB10 5C094/EA04 5C094/ED15 5C094/FA01 5C094/FB12 5F110/AA06 5F110/AA30 5F110/BB01 5F110/CC02 5F110/CC08 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE08 5F110/EE14 5F110/EE23 5F110/EE44 5F110/EE45 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF23 5F110/FF28 5F110/FF30 5F110/FF36 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG32 5F110/GG42 5F110/GG43 5F110/GG44 5F110/GG45 5F110/GG47 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ22 5F110/HJ23 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL08 5F110/HL11 5F110/HL23 5F110/HL24 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN40 5F110/NN43 5F110/NN46 5F110/NN47 5F110/NN72 5F110/NN73 5F110/PP01 5F110/PP03 5F110/PP04 5F110/PP05 5F110/PP10 5F110/PP13 5F110/PP34 5F110/QQ08 5F110/QQ19 5F110/QQ23 5F110/QQ25 5F110/QQ28 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CC33 2H192/DA42 2H192/DA52 2H192/EA04 2H192/EA13 2H192/EA15 2H192/EA67 2H192/FB02 2H192/HA82 2H192/JB02		
其他公开文献	JP5386626B2 JP2013065027A		

摘要(译)

为了抑制液晶的取向缺陷，像素电极是平坦的，并且是足够的 本发明的目的是实现一种具有能够获得电容的电容元件的半导体器件。薄膜晶体管上的光屏蔽膜，光屏蔽膜上的电容绝缘膜，电容绝缘膜 导电层和像素电极，以电连接到导电层， 通过从光屏蔽膜，电容器绝缘膜和导电层形成存储电容器元件， 可以增加用作电容元件的区域的面积。 点域6