

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-132944

(P2012-132944A)

(43) 公開日 平成24年7月12日(2012.7.12)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/13 (2006.01)	G02F 1/13 505	2H059
H04N 13/04 (2006.01)	H04N 13/04	2H088
G02B 27/22 (2006.01)	G02B 27/22	2H193
G03B 35/24 (2006.01)	G03B 35/24	2H199
G02F 1/133 (2006.01)	G02F 1/133 505	5C061

審査請求 有 請求項の数 10 O L (全 16 頁)

(21) 出願番号 特願2010-281526 (P2010-281526)
(22) 出願日 平成22年12月17日 (2010.12.17)

(71) 出願人 502356528
株式会社ジャパンディスプレイイースト
千葉県茂原市早野3300番地
(74) 代理人 100083552
弁理士 秋田 収喜
(74) 代理人 100103746
弁理士 近野 恵一
(72) 発明者 芝田 岳史
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
(72) 発明者 小谷 佳宏
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 立体表示装置

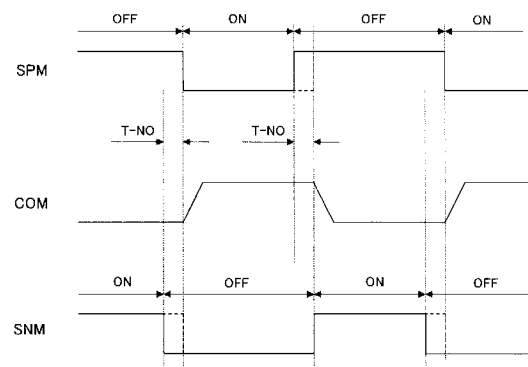
(57) 【要約】 (修正有)

【課題】 バリア液晶パネル駆動用ドライバと表示パネル駆動用のドライバを1チップ化した立体表示装置において、バリア液晶パネル駆動用の信号切り替え時の突入電流を抑制し、表示パネルに表示される画像の表示品質を向上させる。

【解決手段】 表示パネルと、前記表示パネル上に配置されるバリア液晶パネルと、前記表示パネルと前記バリア液晶パネルとを駆動する駆動回路とを有する立体表示装置であって、前記表示パネルの1フレーム周波数と、前記バリア液晶パネルの交流化周波数とは異なっており、前記バリア液晶パネルは、前記駆動回路から入力される駆動電圧により駆動され、前記駆動回路は、前記駆動電圧を出力するインバータ回路を有し、前記インバータ回路のp型トランジスタとn型トランジスタとを独立に制御し、前記駆動電圧のHighレベルからLowレベル、あるいは、LowレベルからHighレベルへの切り替わり時に、前記p型トランジスタと前記n型トランジスタとが共にオフとなる期間を有する。

【選択図】 図7B

図7B



【特許請求の範囲】

【請求項 1】

表示パネルと、
前記表示パネル上に配置されるバリア液晶パネルと、
前記表示パネルと前記バリア液晶パネルとを駆動する駆動回路とを有する立体表示装置であって、

前記表示パネルの 1 フレーム周波数と、前記バリア液晶パネルの交流化周波数とは異なっており、

前記バリア液晶パネルは、前記駆動回路から入力される駆動電圧により駆動され、

前記駆動回路は、前記駆動電圧を出力するインバータ回路を有し、

10

前記インバータ回路の p 型トランジスタと n 型トランジスタとを独立に制御し、前記駆動電圧の H i g h レベルから L o w レベル、あるいは、L o w レベルから H i g h レベルへの切り替わり時に、前記 p 型トランジスタと前記 n 型トランジスタとが共にオフとなる期間を有することを特徴とする立体表示装置。

【請求項 2】

前記駆動電圧の H i g h レベルから L o w レベルへの切り替わり時に、前記 n 型トランジスタがオンとなる前に、先に前記 p 型トランジスタがオフとなり、

前記駆動電圧の L o w レベルから H i g h レベルへの切り替わり時に、前記 p 型トランジスタがオンとなる前に、先に前記 n 型トランジスタがオフとなることを特徴とする請求項 1 に記載の立体表示装置。

20

【請求項 3】

前記インバータ回路の p 型トランジスタおよび前記 n 型トランジスタは、オンとなる期間が、オフの期間よりも短いことを特徴とする請求項 1 に記載の立体表示装置。

【請求項 4】

前記バリア液晶パネルは、単純マトリクス型の液晶表示パネルであり、

前記バリア液晶パネルは、複数の X 電極と、

前記複数の X 電極とそれぞれ交差する複数の Y 電極とを有し、

前記複数の X 電極は、それぞれ交互に配置される複数の第 1 の X 電極と複数の第 2 の X 電極とで構成され、

前記複数の Y 電極は、それぞれ交互に配置される複数の第 1 の Y 電極と複数の第 2 の Y 電極とで構成され、

30

前記複数の第 1 の X 電極、前記複数の第 1 の Y 電極、および前記複数の第 2 の Y 電極に、前記駆動電圧が入力され、

前記複数の第 2 の X 電極に、前記駆動電圧に対して逆相の反転駆動電圧が入力されることを特徴とする請求項 1 に記載の立体表示装置。

【請求項 5】

前記 p 型トランジスタと前記 n 型トランジスタとが共にオフとなる期間内に、前記複数の第 2 の X 電極と、前記複数の Y 電極とを短絡させることを特徴とする請求項 4 に記載の立体表示装置。

【請求項 6】

40

前記バリア液晶パネルは、単純マトリクス型の液晶表示パネルであり、

前記バリア液晶パネルは、複数の X 電極と、

前記複数の X 電極とそれぞれ交差する複数の Y 電極とを有し、

前記複数の X 電極は、それぞれ交互に配置される複数の第 1 の X 電極と複数の第 2 の X 電極とで構成され、

前記複数の Y 電極は、それぞれ交互に配置される複数の第 1 の Y 電極と複数の第 2 の Y 電極とで構成され、

前記複数の第 1 の X 電極、前記複数の第 2 の X 電極、および前記複数の第 1 の Y 電極に、前記駆動電圧が入力され、

前記複数の第 2 の Y 電極に、前記駆動電圧に対して逆相の反転駆動電圧が入力されるこ

50

とを特徴とする請求項 1 に記載の立体表示装置。

【請求項 7】

前記 p 型トランジスタと前記 n 型トランジスタとが共にオフとなる期間内に、前記複数の X 電極と、前記複数の第 2 の Y 電極とを短絡させることを有することを特徴とする請求項 6 に記載の立体表示装置。

【請求項 8】

前記 p 型トランジスタと前記 n 型トランジスタとが共にオフとなる期間内に、前記複数の X 電極と、前記複数の Y 電極とを短絡させることを特徴とする請求項 4 または請求項 6 に記載の立体表示装置。

【請求項 9】

前記インバータ回路は、前記 p 型トランジスタの第 1 電極に接続される第 1 抵抗素子と、前記 n 型トランジスタの第 1 電極に接続される第 2 抵抗素子とを有することを特徴とする請求項 1 に記載の立体表示装置。

【請求項 10】

前記バリア液晶パネルの交流化周波数は、前記表示パネルの 1 フレーム周波数よりも低いことを特徴とする請求項 1 に記載の立体表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、立体表示装置に係わり、特に、パララックスバリア方式の立体表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

従来、3次元画像を表示する立体表示装置として様々な方式が提案されている。その中に良く利用されているものは、両眼視差を利用する「2眼式」と呼ばれるものである。この「2眼式」では、両眼視差を持つ左眼用画像と右眼用画像とを用意し、左眼用画像を左眼で、右眼用画像を右眼で見ることにより、被写体の3次元立体像を観察することができる。この「2眼式」の立体表示装置の代表的なものとして、パララックスバリア方式の立体表示装置が知られている。（下記、特許文献1参照）

図12は、パララックスバリア方式の立体表示装置を説明するための概念図である。

図12に示すように、パララックスバリア方式の立体表示装置では、表示パネル60の前面にパララックスバリア（以下、単にバリアという）50が配置される。バリア50には、光が遮蔽される部分（図12で黒色の部分）と、光が透過する部分（図12の黒色以外の部分）とが交互に形成されている。また、左眼用画像（L）と右眼用画像（R）とが、水平方向に交互に並んだ形で配置された画像を表示パネル60に表示する。

立体視可能な位置において、観察者が、バリア50を介して表示パネル60を観察すると、表示パネル60上の左眼用画像（L）と右眼用画像（R）とはバリア50によって分離され、左眼用画像（L）は左眼30だけに、右眼用画像（R）は右眼40だけに届くので、被写体の3次元立体像を観察することができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-72269号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

前述の図12に示すパララックスバリア方式の立体表示装置（以下、単に、3D液晶ディスプレイという）は、表示パネル60として、例えば、アクティブマトリクス型の液晶表示装置（以下、メイン液晶パネルという）を使用し、バリア50として、単純マトリクス型の液晶表示装置（以下、バリア液晶パネルという）を使用することで実現すること

10

20

30

40

50

ができる。

このような３Ｄ液晶ディスプレイにおいて、低コスト化を実現する上で、バリア液晶パネル駆動用ドライバと、メイン液晶パネル駆動用のドライバを１チップ化することが有効である。

しかしながら、バリア液晶パネル駆動用ドライバと、メイン液晶パネル駆動用ドライバを１チップ化すると、バリア液晶パネル駆動用の信号切り替え時に突入電流が流れ、電源ノイズとなることにより、メイン液晶パネルの表示画面上にちらつき等の表示異常が生じるという問題点があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、バリア液晶パネル駆動用ドライバと表示パネル駆動用のドライバを１チップ化した立

10

体表示装置において、バリア液晶パネル駆動用の信号切り替え時の突入電流を抑制し、表示パネルに表示される画像の表示品質を向上させることが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【０００５】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

（１）表示パネルと、前記表示パネル上に配置されるバリア液晶パネルと、前記表示パネルと前記バリア液晶パネルとを駆動する駆動回路とを有する立体表示装置であって、前記表示パネルの１フレーム周波数と、前記バリア液晶パネルの交流化周波数とは異なっており、前記バリア液晶パネルは、前記駆動回路から入力される駆動電圧により駆動され、前記駆動回路は、前記駆動電圧を出力するインバータ回路を有し、前記インバータ回路のｐ型トランジスタとｎ型トランジスタとを独立に制御し、前記駆動電圧のＨｉｇｈレベルからＬｏｗレベル、あるいは、ＬｏｗレベルからＨｉｇｈレベルへの切り替わり時に、前記

20

ｐ型トランジスタと前記ｎ型トランジスタとが共にオフとなる期間を有する。

（２）（１）において、前記駆動電圧のＨｉｇｈレベルからＬｏｗレベルへの切り替わり時に、前記ｎ型トランジスタがオンとなる前に、先に前記ｐ型トランジスタがオフとなり、前記駆動電圧のＬｏｗレベルからＨｉｇｈレベルへの切り替わり時に、前記ｐ型トラン

30

ジスタがオンとなる前に、先に前記ｎ型トランジスタがオフとなる。

（３）（１）において、前記インバータ回路のｐ型トランジスタおよび前記ｎ型トランジスタは、オンとなる期間が、オフの期間よりも短い。

【０００６】

（４）（１）前記バリア液晶パネルは、単純マトリクス型の液晶表示パネルであり、前記バリア液晶パネルは、複数のＸ電極と、前記複数のＸ電極とそれぞれ交差する複数のＹ電極とを有し、前記複数のＸ電極は、それぞれ交互に配置される複数の第１のＸ電極と複数の第２のＸ電極とで構成され、前記複数のＹ電極は、それぞれ交互に配置される複数の第１のＹ電極と複数の第２のＹ電極とで構成され、前記複数の第１のＸ電極、前記複数の第１のＹ電極、および前記複数の第２のＹ電極に、前記駆動電圧が入力され、前記複数の第

40

２のＸ電極に、前記駆動電圧に対して逆相の反転駆動電圧が入力される。

（５）（４）において、前記ｐ型トランジスタと前記ｎ型トランジスタとが共にオフとなる期間内に、前記複数の第２のＸ電極と、前記複数のＹ電極とを短絡させる。

（６）（１）において、前記バリア液晶パネルは、単純マトリクス型の液晶表示パネルであり、前記バリア液晶パネルは、複数のＸ電極と、前記複数のＸ電極とそれぞれ交差する複数のＹ電極とを有し、前記複数のＸ電極は、それぞれ交互に配置される複数の第１のＸ電極と複数の第２のＸ電極とで構成され、前記複数のＹ電極は、それぞれ交互に配置される複数の第１のＹ電極と複数の第２のＹ電極とで構成され、前記複数の第１のＸ電極、前記複数の第２のＸ電極、および前記複数の第１のＹ電極に、前記駆動電圧が入力され、前記複数の第２のＹ電極に、前記駆動電圧に対して逆相の反転駆動電圧が入力される。

50

(7) (6) において、前記 p 型トランジスタと前記 n 型トランジスタとが共にオフとなる期間内に、前記複数の X 電極と、前記複数の第 2 の Y 電極とを短絡させる。

(8) (4) または (6) において、前記 p 型トランジスタと前記 n 型トランジスタとが共にオフとなる期間内に、前記複数の X 電極と、前記複数の Y 電極とを短絡させる。

(9) (1) において、前記インバータ回路は、前記 p 型トランジスタの第 1 電極に接続される第 1 抵抗素子と、前記 n 型トランジスタの第 1 電極に接続される第 2 抵抗素子とを有する。

(1 0) (1) において、前記バリア液晶パネルの交流化周波数は、前記表示パネルの 1 フレーム周波数よりも低い。

【発明の効果】

10

【 0 0 0 7 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、バリア液晶パネル駆動用ドライバと表示パネル駆動用のドライバを 1 チップ化した立体表示装置において、バリア液晶パネル駆動用の信号切り替え時の突入電流を抑制し、表示パネルに表示される画像の表示品質を向上させることが可能となる。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の実施例 1 のパララックスバリア方式の立体表示装置を説明するための概念図である。

20

【図 2】図 1 に示すアクティブマトリクス方式の液晶表示装置の概略構成を示すブロック図である。

【図 3】図 1 に示す単純マトリクス方式のバリア液晶表示パネルの概略断面構造を示す断面図である。

【図 4】図 1 に示す単純マトリクス方式のバリア液晶表示パネル 2 0 の X 電極と Y 電極を説明するための図である。

【図 5】単純マトリクス方式のバリア液晶表示パネルに表示されるバリアパターンを示す図である。

【図 6】図 5 に示す V X 1、V X 2、V Y 1、V Y 2 の電圧波形を示す図である。

【図 7 A】本発明の実施例 1 のパララックスバリア方式の立体表示装置における、駆動電圧を出力するインバータの回路構成を示す図である。

30

【図 7 B】図 7 A のインバータに入力される制御信号の電圧波形と、図 7 A のインバータから出力される駆動電圧の電圧波形を示す図である。

【図 7 C】図 7 A のインバータに入力される制御信号の電圧波形と、図 7 A のインバータから出力される反転駆動電圧の電圧波形を示す図である。

【図 8】図 7 B、図 7 C に示すノンオーバーラップ期間中に、複数の X 電極と複数の Y 電極との中で、黒表示となっている電極同士を短絡させることによる効果を説明するための図である。

【図 9】図 7 B、図 7 C に示すノンオーバーラップ期間中に、複数の X 電極と複数の Y 電極との中で、黒表示となっている電極同士を短絡させるための回路構成を示す回路図である。

40

【図 1 0】本発明の実施例 2 のパララックスバリア方式の立体表示装置における、駆動電圧を出力するインバータを説明するための図であり、同図 (a) は、インバータの回路構成を、同図 (b) は、インバータの出力電圧の電圧波形と、突入電流の電流波形を示す図である。

【図 1 1】従来のパララックスバリア方式の立体表示装置における、駆動電圧を出力するインバータを説明するための図であり、同図 (a) は、インバータの回路構成を、同図 (b) は、インバータの出力電圧の電圧波形と、突入電流の電流波形を示す図である。

【図 1 2】パララックスバリア方式の立体表示装置を説明するための概念図である。

【発明を実施するための形態】

50

【 0 0 0 9 】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

〔 実施例 1 〕

図 1 は、本発明の実施例 1 のパララックスバリア方式の立体表示装置を説明するための概念図である。

本実施例のパララックスバリア方式の立体表示装置は、アクティブマトリクス方式の液晶表示装置 1 0 と、液晶表示装置 1 0 の前面に配置される単純マトリクス方式のバリア液晶表示パネル 2 0 と、液晶表示装置 1 0 とバリア液晶表示パネル 2 0 とを駆動する液晶駆動回路（ドライバ）1 5 0 を有する。

【 0 0 1 0 】

図 2 は、図 1 に示すアクティブマトリクス方式の液晶表示装置 1 0 の概略構成を示すブロック図である。

図 2 に示すアクティブマトリクス方式の液晶表示装置 1 0 は、アクティブマトリクス方式の液晶表示パネル（LCD）と、液晶駆動回路 1 5 0 と、フレキシブルプリント基板 7 2 と、バックライト 7 0 0 から構成される。

液晶表示パネル（LCD）の一辺には、液晶駆動回路 1 5 0 が設けられており、この液晶駆動回路 1 5 0 により液晶表示パネル（LCD）と、バリア液晶表示パネル 2 0 に各種信号が供給される。液晶駆動回路 1 5 0 には外部からの信号を供給するためにフレキシブルプリント基板 7 2 が電氣的に接続されている。

液晶表示パネル（LCD）は、薄膜トランジスタ 6 1 0、画素電極 6 1 1、対向電極（コモン電極）6 1 5 等が形成される基板 6 2 0（以下、TFT 基板とも呼ぶ）と、カラーフィルタ等が形成される基板 6 3 0（以下、フィルタ基板とも呼ぶ）とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材（図示せず）により、両基板を貼り合わせると共に、シール材の内側に液晶組成物を封入、封止し、さらに、両基板の外側に偏光板を貼り付け、TFT 基板 6 2 0 にフレキシブルプリント基板 7 2 を接続して構成される。

なお、本実施例は、対向電極 6 1 5 が TFT 基板 6 2 0 に設けられる所謂横電界方式の液晶表示パネルにも、対向電極 6 1 5 がフィルタ基板 6 3 0 に設けられる所謂縦電界方式の液晶表示パネルにも同様に適用される。

【 0 0 1 1 】

図 2 においては、図中 x 方向に延在し y 方向に並設される走査線（ゲート線とも呼ぶ）6 2 1 と、y 方向に延在し x 方向に並設される映像線（ドレイン線とも呼ぶ）6 2 2 とが設けられており、走査線 6 2 1 と映像線 6 2 2 とで囲まれる領域に画素部 6 0 8 が形成されている。また、図 2 では、図中 x 方向に延在し y 方向に並設される対向電極線 6 2 5 も設けられている。

なお、液晶表示パネル LCD は多数の画素部 6 0 8 をマトリクス状に備えているが、図を解り易くするため、図 2 では画素部 6 0 8 を 1 つだけ示している。マトリクス状に配置された画素部 6 0 8 は表示領域 6 0 9 を形成し、各画素部 6 0 8 が表示画像の画素の役割をはたし、表示領域 6 0 9 に画像を表示する。

各画素部 6 0 8 の薄膜トランジスタ 6 1 0 は、ソースが画素電極 6 1 1 に接続され、ドレインが映像線 6 2 2 に接続され、ゲートが走査線 6 2 1 に接続される。この薄膜トランジスタ 6 1 0 は、画素電極 6 1 1 に表示電圧（階調電圧）を供給するためのスイッチとして機能する。

なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像線 6 2 2 に接続される方をドレインと称する。また、画素電極 6 1 1 と対向電極 6 1 5 とは容量（液晶容量）を形成している。

液晶駆動回路 1 5 0 は、TFT 基板 6 2 0 を構成する透明な絶縁基板（ガラス基板、樹

10

20

30

40

50

脂基板等)に配置され、液晶駆動回路150は走査線621と映像線622と対向電極線625に接続している。

【0012】

TFT基板620には、フレキシブルプリント基板72が接続されている。また、フレキシブルプリント基板72にはコネクタ640が設けられている。コネクタ640は外部信号線と接続され、外部からの信号がコネクタ640に入力される。コネクタ640と液晶駆動回路150の間には配線631が設けられており、外部からの信号は液晶駆動回路150に入力される。

また、フレキシブルプリント基板72はバックライト700に定電圧を供給している。バックライト700は液晶表示パネル(LCD)の光源として使用される。なお、バックライト700は液晶表示パネルLCDの裏面または前面に設けられるが、図1では図を簡潔にするため、液晶表示パネルLCDと並べて表示している。

また、液晶駆動回路150は画素が表示すべき階調に対応する階調電圧を映像線622に出力する。薄膜トランジスタ610がオン状態(導通)になると、映像線622から階調電圧(映像信号)が画素電極611に供給される。その後、薄膜トランジスタ610がオフ状態となることで画素が表示すべき映像に基づく階調電圧が画素電極611に保持される。

対向電極615には、対向電極線625を介して一定の対向電極電圧が印加されており、液晶表示パネル(LCD)は画素電極611と対向電極615との間の電位差により、間に挟まれた液晶分子の配向方向を変化させ、光の透過率または反射率を変化させることで画像を表示する。

【0013】

図3は、図1に示す単純マトリクス方式のバリア液晶表示パネル20の概略断面構造を示す断面図である。

図3に示すように、単純マトリクス方式のバリア液晶表示パネル20は、複数のX電極(DEX)と、配向膜(AR11)が形成される基板(SUB11)と、複数のY電極(DEY)と、配向膜(AR12)が形成される基板(SUB12)とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材(SL)により、両基板を貼り合わせると共に、シール材の内側に液晶(LCS)を封入、封止し、さらに、両基板の外側に偏光板(POL11, POL12)を貼り付けて構成される。

複数のX電極(DEX)と、複数のY電極(DEY)とは、それぞれ帯状の電極で形成され、互いに交差するよう配置される。

図4は、図1に示す単純マトリクス方式のバリア液晶表示パネル20のX電極とY電極を説明するための図である。

図4に示すように、複数のX電極(DEX)は、短冊状に、それぞれ交互に配置される複数の第1のX電極(DEXA)と複数の第2のX電極(DEXB)とで構成され、複数のY電極(DEY)は、短冊状に、それぞれ交互に配置される複数の第1のY電極(DEYA)と複数の第2のY電極(DEYB)とで構成される。

複数の第1のX電極(DEXA)は、例えば、バリア液晶表示パネル20の一方の短辺側において共通に接続され、それぞれの第1のX電極(DEXA)には、VX1の駆動電圧が入力される。また、複数の第2のX電極(DEXB)は、バリア液晶表示パネル20の他方の短辺側において共通に接続され、それぞれの第2のX電極(DEXB)には、VX2の駆動電圧が入力される。

同様に、複数の第1のY電極(DEYA)は、例えば、バリア液晶表示パネル20の一方の長辺側において共通に接続され、それぞれの第1のY電極(DEYA)には、VY1の駆動電圧が入力される。また、複数の第2のY電極(DEYB)は、バリア液晶表示パネル20の他方の長辺側において共通に接続され、それぞれの第2のY電極(DEYB)には、VY2の駆動電圧が入力される。

【0014】

図4に示すように、複数の第1のX電極(DEXA)には、VX1の駆動電圧として、

10

20

30

40

50

COMの電圧が入力され、同様に、複数の第1のY電極(DEYA)にも、VY1の駆動電圧として、COMの電圧が入力される。

さらに、複数の第2のX電極(DEXB)には、VX2の電圧として、スイッチ回路(SW1)により、COMの電圧、あるいは、COMの電圧と逆相のバーCOMの電圧が入力され、複数の第2のY電極(DEYB)には、VY2の電圧として、スイッチ回路(SW2)により、COMの電圧、あるいは、COMの電圧と逆相のバーCOMの電圧が入力される。

図5に、単純マトリクス方式のバリア液晶表示パネル20に表示されるバリアパターンを示す。なお、図5は、バリア液晶表示パネル20が、TNなどのノーマリーホワイトの液晶表示パネルを用いた場合を図示している。

10

また、図6は、図5に示すVX1、VX2、VY1、VY2の電圧波形を示す図である。

図5のMode1は、バリア液晶表示パネル20を、縦方向で使用する場合のバリアパターン表示である。図6(a)に示すように、図5のMode1では、VY2の電圧は、VX1(またはVY1)の電圧と同相の電圧で、VX2の電圧は、VX1(またはVY1)の電圧と逆相の電圧である。

そのため、図5のMode1の場合は、VY1の電圧が入力される第1のY電極(DEYA)と、VX1の電圧が入力される第1のX電極(DEXA)との間、および、VY2の電圧が入力される第2のY電極(DEYB)と、VX1の電圧が入力される第1のX電極(DEXA)との間は白表示(即ち、光が透過する状態)に、VY1の電圧が入力される第1のY電極(DEYA)と、VX2の電圧が入力される第2のX電極(DEXB)との間、および、VY2の電圧が入力される第2のY電極(DEYB)と、VX2の電圧が入力される第2のX電極(DEXB)との間は黒表示(即ち、光が遮光される状態)となる。

20

【0015】

図5のMode2は、バリア液晶表示パネル20を、横方向で使用する場合のバリアパターン表示である、図6(b)に示すように、図5のMode2では、VY2の電圧は、VX1(またはVY1)の電圧と逆相の電圧で、VX2の電圧は、VX1(またはVY1)の電圧と同相の電圧である。

そのため、図5のMode2の場合は、VY1の電圧が入力される第1のY電極(DEYA)と、VX1の電圧が入力される第1のX電極(DEXA)との間、および、VY1の電圧が入力される第1のY電極(DEYA)と、VX2の電圧が入力される第2のX電極(DEXB)との間は白表示に、VY2の電圧が入力される第2のY電極(DEYB)と、VX1の電圧が入力される第1のX電極(DEXA)との間、および、VY2の電圧が入力される第2のY電極(DEYB)と、VX2の電圧が入力される第2のX電極(DEXB)との間は黒表示となる。

30

液晶は、長時間直流が印加されると寿命が短くなるので、バリア液晶表示パネル20においても、図6に示すように、VX1、VX2、COM、VY1、VY2の電圧は、交流化される。

ここで、バリア液晶表示パネル20の交流化周波数(図6のfrequency)は、液晶表示装置10の1フレーム周波数と同期する必要はなく、例えば、アクティブマトリクス方式の液晶表示装置10の1フレーム周波数が、60Hzの場合、バリア液晶表示パネル20の交流化周波数は、例えば、40Hz、あるいは、80Hzとしてもよい。なお、交流化周波数を遅くすることにより、消費電力を低減することが可能である。

40

【0016】

[従来技術の問題点]

図11は、従来のパララックスバリア方式の立体表示装置における、駆動電圧を出力するインバータを説明するための図であり、同図(a)は、インバータの回路構成を、同図(b)は、インバータの出力電圧の電圧波形と、突入電流の電流波形を示す図である。

以下、本発明の特徴を説明する前に、図11を用いて、従来のパララックスバリア方式

50

の立体表示装置の問題点について説明する。

アクティブマトリクス方式の液晶表示装置 10 と、単純マトリクス方式のバリア液晶表示パネル 20 と、1 個の液晶駆動回路 150 で駆動する場合、バリア液晶表示パネル 20 の駆動電圧の交流化における、High レベル（以下、H レベル）から Low レベル（以下、L レベル）への切り替え時点、および、L レベルから H レベルへの切り替え時点で、液晶表示装置 10 の表示画面にちらつき等の表示異常が見られる。

この現象は、以下のように説明できる。一般に、バリア液晶表示パネル 20 の駆動電圧は、インバータから出力される。

図 11 に示すように、インバータから出力される COM の電圧の H レベルから L レベルへの切り替え時点、および、L レベルから H レベルへの切り替え時点に、p 型 MOS トランジスタ（PMOS）と、n 型 MOS トランジスタ（NMOS）とが同時にオンとなる期間が存在し、インバータを介して、VDD の電圧が供給されている電源ラインから、GND の電圧が供給されている電源ラインに向かって突入電流（Current）が流れる。

ここで、例えば、チャージポンプ生成方式の電源回路などの、電源回路の駆動生成能力が低い場合、電源ラインの電圧ドロップが発生する。そして、バリア液晶表示パネル 20 の交流化周波数と、液晶表示装置 10 の 1 フレーム周波数とが異なる場合、液晶表示装置 10 の画像の表示中に、電源ラインの電圧ドロップが生じることになり、これがノイズとなり表示画質の劣化を招く。

【0017】

〔本実施例 1 の特徴〕

図 7A は、本発明の実施例のパララックスバリア方式の立体表示装置における、駆動電圧を出力するインバータの回路構成を示す図であり、図 7B は、図 7A のインバータに入力される制御信号の電圧波形と、図 7A のインバータから出力される駆動電圧の電圧波形を示す図であり、図 7C は、図 7A のインバータに入力される制御信号の電圧波形と、図 7A のインバータから出力される反転駆動電圧の電圧波形を示す図である。

図 7A に示すように、本実施例では、駆動電圧を出力するインバータを構成する p 型 MOS トランジスタ（PMOS）のゲートには、SPM の制御信号を入力し、また、n 型 MOS トランジスタ（NMOS）のゲートには、SNM の制御信号を入力する。

このように、本実施例では、p 型 MOS トランジスタ（PMOS）と、n 型 MOS トランジスタ（NMOS）のゲートに異なる制御信号を入力し、p 型 MOS トランジスタ（PMOS）と、n 型 MOS トランジスタ（NMOS）とを独立して制御する。

SPM の制御信号は、L レベルから H レベルになる時点が、SNM の制御信号が、L レベルから H レベルになる時点よりも早く、SNM の制御信号は、H レベルから L レベルになる時点が、SPM の制御信号が、H レベルから L レベルになる時点よりも早い。

したがって、図 7B に示すように、インバータから出力される COM の電圧の電圧レベルが切り替わる直前のタイミング（バリア液晶表示パネル 20 の帰線期間内）で、p 型 MOS トランジスタ（PMOS）と、n 型 MOS トランジスタ（NMOS）とが同時にオフとなる。その後、COM の電圧レベルに応じて、一方の MOS トランジスタがオンとなる。

【0018】

このように、本実施例のインバータでは、p 型 MOS トランジスタ（PMOS）と、n 型 MOS トランジスタ（NMOS）がともにオフとなる期間（ノンオーバーラップ期間；T-NO）を有し、p 型 MOS トランジスタ（PMOS）と、n 型 MOS トランジスタ（NMOS）とが同時にオンとなることがないので、インバータを介して、VDD の電圧が供給されている電源ラインから、GND の電圧が供給されている電源ラインに向かって流れる突入電流（Current）を抑制することができる。

その結果、本実施例では、バリア液晶表示パネル 20 の駆動電圧の交流化における、H レベルから L レベルへの切り替え時点、および、L レベルから H レベルへの切り替え時点で、液晶表示装置 10 の表示画面に生じるちらつきを低減することができる。

パララックスバリア方式の立体表示装置に求められる要素の一つとして観測者の視覚へ

10

20

30

40

50

の負担の軽減が挙げられるが、本実施例では、バリア液晶表示パネル 20 の駆動電圧の交流化における、H レベルから L レベルへの切り替え時点、および、L レベルから H レベルへの切り替え時点での、液晶表示装置 10 の表示画面に生じるちらつきを低減することができ、良好な画質を得ることができるので、目の疲れを軽減することが可能となる。

なお、図 7 B、図 7 C において、点線で示す電圧波形は、従来のバラックスバリア方式の立体表示装置において、インバータに入力される制御電圧の電圧波形である。

また、図 7 C は、図 7 A のインバータにおいて、COM の電圧と逆相のバー COM の電圧（本発明の反転駆動電圧）を生成するための SPM の制御信号および SNM の制御信号の電圧波形を示す図であるが、SPM の制御信号および SNM の制御信号の位相が、180 度異なっているだけであるので、詳細な説明は省略する。

10

【0019】

[変形例]

本実施例において、図 7 B、図 7 C に示すノンオーバーラップ期間（T - NO）中に、複数の X 電極（DEX）と複数の Y 電極（DEY）との中で、黒表示となっている電極同士を短絡させることにより、消費電流を抑制することが可能となる。

例えば、Mode 1 の場合、図 7 B、図 7 C に示すノンオーバーラップ期間（T - NO）中に、第 2 の X 電極（DEXB）と第 1 の Y 電極（DEYA）、および、第 2 の X 電極（DEXB）と第 2 の Y 電極（DEYB）とを短絡させることにより、図 8 に示すように、第 2 の X 電極（DEXB）、第 1 の Y 電極（DEYA）、および、第 2 の Y 電極（DEYB）の電位は、COM の電圧と、バー COM の電圧の中間電位となるので、次の電圧書き込み時に電圧変動が約半分となり消費電流を抑制することが可能となる。

20

図 7 B、図 7 C に示すノンオーバーラップ期間（T - NO）中に、複数の X 電極（DEX）と複数の Y 電極（DEY）との中で、黒表示となっている電極同士を短絡させるためには、図 9 に示すように、液晶駆動回路 150 内の第 1 の Y 電極（DEYA）、および、第 2 の Y 電極（DEYB）に接続される配線と、第 2 の X 電極（DEXB）に接続される配線との間にトランスファゲート回路（TG）を設け、このトランスファゲート回路（TG）を、SPM の制御信号と SNM の制御信号が入力される排他的論理和回路（EOR）で制御するようにすればよい。なお、図 9 において、INV はインバータである。

SPM の制御信号と SNM の制御信号が入力される排他的論理和回路（EOR）は、SPM の制御信号と SNM の制御信号が不一致の場合に H レベルとなるので、図 7 B、図 7 C に示すノンオーバーラップ期間（T - NO）中に、トランスファゲート回路（TG）がオンとなり、複数の X 電極（DEX）と複数の Y 電極（DEY）との中で、黒表示となっている電極同士を短絡させることができる。なお、図 9 に示す回路は、液晶駆動回路 150 に設けられる。

30

また、Mode 2 の場合は、図 7 B、図 7 C に示すノンオーバーラップ期間（T - NO）中に、第 2 の Y 電極（DEYB）と第 1 の X 電極（DEXA）、および、第 2 の Y 電極（DEYB）と第 2 の X 電極（DEXB）とを短絡させることにより、消費電流を抑制することが可能となる。

さらには、全ての X 電極（DEX）と、全ての Y 電極（DEY）とを短絡させるようにしてもよい。

40

【0020】

[実施例 2]

図 10 は、本発明の実施例 1 の立体表示装置における、駆動電圧を出力するインバータを説明するための図であり、同図（a）は、インバータの回路構成を、同図（b）は、インバータの出力電圧の電圧波形と、突入電流の電流波形を示す図である。

本実施例では、駆動電圧を出力するインバータにおいて、p 型 MOS トランジスタ（PMOS）と、VDD の電圧が供給されている電源ラインとの間、および、n 型 MOS トランジスタ（PNOS）と、GND の電圧が供給されている電源ラインとの間に、RS の抵抗素子を設けた点で、前述の実施例 1 と相異なる。

本実施例では、インバータから出力される COM の電圧の H レベルから L レベルへの切

50

り替え時点、および、LレベルからHレベルへの切り替え時点に、p型MOSトランジスタ(PMOS)と、n型MOSトランジスタ(NMOS)とが同時にオンとなる期間が存在し、インバータを介して、VDDの電圧が供給されている電源ラインから、GNDの電圧が供給されている電源ラインに向かって突入電流(Current)が流れたとしても、RSの抵抗素子で、突入電流(Current)のピーク電流値を抑制することができる。

なお、前述の説明では、アクティブマトリクス方式の液晶表示装置10の前面に、単純マトリクス方式のバリア液晶表示パネル20を配置した場合について説明したが、液晶表示装置10に代えて、無機EL表示装置、あるいは、有機EL表示装置を使用するようにしてもよい。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

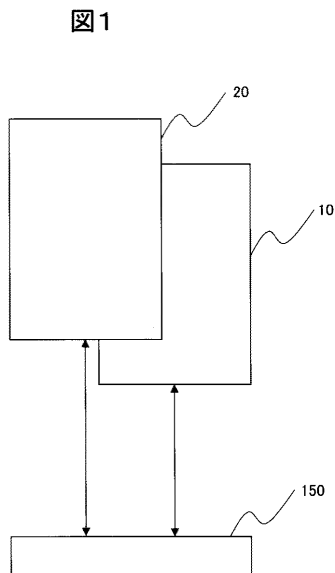
【符号の説明】

【0021】

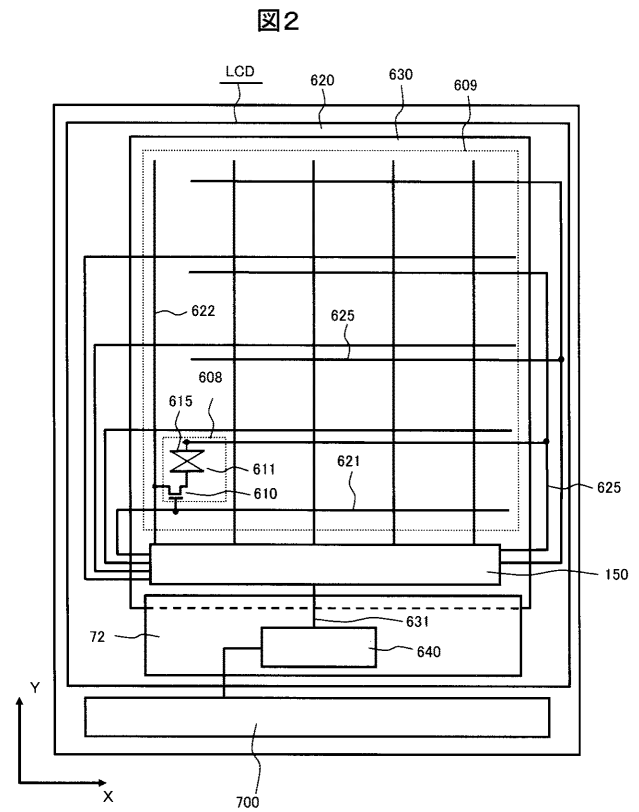
10	アクティブマトリクス方式の液晶表示装置	
20	単純マトリクス方式のバリア液晶表示パネル	
30	左眼	
40	右眼	
50	パララックスバリア	
60	表示パネル	20
72	フレキシブルプリント基板	
150	液晶駆動回路	
608	画素部	
609	表示領域	
610	薄膜トランジスタ	
611	画素電極	
615	対向電極(コモン電極)	
620, 630	基板	
621	走査線(ゲート線とも呼ぶ)	
622	映像線(ドレイン線とも呼ぶ)	30
625	対向電極線	
631	配線	
640	コネクタ	
700	バックライト	
LCD	液晶表示パネル	
SUB11, SUB12	基板	
POL11, POL12	偏光板	
AR11, AR12	配向膜	
SL	シール材	
LCS	液晶	40
DEX	X電極	
DEXA	第1のX電極	
DEXB	第2のX電極	
DEY	Y電極	
DEYA	第1のY電極	
DEYB	第2のY電極	
PMOS	p型MOSトランジスタ	
NMOS	n型MOSトランジスタ	
RS	抵抗素子	
SW1, SW2	スイッチ回路	50

E O R 排他的論理和回路
 T G トランファゲート回路
 I N V インバータ

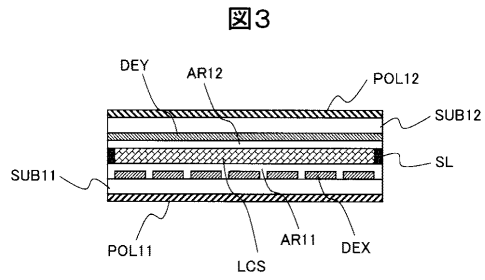
【図 1】



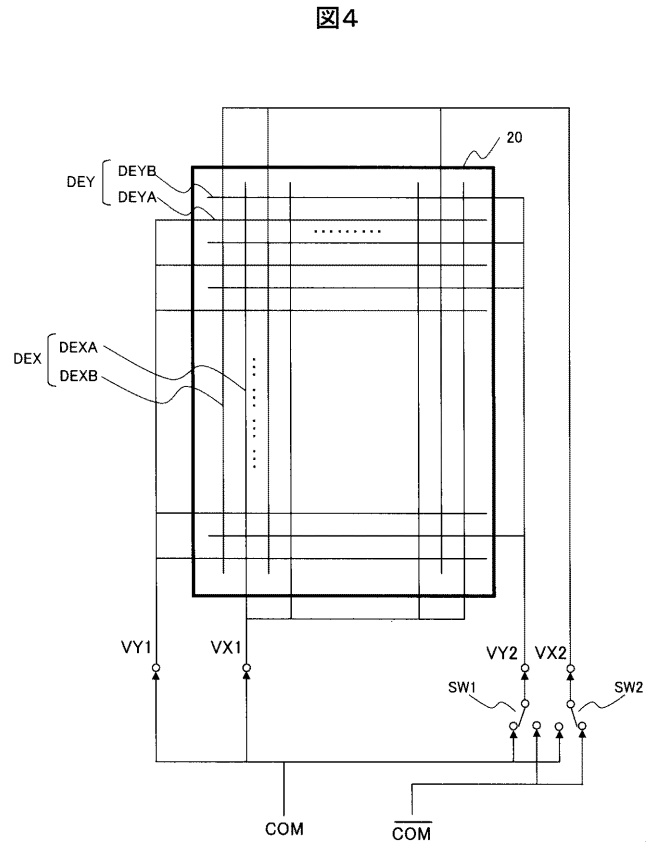
【図 2】



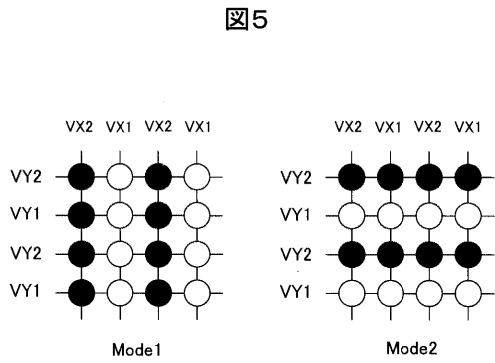
【図3】



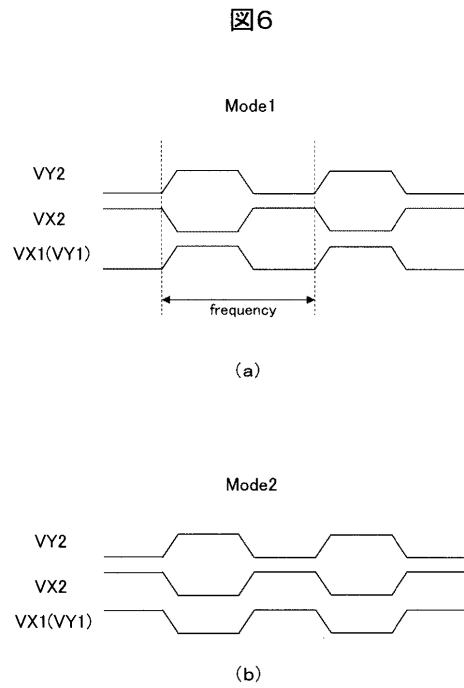
【図4】



【図5】

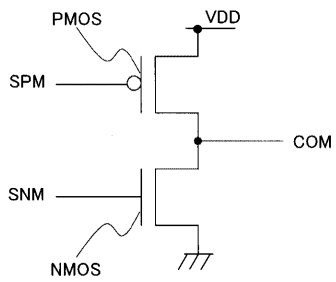


【図6】



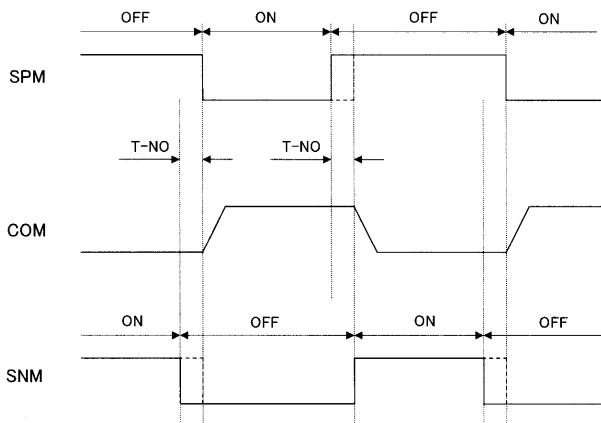
【図 7 A】

図7A



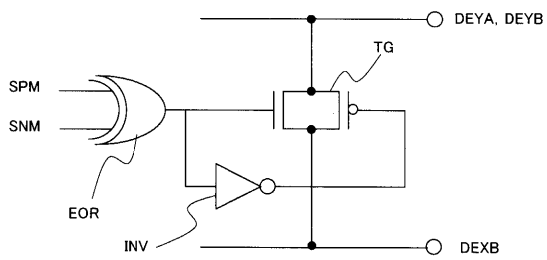
【図 7 B】

図7B



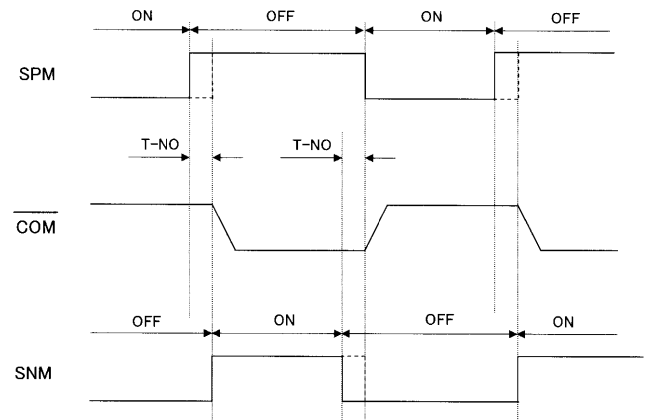
【図 9】

図9



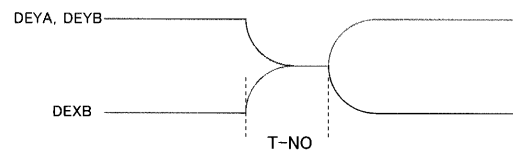
【図 7 C】

図7C



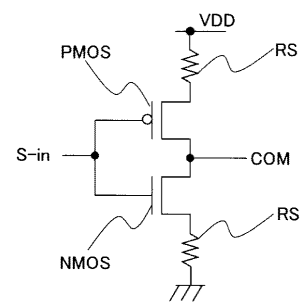
【図 8】

図8

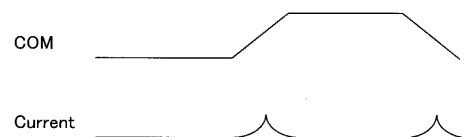


【図 1 0】

図10



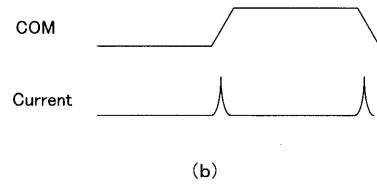
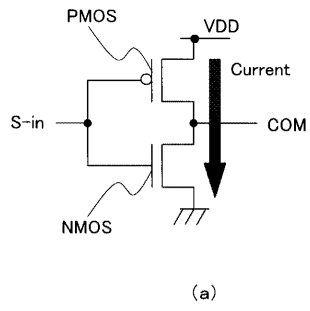
(a)



(b)

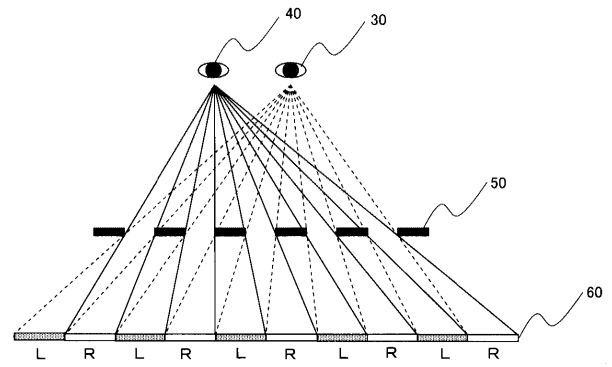
【図 1 1】

図11



【図 1 2】

図12



フロントページの続き

(72)発明者 長尾 将志

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H059 AA24 AA35

2H088 EA06 EA40 JA05 KA25 MA09

2H193 ZA04 ZA22 ZA37 ZB33 ZB34 ZC16 ZD01 ZD12 ZD36 ZF06

ZF31 ZG02 ZH54 ZQ06 ZR10

2H199 BA09 BB25 BB43 BB52 BB65

5C061 AA06 AB14 AB16

专利名称(译)	立体表示装置		
公开(公告)号	JP2012132944A	公开(公告)日	2012-07-12
申请号	JP2010281526	申请日	2010-12-17
[标]申请(专利权)人(译)	日本显示器东股份有限公司		
申请(专利权)人(译)	有限公司日本东显示器		
[标]发明人	芝田岳史 小谷佳宏 長尾将志		
发明人	芝田 岳史 小谷 佳宏 長尾 将志		
IPC分类号	G02F1/13 H04N13/04 G02B27/22 G03B35/24 G02F1/133		
CPC分类号	G02B30/27 G09G3/3655 G09G2300/023 G09G2300/0426 G09G2320/0247 G09G2330/021 G09G2330/025 H04N13/31 H04N13/398		
FI分类号	G02F1/13.505 H04N13/04 G02B27/22 G03B35/24 G02F1/133.505 G02B30/20 G02B30/31 H04N13/04.090 H04N13/04.970 H04N13/31 H04N13/398		
F-TERM分类号	2H059/AA24 2H059/AA35 2H088/EA06 2H088/EA40 2H088/JA05 2H088/KA25 2H088/MA09 2H193/ZA04 2H193/ZA22 2H193/ZA37 2H193/ZB33 2H193/ZB34 2H193/ZC16 2H193/ZD01 2H193/ZD12 2H193/ZD36 2H193/ZF06 2H193/ZF31 2H193/ZG02 2H193/ZH54 2H193/ZQ06 2H193/ZR10 2H199/BA09 2H199/BB25 2H199/BB43 2H199/BB52 2H199/BB65 5C061/AA06 5C061/AB14 5C061/AB16		
其他公开文献	JP5309117B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在立体显示装置中，在切换用于驱动屏障液晶面板的信号时抑制浪涌电流，在该立体显示装置中，用于驱动屏障液晶面板的驱动器和用于驱动显示面板的驱动器集成在一个芯片中，并显示在显示面板上显示的图像。提高显示质量。一种立体显示设备，其具有显示面板，布置在显示面板上的屏障液晶面板以及用于驱动显示面板和屏障液晶面板的驱动电路，该显示面板包括：帧频率不同于屏障液晶面板的交流频率，屏障液晶面板由从驱动电路输入的驱动电压驱动，并且驱动电路输出反相器电路。反相器电路的p型晶体管和n型晶体管被独立地控制，并且当驱动电压从高电平切换到低电平或从低电平切换到高电平时，p型晶体管和n型晶体管被控制。n型晶体管和n型晶体管均截止。[选择图]图7B

