

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-83784

(P2012-83784A)

(43) 公開日 平成24年4月26日(2012.4.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 555	2H193
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
G09F 9/30 (2006.01)	G09G 3/20 611A	5C094

審査請求 有 請求項の数 7 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2011-284437 (P2011-284437)
 (22) 出願日 平成23年12月26日 (2011.12.26)
 (62) 分割の表示 特願2005-336426 (P2005-336426)
 の分割
 原出願日 平成17年11月21日 (2005.11.21)

特許法第30条第1項適用申請有り

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (71) 出願人 303018827
 N L Tテクノロジー株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100095407
 弁理士 木村 満
 (72) 発明者 高取 憲一
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 芳賀 浩史
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

最終頁に続く

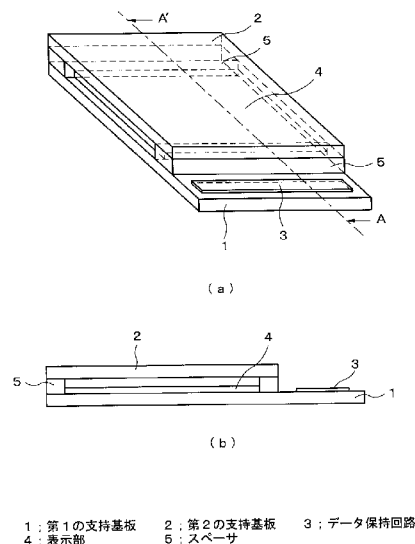
(54) 【発明の名称】 表示装置及びこれらを用いた機器

(57) 【要約】

【課題】液晶モジュールに対して1フレーム時間毎に全ての画素の表示データをシリアルに高速転送する場合と高速転送しない場合とに限らず、コントローラIC及びインタフェース回路が表示デバイス基板と一の基板上に形成されるため小型化が可能で、回路面積が小さく、低消費電力で、メモリ部の動作の信頼度が高く、低コストである表示装置と、この表示装置を使用した機器を提供する。

【解決手段】容量を有するデータ保持回路3と、複数の画素を有する表示部4とが一の第1支持基板1上に形成された表示装置において、画素には、それぞれ画素電極が設けられ、表示部4の上方には第1支持基板1に対向する第2支持基板2が設けられているが、データ保持回路3が配置された領域の上方には対向基板が存在せず、かつ、データ保持回路3が読み出し動作のみでメモリセルをリフレッシュ可能なDRAMからなる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

容量を有するデータ保持回路と、複数の画素を有する表示部とが一の第 1 支持基板上に形成された表示装置において、前記画素には、それぞれ画素電極が設けられ、前記表示部の上方には前記第 1 支持基板に対向する第 2 支持基板が設けられているが、前記データ保持回路が配置された領域の上方には対向基板が存在せず、かつ、前記データ保持回路が読み出し動作のみでメモリセルをリフレッシュ可能な D R A M からなることを特徴とする表示装置。

【請求項 2】

前記 D R A M 内のメモリセルのリテンション時間が、当該メモリセルの読み出し動作に要する時間よりも長いことを特徴とする請求項 1 に記載の表示装置。

10

【請求項 3】

前記データ保持回路内の少なくとも 1 つのトランジスタのソース及びドレインが L D D 構造を有することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の表示装置を有する機器において、前記表示装置の周囲に導電層が配置され、前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 1 0 0 倍より大きいことを特徴とする機器。

【請求項 5】

前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 1 0 0 0 倍より大きいことを特徴とする請求項 4 に記載の機器。

20

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の表示装置を有する機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が l o w - k 材料からなることを特徴とする機器。

【請求項 7】

請求項 1 乃至 5 のいずれか 1 項に記載の表示装置を有する機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が空気からなることを特徴とする機器。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、プロジェクタ、ノート P C、モニタ、携帯電話、P D A 等に使用される表示装置及びこれらを用いた機器に関する。

【背景技術】**【0002】**

近時の技術の発展に伴い、従来はシリコン技術によって作成された L S I 等によって外部に設けられていた駆動回路等の各種回路を支持基板上に内蔵した表示装置が実用化されている。このような回路内蔵型表示装置の一例として、高価な石英基板を用いた高温プロセスによる高温ポリシリコン T F T (Thin Film Transistor) 技術による表示装置が公知である。また、低温プロセスによって前駆膜を形成し、これをレーザ等でアニールすることで多結晶化する低温ポリシリコン技術により、ガラス基板等の上に回路を内蔵した表示装置も実用化されている。

40

【0003】

具体的な例として、特許文献 1 にアクティブマトリクス型表示装置が開示されている。図 1 5 は、特許文献 1 の図 3 7 に記載されている従来の一般的な駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

【0004】

50

図 15 を参照すると、従来の駆動回路一体型液晶表示装置においては、マトリクス状に配線され M 行 N 列の画素が配置されたアクティブマトリクス表示領域 110、行方向の走査回路（走査線（ゲート線）駆動回路）109、列方向の走査回路（データ線駆動回路）3504、アナログスイッチ 3505 及びレベルシフタ 3503 等が、表示デバイス基板 101 上に、ポリシリコン T F T によって一体化して形成されている。

【0005】

また、コントローラ IC（Integrated Circuit）102 として、コントローラ 113、メモリ 111、デジタル・アナログ変換回路（DAC 回路）3502 及び走査回路 / データレジスタ 3501 等が単結晶シリコンのウエハ上に形成された集積回路チップ（IC チップ）が、表示デバイス基板 101 の外部に実装されている。更に、インタフェース回路 114 がシステム側回路基板 104 上に形成され、コントローラ 113 及びメモリ 111 と接続されている。

【0006】

また、ポリシリコン T F T で構成された従来の駆動回路一体型液晶表示装置の中には、DAC 回路等のより複雑な回路を一体化して形成した装置も存在する。図 16 は、特許文献 1 の図 38 に記載されている従来の DAC 回路内蔵型の駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

【0007】

従来の DAC 回路内蔵型の駆動回路一体型液晶表示装置では、DAC 回路を内蔵しない図 15 の装置と同様に、マトリクス状に配線され M 行 N 列の画素が配列されたアクティブマトリクス表示領域 110、行方向の走査回路 109 及び列方向の走査回路 3504 を有し、これに加えて、データレジスタ 3507、ラッチ回路 105、DAC 回路 106、セレクト回路 107、レベルシフタ（D ビット）108 等の回路が表示デバイス基板 101 上に一体化して形成されている。

【0008】

この DAC 回路内蔵型の駆動回路一体型液晶表示装置の表示デバイス基板 101 の外部に実装されているコントローラ IC 103 は、高電圧を使用する DAC 回路 3502 を含まず、メモリ 111、出力バッファ回路 112 及びコントローラ 113 と全て低電圧の回路・素子で構成可能である。この結果、液晶に書き込むための電圧信号を生成するために必要となる高電圧用のプロセスを併用することなくコントローラ IC 103 を作製できるため、その価格は前述の DAC 回路 3502 を混載したコントローラ IC 102 よりも低く抑えることができる。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2004 - 046054 号公報（図 37、図 38）

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、これらの従来技術による駆動回路一体型液晶表示装置は、液晶モジュールに対して 1 フレーム時間毎に全ての画素の表示データをシリアルに高速転送しているため、高精細化し、画素数が多くなる程必要な転送レートが高くなり、高速転送の結果、ドライバ IC にも高速性が要求され、回路素子を構成する多数の C M O S（Complementary Metal Oxide Semiconductor）に貫通電流等が生じ、動作速度の上昇と共に消費電力が増大する。高速動作をする IC は、価格も増大する。そして、階調数が増大すると回路構成の複雑化及び転送速度の更なる増大が生じ、消費電力の更なる増大及びコストの増大を招く。即ち、ディスプレイの高精細化及び多階調化に伴いドライバ IC の価格及び消費電力が上昇するため、システム全体の消費電力及び価格を抑える必要性から、画素数及び階調数が制限されるという問題点がある。

【0011】

また、表示デバイス基板 101 の上の各回路ブロックに使用する電圧が夫々異なるため、複数の電圧に対応したプロセスを併用する必要性があり、製造プロセスコストが高くなるという問題点もある。

【0012】

また、これらの駆動回路一体型液晶表示装置は、コントローラ IC 及びインタフェース回路 114 が表示デバイス基板の外部に実装されているため、表示装置の縮小ができない、という問題点もある。

【0013】

そこで、本発明者らは、支持基板上への各種回路の集積を進め、支持基板上にメモリを集積する構造及びこの駆動方法の発明を既に特許出願した（特願 2004-272638 号）。この技術によって、ポリシリコン TFT 等の SOI（Silicon on Insulator）構造の MOS（Metal Oxide Semiconductor）型トランジスタを集積した回路において、履歴効果による動作不良を抑制し、これらの MOS 型トランジスタを構成要素として含むラッチ型センスアンプ回路及びラッチ回路の感度を向上させることが可能である。

【0014】

このように、先願発明は、初期の目的を達成したものの、支持基板上にメモリを集積する構造においては、ビット線の寄生容量の低減が困難であるため、メモリセルの容量を小さくすることに限界があり、フレームメモリの回路面積を減少させることが難しい。この結果、このフレームメモリを使用した表示装置の大きさを小さくしにくい。

【0015】

また、この技術は、メモリセルの容量が大きいため充放電に必要な電流が大きく、また、回路面積が大きいため配線抵抗による電位の低下及び配線の寄生容量の充放電等による消費電力が大きく、消費電力を下げることに限界がある。

【0016】

本発明はかかる問題に鑑みてなされたものであって、液晶モジュールに対して 1 フレーム時間毎に全ての画素の表示データをシリアルに高速転送する場合と、高速転送しない場合とに限らず、コントローラ IC 及びインタフェース回路が表示デバイス基板と一の基板上に形成されるため小型化が可能で、また、メモリセルの容量を小さくすることによって回路面積が小さく、低消費電力化が可能であり、メモリ部の動作の信頼度が高く、低コストである表示装置と、これらの表示装置を使用した機器を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明の第 1 の観点に係る表示装置は、容量を有するデータ保持回路と、複数の画素を有する表示部とが一の第 1 支持基板上に形成された表示装置において、前記画素には、それぞれ画素電極が設けられ、前記表示部の上方には前記第 1 支持基板に対向する第 2 支持基板が設けられているが、前記データ保持回路が配置された領域の上方には対向基板が存在せず、かつ、前記データ保持回路が読み出し動作のみでメモリセルをリフレッシュ可能な DRAM からなることを特徴とする。本発明においては、データ保持回路に対向する支持基板上に導電体膜がないため、データ保持回路の寄生容量が小さい。

【0018】

この表示装置において、前記 DRAM 内のメモリセルのリテンション時間が、当該メモリセルの読み出し動作に要する時間よりも長くてもよい。

【0019】

前記データ保持回路内の少なくとも 1 つのトランジスタのソース及びドレインが LDD 構造を有してもよい。

【0020】

また、前記表示装置の周囲に導電層が配置され、前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 100 倍より大きくてもよい。さらに前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 1000 倍より大きくてもよい。

10

20

30

40

50

【 0 0 2 1 】

前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が low - k 材料からなることが好ましい。

【 0 0 2 2 】

本発明の第 2 の観点に係る機器は、前記機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が空気からなることを特徴とする機器であることを特徴とする。

【 発明の効果 】

【 0 0 2 3 】

本発明によれば、データ保持回路の寄生容量を小さくすることによってデータ保持回路自体の容量を小さくすることができ、この結果回路のレイアウト面積を小さくすることができる。また、非導電性の遮光膜を設けることで回路部への光照射の影響を受けず、光リーク電流による電荷の漏洩が無いために、リークに対する対策としてしばしば使用される高電圧の印加や、短い周期でのリフレッシュ等が必要でなくなるために、消費電力を大きく削減することができる。また、機器との間の寄生容量とデータ保持回路内の容量との比が大きいため、機器との間の寄生容量の影響をほとんど受けず、極めて安定した動作が得られる。更に、データ保持回路の容量を、表示部を駆動する駆動回路のトランジスタのゲート酸化膜と同じ膜で形成することによりプロセス増を抑えることができる。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 (a) は本発明の第 1 実施形態に係る表示装置を示す斜視図、 (b) は (a) の A - A ' 線に沿った断面図である。

【 図 2 】 (a) は本発明の第 2 実施形態に係る表示装置を示す斜視図、 (b) は (a) の A - A ' 線に沿った断面図である。

【 図 3 】 (a) は本発明の第 3 実施形態に係る表示装置を示す斜視図、 (b) は (a) の A - A ' 線に沿った断面図である。

【 図 4 】 2 周波駆動液晶の誘電異方性のクロスオーバー現象を示す模式図である。

【 図 5 】 (a) は本発明の第 6 実施形態に係る表示装置を示す斜視図、 (b) は (a) の A - A ' 線に沿った断面図である。

【 図 6 】 (a) は本発明の第 8 実施形態に係る表示装置を示す斜視図、 (b) は (a) の A - A ' 線に沿った断面図である。

【 図 7 】 センスアンプ付メモリセルアレイ 1 2 1 の 1 ビット線分の回路図である。

【 図 8 】 フレームメモリの構成の一例を示すブロック図である。

【 図 9 】 本発明の第 9 実施形態に係る表示装置のビット線回路の上部を示す回路図である。

【 図 1 0 】 本発明の第 9 実施形態に係る表示装置のビット線回路の下部を示す回路図である。

【 図 1 1 】 1 トランジスタ 1 容量構造のメモリセルの構造を示す概略図である。

【 図 1 2 】 図 1 1 に示すメモリセルの容量のリテンション時間の測定結果である。

【 図 1 3 】 比較例 1 の D R A M 部 (データ保持回路 3) の回路面積と本発明の D R A M 部 (データ保持回路 3) の回路面積の比と、 d と t の比が満たすべき関係を示すグラフである。

【 図 1 4 】 本発明の第 4 実施例に係る表示装置の D R A M 回路の動作を示すブロック図である。

【 図 1 5 】 従来技術の一般的な駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

【 図 1 6 】 従来技術の D A C 回路内蔵型の駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 2 5 】

10

20

30

40

50

次に、本発明の実施形態について、添付の図面を参照して具体的に説明する。図 1 (a) は、本発明の第 1 実施形態に係る表示装置を示す斜視図、図 1 (b) は、図 1 (a) の A - A ' 線に沿った断面図である。第 1 の支持基板 1 の上に、容量 (図示せず) を備えるデータ保持回路 3 と表示部 4 とが一定の間隔を設けて平行に並べられている。また、表示部 4 のデータ保持回路 3 に最も近い辺とその対向する辺とには、これらの 2 辺に沿うようにスペーサ 5 がデータ保持回路 3 と接することなく、また第 1 の支持基板 1 の端部より外側に存在することなく、表示部 4 の厚さよりも厚く形成されている。

【 0 0 2 6 】

表示部 4 の上方には、第 1 の支持基板 1 と対向する第 2 の支持基板 2 が設けられ、スペーサ 5 によって第 1 の支持基板との間に一定の間隔が設けられているが、データ保持回路 3 が配置された領域の上方には対向基板が存在しない。

10

【 0 0 2 7 】

このように構成された表示装置においては、データ保持回路 3 の容量と直列又は並列に接続される対向する支持基板が存在しないため、データ保持回路 3 の容量と対向する支持基板との間の寄生容量が存在しない。そのため、データ保持回路 3 の容量に付随する寄生容量が小さく、結果、データ保持回路 3 の容量とデータ保持回路 3 の容量に付随する寄生容量の比を一定にした場合、データ保持回路 3 の容量を小さくすることができる。また、データ保持回路 3 の容量を小さくできるため、データ保持回路 3 のレイアウトに必要な面積が小さい。

【 0 0 2 8 】

20

次に、本発明の第 2 実施形態について説明する。図 2 (a) は、本発明の第 2 実施形態に係る表示装置を示す斜視図、図 2 (b) は、図 2 (a) の A - A ' 線に沿った断面図である。図 2 において、図 1 と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第 1 実施形態では、表示部 4 の上方に第 1 の支持基板 1 と対向する第 2 の支持基板 2 が設けられ、データ保持回路 3 が配置された領域の上方には対向基板が存在しない構造であったのに対し、本実施形態では第 1 の支持基板 1 と対向する第 2 の支持基板 2 がデータ保持回路 3 の上にも存在するように設けられている点が異なり、それ以外は同様の構造である。なお、第 2 の支持基板 2 のデータ保持回路 3 と平面視で交差する部分のうちデータ保持回路 3 側の面の反対側の面には導電体膜 (図示せず) が存在していてもよい。

【 0 0 2 9 】

30

このように構成された表示装置においては、データ保持回路 3 の容量と直列又は並列に接続される対向する第 2 の支持基板 2 との間の寄生容量が、第 2 の支持基板 2 のデータ保持回路 3 と対向する面のデータ保持回路 3 に対向する領域に導電体膜を有する場合に比べて小さい。そのため、データ保持回路 3 の容量に付随する寄生容量が小さく、結果、データ保持回路 3 の容量とデータ保持回路 3 の容量に付随する寄生容量の比を一定にした場合、データ保持回路 3 の容量を小さくすることができる。また、データ保持回路 3 の容量を小さくできるため、データ保持回路 3 のレイアウトに必要な面積が小さい。

【 0 0 3 0 】

次に、本発明の第 3 実施形態について説明する。図 3 (a) は、本発明の第 3 実施形態に係る表示装置を示す斜視図、図 3 (b) は、図 3 (a) の A - A ' 線に沿った断面図である。図 3 において、図 1 及び図 2 と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第 2 実施形態では、第 1 の支持基板 1 と対向する第 2 の支持基板 2 がデータ保持回路 3 の上にも存在するように設けられていたが、本実施形態においては、この第 2 の支持基板 2 のデータ保持回路 3 側の面のデータ保持回路 3 に対向する領域に、非導電体による遮光膜 6 が設けられている点が異なり、それ以外は同様の構造である。遮光膜 6 は、透過する光の強度を弱くする機能を有していればよく、非導電体であれば特に材料、膜厚及び膜構成等を問わない。また、透過しようとする光を吸収することによって遮光の機能を持たせてもよいし、反射させることによって遮光の機能を持たせてもよい。

40

【 0 0 3 1 】

このように構成された表示装置においては、データ保持回路 3 の領域に第 2 の支持基板

50

2側から光が照射されても、光リーク電流等の悪影響を生じにくい。また、万が一、光リーク電流が生じた場合でも、その電流の大きさは遮光膜6が存在しないときよりもはるかに小さい。同時に、遮光膜6が非導電体から形成されているため、データ保持回路3の容量に付随する寄生容量が小さく、その結果、データ保持回路3の容量とデータ保持回路3の容量に付随する寄生容量の比を一定にした場合、データ保持回路3の容量を小さくすることができる。また、データ保持回路3の容量を小さくできるため、データ保持回路3のレイアウトに必要な面積が小さい。

【0032】

次に、本発明の第4実施形態について説明する。上述の第2実施形態において、第1の支持基板と第2の支持基板との間には、データ保持回路3、表示部4及びスペーサ5しか存在しなかったのに対し、本実施形態においては、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に、周波数に応じて誘電率及び誘電異方性が変化する媒体が存在するように構成されている点が異なり、それ以外は同様の構造を有している。

10

【0033】

このデータ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に存在する媒体は、特に、周波数に応じて誘電率が小さくなる性質を有するものが好ましい。また、この媒体が誘電異方性を有する場合、周波数によって誘電異方性の符号が変わるほど大きな変化を示すことが好ましい。このような材料の一例として、2周波駆動液晶等の名前では誘電異方性が負となる。即ち、ある周波数(クロスオーバー周波数と呼ばれる)で、誘電率の符号が逆転するクロスオーバー現象と呼ばれる現象が生じる。この結果、低周波下と高周波下とで誘電率の値が異なり、高周波下で誘電率が低下する。このような材料の誘電異方性と周波数の関係を図4に示す。このような材料は、高周波下では誘電異方性の符号が変化すると共に、通常、その絶対値は低周波下の値に比べて小さい。

20

【0034】

このクロスオーバー周波数は、材料によって異なるが、一般的には数MHz(メガヘルツ)である。例えば、データ保持回路3へのアクセス信号が1MHz以上の場合には、上記媒体の誘電率が低下し始める領域であり、アクセス信号によって同一基板上の他の配線との間の電界が発生し、その電界方向の誘電率が低下する。このため、データ保持回路3の上の媒体の誘電率は、データ保持回路3の動作時に小さくなり、その結果、データ保持回路3の容量に付随する寄生容量が小さくなる。

30

【0035】

次に、本発明の第5実施形態について説明する。上述の第3実施形態において、第2の支持基板2のデータ保持回路3側の面のデータ保持回路3に対向する領域に非導電体による遮光膜6が設けられており、第1の支持基板と第2の支持基板との間には、データ保持回路3、表示部4、スペーサ5及び非導電体による遮光膜6しか存在しなかったのに対し、本実施形態においては、それに加えて、第4実施形態と同様に、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に、周波数に応じ誘電率及び誘電異方性が変化する媒体が存在するように構成されている点が異なり、それ以外は同様の構造である。

40

【0036】

このように構成された表示装置においては、上述の第3実施形態と同様に、データ保持回路3の領域に第2の支持基板2側から光が照射されても、光リーク電流等の悪影響を生じにくい。また、万が一、光リーク電流が生じた場合でも、その電流の大きさは遮光膜6が存在しないときよりもはるかに小さい。同時に、遮光膜6が非導電体から形成されているため、データ保持回路3の容量に付随する寄生容量が小さく、その結果、データ保持回路3の容量とデータ保持回路3の容量に付随する寄生容量の比を一定にした場合、データ保持回路3の容量を小さくすることができる。また、データ保持回路3の容量を小さくできるため、データ保持回路3のレイアウトに必要な面積が小さい。

【0037】

50

また、上述の第4実施形態と同様に、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に備える媒体に、クロスオーバー周波数が数MHzである2周波駆動液晶を選択することにより、データ保持回路3の容量に付随する寄生容量を小さくすることができる。

【0038】

次に、本発明の第6実施形態について説明する。図5(a)は、本発明の第6実施形態に係る表示装置を示す斜視図、図5(b)は、図5(a)のA-A'線に沿った断面図である。図5において、図1乃至3と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第5実施形態において、第2の支持基板2のデータ保持回路3側の面のデータ保持回路3に対向する領域に非導電体による遮光膜6が設けられていたのに対し、本実施形態においては、非導電体による遮光膜6ではなく導電体膜7が設けられている点
10

【0039】

このように構成された表示装置において、第1の支持基板1の上に設けられたデータ保持回路3と第2の支持基板2の上に設けられた導電体膜7との間に電界が生じる場合、クロスオーバー周波数が数MHzである2周波駆動液晶が設けられていることによって、データ保持回路3へのアクセス信号が例えば1MHz以上の場合には、電界方向の誘電率が小さくなる。その結果、データ保持回路3の容量に付随する寄生容量を小さくすることができる。

【0040】

次に、本発明の第7実施形態について説明する。本実施形態においては、上述の第4乃至7実施形態で使用される周波数に応じ誘電率及び誘電異方性が変化する媒体が、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間だけでなく、表示部4を覆うように第1の支持基板1と第2の支持基板2との間に設けられ、この媒体が表示部4の表示媒体を兼ねる構造となっている。この媒体は、上述の2周波駆動液晶を使用すること
20

【0041】

表示部4の駆動周波数は一般的に数十乃至数百Hzであり、2周波駆動液晶は誘電率が高く、誘電異方性が例えば正であり、且つその値が大きい特性を有する領域である。一方、データ保持回路3のアクセス信号は上述のように例えば1MHz以上であり、2周波駆動液晶の誘電率が低い領域である。このため、本発明の表示装置の動作時は、表示部4では高い誘電異方性により平均的に高い誘電率となっている一方、データ保持回路3の近辺では誘電率が小さくなっている。これにより、高い誘電異方性により表示信号に対し十分な応答が得られると共に、データ保持回路3では低い誘電率のためデータ保持回路3の容量に付随する寄生容量が小さくなっている。この結果、本実施形態の表示装置によって良好な表示を安定して得ることができる。

【0042】

次に、本発明の第8実施形態について説明する。図6(a)は、本発明の第8実施形態に係る表示装置を示す斜視図、図6(b)は、図6(a)のA-A'線に沿った断面図である。図6において、図1乃至5と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第6実施形態において、第2の支持基板2のデータ保持回路3側の面のデータ保持回路3に対向する領域に導電体膜7が設けられていたのに対し、本実施形態においては、第2の支持基板2のデータ保持回路3と対向する面のデータ保持回路3に対向する領域ではなく、第2の支持基板2の第1の支持基板と対向する面の反対側の面の全面に導電体膜8が設けられている点
40

【0043】

このように設けられる導電体膜8としては、例えば、タッチパネルのセンサ用途の導電体膜又はIPS(In-Place-Switching)方式の表示モード等で外部の電界の影響を表示部に与えないために使用される導電体膜等を使用することが好ましい。

【0044】

10

20

30

40

50

本実施形態においては、第2の支持基板2の第1の支持基板と対向する面の反対側の面の全面に上述のような導電体膜8が設けられていても、第2の支持基板2の厚みが存在するために、データ保持回路3の容量に付随する寄生容量を小さく抑えることが可能である。

【0045】

次に、本発明の第9実施形態について説明する。本発明の第9実施形態は、第1乃至8実施形態の表示装置の容量（図示せず）を有するデータ保持回路3に、2つのノード間の電位の大小を増幅してラッチするセンスアンプ回路を設けるというものである。センスアンプ回路を使用することで、データ保存手段3の容量に蓄積されたデータを容易に読み出すことが可能になる。

【0046】

図7は、センスアンプ付メモリセルアレイ121の1ビット線分の回路図の一例、図8は、メモリの構成の一例を示す図である。この回路は、ビット線対（XB、B）、2本のビット線に交互に接続された240個のメモリセル161、プリチャージ回路162、センスアンプ回路160等によって構成されている。データ書き込み時、データ線163のデータは、列デコーダ123からの信号で選択されたビット線対（XB、B）に書き込まれる。ビット線対（XB、B）に書き込まれたデータは、選択されたワード線（図示例では、W[239]、W[118]、W[1]、W[0]）のメモリセル161に書き込まれる。一方、データ読み出し時には、選択されたワード線のデータがビット線対（XB、B）に読み出され、センスアンプ回路160で増幅され、出力レジスタ側に出力される。

【0047】

図7に示すようなビット線対（XB、B）間に容量によるデータ保持回路（メモリセル161）が配置される場合、ビット線対の寄生容量とセンスアンプ回路160の動作に関して次のような関係を導くことができる。まず、読み出し時にデータ保持回路（メモリセル161）の容量に保持されたデータはビット線対に読み出されるが、そのとき、信号を増幅し得るべき電圧値を V_{DD} 、データ保持回路の容量を C_s 、ビット線対の寄生容量を C_b とすると、読み出される電圧 ΔV は、下記数式1によって与えられる。

【0048】

【数1】

$$|\Delta V| = \frac{C_s}{2 \cdot (C_s + C_b)} \cdot V_{DD}$$

【0049】

このビット線対に読み出される電圧 ΔV がセンスアンプ回路160の感度 S_A より大きいとき、図7に示すようなビット線回路が正常に動作する。ここで、センスアンプ160の感度 S_A とは、センスアンプ回路160が誤動作するかしないかの境界であり、電圧値で与える場合、この値が小さいほど感度が良いことになる。これより、データ保持回路の容量 C_s と、ビット線対の寄生容量 C_b の間に下記数式2に示す関係が得られる。

【0050】

【数2】

$$C_s > \frac{2 \cdot S_A}{V_{DD} - 2 \cdot S_A}$$

【0051】

即ち、ビット線対の寄生容量 C_b が大きくなると、データ保持回路の容量 C_s を大きくする必要があり、ビット線対の寄生容量 C_b が小さくなると、データ保持回路の容量 C_s を小さくすることができる。

【0052】

図8は、メモリの構成を示す図である。フレームメモリのコア部分は、センスアンプ付メモリセルアレイ121、行デコーダ122及び列デコーダ123から構成される。セン

10

20

30

40

50

スアンプ付メモリセルアレイ 1 2 1 は、行デコーダ 1 2 2 によって行アドレスを、列デコーダ 1 2 3 によって列アドレスを指定することによって特定のメモリセルにアクセスすることが可能である。また、メモリセルから読み出されたデータ信号は、センスアンプを介してデータ出力される。上述のフレームメモリ回路が、ガラス基板 1 2 0 上に形成されている。

【 0 0 5 3 】

次に、本発明の第 1 0 実施形態について説明する。図 9 乃至 1 0 は、本実施形態のビット線回路の構成を示すブロック図である。図示の便宜上、2 つの図に分割しているが、図 9 (D R A M 回路図上部) 及び図 1 0 (D R A M 回路図下部) に示した点 J 同士、点 K 同士を接続することにより、1 つのビット線回路が構成される。

10

【 0 0 5 4 】

本実施形態のビット線回路は、上述の第 9 実施形態において、容量 (図示せず) を有するデータ保持回路 3 に、2 つのノード間の電位の大小を増幅してラッチするセンスアンプ回路が 1 つ設けられていたのに対し、本実施形態では、センスアンプ回路が 2 段構成、即ちノード間の電位差を比較的小さな振幅値まで増幅する第 1 の回路である小振幅プリアンプ回路 4 9 0 2 及び小振幅プリアンプ回路によって得られた電位差を本来必要とされる振幅値まで増幅する第 2 の回路であるフルスイングアンプ回路 4 9 0 3 によって構成される。

【 0 0 5 5 】

小振幅プリアンプ回路 4 9 0 2 を形成する素子 (4 9 0 1 a 及び 4 9 0 1 b) にフルスイング時の電圧がかからないようにするため、フルスイングアンプ回路 4 9 0 3 を動作させる前にスイッチ M 0 3 及び M 0 4 をオフにして小振幅プリアンプ回路 4 9 0 2 をビット線から切り離す。このように、小振幅プリアンプ回路 4 9 0 2 とフルスイングアンプ回路 4 9 0 3 とで構成し、フルスイングアンプ回路 4 9 0 3 で増幅された高い電圧、即ち最終的に必要とされる出力電圧が小振幅プリアンプ回路 4 9 0 2 に印加されないよう駆動しているため、小振幅プリアンプ回路 4 9 0 2 を構成する素子に印加される電圧が低く抑えられる。

20

【 0 0 5 6 】

更に、本実施形態では小振幅プリアンプ回路 4 9 0 2 とフルスイングアンプ回路 4 9 0 3 の 2 段構成とするため、センスアンプの感度を良くできる。通常は、フルスイングアンプ回路 4 9 0 3 の感度で S_A が決定されるが、本実施形態では小振幅プリアンプ回路 4 9 0 2 を有することによりフルスイングアンプ回路 4 9 0 3 の感度より小さい値の感度が S_A となる。すなわち、本実施の形態では、数式 2 において S_A の値が小さくなり、データ保持回路の容量 C_s を第 9 実施形態より小さくすることが可能である。このように、本実施形態は、2 段構成のセンスアンプ回路の効果によりビット線対の寄生容量 C_b を小さくできるとともに、第 2 の支持基板 2 との容量が小さく抑えられるため、データ保持回路 3 の容量に付随する寄生容量を小さくできる。

30

【 0 0 5 7 】

次に、本発明の第 1 1 実施形態について説明する。本実施形態においては、データ保持回路 3 と表示部 4 を有する第 1 の支持基板 1 の上に、駆動回路が設けられる。また、データ保持回路 3 の容量を構成する誘電体と、表示部 4 の画素の蓄積容量を形成する誘電体とは、駆動回路を形成するトランジスタのゲート絶縁膜と同じ膜で形成される。これにより、データ保持回路 3 の容量を形成するために特別なプロセスを採用する必要がなく、このため、低コストで本発明の表示装置を形成することができる。

40

【 0 0 5 8 】

次に、本発明の第 1 2 実施形態について説明する。本実施形態は、第 1 乃至 1 1 実施形態において、データ保持回路 3 を読み出し動作のみでリフレッシュ可能なメモリセルを使用した D R A M (Dynamic Random Access Memory) としたものである。このとき、メモリセルは読み出し動作のみでリフレッシュ可能とするために、読み出しの繰り返し期間より長いリテンション時間 (保持期間、記憶期間) を有するメモリセルを使用する。また、メ

50

メモリセルのトランジスタの一部に両側 L D D (Lightly Doped Drain) 構造を使用することが好ましい。特に、メモリ容量に接続されるトランジスタに両側 L D D 構造を使用することが好ましい。これにより、メモリセルの容量のリテンション時間を長くすることができる。

【 0 0 5 9 】

本発明の第 1 2 実施形態によれば、従来の D R A M と異なり、リフレッシュ動作の回数を大きく低減することが可能である。例えば 1 6 . 7 ミリ秒に 1 回の読み出し動作の場合、1 6 . 7 ミリ秒に 1 回のリフレッシュ動作しか行われない。これによって、リフレッシュ動作に伴う消費電力が大きく削減され、低消費電力な表示装置が得られる。

【 0 0 6 0 】

また、トランジスタのソース側もドレイン側も L D D 構造とした両側 L D D 構造を用いることによってリーク電流を大きく抑えることができる。この結果、リテンション時間が長くなる。両側 L D D 構造の L D D の構成は単純な L D D 構造としてもよいし、ゲート電極が L D D 領域に重なっている G O L D (Gate Overlapped LDD) 構造としてもよい。

【 0 0 6 1 】

一例として、本発明のメモリセル、特に 1 トランジスタ 1 容量構造のメモリセルでの容量のリテンション時間の測定結果の一例を図 1 2 に示す。また、図 1 1 は、この測定に用いたメモリセルの構造を示す概略図である。このメモリセルは、1 トランジスタと 1 容量とで構成され、トランジスタのゲートにワード線が接続されている (このノードを N_w とする)。また、トランジスタのソース又はドレインの、容量と接続されない側にビット線が接続されている (このノードを N_b とする)。トランジスタと容量との間のノードを N_s とする。図 1 2 に示す測定では $N_w = 0 V$ とし、 $N_s = 5 V$ で $N_b = 0 V$ としたときの N_s の電圧、及び $N_s = 0 V$ で $N_b = 5 V$ としたときの N_s の電圧の時間変化を示す。図 1 2 から分かるように、この構造でのリテンション時間は、通常の実表示での読み出し時間 1 6 . 7 ミリ秒より十分に長い。この結果、読み出し部にのみリフレッシュされる機能があってもデータが保存可能である。

【 0 0 6 2 】

次に、本発明の第 1 3 実施形態について説明する。本実施形態は、上述の第 1 乃至 1 2 実施形態の実表示装置を使用した機器に関するものである。機器に使用される場合、表示装置の周囲に機器内の導電体層が配置されることがある。例えば、機器のケースの内部の一部又は全部が金属めっきされていたり、一部領域に電磁シールド用の薄い銅箔が使用されていたりする場合などである。この場合では、機器の実表示装置の周囲の導電体層とデータ保持回路 3 の容量との間の距離が、前記データ保持回路 3 の容量の誘電体の膜厚の 1 0 0 倍より大きいことが好ましい。また、1 0 0 0 倍大きいことがより好ましい。これにより、機器とデータ保持回路 3 の間の寄生容量を減らすことができ、回路面積を小さくすることが可能である。

【 0 0 6 3 】

次に、本発明の第 1 4 実施形態について説明する。本実施形態は、上述の第 1 乃至 1 2 実施形態の実表示装置を使用した機器に関するものである。機器の内壁と表示装置とを固定したり衝撃に対する緩衝力を与えたりするために、表示装置と機器との間に誘電体層が設けられることがある。即ち、この誘電体層は表示装置と機器とを固定する接着剤であり、又は、機器の内壁と表示装置との間の緩衝材である。この場合では、上述の誘電体層は 1 o w - k 材料を使用する。1 o w - k 材料とは、低誘電率材料のことであり、通常、低誘電率の基準としては、酸化シリコン膜 ($S i O_2$) の比誘電率より小さいものとされる。酸化シリコン膜の比誘電率は、石英結晶で 4 . 2 であり、通常のプラズマ C V D (Chemical Vapor Deposition) 成膜では 3 . 8 程度となる。このため、比誘電率が 4 より低いものを一般的に 1 o w - k 材料と呼ぶ。

【 0 0 6 4 】

このように構成された表示装置においては、機器とデータ保持回路 3 の間の寄生容量を減らすことができ、回路面積を小さくすることが可能である。

10

20

30

40

50

【 0 0 6 5 】

次に、本発明の第 1 5 実施形態について説明する。本実施形態は、上述の第 1 乃至第 1 2 実施形態の表示装置を使用した機器に関するものであり、本実施形態においては上述の第 1 4 実施形態において述べた誘電体層が low - k 材料ではなく、空気からなることを特徴とする。空気層の比誘電率は約 1 であり、極めて小さい。

【 0 0 6 6 】

このように構成された表示装置においては、機器とデータ保持回路 3 の間の寄生容量を減らすことができ、回路面積を小さくすることが可能である。

【 実施例 1 】

【 0 0 6 7 】

次に、本発明の第 1 実施例について説明する。本実施例では、本発明の第 3 実施形態に係る表示装置の第 1 の支持基板 1 をガラス基板とし、表示部 4 及びデータ保持回路 3 をポリシリコン(多結晶シリコン、poly - Si)の TFT アレイで作製した。

【 0 0 6 8 】

具体的には、第 1 の支持基板 1 としてのガラス基板上に酸化シリコン膜を形成した後、アモルファスシリコンを成長させた。次にエキシマレーザを使用してこのアモルファスシリコンをアニールしてポリシリコン化させ、更に 100 (10 nm) の酸化シリコン膜を成長させた。

【 0 0 6 9 】

ガラス基板上に上述の工程によって形成したシリコン膜を所望の形状にパターニングした後、フォトレジストをパターニングし、リンイオンをドーピングすることによりソースとドレイン領域とを形成した。更に、900 (90 nm) の酸化シリコン膜を成長させた後、マイクロクリスタルシリコン(μ -c-Si)とタンゲステンシリサイド(WSi)を成長させ、ゲート形状にパターニングした。

【 0 0 7 0 】

酸化シリコン膜と窒化シリコン膜を連続成長させた後、コンタクト用の穴をあけ、アルミニウム膜とチタン膜とをスパッタで形成し、これをパターニングした。窒化シリコン膜を形成し、コンタクト用の穴をあけ、画素電極用に透明電極であるITO(Indium Tin Oxide: 酸化インジウム)を形成しパターニングした。このようにしてプレーナ型の TFT 画素スイッチを形成し、TFT アレイを形成した。

【 0 0 7 1 】

周辺回路部は、上述の画素スイッチの形成方法と同様に n チャンネル TFT と共に、n チャンネル TFT とほぼ同様の形成方法でイオンドーピングによって p チャンネルとした p チャンネル TFT とを作りこんだ。

【 0 0 7 2 】

データ保持回路 3 は TFT で形成された DRAM とし、1 つのメモリセルは 1 つのトランジスタと 1 つの容量とで形成した。このメモリセルは、ビット線とワード線に接続される。このようなメモリセルを二つのビット線間に交互に配置することで、ビット線対とメモリセルとで構成されるメモリセルアレイを形成した。

【 0 0 7 3 】

以上の工程によって形成された TFT 基板上の表示部 4 のデータ保持回路 3 に最も近い辺とその対向する辺とに、これらの辺に沿うようにパターニングされた 4 μ m の柱を形成し、セルギャップを保つためのスペーサ 5 として使用すると同時に耐衝撃力を有するようにした。

【 0 0 7 4 】

また、第 2 の支持基板 2 において、TFT 基板と対向させたときに画素領域部 4 と対向する領域にITOをパターニングし、DRAM部(データ保持回路 3)と対向する領域には非導電体の光吸収性樹脂による遮光膜 6 を設け、同一の面のそれ以外の領域には紫外線硬化用のシール材を塗布した。

【 0 0 7 5 】

TFT基板の表示部4に液晶をディスペンサで滴下し、TFT基板と第2の支持基板2とを合わせ、シール部に紫外線を照射して接着した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、TN(Twisted Nematic)型とした。

【0076】

本実施例では、ポリシリコン膜の形成にエキシマレーザを用いたが、他のレーザ、例えば、連続発振するCW(Continuous Wave Oscillation)レーザ等を使用してもよい。

【実施例2】

【0077】

次に、本発明の第2実施例について説明する。本実施例では、本発明の第1実施形態に係る表示装置の第1の支持基板1をガラス基板とし、表示部4及びデータ保持回路3をポリシリコン(多結晶シリコン、poly-Si)のTFTアレイで作製した。

【0078】

本実施形態は、第2の支持基板2がDRAM部(データ保持回路3)の上には存在しない構造である。第2の支持基板2をTFT基板と対向させるとき、画素領域部4に対向する領域にITOをパターンニングし、またこの面の画素領域部4の周辺部に対向する領域に4 μ mの樹脂スペーサを形成した。

【0079】

実施例1と同様の工程によって形成されたTFT基板の画素領域部4の外周には熱硬化用のシール材を塗布した。

【0080】

TFT基板と第2の支持基板2とを熱印加により接着した後、樹脂スペーサ5によって設けられている隙間に液晶を注入した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、TN型とした。

【0081】

上述の実施例2と比較する目的で、TFT基板のDRAM部(データ保持回路3)に対向する領域にITOを有する第2の支持基板2が存在する構成の表示装置を作製した。これを比較例1とする。なお、比較例1と本発明の実施例2では、データ保持回路3の容量は各々最適化した。

【0082】

本発明の実施例2と比較例1とを比較すると、ビット線1ミクロン当たりの寄生容量は、比較例1で0.30fFに対し、実施例2では0.25fFと16%減少している。この効果により、メモリセルアレイ部のレイアウト長さWは、比較例1で4.4mmであったのに対し、実施例2では2.3mmと大きく減少した。減少率は、47%を超える。

【0083】

寄生容量の差以上にメモリセルアレイ部のレイアウト長さが異なるのは、寄生容量が大きいと必要なメモリセルの容量が大きく、ビット線の長さが長くなり、ビット線の長さが長くなるとビット線全体での寄生容量が増え、必要なメモリセルの容量が大きくなる、という関係を有するため、設計においてビット線1ミクロン当たりの寄生容量、ビット線長及びメモリセルの容量をパラメータとし、最適化することで、メモリセルアレイ部のレイアウト長さが決定されるためである。このような最適化の結果、上述のように、実施例2と比較例1とではメモリセルアレイ部のレイアウト長さに大きな差が生じた。

【実施例3】

【0084】

次に、本発明の第3実施例について説明する。上述の実施例1において、第2の支持基板2のTFT基板と対向する面の反対側の面には膜が設けられていなかったのに対し、本実施例においては、第2の支持基板2のTFT基板側の面の反対側の面に導電体膜8が設けられている点異なり、それ以外は同様の構造である。このような構成であっても、本実施例の表示装置は上述の比較例1と比較して小さな回路面積が得られた。

【0085】

ここで、第2の支持基板2に設けられている導電体膜7又は8（データ保持回路3側の面に設けられているかデータ保持回路3側の面の反対側の面に設けられているかを問わない）とDRAM部（データ保持回路3）との距離を d 、DRAM部（データ保持回路3）の容量の誘電体膜の膜厚を t として、図13に比較例1のDRAM部（データ保持回路3）の回路面積と本発明のDRAM部（データ保持回路3）の回路面積の比と、上述の d と t の比が満たすべき関係を示す。

【0086】

図13から分かるように、DRAM部（データ保持回路3）の容量の誘電体膜の膜厚 t に比べて、第2の支持基板2に設けられている導電体膜6又は7とDRAM部（データ保持回路3）との距離 d が大きくなるにつれて、DRAM部（データ保持回路3）の回路面積を小さくすることができる。特に、 $t:d$ が1:100を超えると、DRAM部（データ保持回路3）の回路面積を比較例1の3/4以下にすることが可能であり、更に $t:d$ が1:1000を超えると、回路面積の縮小がほぼ飽和するため、最も回路面積を小さくする構成が可能である。

10

【0087】

即ち、例えばDRAM部（データ保持回路3）の容量の誘電体膜厚が200nmのときは、第2の支持基板2の導電体膜7又は8との距離を200 μ m以上とすると最小の回路面積が実現できる。また、DRAM部（データ保持回路3）の容量の誘電体膜厚が50nmのときは、第2の支持基板2の導電体膜7又は8との距離を50 μ m以上とすると最小の回路面積が実現できる。

20

【0088】

第2の支持基板2として薄い基板を使用した場合、例えばその基板厚が50 μ mより薄いとき、最小の回路面積を実現したい場合にはDRAM部（データ保持回路3）の容量の誘電体膜厚を50nmより薄くするとよい。このような薄い基板は、例えば、ガラス基板の研磨、フッ酸等の薬液処理及びレーザーアブレーションによる剥離等によって得られる。また、プラスチック基板を使用してもよい。

【0089】

一方、DRAM部（データ保持回路3）の容量の誘電体膜厚が例えば200nmの場合は、本発明の表示装置を機器内に設置する場合に、DRAM部（データ保持回路3）と機器の構造物との間に200 μ m以上の空間を設け、この空間に導電体を介在させないことで、回路面積を最小にすることができる。

30

【実施例4】

【0090】

次に、本発明の第4実施例について説明する。本実施例では、本発明の第1実施形態に基づき2段構成のセンスアンプを使用する第9実施形態を実施した。TFT基板の形成方法は、上述の実施例1で説明した方法と同様である。以下、特にDRAM部（データ保持回路3）の回路の構成とその動作を説明する。

【0091】

本実施例のビット線回路の構成について図9及び図10を参照して説明する。図示の便宜上、2つの図に分割しているが、図9（DRAM回路図上部）及び図10（DRAM回路図下部）に示した点J同士、点K同士を接続することにより、1つのビット線回路が構成される。

40

【0092】

第1の回路、即ち小振幅プリアンプ回路4902と、第2の回路、即ちフルスイングアンプ回路4903とがビット線対に接続される。ビット線ODDにはワードアドレスが奇数の場合に選択されるメモリセルが接続される。一例としてNチャネルのMOS（Metal Oxide Semiconductor）型トランジスタM12と容量C2とで構成されるメモリセル5303がWL_ODDで選択されるセルとして図中に示されている。同様に、ビット線EVNにはワードアドレスが偶数の場合に選択されるメモリセルが接続される。一例としてNチャネルのMOS型トランジスタM13と容量C1とで構成されるメモリセル5304が

50

ワード線 WL_EVN で選択されるセルとして図中に示されている。それ以外の複数のメモリセルは省略されている。

【0093】

更に、ビット線対には N チャンネルの MOS 型トランジスタ $M14$ 乃至 16 で構成されるプリチャージ回路 5302 が接続され、 PC ノードに与える信号でこれらの MOS 型トランジスタのオン・オフが制御される。 PCS には $V_{DD1}/2$ が与えられており、制御線 PC にハイレベルが与えられたとき、ビット線対は $V_{DD1}/2$ に設定される。

【0094】

データ読み出し用に、ビット線 EVN には $MTG3A$ 、 $MXTG3A$ で構成されたトランスファゲートが接続され、これは制御線 $TG3A$ と $XTG3A$ ($TG3A$ と相補関係の信号が与えられる) でオン・オフする。また、ビット線 ODD には $MTG3B$ 、 $MXTG3B$ で構成されたトランスファゲートが接続され、これは制御線 $TG3B$ と $XTG3B$ でオン・オフする。これら2つのトランスファゲートはデータを OUT ノードに読み出す際に活性化される。読み出すメモリセルのワードアドレスが偶数か奇数かに応じていずれか一方のみのトランスファゲートがオンするよう制御される。

【0095】

データ書き込み用にビット線 EVN にはアナログスイッチ $MTG1A$ が接続され、これは制御線 $TG1A$ でオン・オフする。また、ビット線 ODD にはアナログスイッチ $MTG1B$ が接続され、これは制御線 $TG1B$ でオン・オフする。これら2つのアナログスイッチはデータを書き込む際に活性化される。書き込むメモリセルのワードアドレスが偶数か奇数かに応じてどちらか一方のみのアナログスイッチがオンするよう制御される。

【0096】

$MDRGT$ 及び $MXDRGT$ で構成されるトランスファゲートはカラムデコーダ (図示せず) でオン・オフが制御される。書き込み動作時で且つカラムアドレスがそのビット線回路に相当する場合 $DRGT$ がオンされ、データバスの信号をスイッチ $MTG1A$ 、 $MTG1B$ に転送し、どちらか一方のスイッチを経てビット線に書き込む。

【0097】

本実施例では電源電圧を V_{DD1} とした。また、小振幅プリアンプ回路 4902 及びフルスイングアンプ回路 4903 の SAN ノードは V_{SS} ($=0V$) に接続した。また、 SAP は V_{DD1} に接続した。メモリセル 5303 及び 5304 内の容量の MOS 型トランジスタに接続されない側の端子 V_{plate} は $V_{DD1}/2$ に接続して、容量端子間の電圧ストレスを最小限にした。図12には各ビット線の寄生容量として C_d を記載した。

【0098】

次に、図14を参照して本実施例の $DRAM$ 回路の動作について説明する。まず、メモリセル 5303 及び 5304 から OUT ノードにデータを読み出す場合の動作について説明する。

【0099】

A のタイミングで PC を立ち上げることで、プリチャージ回路 5302 によりビット線対 (ODD 、 EVN) は $V_{DD1}/2$ にプリチャージされる。ビット線対がプリチャージされた B のタイミングで PAS にハイレベルを与えスイッチ $M03$ 及び $M04$ をオンにする。すると、ノード A 及び B がこの $V_{DD1}/2$ にプリチャージされる。

【0100】

その後、 C のタイミングで1つのワード線に高電圧を与える。ここでは例として WL_EVN に高電圧を与える。これによりビット線 EVN には、メモリセル 5304 の $C1$ によって保持されていた電圧により ΔV の電圧が読み出される。この $C1$ によって保持されていた電圧が V_{DD} の場合は、 $V_{DD1}/2 + |\Delta V|$ の電圧、 $C1$ によって保持されていた電圧が 0 の場合は、 $V_{DD1}/2 - |\Delta V|$ の電圧がビット線 EVN に現れる。 $|\Delta V|$ の値は上述の数式1で示される値である。

【0101】

以下、メモリセル 5304 の $C1$ によって保持されていた電圧が V_{DD1} であり、 WL

10

20

30

40

50

— E V Nに高電圧を与えたとき、ビット線 E V Nに $V_{DD1} / 2 + |\Delta V|$ の電圧が現れた場合について説明する。

【0102】

Dのタイミングで、SE3にハイレベルを与えることで小振幅プリアンプ回路4902が増幅・ラッチ動作を開始する。E V Nの電圧が $V_{DD1} / 2 + |\Delta V|$ 、O D Dの電圧が $V_{DD1} / 2$ であるため、小振幅プリアンプ回路4902のセンス動作によりO D Dの電圧は V_{SS} (= 0 V) まで引き下げられる。一方、E V Nの電圧はほとんど下がらず、たとえば $(V_{DD1} / 2) - \beta$ 程度となる。ここで β は、 $V_{DD1} / 2$ と、電圧が高いほうのノードが安定した電圧との差を示す。

【0103】

小振幅プリアンプ回路4902によって、E V NとO D Dの電位差 ΔV が所望の電位差に増幅され、ビット線対 (O D D、E V N) に書き込みが完了すれば、Eで示すようにP A Sをロウレベルとして、スイッチM03、M04をオフにして小振幅プリアンプ回路4902をビット線対から切り離す。

【0104】

その後、小振幅プリアンプ回路4902にはM01及びM02のボディ電位をリセットするためのボディ電位リセットパルスが与えられる。

【0105】

一方、小振幅プリアンプ回路4902で増幅されてビット線対に保持されている電圧 (0、 $(V_{DD1} / 2) - \beta$) はタイミングFにおいて、フルスイングアンプ回路4903によって (0、 V_{DD1}) に増幅される。

【0106】

電源電圧まで増幅された信号はM T G 3 A等で構成されるトランスファゲートをオンすることでO U Tノードに読み出される。

【0107】

ここまでの1周期の動作であり、再び読み出すか又は書き込む場合はビット線のプリチャージに動作を戻す。

【0108】

ここではO U Tノードにデータを読み出す動作を説明したが、このときメモリセル5303及び5304のリフレッシュ動作も同時に行われている。即ち、SE1及びSE2によってフルスイングアンプ回路4903がFのタイミングで活性化される際、ワード線 (ここではW L _ E V N) はハイレベルが与えられているので、電源電圧まで増幅されたビット線の信号はそのままメモリセル (ここでは5304) に書き込まれ、メモリセルのデータはリフレッシュされる。

【0109】

次に、データバスからメモリセル5304内の容量C1に0 Vを書き込む際の動作について説明する。

【0110】

AのタイミングからFのタイミング及び小振幅プリアンプ回路4902にボディ電位リセットパルスが与える駆動は、上述のメモリセル5303及び5304からO U Tノードにデータを読み出す場合の動作と同様であるので、ここではFのタイミング以降について説明する。

【0111】

GのタイミングでM T G 1 Aをオンにする。このときカラムデコーダ (図示せず) によってM D R G T等で構成されるトランスファゲートはオンにされており、また、W L _ E V NによりM13がオンにされているので、データバスからビット線E V N、M13のバスでデータバスに現れている0 Vを容量C1に書き込むことができる。このとき、フルスイングアンプ4903はラッチ状態であるが、データバス、M D R G T等で構成されるトランスファゲート及びM T G 1 Aのインピーダンスが十分低く、ラッチ状態を反転させることが可能であり、これによってデータを書き込む。

10

20

30

40

50

【 0 1 1 2 】

ここまでが 1 周期の動作であり、再び読み出すか又は書き込む場合はビット線のプリチャージに動作を戻す。

【 0 1 1 3 】

ボディ電位リセット動作を行うことでラッチ型センスアンプ回路の感度が高くなり、 ΔV の絶対値が小さい場合であっても誤動作せず安定した読み出し動作が可能となった。そのため、1組のビット線対に接続可能なメモリセル数を増やすことが可能となり、単位面積あたりのメモリ容量（メモリセルの容量値ではなく、メモリできる情報量）を向上させることが可能になる。

【 0 1 1 4 】

なお、電源投入後はメモリセルへの書き込み動作が、メモリセルからの読み出し動作より先に行われる。この書き込み動作時に小振幅ブリアンプ回路 4 9 0 2 の MOS 型トランジスタ 4 9 0 1 a 及び 4 9 0 1 b にボディ電位リセットパルスが与えられるので、電源投入後最初の読み出しであってもラッチ型センスアンプの誤動作を避けることができる。

【 0 1 1 5 】

更に、センスアンプが 2 段構成であるため、ラッチ型センスアンプ回路全体の感度が向上し、 ΔV の絶対値が小さい場合であっても安定した読み出し動作が可能となった。そのため、1組のビット線対に接続可能なメモリセル数を増やすことが可能となり、単位面積あたりのメモリ容量を向上させることが可能となる。

【 0 1 1 6 】

更に、第 2 の支持基板 2 とのこれらの容量との間の寄生容量が存在しないため、DRAM 部（データ保持回路 3）の容量に付随する寄生容量を大きく減らすことができる。その結果、メモリセル内の容量のサイズを小さくすることができ、1組のビット線対に接続可能なメモリセル数を増やすことが可能となり、よって、単位面積あたりのメモリ容量を向上させることが可能となる。

【 0 1 1 7 】

上述の実施例では、本発明を判りやすく説明するために、データ保持回路 3 として DRAM を使用しているが、他の容量を使用するデータ保持回路であってもよい。また、その容量の構造は、基板面に垂直な方向に 2 つの電極を有する構成であってもよいし、基板面に平行な方向に 2 つの電極を有する構成であってもよい。

【 0 1 1 8 】

上記の実施形態及びその変形例の一部又は全部は、以下の付記のようにも記載され得るが、以下には限られない。

【 0 1 1 9 】

[付記 1]

容量を有するデータ保持回路と、複数の画素電極を有する表示部とが一の第 1 支持基板上に形成された表示装置において、前記表示部の上方には前記第 1 支持基板に対向する第 2 支持基板が設けられているが、前記データ保持回路が配置された領域の上方には対向基板が存在しないことを特徴とする表示装置。

【 0 1 2 0 】

[付記 2]

容量を有するデータ保持回路と、複数の画素電極を有する表示部とが一の第 1 支持基板上に形成された表示装置において、前記第 1 支持基板と対向する第 2 支持基板が設けられており、前記第 2 支持基板における前記第 1 支持基板側の面には、前記データ保持回路に対向する領域に、導電膜が存在しないことを特徴とする表示装置。

【 0 1 2 1 】

[付記 3]

前記第 2 支持基板における前記第 1 支持基板側の面の前記データ保持回路に対向する領域には、非導電体で形成された遮光膜が設けられていることを特徴とする付記 2 に記載の表示装置。

10

20

30

40

50

【 0 1 2 2 】

[付記 4]

容量を有するデータ保持回路と、複数の画素電極を有する表示部とが一の第 1 支持基板上に形成された表示装置において、前記第 1 支持基板と対向する第 2 支持基板が設けられており、前記第 1 支持基板の前記データ保持回路が設けられた領域と前記第 2 支持基板との間に周波数に応じて誘電率及び誘電異方性が変化する媒体が挟持されていることを特徴とする表示装置。

【 0 1 2 3 】

[付記 5]

前記媒体は、前記表示部の表示媒体と同一材料であることを特徴とする付記 4 に記載の表示装置。

10

【 0 1 2 4 】

[付記 6]

前記周波数に応じて誘電率及び誘電異方性が変化する前記媒体は、周波数の上昇に伴い誘電率が小さくなる媒体であることを特徴とする付記 4 又は 5 に記載の表示装置。

【 0 1 2 5 】

[付記 7]

前記第 2 支持基板における前記第 1 支持基板側の面の前記データ保持回路に対向する領域には、導電膜が設けられていることを特徴とする付記 4 乃至 6 のいずれか 1 つに記載の表示装置。

20

【 0 1 2 6 】

[付記 8]

前記容量を有するデータ保持回路は、2つのノード間の電位の大小を増幅してラッチするセンスアンプ回路を有することを特徴とする付記 1 乃至 7 のいずれか 1 つに記載の表示装置。

【 0 1 2 7 】

[付記 9]

前記センスアンプ回路が、第 1 及び第 2 のラッチ回路を有し、前記第 1 及び第 2 のラッチ回路の少なくとも一方のラッチ回路と、前記 2 つのノードのいずれか一方との間に、信号伝達を可能又は不可能とする伝達制御部が設けられていることを特徴とする付記 8 に記載の表示装置。

30

【 0 1 2 8 】

[付記 10]

前記第 1 のラッチ回路の出力電圧振幅が、前記第 2 のラッチ回路の出力電圧振幅より小さいことを特徴とする付記 9 に記載の表示装置。

【 0 1 2 9 】

[付記 11]

前記データ保持回路内の容量の誘電体と、前記画素に設けられる蓄積容量の誘電体とが同一の膜で形成されていることを特徴とする付記 1 乃至 10 のいずれか 1 つに記載の表示装置。

40

【 0 1 3 0 】

[付記 12]

前記データ保持回路と前記表示部とが設けられた支持基板上に、前記表示部を駆動する駆動回路が設けられていることを特徴とする付記 1 乃至 10 のいずれか 1 つに記載の表示装置。

【 0 1 3 1 】

[付記 13]

前記データ保持回路内の容量の誘電体と、前記画素に設けられる蓄積容量の誘電体とが、前記駆動回路を構成するトランジスタの少なくとも 1 つのゲート酸化膜と同じ膜で形成されていることを特徴とする付記 12 に記載の表示装置。

50

【 0 1 3 2 】

[付記 1 4]

前記データ保持回路が読み出し動作のみでメモリセルをリフレッシュ可能な D R A M からなることを特徴とする付記 1 乃至 1 3 のいずれか 1 つに記載の表示装置。

【 0 1 3 3 】

[付記 1 5]

前記 D R A M 内のメモリセルのリテンション時間が読み出し動作の反復時間よりも長いことを特徴とする付記 1 4 に記載の表示装置。

【 0 1 3 4 】

[付記 1 6]

前記データ保持回路内の少なくとも 1 つのトランジスタのソース及びドレインが L D D 構造を有することを特徴とする付記 1 5 に記載の表示装置。

【 0 1 3 5 】

[付記 1 7]

付記 1 乃至 1 6 のいずれか 1 つに記載の表示装置を有する機器において、前記表示装置の周囲に導電層が配置され、前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 1 0 0 倍より大きいことを特徴とする機器。

【 0 1 3 6 】

[付記 1 8]

前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 1 0 0 0 倍より大きいことを特徴とする付記 1 7 に記載の機器。

【 0 1 3 7 】

[付記 1 9]

付記 1 乃至 1 6 のいずれか 1 つに記載の表示装置を有する機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が l o w - k 材料からなることを特徴とする機器。

【 0 1 3 8 】

[付記 2 0]

付記 1 乃至 1 6 のいずれか 1 つに記載の表示装置を有する機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が空気からなることを特徴とする機器。

【 符号の説明 】

【 0 1 3 9 】

- 1 ; 第 1 の支持基板
- 2 ; 第 2 の支持基板
- 3 ; データ保持回路
- 4 ; 表示部
- 5 ; スペース
- 6 ; 非導電体による遮光膜
- 7 ; 導電体膜
- 8 ; 導電体膜
- 1 0 1 ; 表示デバイス基板
- 1 0 2 ; コントローラ I C
- 1 0 3 ; コントローラ I C
- 1 0 4 ; システム側回路基板
- 1 0 5 ; ラッチ回路
- 1 0 6 ; デジタル・アナログ変換回路 (D A C 回路)
- 1 0 7 ; セレクタ回路

10

20

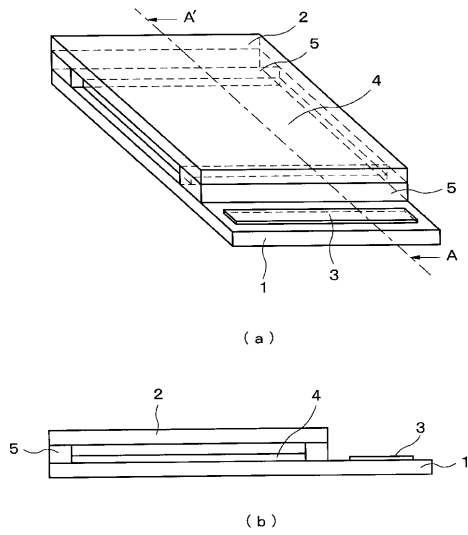
30

40

50

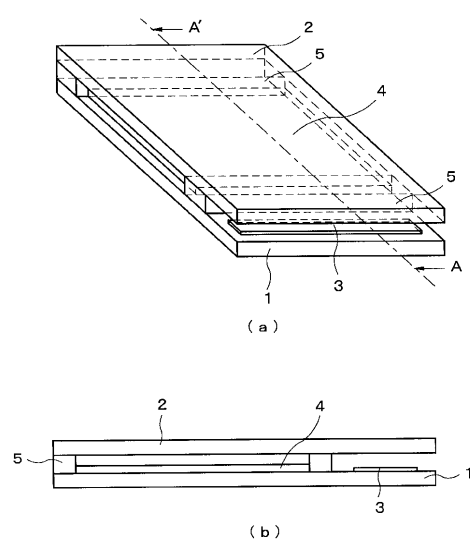
1 0 8	；レベルシフタ（Ｄビット）	
1 0 9	；行方向の走査回路（走査線（ゲート線）駆動回路）	
1 1 0	；Ｍ行Ｎ列アクティブマトリクス表示領域	
1 1 1	；メモリ	
1 1 2	；出力バッファ回路	
1 1 3	；コントローラ	
1 1 4	；インタフェース回路	
1 2 0	；ガラス基板	
1 2 1	；センスアンプ付メモリセルアレイ	
1 2 2	；行デコーダ	10
1 2 3	；列デコーダ	
1 6 0	；センスアンプ回路	
1 6 1	メモリセル	
1 6 2	プリチャージ回路	
1 6 3	；データ線	
3 5 0 1	；走査回路／データレジスタ	
3 5 0 2	；デジタル・アナログ変換回路（ＤＡＣ回路）	
3 5 0 3	；レベルシフタ	
3 5 0 4	；列方向の走査回路（データ線駆動回路）	
3 5 0 5	；アナログスイッチ	20
3 5 0 6	列方向の走査回路（データ線駆動回路）	
4 9 0 1 a	；ＭＯＳ型トランジスタ	
4 9 0 1 b	；ＭＯＳ型トランジスタ	
4 9 0 2	；小振幅プリアンプ回路	
4 9 0 3	；フルスイングアンプ回路	
4 9 0 4	；ステップ波形電圧印加部又は履歴抑制部、又は電圧印加部	
4 9 0 5 a	；伝達制御部	
4 9 0 5 b	；伝達制御部	
5 0 0 1	；第１の期間	
5 0 0 2	；第２の期間	30
5 3 0 1 a	；ビット線	
5 3 0 1 b	；ビット線	
5 3 0 2	；プリチャージ回路	
5 3 0 3	；メモリセル	
5 3 0 4	；メモリセル	
5 4 0 1	；電圧信号入力過程	
B	；Ｂノード	
X B	；ＸＢノード	

【図 1】



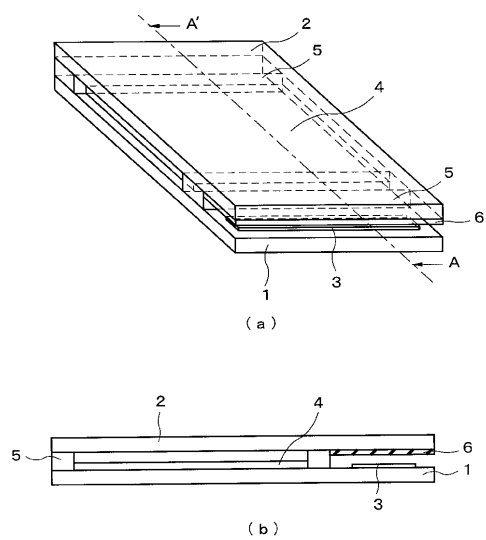
1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路
4: 表示部 5: スペース

【図 2】



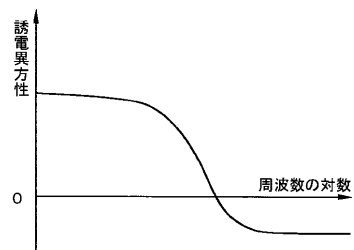
1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路
4: 表示部 5: スペース

【図 3】

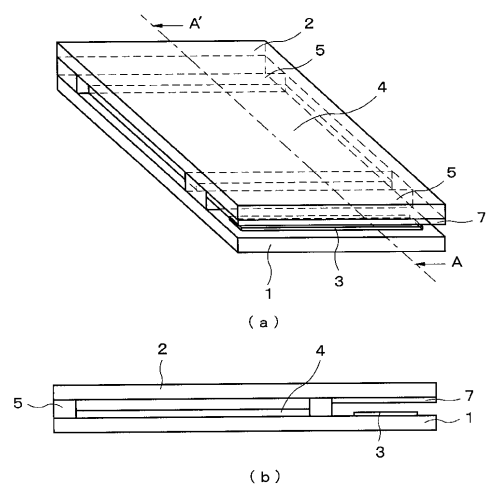


1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路
4: 表示部 5: スペース 6: 非導電体による遮光膜

【図 4】

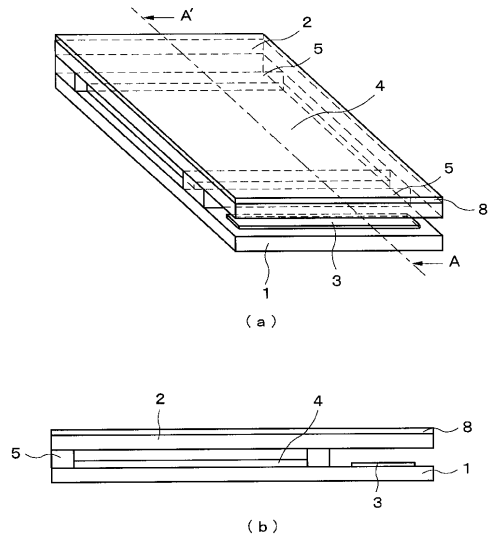


【図 5】



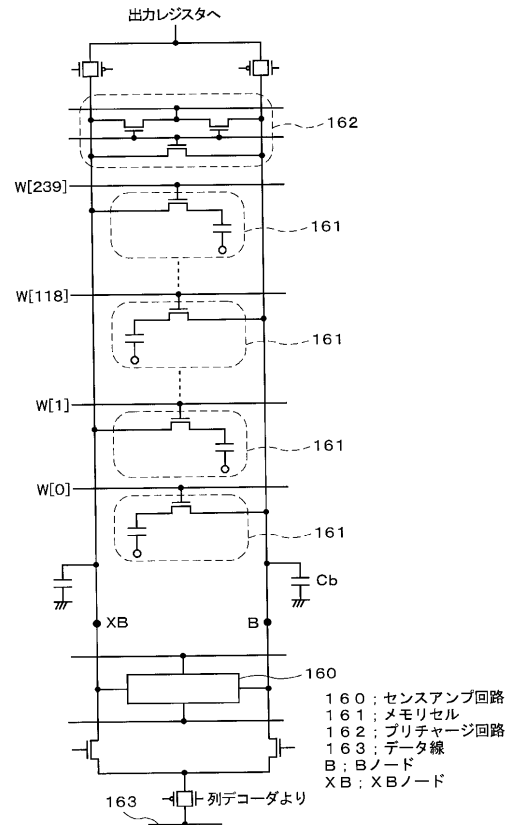
1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路
4: 表示部 5: スペース 7: 導電体膜

【図 6】

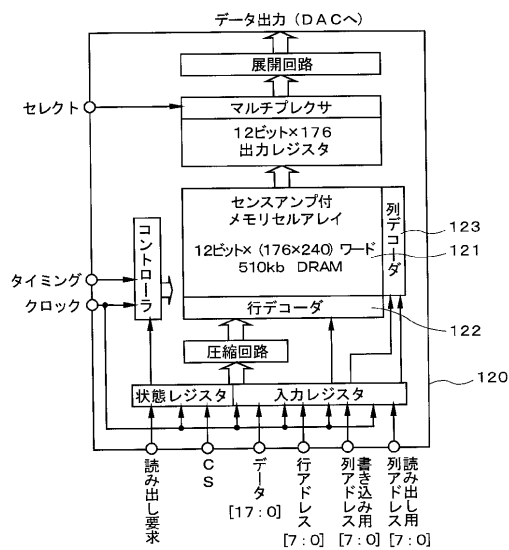


1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路
4: 表示部 5: スペース 8: 導電体膜

【図 7】

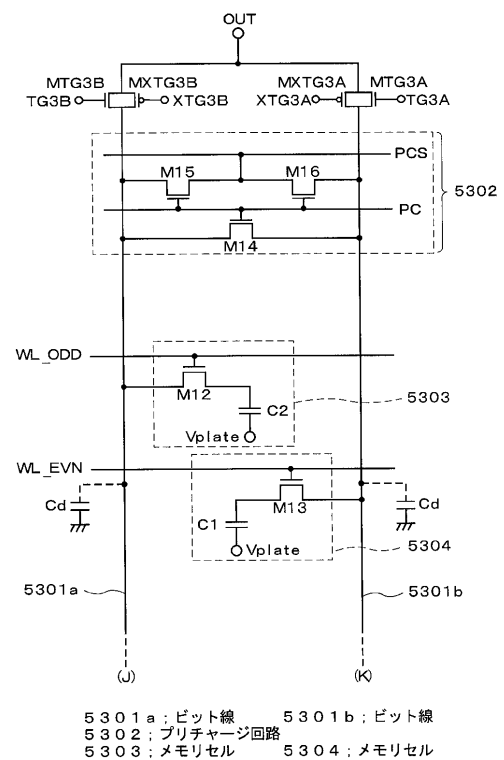


【図 8】

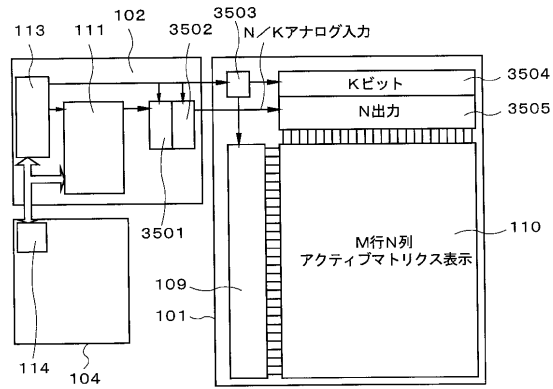


120: ガラス基板 121: センスアンプ付メモリセルアレイ
122: 行デコーダ 123: 列デコーダ

【図 9】

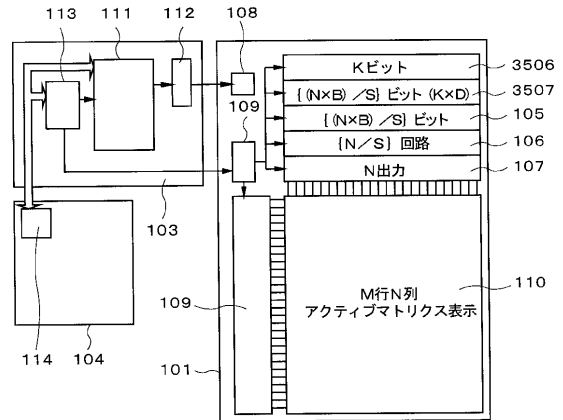


【図 15】



- 101: 表示デバイス基板 102: コントローラIC
 104: システム側回路基板
 109: 行方向の走査回路 (走査線 (ゲート線) 駆動回路)
 110: M行N列アクティブマトリクス表示領域 111: メモリ
 113: コントローラ 114: インタフェース回路
 3501: 走査回路/データレジスタ
 3502: デジタル・アナログ変換回路 (DAC回路)
 3503: レベルシフタ
 3504: 列方向の走査回路 (データ線駆動回路)
 3505: アナログスイッチ

【図 16】



- 101: 表示デバイス基板 103: コントローラIC
 104: システム側回路基板 105: ラッチ回路
 106: デジタル・アナログ変換回路 (DAC回路)
 107: セレクタ回路 108: レベルシフタ (Dビット)
 109: 行方向の走査回路 (走査線 (ゲート線) 駆動回路)
 110: M行N列アクティブマトリクス表示領域
 111: メモリ 112: 出力バッファ回路
 113: コントローラ 114: インタフェース回路
 3506: 列方向の走査回路 (データ線駆動回路)
 3507: データレジスタ

 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

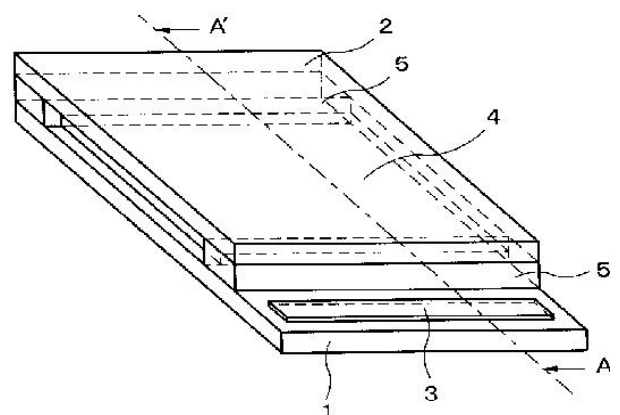
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 3 1 A
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 8 0 G
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 4 9 Z

F ターム(参考) 2H092 GA59 JA24 KA04 KB14 MA30 NA23 QA07
 2H193 ZA04 ZB53 ZC25 ZE06 ZF16 ZQ06
 5C006 AA16 AF01 BB16 BC16 BC20 BF02 BF50 EB05 FA41 FA47
 FA51
 5C080 AA10 BB05 DD22 DD25 DD26 DD27 EE29
 5C094 AA15 AA22 AA43 AA44 AA51 BA03 BA43 EA10 FB14 JA01

专利名称(译)	使用这些的显示设备和设备		
公开(公告)号	JP2012083784A	公开(公告)日	2012-04-26
申请号	JP2011284437	申请日	2011-12-26
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC公司 NLT科技有限公司		
[标]发明人	高取 憲一 芳賀 浩史		
发明人	高取 憲一 芳賀 浩史		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 G09F9/30		
FI分类号	G09G3/36 G02F1/133.555 G02F1/1368 G02F1/133.550 G09G3/20.611.A G09G3/20.621.M G09G3/20.631.A G09G3/20.641.C G09G3/20.680.G G09F9/30.338 G09F9/30.349.Z		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/KA04 2H092/KB14 2H092/MA30 2H092/NA23 2H092/QA07 2H193/ZA04 2H193/ZB53 2H193/ZC25 2H193/ZE06 2H193/ZF16 2H193/ZQ06 5C006/AA16 5C006/AF01 5C006/BB16 5C006/BC16 5C006/BC20 5C006/BF02 5C006/BF50 5C006/EB05 5C006/FA41 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD25 5C080/DD26 5C080/DD27 5C080/EE29 5C094/AA15 5C094/AA22 5C094/AA43 5C094/AA44 5C094/AA51 5C094/BA03 5C094/BA43 5C094/EA10 5C094/FB14 5C094/JA01 2H192/AA24 2H192/CB34 2H192/EA23 2H192/EA25 2H192/EA32 2H192/FA81 2H192/FB02 2H192/FB13 2H192/GA06 2H192/GD61 2H192/JA05 2H192/JA71 2H193/ZF44 2H193/ZF45		
代理人(译)	木村 充		
其他公开文献	JP5403469B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过在同一基板上形成控制器IC和接口电路，提供廉价的显示装置，允许小型化，具有小面积的电路，低功耗和存储器部件的高可靠性操作不管所有像素的显示数据是否以每一帧时间间隔高速串行传送到液晶模块并且不以高速传送的情况，作为显示装置基板，并提供一种使用该基板的装置。解决方案：显示装置包括具有电容的数据保持电路3和形成在第一支撑基板1上的具有多个像素的显示部分4。在显示装置中，像素分别包括像素电极，第二面对第一支撑基板1的支撑基板2放置在显示部分4上方，但是在设置数据保持电路3的区域上方不存在相对的基板。数据保持电路3包括能够刷新存储器单元的只读DRAM。



(a)