

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-47802

(P2012-47802A)

(43) 公開日 平成24年3月8日(2012.3.8)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H090
G02F 1/1337 (2006.01)	G02F 1/1337 505	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号	特願2010-187176 (P2010-187176)	(71) 出願人	000002185
(22) 出願日	平成22年8月24日 (2010.8.24)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	野口 幸治
			愛知県知多郡東浦町大字緒川字上舟木50
			番地 ソニーモバイルディスプレイ株式会社
			社内

最終頁に続く

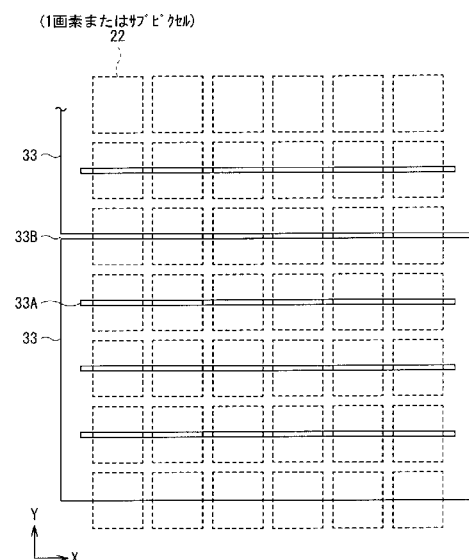
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】VA方式による液晶ディスプレイに適した効率のよい配向制御が可能であると共に、VA方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる表示装置を提供する。

【解決手段】第1の方向（例えば水平方向）に延在すると共に第2の方向（例えば垂直方向）に並列配置され、それぞれに駆動信号が印加される複数の駆動電極33を備える。隣接する2つの駆動電極33の間には第1の方向に延在するように電極間スリット33Bを形成する。また、複数の駆動電極33はそれぞれが、少なくとも有効表示領域内で第1の方向に設けられた電極内スリット33Aを有していても良い。電極内スリット33Aと電極間スリット33Bとをそれぞれ、画素電極22の中央に位置するように形成する。

【選択図】図5



【特許請求の範囲】**【請求項 1】**

第 1 の方向に有効表示領域よりも大きい長さで延在すると共に第 2 の方向に並列配置され、それぞれに駆動信号が印加される複数の駆動電極と、

前記第 1 の方向および前記第 2 の方向にマトリクス状に配置されると共に前記複数の駆動電極に対向配置され、それぞれに画像信号が印加される複数の画素電極と

を備え、

隣接する 2 つの前記駆動電極の間には前記第 1 の方向に延在するように電極間スリットが形成され、

前記電極間スリットが、前記画素電極の中央に位置している

表示装置。

10

【請求項 2】

前記複数の駆動電極のそれぞれの前記第 2 の方向の幅が、2 つ以上の前記画素電極の前記第 2 の方向の幅に対応する大きさとされ、

前記複数の駆動電極はそれぞれ、少なくとも前記有効表示領域内で前記第 1 の方向に設けられた 1 つ以上の電極内スリットをさらに有し、

前記電極内スリットと前記電極間スリットとがそれぞれ、前記第 1 の方向の 1 画素ラインごとに前記画素電極の中央に位置している

請求項 1 に記載の表示装置。

20

【請求項 3】

前記複数の画素電極に対して前記第 1 の方向の 1 画素ラインごとに走査信号を印加するゲートドライバと、

複数の駆動電極に前記駆動信号を印加する駆動電極ドライバとをさらに備え、

前記駆動電極ドライバは、前記ゲートドライバから前記電極間スリットに対応する位置の画素ラインに走査信号が印加されるときには前記電極間スリットに隣接する 2 つの駆動電極に同時に前記駆動信号を印加すると共に、前記電極間スリットに対応しない位置の画素ラインに走査信号が印加されるときには前記走査信号が印加される画素ラインに対応する 1 つの駆動電極にのみ前記駆動信号を印加する

請求項 2 に記載の表示装置。

30

【請求項 4】

前記電極内スリットは、前記第 1 の方向において前記複数の画素電極の間の位置では不連続となるスリット形状を有する

請求項 2 に記載の表示装置。

【請求項 5】

前記電極内スリットが、前記画素電極の中央において前記第 2 の方向にも設けられている

請求項 2 に記載の表示装置。

【請求項 6】

前記複数の駆動電極のそれぞれの前記第 2 の方向の幅が、1 つの前記画素電極の前記第 2 の方向の幅に対応する大きさとされ、

前記電極間スリットが、前記第 1 の方向の 1 画素ラインごとに前記画素電極の中央に位置している

請求項 1 に記載の表示装置。

40

【請求項 7】

前記複数の画素電極に対して前記第 1 の方向の 1 画素ラインごとに走査信号を印加するゲートドライバと、

複数の駆動電極に前記駆動信号を印加する駆動電極ドライバとをさらに備え、

前記駆動電極ドライバは、前記ゲートドライバから前記電極間スリットに対応する位置の画素ラインに走査信号が印加されるときに、前記電極間スリットに隣接する 2 つの駆動電極に同時に前記駆動信号を印加する

50

請求項 6 に記載の表示装置。

【請求項 8】

前記複数の画素電極および前記複数の画素電極に前記画像信号を供給する画像信号配線、ならびに前記複数の駆動電極に前記駆動信号を供給する駆動信号配線が形成された画素基板と、

前記画素基板に対向配置され、前記複数の駆動電極が形成された対向基板と、

前記対向基板と前記画素基板との間で、前記表示部における有効表示領域の外側に設けられ、前記複数の駆動電極と前記駆動信号配線とを導通するコンタクト部と

をさらに備えた請求項 1 または 2 に記載の表示装置。

【請求項 9】

前記第 2 の方向において、隣接する前記電極内スリット同士の間隔、または隣接する前記電極内スリットと前記電極間スリットとの間隔が、 $500\text{ }\mu\text{m}$ 以下である

請求項 2 に記載の表示装置。

【請求項 10】

前記第 2 の方向において、隣接する前記電極内スリット同士の間隔、または隣接する前記電極内スリットと前記電極間スリットとの間隔が、 $300\text{ }\mu\text{m}$ 以下である

請求項 6 に記載の表示装置。

【請求項 11】

前記複数の駆動電極と前記複数の画素電極との間に配置され、VA 方式で動作する液晶層をさらに備えた

請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、VA (Vertical Alignment、垂直配向) 方式、特に MVA (Multi-domain Vertical Alignment) 方式による液晶ディスプレイに好適な表示装置に関する。

【背景技術】

【0002】

従来より、垂直配向型液晶を用いた VA 方式による液晶ディスプレイが知られている。例えば特許文献 1 には、VA 方式による液晶ディスプレイにおいて、垂直配向型液晶を挟んで互に対向する画素電極と駆動電極（共通電極）とを配置し、それら画素電極と駆動電極との双方にスリット部を設けた構成例が開示されている。ここで、画素電極と駆動電極との双方において、スリット部は 1 画素単位で設けられている。駆動電極に設けられているスリット部は、例えば面内で水平方向に延在するようなものではなく、例えば面内の水平方向には不連続に形成されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2008 - 129193 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、駆動電極の構成例として、水平方向に延在し、垂直方向に分割された複数の駆動電極を用いるものが考えられる。このように分割された複数の駆動電極を用いる構成の場合、隣接する駆動電極間で水平方向にスリット状の隙間が空くことになる。このため、そのスリット状の隙間が形成された部分と駆動電極が形成されている部分との構造上の違いにより、液晶分子の配向状態に乱れが生ずる。その結果として、スリット状の隙間に対応する部分が、筋状の表示欠陥となって見えてしまう問題が発生する。

【0005】

本発明はかかる問題点に鑑みてなされたもので、その目的は、VA 方式による液晶ディ

10

20

30

40

50

スプレイに適した効率のよい配向制御が可能であると共に、V A方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明による表示装置は、第1の方向に有効表示領域よりも大きい長さで延在すると共に第2の方向に並列配置され、それぞれに駆動信号が印加される複数の駆動電極と、第1の方向および第2の方向にマトリクス状に配置されると共に複数の駆動電極に対向配置され、それぞれに画像信号が印加される複数の画素電極とを備えたものである。そして、隣接する2つの駆動電極の間には第1の方向に延在するように電極間スリットが形成され、電極間スリットが、画素電極の中央に位置しているものである。

10

【0007】

本発明の表示装置では、電極間スリットが、画素電極の中央に位置するように設けられていることで、例えば画素電極間にスリットを配置する場合に比べて、V A方式による液晶デバイスに適した効率のよい配向制御が可能となる。

【0008】

また、本発明の表示装置において、複数の駆動電極のそれぞれの第2の方向の幅が、2つ以上の画素電極の第2の方向の幅に対応する大きさとされ、複数の駆動電極はそれぞれ、少なくとも有効表示領域内で第1の方向に設けられた1つ以上の電極内スリットをさらに有し、電極内スリットと電極間スリットとがそれぞれ、第1の方向の1画素ラインごとに画素電極の中央に位置するようにしても良い。

20

【0009】

この場合、複数の駆動電極のそれぞれに、少なくとも有効表示領域内で第1の方向に電極内スリットが設けられると共に、隣接する2つの駆動電極の間に電極内スリットに対応する電極間スリットが形成されていることで、駆動電極が形成されている部分と、隣接する2つの駆動電極の間の部分との構造上の違いが少なくなる。

【発明の効果】

【0010】

本発明の表示装置によれば、さらに、電極内スリットと電極間スリットとがそれぞれ、画素電極の中央に位置するようにしたので、例えば画素電極間にスリットを配置する場合に比べて、V A方式による液晶ディスプレイに適した効率のよい配向制御を行うことが可能となる。

30

【0011】

また、複数の駆動電極のそれぞれの第2の方向の幅が、2つ以上の画素電極の第2の方向の幅に対応する大きさとされている場合に、複数の駆動電極のそれぞれに、少なくとも有効表示領域内で第1の方向に電極内スリットを設けるようにしたので、駆動電極が形成されている部分と、隣接する2つの駆動電極の間の部分との構造上の違いを少なくすることができる。結果として、V A方式による液晶ディスプレイに適用した場合における液晶分子の配向状態を表示領域全域に亘って均一にすることができる。これにより、V A方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる。

【図面の簡単な説明】

40

【0012】

【図1】本発明の第1の実施の形態に係る表示装置の一構成例を示す断面図である。

【図2】図1に示した表示装置における駆動回路の一構成例を示すブロック図である。

【図3】図1に示した表示装置における駆動電極の一構成例を示す平面図である。

【図4】(A)は図1に示した表示装置における駆動電極と画素基板との接続構造を示す平面図であり、(B)は駆動電極と画素基板との接続部分の要部断面図である。

【図5】図1に示した表示装置における駆動電極と画素電極との対応関係の一例を示す平面図である。

【図6】図1に示した表示装置における駆動電極の一構成例を表す斜視図である。

【図7】(A)は本発明の第1の実施の形態に係る表示装置において画素電極と駆動電極

50

との間に電位差がない状態における液晶分子の配向状態を示す要部断面図である。(B)は画素電極と駆動電極との間に電位差がある状態における液晶分子の配向状態を示す要部断面図である。

【図8】図7(B)に示した状態において生ずる画素電極と駆動電極との間の電気力線の一例を示す要部断面図である。

【図9】人間の視感度を示す特性図である。

【図10】図1に示した表示装置における駆動電極の具体的な設計例を示す平面図である。

【図11】具体例の測定環境を示す説明図である。

【図12】図1に示した表示装置において、駆動電極のスリットピッチを変えた場合のスリットの認識状態を測定した結果を示す説明図である。

【図13】駆動電極と画素電極との間の信号印加タイミングを説明するための平面図である。

【図14】(A),(B)は図13に示した構成における駆動電極の駆動タイミングの例を示すタイミングチャートであり、(C),(D),(E)は画素電極の走査タイミングの例を示すタイミングチャートである。

【図15】本発明の第2の実施の形態に係る表示装置における駆動電極の構造を示す平面図である。

【図16】(A),(B),(C)は図15に示した構成における駆動電極の駆動タイミングの例を示すタイミングチャートであり、(D),(E)は画素電極の走査タイミングの例を示すタイミングチャートである。

【図17】本発明の第3の実施の形態に係る表示装置における駆動電極の構造を示す平面図である。

【図18】本発明の第4の実施の形態に係る表示装置における駆動電極の構造を示す平面図である。

【図19】本発明の第4の実施の形態に係る表示装置における駆動電極および画素電極のサブピクセル単位の構造を示す平面図である。

【図20】図19に示した駆動電極および画素電極の要部を拡大して示す平面図である。

【図21】本発明の第5の実施の形態に係る表示装置における駆動電極および画素電極の構造を示す平面図である。

【図22】図21に示した駆動電極および画素電極の要部を拡大して示す平面図である。

【図23】比較例の表示装置における駆動電極の一構成例を示す平面図である。

【図24】(A)は図23に示した比較例の構成において画素電極と駆動電極との間に電位差がない状態における液晶分子の配向状態を示す要部断面図である。(B)は画素電極と駆動電極との間に電位差がある状態における液晶分子の配向状態を示す要部断面図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

<第1の実施の形態>

(全体構成例)

図1は、本発明の第1の実施の形態に係る表示装置の要部断面構造の一例を表すものである。また、図2は、この表示装置における駆動回路の一構成例を示している。この表示装置は、図1に示したように、画素基板2と、この画素基板2に対向して配置された対向基板3と、画素基板2と対向基板3との間に挿設された液晶層6とを備えている。この表示装置はまた、図2に示したように、駆動電極ドライバ43と、ゲートドライバ45と、ソースドライバ46とを備えている。

【0015】

画素基板2は、回路基板としてのTFT基板21と、このTFT基板21上において第

10

20

30

40

50

1 の方向（水平方向）および第 2 の方向（垂直方向）にマトリクス状に配設された複数の画素電極 22 とを有する。図示しないが、TFT 基板 21 には、各画素の TFT（薄膜トランジスタ）や、各画素電極 22 に画像信号を供給するソース線（画像信号配線）、各 TFT を駆動するゲート線等の配線が形成されている。また、後述する駆動電極 33 に駆動信号を供給する駆動信号配線が形成されている。

【0016】

対向基板 3 は、ガラス基板 31 と、このガラス基板 31 の一方の面に形成されたカラーフィルタ 32 と、このカラーフィルタ 32 の上に形成された駆動電極（共通電極）33 とを有する。ガラス基板 31 の他方の面には、偏光板 35 が配設されている。カラーフィルタ 32 は、例えば赤（R）、緑（G）、青（B）の 3 色のカラーフィルタ層を周期的に配列して構成したもので、各表示画素に R、G、B の 3 色が 1 組として対応付けられている。駆動電極 33 は、コンタクト導電柱 7 によって TFT 基板 21 と連結されている。このコンタクト導電柱 7 を介して、TFT 基板 21 から駆動電極 33 に交流矩形波形の駆動信号 Vcom が印加されるようになっている。この駆動信号 Vcom は、画素電極 22 に印加される画素電圧とともに各画素の表示電圧を規定するものであり共通駆動信号とも呼ばれる。

【0017】

ソースドライバ 46 は、図示しないソース線を介して各画素電極 22 に画像信号を供給するものである。ゲートドライバ 45 は、図示しないゲート線を介して複数の画素電極 22 に対して第 1 の方向の 1 画素ライン（1 水平画素ライン）ごとに走査信号を印加するようになっている。駆動電極ドライバ 43 は、ゲートドライバ 45 による走査信号の印加タイミングに同期して、駆動電極 33 に駆動信号 Vcom を印加するようになっている。ゲートドライバ 45 による走査信号の印加タイミングと、駆動電極ドライバ 43 による駆動信号の印加タイミングとの関係については、後述する。

【0018】

液晶層 6 は、電界の状態に応じてそこを通過する光を変調するものである。液晶層 6 は、VA 方式の液晶層とされている。図 7（A）、（B）は、本実施の形態における VA 方式の液晶層 6 の構造を示している。特に図 7（A）は、画素電極 22 と駆動電極 33 との間に電位差がない状態における液晶分子 61 の配向状態を示し、黒表示状態に対応している。図 7（B）は画素電極 22 と駆動電極 33 との間に電位差がある状態における液晶分子 61 の配向状態を示し、白表示または中間状態に対応している。図 8 には、図 7（B）の電圧印加状態における電界（電気力線）E の状態を示す。

【0019】

なお、図 7（A）、（B）では、2 ドメイン配向の VA 方式の例を示している。2 ドメイン配向の VA 方式では、1 画素（サブピクセル）内が 2 つの領域に分割され、図 7（B）および図 8 に示したように、液晶分子 61 が 2 つの領域で異なる配向状態となる動作をする。

【0020】

なお、液晶層 6 と画素基板 2 との間、および液晶層 6 と対向基板 3 との間には、それぞれ配向膜が配設され、また、画素基板 2 の下面側には入射側偏光板が配置されるが、ここでは図示を省略している。

【0021】

図 6 は、対向基板 3 における駆動電極 33 の一構成例を斜視状態にて表すものである。駆動電極 33 は、第 1 の方向（水平方向）に延在するストライプ状の電極であり、第 2 の方向（垂直方向）に複数、並列配置されている。各駆動電極 33 には、駆動電極ドライバ 43 によって駆動信号 Vcom が順次供給され、時分割的に順次走査駆動が行われるようになっている。

【0022】

（駆動電極 33 の詳細な構成例）

図 3 および図 5 は、複数の駆動電極 33 の詳細な構成例を示している。なお、図 5 は図 3 を部分的に拡大した図に相当するが、電極構造を分かりやすくするために、水平、垂直

10

20

30

40

50

方向の長さの比率は図3とは変えてある。また、図5において、画素電極22の大きさは1画素または1サブピクセルの大きさに相当する。第2の方向(垂直方向)において、1つの駆動電極33の幅W1は2つ以上(図5の例では4つ)の画素電極22に対応する大きさを有している。複数の駆動電極33はそれぞれが、第1の方向(水平方向)に連続して延在するように設けられた電極内スリット33Aを有している。隣接する2つの駆動電極33の間には、電極内スリット33Aに対応する電極間スリット33Bが形成されている。複数の駆動電極33はそれぞれ、第1の方向において有効表示領域よりも大きい長さを有している。電極内スリット33Aは、図3に示したように、少なくとも有効表示領域内に設けられている。

【0023】

複数の駆動電極33はそれぞれ、コンタクト導電柱7を介して、TFT基板21に形成された駆動信号配線に接続されている。図4(A)、(B)は、コンタクト導電柱7(コンタクト部)による接続構造の例を示している。コンタクト導電柱7は、有効表示領域の外側に設けられている。図4(A)の例では、有効表示領域内に設けられた電極内スリット33Aのさらに外側で、各駆動電極33の両端部に設けられている。コンタクト導電柱7は、図4(B)に示したように、柱状部分7Aと、その柱状部分7Aを覆う導電膜7Bとを有している。なお、図4(B)に示したコンタクト導電柱7の構造に代えて、異方性導電フィルム(Anisotropic Conductive Film: ACF)を用いた導通を行うようにしても良い。異方性導電フィルムは、熱硬化性樹脂に導電性を持つ微細な金属粒子を混ぜ合わせたものを、膜状に成型したフィルムであり、2つの部品間に異方性導電フィルムを挟んで熱を与えながら加圧すると、フィルム内に分散している金属粒子が接触し導電する経路を形成する。金属粒子を2枚のガラス基板を接着するシール剤の中に一定量混合し、塗布することで横方向に導通させることなく、上下方向のみに導通させることが可能である。この方法は、工程を増加させずに上下方向に導通をさせることができ非常に効率がいい。

【0024】

複数の駆動電極33はそれぞれ、電極内スリット33Aを1以上有している(図3および図5の例では3つ)。第2の方向において、隣接する電極内スリット33A同士の間隔(電極内スリット33Aを2以上有している場合)、および隣接する電極内スリット33Aと電極間スリット33Bとの間隔は、1つの画素電極22に対応する大きさとされている。また、図5に示したように、複数の駆動電極33について、電極内スリット33Aと電極間スリット33Bとがそれぞれ、画素電極22の中央に位置するように構成されている。すなわち、電極内スリット33Aまたは電極間スリット33Bが、第1の方向の1画素ライン(1水平画素ライン)ごとに、画素電極22の中央に位置している。

【0025】

図9および図10を参照して、駆動電極33の具体的な設計例を説明する。図9は、人間の視感度特性(空間周波数特性)を示している。電極内スリット33Aおよび電極間スリット33Bの幅等を大きくしすぎると、画素間の横電界の影響で液晶分子の配向状態が画素間と画素の中央部とで大きく異なってしまう欠陥が生ずる。これが顕著になると黒表示時にこの欠陥部から光漏れが発生してコントラストが大幅に減少する。電極内スリット33Aの幅W2および電極間スリット33Bの幅W3は、一般的な画素間の幅に基づいて例えば10μm以下に設定されるが、画素間の幅よりもさらに小さい方が好ましい。さらに、人間の視感度特性を考慮すると、各部は例えば以下のような設計例が好ましい。なお、スリット間隔(スリットピッチ)W4とは、隣接する電極内スリット33Aと電極間スリット33Bとの間隔である。

駆動電極33の幅W1 = 約2mm ~ 10mm (好ましくは3mm ~ 7mm)

電極内スリット33Aの幅W2 = 10μm以下 (好ましくは3μm ~ 6μm)

電極間スリット33Bの幅W3 = 10μm以下 (好ましくは3μm ~ 6μm)

スリット間隔(スリットピッチ)W4 = 500μm以下(画素ピッチの整数倍)

【0026】

図12は、本実施の形態に係る表示装置において、駆動電極33のスリットピッチを変

10

20

30

40

50

えた場合の筋状（スリット状）の表示欠陥の認識状態を測定した結果を示している。図 1 1 は、その測定環境を示している。図 1 1 に示したように、この表示装置において、一般的な視認環境、例えば表面輝度を 300 cd/m^2 とし、略 20 cm 離れた距離において測定を行った。図 1 2 に示したように、スリットピッチ W_4 が $600 \mu\text{m}$ 以上では筋状の表示欠陥が観測された。スリットピッチ W_4 が $500 \mu\text{m}$ および $400 \mu\text{m}$ の場合には、ほとんど筋状には観測されなかったが、 20 cm 以下の距離では観測された。 $300 \mu\text{m}$ 以下では筋状の表示欠陥は全く観測されなかった。

【0027】

以上の結果から、スリットピッチ W_4 は、 $500 \mu\text{m}$ 以下、好ましくは $300 \mu\text{m}$ 以下とすると良い。

【0028】

[駆動制御の動作例]

この表示装置では、ソースドライバ 4 6（図 2）が、各画素電極 2 2 に画像信号を供給する。また、ゲートドライバ 4 5 は、表示する水平画素ラインを選択するための走査信号（ゲート信号）を各画素電極 2 2 に供給する。また、駆動電極ドライバ 4 3 から駆動信号 V_{com} が各駆動電極 3 3 に印加される。これらの信号の組み合わせにより、画像表示が行われる。

【0029】

この表示装置では、個々の駆動電極 3 3 は、複数の水平画素ラインに対応している。このため、1つの駆動電極 3 3 が、複数の水平画素ラインをまとめて駆動する。その一方で、ゲートドライバ 4 5 は、1 水平画素ラインごとに走査信号を印加するので、表示動作としては、1 水平画素ラインごとの表示動作がなされる。

【0030】

一例として、駆動電極 3 3 と画素電極 2 2 とが図 1 3 に示したような構成である場合における駆動信号 V_{com} と走査信号との信号印加タイミングを説明する。図 1 3 の例では、1つの駆動電極 3 3 に 5 つ電極内スリット 3 3 A が設けられている。また、 N 番目の駆動電極 3 3 と $(N+1)$ 番目の駆動電極 3 3 との間に電極間スリット 3 3 B が形成されている。ここで、 N 番目の駆動電極 3 3 において、上から 1 番目～5 番目の電極内スリット 3 3 A に対応する水平画素ラインを $n \sim (n+4)$ 番目とする。また、 N 番目の駆動電極 3 3 と $(N+1)$ 番目の駆動電極 3 3 との間の電極間スリット 3 3 B に対応する水平画素ラインを $(n+5)$ 番目とする。ゲートドライバ 4 5 は、 n , $(n+1)$, $(n+2)$, ... の順に順次、走査信号を印加するものとする。

【0031】

図 1 4 (A) , (B) はそれぞれ、図 1 3 に示した N 番目の駆動電極 3 3 と $(N+1)$ 番目の駆動電極 3 3 とに印加される駆動信号 V_{com} のタイミング例を示している。図 1 4 (C) , (D) , (E) はそれぞれ、 n 番目の水平画素ライン、 $(n+1)$ 番目の水平画素ライン、および $(n+5)$ 番目の水平画素ラインに印加される走査信号のタイミング例を示している。

【0032】

この表示装置では、電極間スリット 3 3 B に対応しない位置の画素ラインに走査信号が印加されるとき（電極内スリット 3 3 A に対応する画素ラインに走査信号が印加されるとき）には、走査信号が印加される画素ラインに対応する 1 つの駆動電極 3 3 にのみ駆動信号 V_{com} を印加すれば良い。例えば図 1 3 の例では、図 1 4 (A) および図 1 4 (C) , (D) に示したように、 $n \sim (n+4)$ 番目の水平画素ラインに走査信号が印加されるときには、 N 番目の駆動電極 3 3 にのみ駆動信号 V_{com} を印加する。一方、電極間スリット 3 3 B に対応する位置の画素ラインに走査信号が印加されるときには、電極間スリット 3 3 B に隣接する 2 つの駆動電極 3 3 に同時に駆動信号を印加する必要がある。例えば図 1 3 の例では、図 1 4 (A) , (B) および図 1 4 (E) に示したように、 $(n+5)$ 番目の水平画素ラインに走査信号が印加されるときには、 N 番目の駆動電極 3 3 と $(N+1)$ 番目の駆動電極 3 3 とに同時に駆動信号 V_{com} を印加する。

10

20

30

40

50

【 0 0 3 3 】

[効果]

本実施の形態に係る表示装置によれば、複数の駆動電極 3 3 のそれぞれに、少なくとも有効表示領域内で第 1 の方向に延在するような電極内スリット 3 3 A を設けると共に、隣接する 2 つの駆動電極 3 3 の間に、電極内スリット 3 3 A に対応する電極間スリット 3 3 B を形成するようにしたので、駆動電極 3 3 が形成されている部分と、隣接する 2 つの駆動電極 3 3 の間の部分との構造上の違いを少なくすることができる。結果として、V A 方式による液晶ディスプレイに適用した場合における液晶分子 6 1 の配向状態を表示領域全域に亘って均一にすることができる。これにより、V A 方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる。さらに、電極内スリット 3 3 A と電極間スリット 3 3 B とがそれぞれ、画素電極 2 2 の中央に位置するようにしたので、例えば隣接する画素電極 2 2 の間にスリットを配置する場合に比べて、V A 方式による液晶ディスプレイに適した効率のよい配向制御を行うことが可能となる。

10

【 0 0 3 4 】

図 2 3 および図 2 4 に示した比較例の構造を参照してより具体的に説明する。例えば図 2 3 に比較例として示したように、電極内スリット 3 3 A と電極間スリット 3 3 B とがそれぞれ、隣接する 2 つの画素電極 2 2 の間に位置するような配置で構成したとする。図 2 4 (A) , (B) は、液晶層 6 を 2 ドメイン配向の V A 方式で駆動する場合において、図 2 3 に示した電極構造にした場合の液晶分子 6 1 の配向状態を示している。特に図 2 4 (A) は、画素電極 2 2 と駆動電極 3 3 との間に電位差がない状態における液晶分子 6 1 の配向状態を示し、黒表示状態に対応している。図 2 4 (B) は画素電極 2 2 と駆動電極 3 3 との間に電位差がある状態における液晶分子 6 1 の配向状態を示し、白表示または中間状態に対応している。図 2 4 (B) には電圧印加状態における電界（電気力線）E の状態も示す。図 2 3 に示したような構造では、図 2 4 (A) , (B) に示したように、画素電極 2 2 のスリット位置と駆動電極 3 3 のスリット位置とが上下に対称的な構造となる。このため、電圧印加時には図 2 4 (B) に示したように、液晶分子 6 1 の方向が規定されずに配向不良になったり、応答速度の低下を招く。これに対して、本実施の形態では、電極内スリット 3 3 A と電極間スリット 3 3 B とがそれぞれ、画素電極 2 2 の中央に位置するように構成されているので、そのような配向不良等を防ぐことができる。また、効率的に液晶分子 6 1 を動作（配向）させることができる。

20

30

【 0 0 3 5 】

< 第 2 の実施の形態 >

次に、本発明の第 2 の実施の形態に係る表示装置について説明する。なお、上記第 1 の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【 0 0 3 6 】

図 1 5 は、本実施の形態に係る表示装置における駆動電極 3 3 の構造を示している。本実施の形態では、電極内スリット 3 3 A を設けずに、電極間スリット 3 3 B を、第 1 の方向（水平方向）の 1 画素ラインごとに画素電極 2 2 の中央に位置させるようにしたものである。複数の駆動電極 3 3 のそれぞれの第 2 の方向（垂直方向）の幅は、1 つの画素電極 2 2 の第 2 の方向の幅に対応する大きさとされている。

40

【 0 0 3 7 】

一例として、駆動電極 3 3 と画素電極 2 2 とが図 1 5 に示したような構成である場合における駆動信号 V c o m と走査信号との信号印加タイミングを説明する。図 1 5 の例では、N 番目の駆動電極 3 3 と (N + 1) 番目の駆動電極 3 3 との間の電極間スリット 3 3 B に対応する水平画素ラインを n 番目、次の (N + 1) 番目の駆動電極 3 3 と (N + 2) 番目の駆動電極 3 3 との間の電極間スリット 3 3 B に対応する水平画素ラインを (n + 1) 番目、としている。ゲートドライバ 4 5 は、n , (n + 1) , (n + 2) , ... の順に順次、走査信号を印加するものとする。

【 0 0 3 8 】

50

図 16 (A), (B), (C) はそれぞれ、図 15 に示した N 番目の駆動電極 33、(N + 1) 番目の駆動電極 33、および (N + 2) 番目の駆動電極 33 に印加される駆動信号 V_{com} のタイミング例を示している。図 16 (D), (E) はそれぞれ、n 番目の水平画素ラインと (n + 1) 番目の水平画素ラインとに印加される走査信号のタイミング例を示している。

【0039】

本実施の形態では、駆動電極ドライバ 43 (図 2) は、ゲートドライバ 45 から 1 つの電極間スリット 33B に対応する位置の 1 画素ラインに走査信号が印加されるときに、その 1 つの電極間スリット 33B に隣接する 2 つの駆動電極に同時に駆動信号 V_{com} を印加する。例えば図 15 の構成例では、図 16 (A), (B) および図 16 (D) に示したように、n 番目の水平画素ラインに走査信号が印加されるときには、N 番目の駆動電極 33 と (N + 1) 番目の駆動電極 33 とに同時に駆動信号 V_{com} を印加する。同様にして、図 16 (B), (C) および図 16 (E) に示したように、(n + 1) 番目の水平画素ラインに走査信号が印加されるときには、(N + 1) 番目の駆動電極 33 と (N + 2) 番目の駆動電極 33 とに同時に駆動信号 V_{com} を印加する。

【0040】

< 第 3 の実施の形態 >

次に、本発明の第 3 の実施の形態に係る表示装置について説明する。なお、上記第 1 または第 2 の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0041】

本実施の形態に係る表示装置は、上記第 1 の実施の形態に係る表示装置における駆動電極 33 の構造 (図 5 参照) に対して、電極内スリット 33A の構造 (スリット形状) が部分的に異なっている。図 17 は、本実施の形態における駆動電極 33 の構造を示している。上記第 1 の実施の形態では電極内スリット 33A が第 1 の方向 (水平方向) に延在するように連続的に設けられていた。これに対して本実施の形態では、図 17 に示したように、電極内スリット 33A が第 1 の方向に連続しておらず、部分的に不連続領域 33C が形成され、間欠的にスリットが設けられている。不連続領域 33C は、第 1 の方向における複数の画素電極 22 の間の位置に形成されている。このような不連続領域 33C を設けることで連続的な電極内スリット 33A を設けた場合より、駆動電極 33 の抵抗を下げるこ

【0042】

< 第 4 の実施の形態 >

次に、本発明の第 4 の実施の形態に係る表示装置について説明する。なお、上記第 1 ないし第 3 の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0043】

上記第 1 の実施の形態では 2 ドメイン配向の VA 方式の例を示したが、本実施の形態では 4 ドメイン配向の VA 方式の例を示す。4 ドメイン配向の VA 方式では、1 画素 (サブピクセル) 内が 4 つの領域に分割され、液晶分子 61 が 4 つの領域で異なる配向状態となる動作をする。

【0044】

図 18 は、本実施の形態における画素電極 22 の構造と駆動電極 33 の構造との概略を示している。また、図 19 は、より具体的な構造の例を示している。図 19 を部分的に拡大したものを図 20 に示す。なお、図 19 および図 20 では、駆動電極 33 の構造として、スリット部分 (電極内スリット 33A と電極間スリット 33B) の構造のみを示す。また、図 19 および図 20 では、画素電極 22 がサブピクセル単位の構造となっている。

【0045】

図 18、図 19 および図 20 に示したように、本実施の形態では、電極内スリット 33A が、画素電極の中央部分において、第 1 の方向 (水平方向) だけでなく、第 2 の方向 (

垂直方向)にも設けられている。これにより、1つの画素電極22(サブピクセル)の中央部分で電極内スリット33Aが十字状となっている。このような構造にすることで、液晶分子61を4ドメインで効率的に動作(配向)させることができる。

【0046】

<第5の実施の形態>

次に、本発明の第5の実施の形態に係る表示装置について説明する。なお、上記第1ないし第4の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0047】

本実施の形態は、上記第4の実施の形態と同様に、4ドメイン配向のVA方式に関する。

10

【0048】

図21は本実施の形態における画素電極22の構造と駆動電極33の構造とを示している。図21を部分的に拡大したものを図22に示す。なお、図21および図22では、駆動電極33の構造として、スリット部分(電極内スリット33Aと電極間スリット33B)の構造のみを示す。また、図21および図22では、画素電極22がサブピクセル単位の構造となっている。

【0049】

本実施の形態においても、上記第4の実施の形態(図19および図20)と同様に、電極内スリット33Aが、画素電極の中央部分において、第1の方向(水平方向)だけでなく、第2の方向(垂直方向)にも設けられている。これにより、1つの画素電極22(サブピクセル)の中央部分で電極内スリット33Aが十字状となっている。このような構造にすることで、液晶分子61を4ドメインで効率的に動作(配向)させることができる。

20

【0050】

さらに本実施の形態では、図22に示したように、画素電極22内に微細な画素電極スリット22Bが設けられている。このような微細な画素電極スリット22Bを設けることにより、より正確に所望の配向方向に液晶分子61を配向制御することができる。

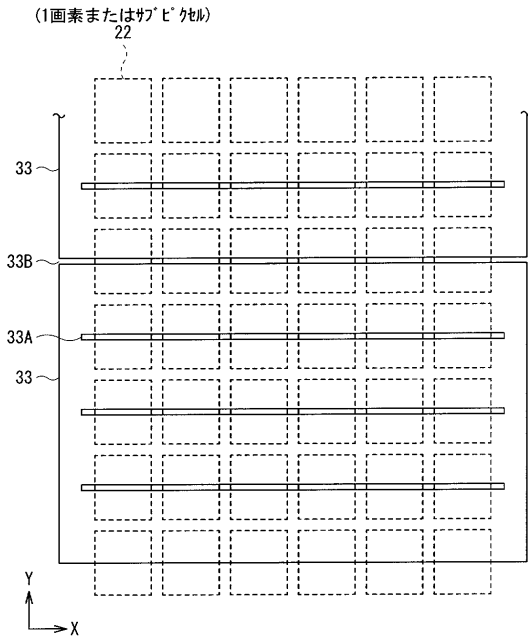
【符号の説明】

【0051】

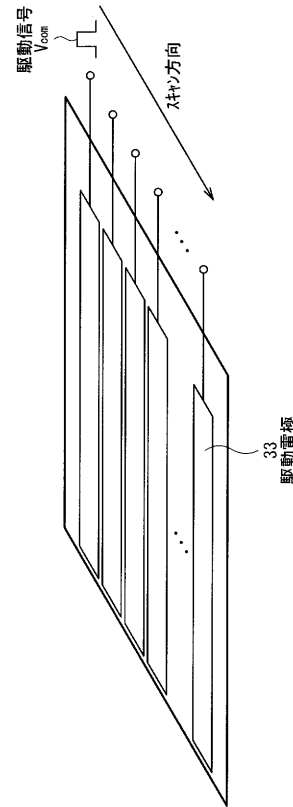
2...画素基板、3...対向基板、6...液晶層、7...コンタクト導電柱(コンタクト部)、7A...柱状部分、7B...導電膜、20...表示画素、21...TFT基板、22...画素電極、22B...画素電極スリット、23...絶縁層、31...ガラス基板、32...カラーフィルタ、33...駆動電極(共通電極)、33A...電極内スリット、33B...電極間スリット、33C...不連続領域、35...偏光板、43...駆動電極ドライバ、45...ゲートドライバ、46...ソースドライバ、61...液晶分子、E...電界(電気力線)、Vcom...駆動信号、W1...駆動電極の幅、W2...電極内スリットの幅、W3...電極間スリットの幅、W4...スリット間隔(スリットピッチ)。

30

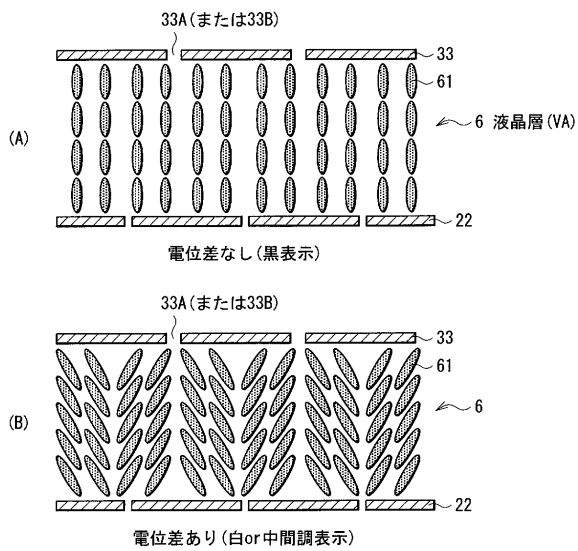
【図 5】



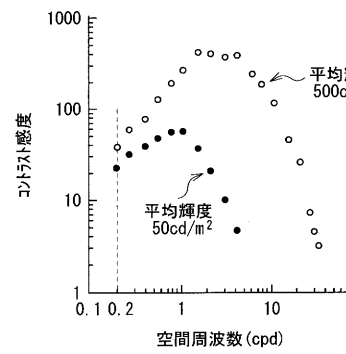
【図 6】



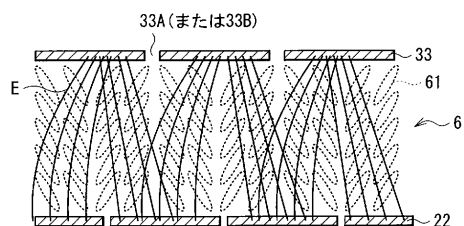
【図 7】



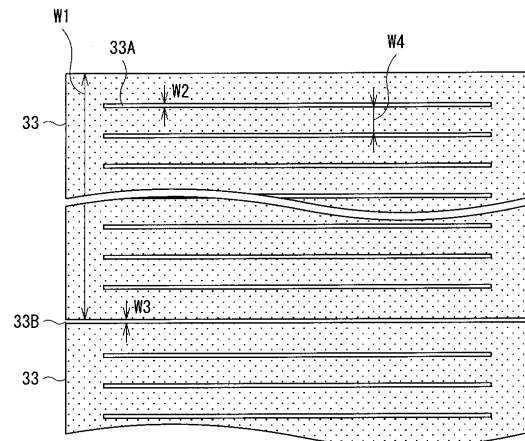
【図 9】



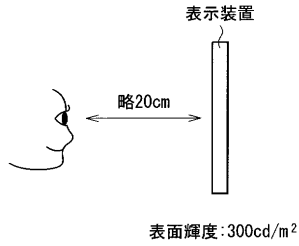
【図 8】



【図 10】



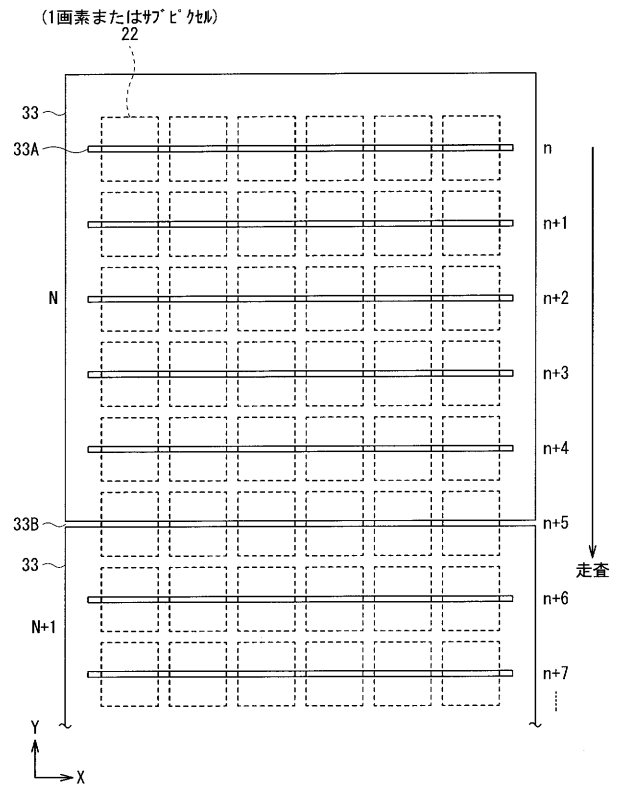
【図 1 1】



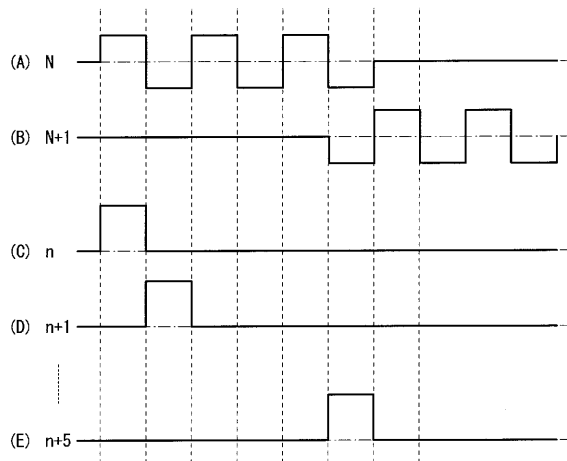
【図 1 2】

スリットピッチ(μm)	筋の認識	コメント
1000	×	明確に認識できる
900	×	明確に認識できる
800	×	明確に認識できる
700	×	明確に認識できる
600	×	明確に認識できる
500	△	20cm以下で認識
400	△	20cm以下で認識
300	○	認識できない
200	○	認識できない
100	○	認識できない
50	○	認識できない

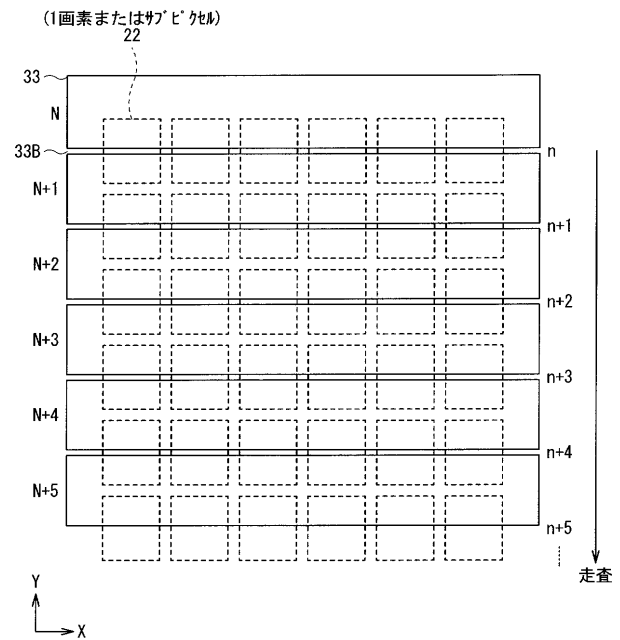
【図 1 3】



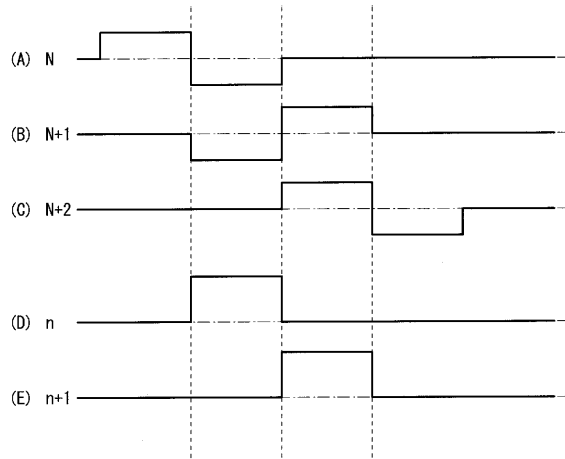
【図 1 4】



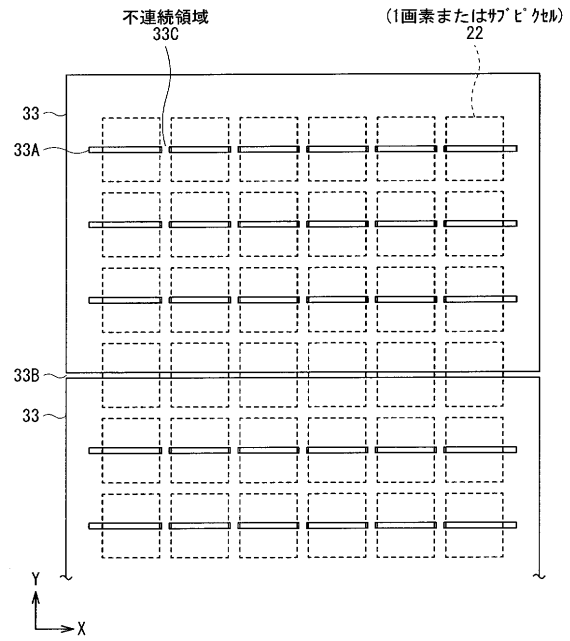
【図 1 5】



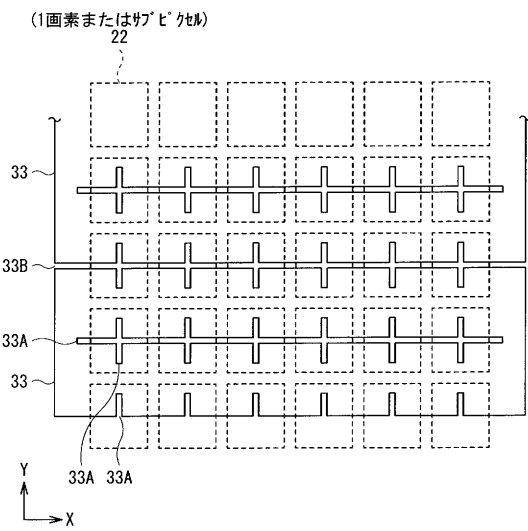
【図 16】



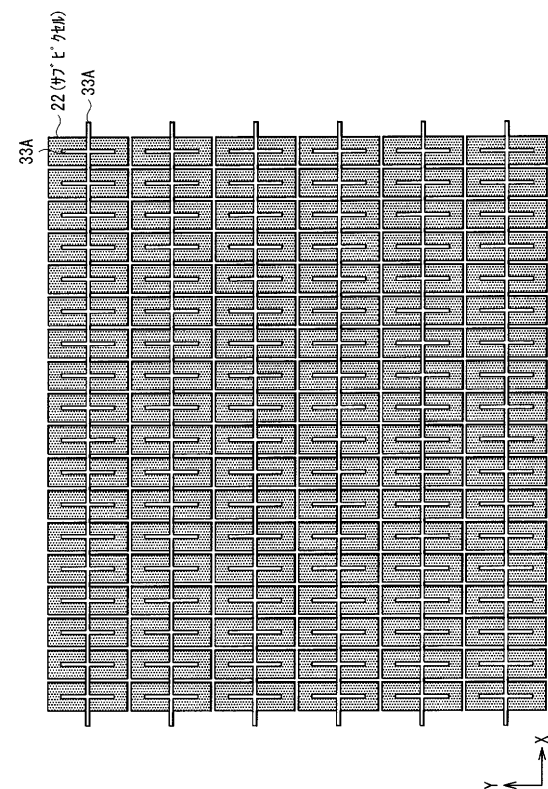
【図 17】



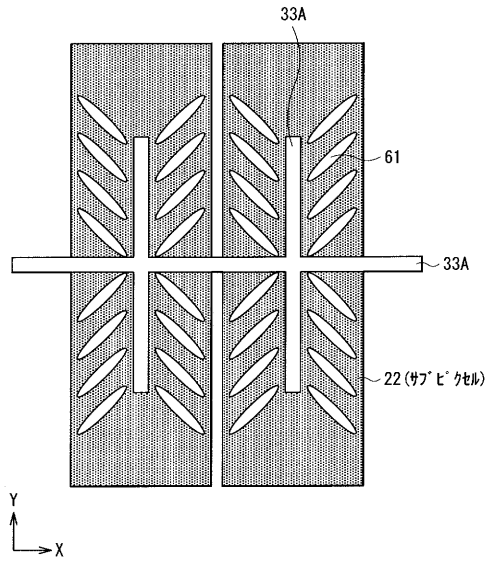
【図 18】



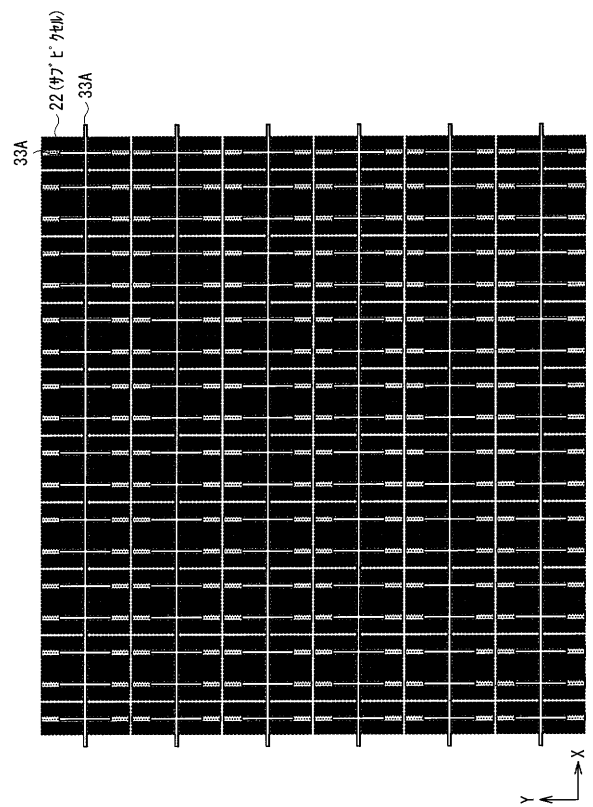
【図 19】



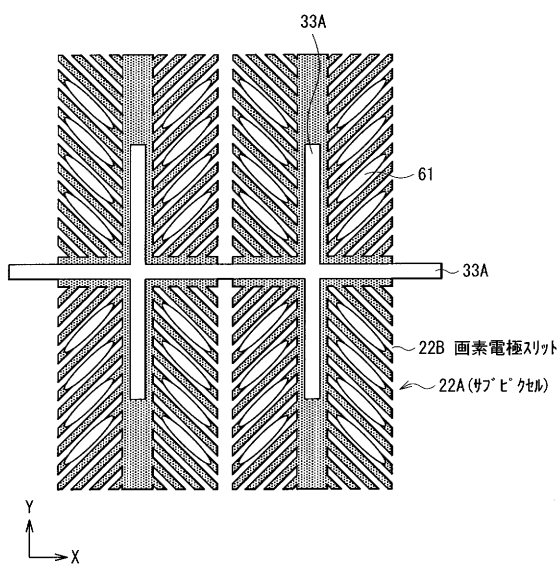
【図 20】



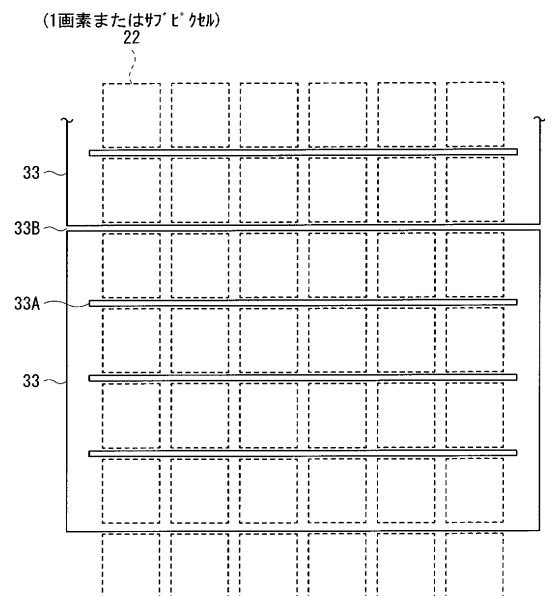
【図 21】



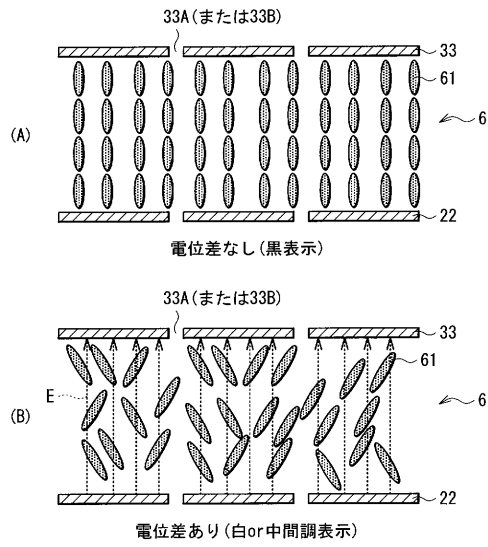
【図 22】



【図 23】



【図 24】



フロントページの続き

(72)発明者 坂井 栄治

愛知県知多郡東浦町大字緒川字上舟木 5 0 番地 ソニーモバイルディスプレイ株式会社内

(72)発明者 池田 雅延

愛知県知多郡東浦町大字緒川字上舟木 5 0 番地 ソニーモバイルディスプレイ株式会社内

(72)発明者 石崎 剛司

愛知県知多郡東浦町大字緒川字上舟木 5 0 番地 ソニーモバイルディスプレイ株式会社内

F ターム(参考) 2H090 LA01 MA01 MA14

2H092 GA13 JA24 JB13 NA01 NA04 PA08 PA11 QA06

专利名称(译)	表示装置		
公开(公告)号	JP2012047802A	公开(公告)日	2012-03-08
申请号	JP2010187176	申请日	2010-08-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	野口幸治 坂井荣治 池田雅延 石崎刚司		
发明人	野口 幸治 坂井 荣治 池田 雅延 石崎 刚司		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1368		
CPC分类号	G02F1/134336 G02F1/133707 G09G3/3674 G09G3/3677 G09G2300/0426 G09G2310/08 G09G2320/0214		
FI分类号	G02F1/1343 G02F1/1337.505 G02F1/1368		
F-TERM分类号	2H090/LA01 2H090/MA01 2H090/MA14 2H092/GA13 2H092/JA24 2H092/JB13 2H092/NA01 2H092/NA04 2H092/PA08 2H092/PA11 2H092/QA06 2H192/AA24 2H192/BA25 2H192/EA43 2H192/FA11 2H192/GD61 2H192/JA13 2H290/AA33 2H290/BB45 2H290/BB46		
其他公开文献	JP5430521B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够进行有效对准控制的显示装置，该显示装置适用于VA型液晶显示器，并且能够抑制VA型液晶显示器中显示质量的下降。 解决方案：提供沿第一方向（例如，水平方向）延伸并沿第二方向（例如，垂直方向）平行布置并且向其施加驱动信号的多个驱动电极33。电极间狭缝33B形成在两个相邻的驱动电极33之间，以沿第一方向延伸。另外，多个驱动电极33中的每一个可以具有在有效显示区域内的至少第一方向上设置的电极内狭缝33A。电极狭缝33A和电极间狭缝33B形成为分别位于像素电极22的中心。 点域5

