

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-227477

(P2011-227477A)

(43) 公開日 平成23年11月10日(2011.11.10)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H092
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641C	5C006
G02F 1/1368 (2006.01)	G09G 3/20 623Q	5C080
	G09G 3/20 641E	
審査請求 未請求 請求項の数 6 O L (全 45 頁) 最終頁に続く		

(21) 出願番号	特願2011-63486 (P2011-63486)	(71) 出願人	000153878
(22) 出願日	平成23年3月23日 (2011. 3. 23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-83345 (P2010-83345)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年3月31日 (2010. 3. 31)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	今藤 敏和
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム(参考)	2H092 JA26 JA28 JB22 JB31 JB42 JB69 KA08
		最終頁に続く	

(54) 【発明の名称】 フィールドシーケンシャル駆動型表示装置

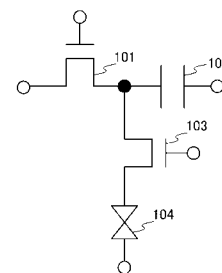
(57) 【要約】

【課題】動作速度を向上させる。

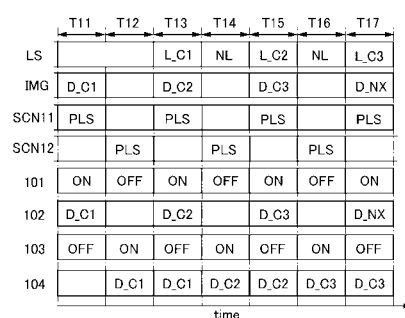
【解決手段】第1のソース及び第1のドレインの一方に画像信号線を介して画像信号が入力され、第1のゲートに第1の走査信号線を介して第1の走査信号が入力される第1のトランジスタと、2つの電極のうち一方の電極が第1のトランジスタの第1のソース及び第1のドレインの他方に電気的に接続される容量素子と、第2のソース及び第2のドレインの一方が第1のトランジスタの第1のソース及び第1のドレインの他方に電気的に接続され、第2のゲートに第2の走査信号線を介して第2の走査信号が入力される第2のトランジスタと、第1の電極が第2のトランジスタの第2のソース及び第2のドレインの他方に電気的に接続される液晶素子と、を備え、画像信号線としての機能を有する導電層及び第2の走査信号が入力される走査信号線としての機能を有する導電層は、互いに離間し、且つ並置されている。

【選択図】図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

画像信号線と、
第 1 の走査信号線と、
第 2 の走査信号線と、
第 1 のソース、第 1 のドレイン、及び第 1 のゲートを有し、前記第 1 のソース及び前記第 1 のドレインの一方に前記画像信号線を介して画像信号が入力され、前記第 1 のゲートに前記第 1 の走査信号線を介して第 1 の走査信号が入力される第 1 のトランジスタと、
第 2 のソース、第 2 のドレイン、及び第 2 のゲートを有し、前記第 2 のソース及び前記第 2 のドレインの一方が前記第 1 のトランジスタの前記第 1 のソース及び前記第 1 のドレインの他方に電氣的に接続され、前記第 2 のゲートに第 2 の走査信号線を介して第 2 の走査信号が入力される第 2 のトランジスタと、
第 1 の電極、第 2 の電極、並びに前記第 1 の電極及び前記第 2 の電極の間によって電圧が印加される液晶層を有し、前記第 1 の電極が前記第 2 のトランジスタの前記第 2 のソース及び前記第 2 のドレインの他方に電氣的に接続される液晶素子と、を備え、
前記画像信号線としての機能を有する第 1 の導電層と、
前記第 2 の走査信号線としての機能を有し、前記第 1 の導電層と離間し、且つ並置された第 2 の導電層と、を含むフィールドシーケンシャル駆動型表示装置。

10

【請求項 2】

請求項 1 において、
前記第 1 のトランジスタ及び前記第 2 のトランジスタは、
チャンネル形成層としての機能を有し、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含むことを特徴とするフィールドシーケンシャル駆動型表示装置。

20

【請求項 3】

画像信号線と、
第 1 の走査信号線と、
第 2 の走査信号線と、
第 3 の走査信号線と、
第 1 のソース、第 1 のドレイン、及び第 1 のゲートを有し、前記第 1 のソース及び前記第 1 のドレインの一方に前記画像信号線を介して画像信号が入力され、前記第 1 のゲートに前記第 1 の走査信号線を介して第 1 の走査信号が入力される第 1 のトランジスタと、
第 2 のソース、第 2 のドレイン、及び第 2 のゲートを有し、前記第 2 のソース及び前記第 2 のドレインの一方が前記第 1 のトランジスタの前記第 1 のソース及び前記第 1 のドレインの他方に電氣的に接続され、前記第 2 のゲートに第 2 の走査信号が入力される第 2 のトランジスタと、
第 1 の電極、第 2 の電極、並びに前記第 1 の電極及び前記第 2 の電極によって電圧が印加される液晶層を有し、前記第 1 の電極が前記第 2 のトランジスタの前記第 2 のソース及び前記第 2 のドレインの他方に電氣的に接続される液晶素子と、
第 3 のソース、第 3 のドレイン、及び第 3 のゲートを有し、前記第 3 のソース及び前記第 3 のドレインの一方にリセット電圧が入力され、前記第 3 のソース及び前記第 3 のドレインの他方が前記液晶素子の前記第 1 の電極に電氣的に接続され、前記第 3 のゲートに前記第 3 の走査信号線を介して第 3 の走査信号が入力される第 3 のトランジスタと、を備え、
前記画像信号線としての機能を有する第 1 の導電層と、
前記第 2 の走査信号線としての機能を有し、前記第 1 の導電層と離間し、且つ並置された第 2 の導電層と、
前記第 3 の走査信号線としての機能を有し、前記第 1 の導電層と離間し、且つ並置された第 3 の導電層と、を含むフィールドシーケンシャル駆動型表示装置。

30

40

【請求項 4】

請求項 3 において、
前記第 1 のトランジスタ乃至前記第 3 のトランジスタは、

50

チャンネル形成層としての機能を有し、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含むことを特徴とするフィールドシーケンシャル駆動型表示装置。

【請求項 5】

請求項 3 又は請求項 4 において、

前記第 1 の導電層は、前記リセット電圧が入力される配線としての機能を有することを特徴とするフィールドシーケンシャル駆動型表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

第 3 の電極、第 4 の電極、及び誘電体層を有し、前記第 3 の電極が前記第 1 のトランジスタの前記第 1 のソース及び前記第 1 のドレインの他方に電氣的に接続され、前記第 3 の電極及び前記第 4 の電極の間に電圧が印加されることにより電荷が蓄積される容量素子を備えるフィールドシーケンシャル駆動型表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、フィールドシーケンシャル駆動型表示装置に関する。

【背景技術】

【0002】

近年、フィールドシーケンシャル駆動により表示を行う表示装置（フィールドシーケンシャル駆動型表示装置ともいう）の開発が行われている。フィールドシーケンシャル駆動型表示装置は、単位フレーム期間を複数のサブフレーム期間に分割し、サブフレーム期間毎に画素に入射する光の色を異なる色に切り替えることにより、単位フレーム期間毎にフルカラーの画像を表示する表示装置である。フィールドシーケンシャル駆動型表示装置は、カラーフィルタを設ける必要がないため光の透過率が高く、また、色毎にトランジスタ及び表示素子を設ける必要がないため、画素数を容易に増やすことができる。例えば、特許文献 1 に示すように、単位フレーム期間において、光の色を赤（Rともいう）にして画像を表示する期間、光の色を緑（Gともいう）にして画像を表示する期間、及び光の色を青（Bともいう）にして画像を表示する期間の 3 つのサブフレーム期間を設け、該 3 つの画像を順次表示することにより、フルカラー画像を表示することができる。

20

【先行技術文献】

30

【特許文献】

【0003】

【特許文献 1】特開 2009 - 42405 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記フィールドシーケンシャル駆動型表示装置では、1 フレーム期間の間に画像データの書き込み動作及び画像の表示動作を複数回行う必要があるため、高速動作が必要になる。

【0005】

しかしながら、従来のフィールドシーケンシャル駆動型表示装置は、走査信号が入力される走査信号線としての機能を有する導電層のそれぞれが、画像信号が入力される画像信号線としての機能を有する導電層に重畳する構造である。このため、走査信号線としての機能を有する導電層と画像信号線としての機能を有する導電層との重畳部において寄生容量が生じ、該寄生容量により信号遅延が起こり、動作速度を低下させる可能性がある。

40

【0006】

本発明の一態様では、フィールドシーケンシャル駆動型表示装置の動作速度を向上させることを課題の一つとする。

【課題を解決するための手段】

【0007】

本発明の一態様は、画像信号が入力される画像信号線としての機能を有する導電層と、走

50

査信号が入力される走査信号線としての機能を有する導電層との重畳部を少なくするものである。これにより重畳部による寄生容量を減らし、信号遅延の低減を図る。

【 0 0 0 8 】

本発明の一態様は、画像信号が入力される画像信号線と、第 1 の走査信号線と、第 2 の走査信号線と、第 1 のソース、第 1 のドレイン、及び第 1 のゲートを有し、第 1 のソース及び第 1 のドレインの一方に画像信号線を介して画像信号が入力され、第 1 のゲートに第 1 の走査信号線を介して第 1 の走査信号が入力される第 1 のトランジスタと、第 2 のソース、第 2 のドレイン、及び第 2 のゲートを有し、第 2 のソース及び第 2 のドレインの一方が第 1 のトランジスタの第 1 のソース及び第 1 のドレインの他方に電氣的に接続され、第 2 のゲートに第 2 の走査信号線を介して第 2 の走査信号が入力される第 2 のトランジスタと、第 1 の電極、第 2 の電極、並びに第 1 の電極及び第 2 の電極によって電圧が印加される液晶層を有し、第 1 の電極が第 2 のトランジスタの第 2 のソース及び第 2 のドレインの他方に電氣的に接続される液晶素子と、を備え、画像信号線としての機能を有する第 1 の導電層と、第 2 の走査信号線としての機能を有し、第 1 の導電層と離間し、且つ並置された第 2 の導電層と、を含むフィールドシーケンシャル駆動型表示装置である。

10

【 0 0 0 9 】

本発明の一態様は、画像信号が入力される画像信号線と、第 1 の走査信号線と、第 2 の走査信号線と、第 3 の走査信号線と、第 1 のソース、第 1 のドレイン、及び第 1 のゲートを有し、第 1 のソース及び第 1 のドレインの一方に画像信号線を介して画像信号が入力され、第 1 のゲートに第 1 の走査信号線を介して第 1 の走査信号が入力される第 1 のトランジスタと、第 2 のソース、第 2 のドレイン、及び第 2 のゲートを有し、第 2 のソース及び第 2 のドレインの一方が第 1 のトランジスタの第 1 のソース及び第 1 のドレインの他方に電氣的に接続され、第 2 のゲートに第 2 の走査信号線を介して第 2 の走査信号が入力される第 2 のトランジスタと、第 1 の電極、第 2 の電極、並びに第 1 の電極及び第 2 の電極によって電圧が印加される液晶層を有し、第 1 の電極が第 2 のトランジスタの第 2 のソース及び第 2 のドレインの他方に電氣的に接続される液晶素子と、第 3 のソース、第 3 のドレイン、及び第 3 のゲートを有し、第 3 のソース及び第 3 のドレインの一方にリセット電圧が入力され、第 3 のソース及び第 3 のドレインの他方が液晶素子の第 1 の電極に電氣的に接続され、第 3 のゲートに第 3 の走査信号線を介して第 3 の走査信号が入力される第 3 のトランジスタと、を備え、画像信号線としての機能を有する第 1 の導電層と、第 2 の走査信号線としての機能を有し、第 1 の導電層と離間し、且つ並置された第 2 の導電層と、第 3 の走査信号線としての機能を有し、第 1 の導電層と離間し、且つ並置された第 3 の導電層と、を含むフィールドシーケンシャル駆動型表示装置である。

20

30

【 0 0 1 0 】

本発明の一態様であるフィールドシーケンシャル駆動型表示装置において、画像信号線は、リセット電圧が入力される配線としての機能を有してもよい。

【 発明の効果 】

【 0 0 1 1 】

本発明の一態様により、フィールドシーケンシャル駆動型表示装置の動作速度を向上させることができる。

40

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 実施の形態 1 における表示装置の画素を説明するための図。

【 図 2 】 実施の形態 1 に示す表示装置におけるアクティブマトリクス基板の構造例を説明するための模式図。

【 図 3 】 実施の形態 2 における画素の構造例を示す断面模式図。

【 図 4 】 実施の形態 1 に示す表示装置におけるアクティブマトリクス基板の構造例を説明するための模式図。

【 図 5 】 実施の形態 4 の表示装置における画素を説明するための図。

【 図 6 】 実施の形態 4 に示す表示装置におけるアクティブマトリクス基板の構造例を説明

50

するための模式図。

【図 7】実施の形態 5 における画素の構造例を示す断面模式図。

【図 8】図 2 (A) 乃至図 2 (C) に示すトランジスタの作製方法を説明するための断面模式図。

【図 9】図 2 (A) 乃至図 2 (C) に示すトランジスタの作製方法を説明するための断面模式図。

【図 10】実施の形態 7 における電流測定に用いた特性評価用回路の構成を示す回路図。

【図 11】図 10 に示す特性評価用回路の初期化期間及びその後の測定期間における各電圧の関係を説明するためのタイミングチャート。

【図 12】実施の形態 7 の電流測定に係る経過時間と、出力電圧との関係を示す図。

10

【図 13】実施の形態 7 の電流測定によって算出されたトランジスタのオフ電流を示す図。

【図 14】85 のときのソース及びドレインの間の電圧と、トランジスタのオフ電流との関係を示す図。

【図 15】実施の形態 8 における表示装置の構成例を示すブロック図。

【図 16】実施の形態 9 における電子機器の構成例を説明するための図。

【図 17】実施の形態 9 における電子機器の構成例を説明するための図。

【発明を実施するための形態】

【0013】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

20

【0014】

また、各実施の形態に示す内容は、互いに適宜組み合わせ、又は置き換えを行うことができる。

【0015】

(実施の形態 1)

本実施の形態では、フィールドシーケンシャル駆動型表示装置について説明する。

【0016】

30

本実施の形態の表示装置は、画素を具備する。さらに画素には、1 フレーム期間中のサブフレーム期間毎に異なる色の光が入射する。光は、例えば光源 (LS ともいう) などから画素に入射する。

【0017】

さらに、本実施の形態の表示装置における画素について、図 1 を用いて説明する。図 1 は、本実施の形態の表示装置における画素を説明するための図である。

【0018】

まず、本実施の形態の表示装置における画素の回路構成例について、図 1 (A) を用いて説明する。

【0019】

40

図 1 (A) に示す画素は、トランジスタ 101 と、容量素子 102 と、トランジスタ 103 と、液晶素子 104 と、を備える。

【0020】

なお、画素において、トランジスタは、電界効果トランジスタであり、特に指定する場合を除き、ソース、ドレイン、及びゲートを少なくとも有する。該トランジスタは、例えばゲートとしての機能を有する導電層と、ソースとしての機能を有する導電層と、ドレインとしての機能を有する導電層と、ゲートとしての機能を有する導電層及びソース又はドレインとしての機能を有する導電層の間に設けられたゲート絶縁層と、ソース又はドレインとしての機能を有する導電層に電氣的に接続された半導体層と、により構成される。

【0021】

50

ソースとは、ソース電極の一部若しくは全部、又はソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずにソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【0022】

ドレインとは、ドレイン電極の一部若しくは全部、又はドレイン配線の一部若しくは全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずにドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

【0023】

ゲートとは、ゲート電極の一部若しくは全部、又はゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずにゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

10

【0024】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインは、互いに入れ替わる場合がある。

【0025】

トランジスタ101のソース及びドレインの一方には、画像信号IMGが入力され、トランジスタ101のゲートには、走査信号SCN1が入力される。なお、走査信号とは、トランジスタの動作を制御するための信号のことをいう。

【0026】

容量素子102は、2つの電極を有し、容量素子102の2つの電極のうちの一方の電極は、トランジスタ101のソース及びドレインの他方に電氣的に接続され、容量素子102の2つの電極のうちの他方の電極には、電圧Vaが入力される。電圧Vaは所定の値の電圧である。容量素子102は、画像信号IMGに基づく電荷を一時的に保持しておく保持容量としての機能を有する。容量素子102の容量は、液晶素子104の容量に応じて設定すればよい。

20

【0027】

なお、画素において、容量素子は、2つの電極のうちの一方の電極としての機能を有する導電層と、2つの電極のうちの他方の電極としての機能を有する導電層と、2つの電極に重畳する誘電体層と、を用いて構成される。

【0028】

30

なお、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【0029】

トランジスタ103のソース及びドレインの一方は、トランジスタ101のソース及びドレインの他方に電氣的に接続され、トランジスタ103のゲートには、走査信号SCN2が入力される。

【0030】

40

トランジスタ101及びトランジスタ103としては、例えば元素周期表における第14族の半導体（シリコンなど）を用いた半導体層又は酸化物半導体層を含むトランジスタを用いることができる。該半導体層及び該酸化物半導体層は、トランジスタのチャネル形成層としての機能を有する。また、上記酸化物半導体層は、高純度化することにより、真性（I型ともいう）、又は実質的に真性にさせた半導体層である。なお、高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念である。

【0031】

さらに、上記酸化物半導体層のバンドギャップは、2 eV以上、好ましくは2.5 eV以

50

上、より好ましくは 3 eV 以上である。よって、熱励起によって生じるキャリアの数は無視できる。さらに、上記酸化物半導体層は、ドナーとなりうる水素などの不純物が一定量以下になるまで低減されており、上記酸化物半導体層のキャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下である。即ち、上記酸化物半導体層のキャリア濃度は、限りなくゼロ又はゼロと実質的に同等の値である。

【0032】

さらに、上記酸化物半導体層を含むトランジスタを用いることにより、チャネル幅 $1\text{ }\mu\text{m}$ あたりのオフ状態時のトランジスタのリーク電流（オフ電流ともいう）を 10 aA ($1 \times 10^{-17}\text{ A}$) 以下、さらにはチャネル幅 $1\text{ }\mu\text{m}$ あたりのオフ電流を 1 aA ($1 \times 10^{-18}\text{ A}$) 以下、さらにはチャネル幅 $1\text{ }\mu\text{m}$ あたりのオフ電流を 10 zA ($1 \times 10^{-20}\text{ A}$) 以下にすることができる。これにより、トランジスタのオフ電流の影響を低減することができる。

10

【0033】

また、上記酸化物半導体層を含むトランジスタは、光による劣化（例えば閾値電圧の変動など）が少ない。よって、上記酸化物半導体層を含むトランジスタを用いることにより、複数の色の光による劣化を低減することができる。

【0034】

よって、上記酸化物半導体層を含むトランジスタを用いることにより、トランジスタのオフ電流による影響を低減することができるため、例えばトランジスタのオフ電流による容量素子及び液晶素子に印加される電圧の変動を低減することができる。

20

【0035】

液晶素子 104 は、第 1 の電極及び第 2 の電極を有し、液晶素子 104 の第 1 の電極は、トランジスタ 103 のソース及びドレインの他方に電気的に接続され、液晶素子 104 の第 2 の電極には、電圧 V_b が入力される。電圧 V_b は、所定の値の電圧である。なお、電圧 V_b は、電圧 V_a と同じ電圧でもよい。また、このとき、容量素子における 2 つの電極のうちの一方の電極を第 3 の電極ともいい、2 つの電極のうちの他方の電極を第 4 の電極ともいう。

【0036】

なお、画素において、液晶素子は、例えば第 1 の電極としての機能を有する導電層と、第 2 の電極としての機能を有する導電層と、第 1 の電極及び第 2 の電極の間によって電圧が印加される液晶層と、を用いて構成される。

30

【0037】

また、液晶素子の表示方法としては、例えば TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、VA (Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、又は AFLC (AntiFerroelectric Liquid Crystal) モード、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、又は ASV モードなどを用いることができる。また、これに限定されず、FFS (Fringe Field Switching) モードなどを用いてもよい。

40

【0038】

また、液晶素子としては、例えば配向膜を用いないブルー相を示す液晶層を含む液晶素子を用いてもよい。ブルー相を示す液晶層は、例えばブルー相を示す液晶とカイラル剤とを含む液晶組成物により構成される。ブルー相を示す液晶層は、応答時間が 1 msec 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。よって、ブルー相を示す液晶層を含む液晶素子を用いることにより、動作速度を向上させることができる。例えば、上記実施の形態におけるフィールドシーケンシャル方式の表示装置で

50

は、カラーフィルタを用いた表示装置に比べて速い動作速度が要求されるため、上記実施の形態におけるフィールドシーケンシャル方式の表示装置における液晶素子に上記ブルー相を示す液晶を用いることが好ましい。

【0039】

さらに、画素は、画像信号 I M G が入力される画像信号線と、走査信号 S C N 1 2 が入力される走査信号線を有し、画像信号線及び走査信号線は、平面視の画素において、互いに間隔を空けて設けられる。即ち、画像信号線及び走査信号線は、同一の絶縁表面を有する層上に設けられた導電層であって、平面視の画素において、互いに離間し、且つ並置される。例えば画像信号線及び走査信号線は、平面視の画素において、互いに離間し、且つ平行又は略平行に並置されてもよい。なお、画素を、画像信号 I M G が入力される画像信号線としての機能を有する導電層と、走査信号 S C N 1 2 が入力される走査信号線としての機能を有し、平面視の画素において、該画像信号線としての機能を有する導電層と平行又は略平行に設けられた導電層と、を含む構成にしてもよい。略平行とは、実質的に平行と同じであるということである。

10

【0040】

また、本実施の形態の表示装置の画素を、画像信号線としての機能を有する導電層がトランジスタ 1 0 1 のソース及びドレインの一方としての機能を有する構成にしてもよい。また、本実施の形態の表示装置の画素を、画像信号線としての機能を有する導電層が、別途設けられた画像信号線としての機能を有し且つトランジスタ 1 0 1 のソース及びドレインの一方としての機能を有する導電層に電氣的に接続される構成にしてもよい。

20

【0041】

また、本実施の形態の表示装置の画素を、走査信号 S C N 1 2 が入力される走査信号線としての機能を有する導電層がトランジスタ 1 0 3 のゲートとしての機能を有する構成にしてもよい。また、本実施の形態の表示装置の画素を、走査信号 S C N 1 2 が入力される走査信号線としての機能を有する導電層が、別途設けられた走査信号 S C N 1 2 が入力される走査信号線としての機能を有し且つトランジスタ 1 0 3 のゲートとしての機能を有する導電層に電氣的に接続された構成にしてもよい。

【0042】

また、本実施の形態の表示装置の画素を、液晶素子 1 0 4 に並列接続で電氣的に接続された保持容量を備える構成にしてもよい。保持容量を設けることにより、トランジスタ 1 0 1 及びトランジスタ 1 0 3 のオフ電流による影響をさらに低減することができる。また、本実施の形態の表示装置の画素を、保持容量を設けない構成にすることもできる。保持容量を設けない構成にすることにより、画素の開口率を向上させることができる。

30

【0043】

次に本実施の形態の表示装置における画素の駆動方法例として、図 1 (A) に示す画素の駆動方法例について、図 1 (B) を用いて説明する。なお、ここでは、一例として 1 フレーム期間における動作について説明する。

【0044】

図 1 (B) に示すように、まず期間 T 1 1 では、走査信号 S C N 1 1 のパルス (P L S ともいう) がトランジスタ 1 0 1 のゲートに入力される。

40

【0045】

このとき、トランジスタ 1 0 1 がオン状態 (O N ともいう) になり、容量素子 1 0 2 の第 3 の電極に第 1 の色 C 1 の画像データ D _ C 1 を表す画像信号 I M G が入力され、容量素子 1 0 2 に画像データ D _ C 1 に基づいた電圧が印加される。

【0046】

次に、期間 T 1 2 において、走査信号 S C N 1 2 のパルスがトランジスタ 1 0 3 のゲートに入力される。

【0047】

このとき、トランジスタ 1 0 3 がオン状態になる。また、このときトランジスタ 1 0 1 は、オフ状態 (O F F ともいう) になる。よって、容量素子 1 0 2 の第 3 の電極に蓄積され

50

た電荷が液晶素子 104 の第 1 の電極に移動し、液晶素子 104 に画像データ D__C 1 に基づいた電圧が印加される。

【0048】

次に、期間 T 13 において、トランジスタ 103 がオフ状態になり、さらに第 1 の色 C 1 の光が液晶素子 104 に入射し、液晶素子 104 が画像データ D__C 1 に基づく透過率で第 1 の色 C 1 の光を透過することにより、画素の表示状態が設定される。画素に光を入射する期間を表示期間ともいう。なお、第 1 の色 C 1 の光が入射している状態を L__C 1 ともいう。

【0049】

また、期間 T 13 において、走査信号 S C N 1 1 のパルスがトランジスタ 101 のゲートに入力される。これにより、トランジスタ 101 がオン状態になり、容量素子 102 の第 3 の電極に第 2 の色 C 2 の画像データ D__C 2 を表す画像信号 I M G が入力され、容量素子 102 に画像データ D__C 2 に基づいた電圧が印加される。

10

【0050】

次に、期間 T 14 において、液晶素子 104 への光の入射が停止し、走査信号 S C N 1 2 のパルスがトランジスタ 103 のゲートに入力される。なお、光の入射が停止している状態を非点灯状態 (N L ともいう) ともいう。

【0051】

このとき、トランジスタ 103 がオン状態になる。また、トランジスタ 101 は、オフ状態になる。よって、容量素子 102 の第 3 の電極に蓄積された電荷が液晶素子 104 の第 1 の電極に移動し、液晶素子 104 に画像データ D__C 2 に基づいた電圧が印加される。

20

【0052】

次に、期間 T 15 において、トランジスタ 103 がオフ状態になり、第 2 の色 C 2 の光が液晶素子 104 に入射し、液晶素子 104 が画像データ D__C 2 に基づく透過率で第 2 の色 C 2 の光を透過することにより、画素の表示状態が設定される。

【0053】

また、期間 T 15 において、走査信号 S C N 1 1 のパルスがトランジスタ 101 のゲートに入力される。

【0054】

このとき、トランジスタ 101 がオン状態になり、容量素子 102 の第 3 の電極に第 3 の色 C 3 の画像データ D__C 3 を表す画像信号 I M G が入力され、容量素子 102 に画像データ D__C 3 に基づいた電圧が印加される。

30

【0055】

次に、期間 T 16 において、液晶素子 104 への光の入射が停止し、走査信号 S C N 1 2 のパルスがトランジスタ 103 のゲートに入力される。

【0056】

このとき、トランジスタ 103 がオン状態になる。また、トランジスタ 101 がオフ状態になる。よって、容量素子 102 の第 3 の電極に蓄積された電荷が液晶素子 104 の第 1 の電極に移動し、液晶素子 104 に画像データ D__C 3 に基づいた電圧が印加される。

【0057】

次に、期間 T 17 において、トランジスタ 103 がオフ状態になり、第 3 の色 C 3 の光が液晶素子 104 に入射し、液晶素子 104 が画像データ D__C 3 に基づく透過率で第 3 の色 C 3 の光を透過することにより、画素の表示状態が設定される。

40

【0058】

また、期間 T 17 において、走査信号 S C N 1 1 のパルスがトランジスタ 101 のゲートに入力される。

【0059】

このとき、トランジスタ 101 がオン状態になり、容量素子 102 の第 3 の電極に次の色の画像データ D__N X を表す画像信号 I M G が入力され、容量素子 102 に画像データ D__N X に基づいた電圧が印加される。画像データ D__N X は、例えば第 1 の色 C 1 の画像

50

データ D_{C1} 又は他の色の画像データである。以上により、1 フレーム期間においてフルカラーの画像を表示させる。以上が図 1 (A) に示す画素の駆動方法例である。

【0060】

なお、第 1 の色 C₁ 乃至第 3 の色 C₃ としては、例えば RGB のそれぞれを用いることができる。また、これに限定されず、シアン、マゼンタ、及びイエローのそれぞれを第 1 の色 C₁ 乃至第 3 の色 C₃ として用いることもできる。また 3 色に限定されず他にも白などの色を合わせるなど、4 色以上の色を用いることができる。

【0061】

また、本実施の形態の表示装置がマトリクス状に配列された複数の画素を備える場合、行毎に画素における容量素子 102 への画像データの書き込み動作（図 1 (B) の期間 T₁₁、期間 T₁₃、期間 T₁₅、及び期間 T₁₇ における動作）を行い、全ての画素において一括で画素における液晶素子 104 への電荷の移動動作（図 1 (B) の期間 T₁₂、期間 T₁₄、及び期間 T₁₆ における動作）を行うことが好ましい。これにより、画素における液晶素子 104 への電荷の移動動作に必要な時間を短くすることができる。

10

【0062】

図 1 (A) 及び図 1 (B) を用いて説明したように、本実施の形態の表示装置は、画素に第 1 のトランジスタと、第 2 のトランジスタと、液晶素子と、画像信号 IMG のデータを一時的に保持する機能を有する容量素子と、を備え、第 1 のトランジスタがオン状態になることにより、容量素子に画像信号 IMG のデータ電圧が印加され、第 2 のトランジスタがオン状態になることにより、容量素子に蓄積された電荷が液晶素子に移動し、液晶素子に画像信号 IMG のデータ電圧が印加される構成である。該構成にすることにより、画素により表示を行っている間に、画素に次の画像データを書き込むことができる。これにより、表示期間を短くすることなく、一画像を表示させるために必要な時間を短くすることができるため、表示装置の動作速度を向上させることができる。

20

【0063】

また、本実施の形態の表示装置は、画素に画像信号 IMG が入力される画像信号線としての機能を有する第 1 の導電層と、走査信号 SCN₁₂ が入力される走査信号線としての機能を有し、平面視の画素において、第 1 の導電層と間隔を空けて、即ち離間し、且つ並置して設けられた第 2 の導電層と、を含む構造である。該構造にすることにより、画素において、画像信号線と走査信号線との重畳部の数を少なくすることができるため、画像信号線の寄生容量を低減することができ、画像信号の遅延を低減することができ、表示装置の動作速度を向上させることができる。

30

【0064】

（実施の形態 2）

本実施の形態では、上記実施の形態 1 に示す表示装置における画素の構造例について説明する。

【0065】

上記実施の形態 1 に示す表示装置における画素は、例えばトランジスタなどの半導体素子が設けられた第 1 の基板（アクティブマトリクス基板ともいう）と、第 2 の基板（対向基板ともいう）と、アクティブマトリクス基板と対向基板との間に設けられた液晶層と、を含む。

40

【0066】

さらに、上記実施の形態 1 に示す表示装置における、アクティブマトリクス基板の構造例について、図 2 を用いて説明する。図 2 は、上記実施の形態 1 に示す表示装置におけるアクティブマトリクス基板の構造例を説明するための模式図であり、図 2 (A) は平面模式図であり、図 2 (B) は、図 2 (A) における線分 A₁ - B₁ の断面模式図であり、図 2 (C) は、図 2 (A) における線分 C₁ - D₁ の断面模式図である。

【0067】

図 2 (A) 乃至図 2 (C) に示すアクティブマトリクス基板は、基板 201 と、導電層 211 と、導電層 212 と、導電層 213 と、絶縁層 221 と、半導体層 231 と、半導体

50

層 2 3 2 と、導電層 2 4 1 と、導電層 2 4 2 と、導電層 2 4 3 と、導電層 2 4 4 と、導電層 2 4 5 と、酸化物絶縁層 2 5 1 と、保護絶縁層 2 6 1 と、平坦化絶縁層 2 7 1 と、導電層 2 8 1 と、を備える。

【0068】

導電層 2 1 1 乃至導電層 2 1 3 は、基板 2 0 1 の一表面に設けられる。導電層 2 1 1 は、走査信号 S C N 1 1 が入力される走査信号線としての機能を有し、且つ図 1 (A) に示すトランジスタ 1 0 1 のゲートとしての機能を有する。また、導電層 2 1 2 は、図 1 (A) に示す容量素子 1 0 2 の第 4 の電極としての機能を有し、且つ、電圧 V a が入力される配線としての機能を有する。また、導電層 2 1 3 は、走査信号 S C N 1 2 が入力される走査信号線としての機能を有し、且つ図 1 (A) に示すトランジスタ 1 0 3 のゲートとしての機能を有する。

10

【0069】

絶縁層 2 2 1 は、導電層 2 1 1 乃至導電層 2 1 3 を介して基板 2 0 1 の一表面に設けられる。絶縁層 2 2 1 は、図 1 (A) に示すトランジスタ 1 0 1 のゲート絶縁層としての機能を有し、図 1 (A) に示す容量素子 1 0 2 の誘電体層としての機能を有し、図 1 (A) に示すトランジスタ 1 0 3 のゲート絶縁層としての機能を有する。

【0070】

半導体層 2 3 1 は、絶縁層 2 2 1 を介して導電層 2 1 1 の上に設けられる。半導体層 2 3 1 は、図 1 (A) に示すトランジスタ 1 0 1 のチャネル形成層としての機能を有する。

【0071】

半導体層 2 3 2 は、絶縁層 2 2 1 を介して導電層 2 1 3 の上に設けられる。半導体層 2 3 2 は、図 1 (A) に示すトランジスタ 1 0 3 のチャネル形成層としての機能を有する。

20

【0072】

導電層 2 4 1 は、半導体層 2 3 1 に電氣的に接続される。導電層 2 4 1 は、画像信号 I M G が入力される画像信号線としての機能を有し、且つ図 1 (A) に示すトランジスタ 1 0 1 のソース及びドレインの一方としての機能を有する。

【0073】

導電層 2 4 2 は、半導体層 2 3 1 及び半導体層 2 3 2 に電氣的に接続される。また、導電層 2 4 2 は、絶縁層 2 2 1 を介して導電層 2 1 2 の上に設けられる。導電層 2 4 2 は、図 1 (A) に示すトランジスタ 1 0 1 のソース及びドレインの他方としての機能を有し、図 1 (A) に示す容量素子 1 0 2 の第 3 の電極としての機能を有し、図 1 (A) に示すトランジスタ 1 0 3 のソース及びドレインの一方としての機能を有する。

30

【0074】

導電層 2 4 3 は、半導体層 2 3 2 に電氣的に接続される。導電層 2 4 3 は、図 1 (A) に示すトランジスタ 1 0 3 のソース及びドレインの他方としての機能を有する。

【0075】

導電層 2 4 4 は、絶縁層 2 2 1 を介して導電層 2 1 2 の上に設けられ、絶縁層 2 2 1 に設けられた開口部を介して導電層 2 1 2 に電氣的に接続される。導電層 2 4 4 は、電圧 V a が入力される配線としての機能を有する。

【0076】

導電層 2 4 5 は、絶縁層 2 2 1 を介して導電層 2 1 3 の上に設けられ、絶縁層 2 2 1 に設けられた開口部を介して導電層 2 1 3 に電氣的に接続される。導電層 2 4 5 は、走査信号 S C N 1 2 が入力される走査信号線としての機能を有する。

40

【0077】

酸化物絶縁層 2 5 1 は、半導体層 2 3 1 、半導体層 2 3 2 、及び導電層 2 4 1 乃至導電層 2 4 5 を介して絶縁層 2 2 1 の上に設けられる。

【0078】

保護絶縁層 2 6 1 は、酸化物絶縁層 2 5 1 の上に設けられる。

【0079】

平坦化絶縁層 2 7 1 は、保護絶縁層 2 6 1 の上に設けられる。

50

【0080】

導電層281は、平坦化絶縁層271の上に設けられ、且つ酸化物絶縁層251、保護絶縁層261、及び平坦化絶縁層271を貫通して設けられた開口部を介して導電層243に電氣的に接続される。導電層281は、図1(A)に示す液晶素子104の第1の電極としての機能を有する。

【0081】

さらに、図2(A)乃至図2(C)に示すアクティブマトリクス基板は、平面視において、導電層213及び導電層245の全てが、導電層241と間隔を空けて設けられた構造、即ち、導電層213及び導電層245が、導電層241と離間し且つ並置された構造、又は導電層213及び導電層245が、導電層241と重畳しない構造である。また、図2(A)乃至図2(C)に示すアクティブマトリクス基板は、平面視において、導電層212及び導電層244の全てが、導電層241と間隔を空けて設けられた構造、即ち、導電層212及び導電層244が、導電層241と離間し且つ並置された構造、又は導電層212及び導電層244が、導電層241と重畳しない構造である。

10

【0082】

さらに、本実施の形態の表示装置における画素の構造例について、図3を用いて説明する。図3は、本実施の形態の表示装置の画素の構造例を示す断面模式図である。

【0083】

図3に示す表示装置は、図2(A)乃至図2(C)に示すアクティブマトリクス基板に加え、基板301と、導電層311と、絶縁層321と、液晶層331と、を備える。

20

【0084】

図3に示す表示装置は、導電層281を介して平坦化絶縁層271の上に絶縁層291を備える。

【0085】

導電層311は、基板301の一表面に設けられる。導電層311は、図1(A)に示す液晶素子104の第2の電極としての機能を有する。

【0086】

絶縁層321は、導電層311の一表面に設けられる。

【0087】

液晶層331は、絶縁層291及び絶縁層321を介して導電層281及び導電層311の間に設けられる。液晶層331は、図1(A)に示す液晶素子104の液晶層としての機能を有する。

30

【0088】

基板201及び基板301としては、例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0089】

また、基板201及び基板301として、セラミック基板、石英基板、又はサファイア基板などの基板を用いることもできる。また、基板201及び基板301として、結晶化ガラス基板を用いることもできる。また、基板201及び基板301として、プラスチック基板を用いることもできる。また、基板201及び基板301として、シリコンなどの半導体基板を用いることもできる。

40

【0090】

導電層211乃至導電層213としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層211乃至導電層213に適用可能な材料の層の積層により、導電層211乃至導電層213を構成することもできる。

【0091】

絶縁層221としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム

50

層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層 221 に適用可能な材料の層の積層により絶縁層 221 を構成することもできる。絶縁層 221 に適用可能な材料の層は、例えばプラズマ CVD 法又はスパッタリング法などを用いて形成される。例えば、プラズマ CVD 法により窒化シリコン層を形成し、プラズマ CVD 法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層 221 を構成することができる。

【0092】

半導体層 231 及び半導体層 232 としては、元素周期表における第 14 族の半導体（シリコンなど）を用いた半導体層又は酸化物半導体層を用いることができる。図 2（A）乃至図 2（C）では、一例として半導体層 231 及び半導体層 232 として酸化物半導体層を用いた場合について示している。酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などが挙げられる。四元系金属酸化物としては、例えば $In-Sn-Ga-Zn-O$ 系金属酸化物などが挙げられる。三元系金属酸化物としては、例えば $In-Ga-Zn-O$ 系金属酸化物、 $In-Sn-Zn-O$ 系金属酸化物、 $In-Al-Zn-O$ 系金属酸化物、 $Sn-Ga-Zn-O$ 系金属酸化物、 $Al-Ga-Zn-O$ 系金属酸化物、又は $Sn-Al-Zn-O$ 系金属酸化物などが挙げられる。二元系金属酸化物としては、 $In-Ga-O$ 系金属酸化物、 $In-Zn-O$ 系金属酸化物、 $Sn-Zn-O$ 系金属酸化物、 $Al-Zn-O$ 系金属酸化物、 $Zn-Mg-O$ 系金属酸化物、 $Sn-Mg-O$ 系金属酸化物、 $In-Mg-O$ 系金属酸化物、又は $In-Sn-O$ 系金属酸化物などが挙げられる。また、酸化物半導体としては、 $In-O$ 系金属酸化物、 $Sn-O$ 系金属酸化物、又は $Zn-O$ 系金属酸化物などが挙げられる。また、上記酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物に SiO_2 を含む酸化物を用いることもできる。また、例えば $In-Ga-Zn-O$ 系金属酸化物とは、少なくとも In と Ga と Zn を含む酸化物であり、その組成比に特に制限はない。また、 $In-Ga-Zn-O$ 系金属酸化物に In と Ga と Zn 以外の元素が含まれていてもよい。

【0093】

また、該酸化物半導体としては、化学式 $InMO_3(ZnO)_m$ （ m は 0 より大きい数）で表記される金属酸化物も挙げられる。ここで、 M は、 Ga 、 Al 、 Mn 及び Co から選ばれた一つ又は複数の金属元素を示す。 M としては、例えば Ga 、 Ga 及び Al 、 Ga 及び Mn 、又は Ga 及び Co などがある。

【0094】

なお、半導体層 231 及び半導体層 232 として、元素周期表における第 14 族の半導体（シリコンなど）を用いた半導体層を用いてもよい。

【0095】

導電層 241 乃至導電層 245 としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 241 乃至導電層 245 に適用可能な材料の層の積層により導電層 241 乃至導電層 245 のそれぞれを構成することもできる。

【0096】

例えば、アルミニウム又は銅の金属層と、チタン、モリブデン、又はタングステンなどの高融点金属層との積層により導電層 241 乃至導電層 245 を構成することができる。また、複数の高融点金属層の間にアルミニウム又は銅の金属層が設けられた積層により導電層 241 乃至導電層 245 を構成することもできる。また、ヒロックやウィスカの発生を防止する元素（ Si 、 Nd 、 Sc など）が添加されているアルミニウム層を用いて導電層 241 乃至導電層 245 を構成することにより、耐熱性を向上させることができる。

【0097】

また、導電層 241 乃至導電層 245 として、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ In_2O_3-Sn

O_2 、ITOと略記する)、若しくは酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。

【0098】

酸化物絶縁層251としては、例えば酸化シリコン層などを用いることができる。また、酸化物絶縁層251に適用可能な材料の層の積層により酸化物絶縁層251を構成することもできる。

【0099】

保護絶縁層261としては、例えば無機絶縁層を用いることができ、例えば窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、又は窒化酸化アルミニウム層などを用いることができる。また、保護絶縁層261に適用可能な材料の層の積層により保護絶縁層261を構成することもできる。

10

【0100】

平坦化絶縁層271としては、ポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また、平坦化絶縁層271としては、低誘電率材料($low-k$ 材料ともいう)の層を用いることもできる。また、平坦化絶縁層271に適用可能な材料の層の積層により平坦化絶縁層271を構成することもできる。

【0101】

導電層281及び導電層311としては、例えば透光性を有する導電材料の層を用いることができ、透光性を有する導電材料としては、例えばインジウム錫酸化物、酸化インジウムに酸化亜鉛を混合した金属酸化物($IZO:indium\ zinc\ oxide$ ともいう)、酸化インジウムに酸化珪素(SiO_2)を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、又は酸化チタンを含むインジウム錫酸化物などを用いることができる。また、導電層281及び導電層311に適用可能な材料の層を積層して導電層281又は導電層311を構成してもよい。

20

【0102】

また、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて導電層281及び導電層311を形成することもできる。導電性組成物を用いて形成した導電層は、シート抵抗が $10000\ \Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は、 $0.1\ \Omega \cdot cm$ 以下であることが好ましい。

30

【0103】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。 π 電子共役系導電性高分子としては、例えばポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又は、アニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体などがあげられる。

【0104】

絶縁層291及び絶縁層321としては、絶縁層221に適用可能な材料の層を用いることができる。また、絶縁層221に適用可能な材料の層を積層して絶縁層291及び絶縁層321を構成してもよい。

40

【0105】

液晶層331としては、例えば、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、又はディスコチック液晶などを用いることができる。

【0106】

図2及び図3を用いて説明したように、上記実施の形態の表示装置における画素は、第1のトランジスタ及び第2のトランジスタがボトムゲート型のトランジスタであり、画像信号が入力される画像信号線(例えば図2(A)乃至図2(C)に示す導電層241)と、走査信号(走査信号SCN12)が入力される走査信号線(例えば図2(A)乃至図2(C)に示す導電層213、又は導電層213及び導電層245)が、平面視の画素におい

50

て、互いに間隔を空けて設けられた（離間し且つ並置されて設けられた）構造である。該構造にすることにより、画素において、第１の導電層と第２の導電層との重畳部をなくすることができるため、画像信号線の寄生容量を低減することができ、画像信号の遅延を低減することができ、表示装置の動作速度を向上させることができる。

【０１０７】

（実施の形態３）

本実施の形態では、上記実施の形態２と異なるアクティブマトリクス基板の構造例について説明する。

【０１０８】

本実施の形態のアクティブマトリクス基板の構造例について、図４を用いて説明する。図４は、上記実施の形態１に示す表示装置におけるアクティブマトリクス基板の構造例を説明するための模式図であり、図４（Ａ）は平面模式図であり、図４（Ｂ）は、図４（Ａ）における線分Ａ２－Ｂ２の断面模式図であり、図４（Ｃ）は、図４（Ａ）における線分Ｃ２－Ｄ２の断面模式図である。

10

【０１０９】

図４（Ａ）乃至図４（Ｃ）に示すアクティブマトリクス基板は、半導体層４１１と、半導体層４１２と、導電層４２１と、導電層４２２と、導電層４２３と、絶縁層４３１と、導電層４４１と、導電層４４２と、導電層４４３と、平坦化絶縁層４５１と、導電層４６１と、を備える。

【０１１０】

半導体層４１１及び半導体層４１２は、基板４０１の一表面に設けられる。半導体層４１１は、図１（Ａ）に示すトランジスタ１０１のチャネル形成層としての機能を有する。

20

【０１１１】

導電層４２１は、半導体層４１１に電氣的に接続される。導電層４２１は、画像信号ＩＭＧが入力される画像信号線としての機能を有し、且つ図１（Ａ）に示すトランジスタ１０１のソース及びドレインの一方としての機能を有する。

【０１１２】

導電層４２２は、半導体層４１１及び半導体層４１２に電氣的に接続される。導電層４２２は、図１（Ａ）に示すトランジスタ１０１のソース及びドレインの他方としての機能を有し、且つ図１（Ａ）に示す容量素子１０２の第３の電極としての機能を有する。

30

【０１１３】

導電層４２３は、半導体層４１２に電氣的に接続される。導電層４２３は、図１（Ａ）に示すトランジスタ１０３のソース及びドレインの他方としての機能を有する。

【０１１４】

導電層４２４は、基板４０１の上に設けられる。導電層４２４は、電圧Ｖ_aが入力される配線としての機能を有する。

【０１１５】

導電層４２５は、基板４０１の上に設けられる。導電層４２５は、走査信号ＳＣＮ１２が入力される走査信号線としての機能を有する。

【０１１６】

絶縁層４３１は、半導体層４１１、半導体層４１２、及び導電層４２１乃至導電層４２５を介して基板４０１の上に設けられる。絶縁層４３１は、図１（Ａ）に示すトランジスタ１０１のゲート絶縁層としての機能を有し、図１（Ａ）に示す容量素子１０２の誘電体層としての機能を有し、図１（Ａ）に示すトランジスタ１０３のゲート絶縁層としての機能を有する。

40

【０１１７】

導電層４４１は、絶縁層４３１を介して半導体層４１１の上に設けられる。導電層４４１は、走査信号ＳＣＮ１１が入力される走査信号線としての機能を有し、且つ図１（Ａ）に示すトランジスタ１０１のゲートとしての機能を有する。

【０１１８】

50

導電層 4 4 2 は、絶縁層 4 3 1 を介して導電層 4 2 2 及び導電層 4 2 4 の上に設けられ、絶縁層 4 3 1 に設けられた開口部を介して導電層 4 2 4 に電氣的に接続される。導電層 4 4 2 は、図 1 (A) に示す容量素子 1 0 2 の第 4 の電極としての機能を有する。

【 0 1 1 9 】

導電層 4 4 3 は、絶縁層 4 3 1 を介して、半導体層 4 1 2、導電層 4 2 4、及び導電層 4 2 5 の上に設けられ、絶縁層 4 3 1 に設けられた開口部を介して導電層 4 2 5 に電氣的に接続される。導電層 4 4 3 は、走査信号 S C N 1 2 が入力される走査信号線としての機能を有し、且つ図 1 (A) に示すトランジスタ 1 0 3 のゲートとしての機能を有する。

【 0 1 2 0 】

平坦化絶縁層 4 5 1 は、導電層 4 4 1 乃至導電層 4 4 3 を介して絶縁層 4 3 1 の上に設けられる。

10

【 0 1 2 1 】

導電層 4 6 1 は、平坦化絶縁層 4 5 1 の上に設けられ、絶縁層 4 3 1 及び平坦化絶縁層 4 5 1 を貫通して設けられた開口部を介して導電層 4 2 3 に電氣的に接続される。導電層 4 6 1 は、図 1 (A) に示す液晶素子 1 0 4 の第 1 の電極としての機能を有する。

【 0 1 2 2 】

さらに、図 4 (A) 乃至図 4 (C) に示すアクティブマトリクス基板は、平面視において、導電層 4 2 5 及び導電層 4 4 3 の全てが、導電層 4 2 1 と間隔を空けて設けられた構造、即ち、導電層 4 2 5 及び導電層 4 4 3 が、導電層 4 2 1 と重畳しない構造である。また、図 4 (A) 乃至図 4 (C) に示すアクティブマトリクス基板は、平面視において、導電層 4 2 4 及び導電層 4 4 2 の全てが、導電層 4 2 1 と間隔を空けて設けられた構造、即ち、導電層 4 2 4 及び導電層 4 4 2 が導電層 4 2 1 と重畳しない構造である。

20

【 0 1 2 3 】

基板 4 0 1 としては、例えば基板 2 0 1 及び基板 3 0 1 に適用可能な基板を用いることができる。

【 0 1 2 4 】

半導体層 4 1 1 及び半導体層 4 1 2 としては、例えば半導体層 2 3 1 及び半導体層 2 3 2 に適用可能な半導体層を用いることができる。

【 0 1 2 5 】

導電層 4 2 1 乃至導電層 4 2 5 としては、例えば導電層 2 4 1 乃至導電層 2 4 5 に適用可能な導電層を用いることができる。

30

【 0 1 2 6 】

導電層 4 4 1 乃至導電層 4 4 3 としては、例えば導電層 2 1 1 乃至導電層 2 1 3 に適用可能な導電層を用いることができる。

【 0 1 2 7 】

平坦化絶縁層 4 5 1 としては、例えば平坦化絶縁層 2 7 1 に適用可能な層を用いることができる。

【 0 1 2 8 】

導電層 4 6 1 としては、例えば導電層 2 8 1 及び導電層 3 1 1 に適用可能な導電材料の層を用いることができる。

40

【 0 1 2 9 】

図 4 を用いて説明したように、上記実施の形態の表示装置におけるアクティブマトリクス基板の構造例は、第 1 のトランジスタ及び第 2 のトランジスタがトップゲート型のトランジスタであり、画像信号 I M G が入力される画像信号線（例えば図 4 (A) 乃至図 4 (C) に示す導電層 4 2 1 ）と、走査信号 S C N 1 2 が入力される走査信号線（例えば図 4 (A) 乃至図 4 (C) に示す導電層 4 4 3、又は導電層 4 2 4 及び導電層 4 4 3 ）が、平面視の画素において、互いに間隔を空けて設けられた（離間し且つ並置して設けられた）構造である。該構造にすることにより、画素において、第 1 の導電層と第 2 の導電層との重畳部をなくすることができるため、画像信号線の寄生容量を低減することができる。よって、画像信号の遅延を低減することができ、表示装置の動作速度を向上させることができる

50

。

【0130】

(実施の形態4)

本実施の形態では、上記実施の形態とは異なるフィールドシーケンシャル駆動型表示装置について説明する。

【0131】

本実施の形態の表示装置は、画素を具備する。さらに画素には、1フレーム期間中のサブフレーム期間毎に異なる色の光が入射する。

【0132】

さらに、本実施の形態の表示装置における画素の回路構成例について、図5を用いて説明する。図5は、本実施の形態の表示装置における画素を説明するための図である。

10

【0133】

まず、本実施の形態の表示装置における画素の回路構成例について、図5(A)を用いて説明する。

【0134】

図5(A)に示す画素は、トランジスタ501と、容量素子502と、トランジスタ503と、液晶素子504と、トランジスタ505と、を備える。

【0135】

トランジスタ501のソース及びドレインの一方には、画像信号IMGが入力され、トランジスタ501のゲートには、走査信号SCN1が入力される。

20

【0136】

容量素子502は、2つの電極を有し、容量素子502の2つの電極のうちの一方の電極は、トランジスタ501のソース及びドレインの他方に電氣的に接続され、容量素子502の2つの電極のうちの他方の電極には、電圧Vaが入力される。容量素子502は、画像信号IMGに基づく電荷を一時的に保持しておく保持容量としての機能を有する。容量素子502の容量は、液晶素子504の容量に応じて設定すればよい。

【0137】

トランジスタ503のソース及びドレインの一方は、トランジスタ501のソース及びドレインの他方に電氣的に接続され、トランジスタ503のゲートには、走査信号SCN2が入力される。

30

【0138】

液晶素子504は、第1の電極及び第2の電極を有し、液晶素子504の第1の電極は、トランジスタ503のソース及びドレインの他方に電氣的に接続され、液晶素子504の第2の電極には、電圧Vbが入力される。

【0139】

トランジスタ505のソース及びドレインの一方には、電圧Vcが入力され、トランジスタ505のソース及びドレインの他方は、液晶素子504の第1の電極に電氣的に接続され、トランジスタ505のゲートには、走査信号SCN3が入力される。トランジスタ505は、液晶素子504の電圧をリセットするためのリセット用トランジスタとしての機能を有し、電圧Vcは、所定の値の電圧であり、リセット電圧ともいう。

40

【0140】

トランジスタ501、トランジスタ503、及びトランジスタ505としては、上記実施の形態1に示す画素のトランジスタと同様に、例えば元素周期表における第14族の半導体(シリコンなど)を用いた半導体層又は酸化物半導体層を含むトランジスタを用いることができる。該半導体層及び該酸化物半導体層は、トランジスタのチャネル形成層としての機能を有する。該半導体層及び該酸化物半導体層は、高純度化することにより、真性(I型ともいう)、又は実質的に真性にさせた半導体層である。

【0141】

さらに、画素は、画像信号IMGが入力される画像信号線と、走査信号SCN2が入力される走査信号線と、走査信号SCN3が入力される走査信号線を有し、画像信号線及

50

び走査信号 S C N 1 2 が入力される走査信号線は、平面視の画素において、互いに間隔を空けて設けられる。即ち、画像信号線及び走査信号 S C N 1 2 が入力される走査信号線は、同一の絶縁表面を有する層上に設けられた導電層であって、平面視の画素において、互いに離間し、且つ並置される。例えば画像信号線及び走査信号 S C N 1 2 が入力される走査信号線は、平面視の画素において、互いに離間し、且つ平行又は略平行に並置されてもよい。また、画像信号線及び走査信号 S C N 1 3 が入力される走査信号線は、平面視の画素において、互いに間隔を空けて設けられる。即ち、画像信号線及び走査信号 S C N 1 3 が入力される走査信号線は、同一の絶縁表面を有する層上に設けられた導電層であって、平面視の画素において、互いに離間し、且つ並置される。例えば画像信号線及び走査信号 S C N 1 3 が入力される走査信号線は、平面視の画素において、互いに離間し、且つ平行又は略平行に並置されてもよい。

10

【 0 1 4 2 】

なお、本実施の形態の表示装置の画素を、画像信号線としての機能を有する導電層がトランジスタ 5 0 1 のソース及びドレインの一方としての機能を有する構成にしてもよい。また、本実施の形態の表示装置の画素を、画像信号線としての機能を有する導電層が、別途設けられた画像信号線としての機能を有し且つトランジスタ 5 0 1 のソース及びドレインの一方としての機能を有する導電層に電氣的に接続される構成にしてもよい。

【 0 1 4 3 】

また、本実施の形態の表示装置の画素を、走査信号 S C N 1 2 が入力される走査信号線としての機能を有する導電層がトランジスタ 5 0 3 のゲートとしての機能を有する構成にしてもよい。また、本実施の形態の表示装置の画素を、走査信号 S C N 1 2 が入力される走査信号線としての機能を有する導電層が、別途設けられた走査信号 S C N 1 2 が入力される走査信号線としての機能を有し且つトランジスタ 5 0 3 のゲートとしての機能を有する導電層に電氣的に接続された構成にしてもよい。

20

【 0 1 4 4 】

また、本実施の形態の表示装置の画素を、走査信号 S C N 1 3 が入力される走査信号線としての機能を有する導電層がトランジスタ 5 0 5 のゲートとしての機能を有する構成にしてもよい。また、本実施の形態の表示装置の画素を、走査信号 S C N 1 3 が入力される走査信号線としての機能を有する導電層が、別途設けられた走査信号 S C N 1 3 が入力される走査信号線としての機能を有し且つトランジスタ 5 0 5 のゲートとしての機能を有する導電層に電氣的に接続された構成にしてもよい。

30

【 0 1 4 5 】

なお、本実施の形態の表示装置の画素を、液晶素子 5 0 4 に並列接続で電氣的に接続された保持容量を備える構成にしてもよい。

【 0 1 4 6 】

次に、本実施の形態の表示装置における画素の駆動方法例として、図 5 (A) に示す画素の駆動方法例について、図 5 (B) を用いて説明する。なお、ここでは、一例として 1 フレーム期間における動作について説明する。

【 0 1 4 7 】

図 5 (B) に示すように、まず期間 T 2 1 では、走査信号 S C N 1 1 のパルスがトランジスタ 5 0 1 のゲートに入力される。

40

【 0 1 4 8 】

このとき、トランジスタ 5 0 1 がオン状態になり、容量素子 5 0 2 の第 3 の電極に第 1 の色 C 1 の画像データ D _ C 1 を表す画像信号 I M G が入力され、容量素子 5 0 2 に画像データ D _ C 1 に基づいた電圧が印加される。また、トランジスタ 5 0 3 及びトランジスタ 5 0 5 はオフ状態である。

【 0 1 4 9 】

次に、期間 T 2 2 において、走査信号 S C N 1 3 のパルスがトランジスタ 5 0 5 のゲートに入力される。

【 0 1 5 0 】

50

このときトランジスタ 505 はオン状態になり、液晶素子 504 の第 1 の電極の電圧がリセットされる。また、トランジスタ 501 は、オフ状態になる。また、トランジスタ 503 はオフ状態である。

【0151】

次に、期間 T23 において、走査信号 SCN12 のパルスがトランジスタ 503 のゲートに入力される。

【0152】

このとき、トランジスタ 503 がオン状態になる。また、トランジスタ 501 及びトランジスタ 505 がオフ状態になる。よって、容量素子 502 の第 3 の電極に蓄積された電荷が液晶素子 504 の第 1 の電極に移動し、液晶素子 504 に画像データ D_{__}C1 に基づいた電圧が印加される。

10

【0153】

次に、期間 T24 において、トランジスタ 503 がオフ状態になり、液晶素子 504 が画像データ D_{__}C1 に基づく透過率で第 1 の色 C1 の光を透過することにより、画素の表示状態が設定される。

【0154】

また、期間 T24 において、走査信号 SCN11 のパルスがトランジスタ 501 のゲートに入力される。これにより、トランジスタ 501 がオン状態になり、容量素子 502 の第 3 の電極に第 2 の色 C2 の画像データ D_{__}C2 を表す画像信号 IMG が入力され、容量素子 502 に画像データ D_{__}C2 に基づいた電圧が印加される。また、トランジスタ 503 及びトランジスタ 505 は、オフ状態である。

20

【0155】

次に、期間 T25 において、液晶素子 504 への光の入射が停止し、走査信号 SCN13 のパルスがトランジスタ 505 のゲートに入力される。

【0156】

このとき、トランジスタ 505 はオン状態になり、液晶素子 504 の第 1 の電極の電圧がリセットされる。また、トランジスタ 501 は、オフ状態になり、トランジスタ 503 は、オフ状態のままである。

【0157】

次に、期間 T26 において、走査信号 SCN12 のパルスがトランジスタ 503 のゲートに入力される。

30

【0158】

このとき、トランジスタ 503 がオン状態になる。また、トランジスタ 505 はオフ状態になる。また、トランジスタ 501 は、オフ状態のままである。よって、容量素子 502 の第 3 の電極に蓄積された電荷が液晶素子 504 の第 1 の電極に移動し、液晶素子 504 に画像データ D_{__}C2 に基づいた電圧が印加される。また、液晶素子 504 への光の入射は停止状態のままである。

【0159】

次に、期間 T27 において、トランジスタ 503 がオフ状態になり、第 2 の色 C2 の光が液晶素子 504 に入射し、液晶素子 504 が画像データ D_{__}C2 に基づく透過率で第 2 の色 C2 の光を透過することにより、画素の表示状態が設定される。また、トランジスタ 505 は、オフ状態のままである。

40

【0160】

また、期間 T27 において、走査信号 SCN11 のパルスがトランジスタ 501 のゲートに入力される。

【0161】

このとき、トランジスタ 501 がオン状態になり、容量素子 502 の第 3 の電極に第 3 の色 C3 の画像データ D_{__}C3 を表す画像信号 IMG が入力され、容量素子 502 に画像データ D_{__}C3 に基づいた電圧が印加される。

【0162】

50

次に、期間 T 2 8 において、液晶素子 5 0 4 への光の入射が停止し、走査信号 S C N 1 3 のパルスがトランジスタ 5 0 5 のゲートに入力される。

【 0 1 6 3 】

このとき、トランジスタ 5 0 5 はオン状態になり、液晶素子 5 0 4 の第 1 の電極の電圧がリセットされる。また、トランジスタ 5 0 1 は、オフ状態になる。また、トランジスタ 5 0 3 は、オフ状態のままである。

【 0 1 6 4 】

次に、期間 T 2 9 において、走査信号 S C N 1 2 のパルスがトランジスタ 5 0 3 のゲートに入力される。

【 0 1 6 5 】

このとき、トランジスタ 5 0 3 がオン状態になる。よって、容量素子 5 0 2 の第 3 の電極に蓄積された電荷が液晶素子 5 0 4 の第 1 の電極に移動し、液晶素子 5 0 4 に画像データ D _ C 3 に基づいた電圧が印加される。また、トランジスタ 5 0 1 は、オフ状態のままである。また、トランジスタ 5 0 5 がオフ状態になる。

10

【 0 1 6 6 】

次に、期間 T 3 0 において、トランジスタ 5 0 3 がオフ状態になり、第 3 の色 C 3 の光が液晶素子 5 0 4 に入射し、液晶素子 5 0 4 が画像データ D _ C 3 に基づく透過率で第 3 の色 C 3 の光を透過することにより、画素の表示状態が設定される。また、トランジスタ 5 0 5 は、オフ状態のままである。

【 0 1 6 7 】

また、期間 T 3 0 において、走査信号 S C N 1 1 のパルスがトランジスタ 5 0 1 のゲートに入力される。

20

【 0 1 6 8 】

このとき、トランジスタ 5 0 1 がオン状態になり、容量素子 5 0 2 の第 3 の電極に次の色の画像データ D _ N X を表す画像信号 I M G が入力され、容量素子 5 0 2 に画像データ D _ N X に基づいた電圧が印加される。以上により、1 フレーム期間においてフルカラー画像を表示させる。以上が図 5 (A) に示す画素の駆動方法例である。

【 0 1 6 9 】

また、本実施の形態の表示装置がマトリクス状に配列された複数の画素を有する場合、行毎に画素における容量素子 5 0 2 への画像データの書き込み動作 (図 5 (B) の期間 T 2 1、期間 T 2 4、期間 T 2 7、及び期間 T 3 0 における動作) を行い、全ての画素において一括で画素における液晶素子 5 0 4 に印加される電圧のリセット動作 (図 5 (B) の期間 T 2 2、期間 T 2 5、及び期間 T 2 8 における動作) 及び液晶素子 5 0 4 への電荷の移動動作 (図 5 (B) の期間 T 2 3、期間 T 2 6、及び期間 T 2 9 における動作) を行うことが好ましい。これにより、画素における液晶素子 5 0 4 への電荷の移動動作に必要な時間を短くすることができる。

30

【 0 1 7 0 】

図 5 (A) 及び図 5 (B) を用いて説明したように、本実施の形態の表示装置は、画素に第 1 のトランジスタと、第 2 のトランジスタと、液晶素子と、画像信号 I M G のデータを一時的に保持する機能を有する容量素子と、液晶素子に印加される電圧をリセットするための第 3 のトランジスタと、を備え、第 1 のトランジスタがオン状態になることにより、容量素子に画像信号 I M G のデータ電圧が印加され、第 3 のトランジスタがオン状態になることにより、液晶素子に印加される電圧を基準の値にリセットし、その後第 2 のトランジスタがオン状態になることにより、容量素子に蓄積された電荷が液晶素子に移動し、液晶素子に画像信号 I M G のデータ電圧が印加される構成である。該構成にすることにより、画素により表示を行っている間に、画素に次の画像データを書き込むことができる。これにより、表示期間を短くすることなく、一画像を表示させるために必要な時間を短くすることができるため、表示装置の動作速度を向上させることができる。

40

【 0 1 7 1 】

さらに、液晶素子に印加される電圧をリセットするための第 3 のトランジスタを備えるこ

50

とにより、画像信号 I M G の電圧を設定する際の制約を低減することができる。例えば、液晶素子に印加される電圧がリセットされない場合、当該液晶素子に印加される電圧は、容量素子に保持される電荷のみならず液晶素子自身が保持している電圧に応じて決まる。即ち、新たに液晶素子に所望のデータ電圧を印加するためには、その前の期間において印加されたデータ電圧に鑑みて画像信号 I M G の電圧を設定する必要がある。例えば、液晶素子に 5 V を印加する場合に、前の期間において液晶素子に印加された電圧が 0 V であるか又は 10 V であるかによって画像信号 I M G の電圧を別途制御する必要がある。これに対し、液晶素子に印加される電圧がリセットされる場合、該液晶素子に印加される電圧を、前の期間において印加されたデータ電圧とは、独立に設定することができる。そのため、画像信号 I M G の電圧を設定する際の制約を低減することができる。

10

【0172】

(実施の形態 5)

本実施の形態では、上記実施の形態 4 に示す表示装置の画素の構造例について説明する。

【0173】

上記実施の形態 4 に示す表示装置における画素は、例えばアクティブマトリクス基板と、対向基板と、アクティブマトリクス基板と対向基板との間に設けられた液晶層と、を含む。

【0174】

さらに、上記実施の形態 4 に示す表示装置における、アクティブマトリクス基板の構造例について、図 6 を用いて説明する。図 6 は、上記実施の形態 4 に示す表示装置におけるアクティブマトリクス基板の構造例を説明するための模式図であり、図 6 (A) は、平面模式図であり、図 6 (B) は、図 6 (A) における線分 A 3 - B 3 の断面模式図であり、図 6 (C) は、図 6 (A) における線分 C 3 - D 3 の断面模式図である。

20

【0175】

図 6 (A) 乃至図 6 (C) に示すアクティブマトリクス基板は、導電層 6 1 1 と、導電層 6 1 2 と、導電層 6 1 3 と、導電層 6 1 4 と、絶縁層 6 2 1 と、半導体層 6 3 1 と、半導体層 6 3 2 と、半導体層 6 3 3 と、導電層 6 4 1 と、導電層 6 4 2 と、導電層 6 4 3 と、導電層 6 4 4 と、導電層 6 4 5 と、導電層 6 4 6 と、導電層 6 4 7 と、酸化物絶縁層 6 5 1 と、保護絶縁層 6 6 1 と、平坦化絶縁層 6 7 1 と、導電層 6 8 1 と、を備える。

【0176】

導電層 6 1 1 乃至導電層 6 1 4 は、基板 6 0 1 の一表面に設けられる。導電層 6 1 1 は、走査信号 S C N 1 1 が入力される走査信号線としての機能を有し、且つ図 5 (A) に示すトランジスタ 5 0 1 のゲートとしての機能を有する。また、導電層 6 1 2 は、図 5 (A) に示す容量素子 5 0 2 の第 4 の電極としての機能を有し、且つ電圧 V a が入力される配線としての機能を有する。また、導電層 6 1 3 は、走査信号 S C N 1 2 が入力される走査信号線としての機能を有し、且つ図 5 (A) に示すトランジスタ 5 0 3 のゲートとしての機能を有する。また、導電層 6 1 4 は、走査信号 S C N 1 3 が入力される走査信号線としての機能を有し、且つ図 5 (A) に示すトランジスタ 5 0 5 のゲートとしての機能を有する。

30

【0177】

絶縁層 6 2 1 は、導電層 6 1 1 乃至導電層 6 1 4 を介して基板 6 0 1 の一表面に設けられる。絶縁層 6 2 1 は、図 5 (A) に示すトランジスタ 5 0 1 のゲート絶縁層としての機能を有し、図 5 (A) に示す容量素子 5 0 2 の誘電体層としての機能を有し、図 5 (A) に示すトランジスタ 5 0 3 のゲート絶縁層としての機能を有し、図 5 (A) に示すトランジスタ 5 0 5 のゲート絶縁層としての機能を有する。

40

【0178】

半導体層 6 3 1 は、絶縁層 6 2 1 を介して導電層 6 1 1 の上に設けられる。半導体層 6 3 1 は、図 5 (A) に示すトランジスタ 5 0 1 のチャネル形成層としての機能を有する。

【0179】

半導体層 6 3 2 は、絶縁層 6 2 1 を介して導電層 6 1 3 の上に設けられる。半導体層 6 3

50

2 は、図 5 (A) に示すトランジスタ 5 0 3 のチャネル形成層としての機能を有する。

【 0 1 8 0 】

半導体層 6 3 3 は、絶縁層 6 2 1 を介して導電層 6 1 4 の上に設けられる。半導体層 6 3 3 は、図 5 (A) に示すトランジスタ 5 0 5 のチャネル形成層としての機能を有する。

【 0 1 8 1 】

導電層 6 4 1 は、半導体層 6 3 1 に電氣的に接続される。導電層 6 4 1 は、画像信号 I M G が入力される画像信号線としての機能を有し、且つ図 5 (A) に示すトランジスタ 5 0 1 のソース及びドレインの一方としての機能を有する。また、図 6 (A) 乃至図 6 (C) に示すように、本実施の形態の表示装置は、導電層 6 4 1 が、半導体層 6 3 3 に電氣的に接続され、さらに導電層 6 4 1 が、リセット電圧 (電圧 V_c) が入力される配線としての機能を有し、且つ図 5 (A) に示すトランジスタ 5 0 5 のソース及びドレインの一方としての機能を有する構成にすることもできる。

10

【 0 1 8 2 】

導電層 6 4 2 は、半導体層 6 3 1 及び半導体層 6 3 2 に電氣的に接続される。また、導電層 6 4 2 は、絶縁層 6 2 1 を介して導電層 6 1 2 の上に設けられる。導電層 6 4 2 は、図 5 (A) に示すトランジスタ 5 0 1 のソース及びドレインの他方としての機能を有し、図 5 (A) に示す容量素子 5 0 2 の第 3 の電極としての機能を有し、図 5 (A) に示すトランジスタ 5 0 3 のソース及びドレインの一方としての機能を有する。

【 0 1 8 3 】

導電層 6 4 3 は、半導体層 6 3 2 に電氣的に接続される。導電層 6 4 3 は、図 5 (A) に示すトランジスタ 5 0 3 のソース及びドレインの他方としての機能を有する。

20

【 0 1 8 4 】

導電層 6 4 4 は、絶縁層 6 2 1 を介して導電層 6 1 2 の上に設けられ、絶縁層 6 2 1 に設けられた開口部を介して導電層 6 1 2 に電氣的に接続される。導電層 6 4 4 は、電圧 V_a が入力される配線としての機能を有する。

【 0 1 8 5 】

導電層 6 4 5 は、絶縁層 6 2 1 を介して導電層 6 1 3 の上に設けられ、絶縁層 6 2 1 に設けられた開口部を介して導電層 6 1 3 に電氣的に接続される。導電層 6 4 5 は、走査信号 S C N 1 2 が入力される走査信号線としての機能を有する。

【 0 1 8 6 】

30

導電層 6 4 6 は、半導体層 6 3 3 に電氣的に接続される。導電層 6 4 6 は、図 5 (A) に示すトランジスタ 5 0 5 のソース及びドレインの他方としての機能を有する。

【 0 1 8 7 】

導電層 6 4 7 は、絶縁層 6 2 1 を介して導電層 6 1 4 の上に設けられ、絶縁層 6 2 1 に設けられた開口部を介して導電層 6 1 4 に電氣的に接続される。

【 0 1 8 8 】

酸化物絶縁層 6 5 1 は、半導体層 6 3 1 乃至半導体層 6 3 3 及び導電層 6 4 1 乃至導電層 6 4 7 を介して絶縁層 6 2 1 の上に設けられる。

【 0 1 8 9 】

保護絶縁層 6 6 1 は、酸化物絶縁層 6 5 1 の上に設けられる。

40

【 0 1 9 0 】

平坦化絶縁層 6 7 1 は、保護絶縁層 6 6 1 の上に設けられる。

【 0 1 9 1 】

導電層 6 8 1 は、平坦化絶縁層 6 7 1 の上に設けられ、酸化物絶縁層 6 5 1、保護絶縁層 6 6 1、及び平坦化絶縁層 6 7 1 を貫通して設けられた第 1 の開口部を介して導電層 6 4 3 に電氣的に接続され、酸化物絶縁層 6 5 1、保護絶縁層 6 6 1、及び平坦化絶縁層 6 7 1 を貫通して設けられた第 2 の開口部を介して導電層 6 4 6 に電氣的に接続される。導電層 6 8 1 は、図 5 (A) に示す液晶素子 5 0 4 の第 1 の電極としての機能を有する。

【 0 1 9 2 】

さらに、図 6 (A) 乃至図 6 (C) に示すアクティブマトリクス基板は、平面視において

50

、導電層 6 1 3 及び導電層 6 4 5 の全てが、導電層 6 4 1 と間隔を空けて設けられた構造、即ち、導電層 6 1 3 及び導電層 6 4 5 が、導電層 6 4 1 と離間し且つ並置された構造、又は導電層 6 1 3 及び導電層 6 4 5 が、導電層 6 4 1 と重畳しない構造である。また、図 6 (A) 乃至図 6 (C) に示すアクティブマトリクス基板は、平面視において、導電層 6 1 4 及び導電層 6 4 7 の全てが、導電層 6 4 1 と間隔を空けて設けられた構造、即ち、導電層 6 1 4 及び導電層 6 4 7 が導電層 6 4 1 と離間し且つ並置された構造、又は導電層 6 1 4 及び導電層 6 4 7 が、導電層 6 4 1 と重畳しない構造である。また、図 6 (A) 乃至図 6 (C) に示すアクティブマトリクス基板は、平面視において、導電層 6 1 2 及び導電層 6 4 4 の全てが、導電層 6 4 1 と間隔を空けて設けられた構造、即ち、導電層 6 1 2 及び導電層 6 4 4 が導電層 6 4 1 と離間し且つ並置された構造、又は導電層 6 1 2 及び導電層 6 4 4 が導電層 6 4 1 と重畳しない構造である。

【 0 1 9 3 】

さらに、本実施の形態の表示装置における画素の構造例について、図 7 を用いて説明する。図 7 は、本実施の形態の表示装置の画素の構造例を示す断面模式図である。

【 0 1 9 4 】

図 7 に示す表示装置は、図 6 (A) 乃至図 6 (C) に示すアクティブマトリクス基板と、基板 7 0 1 と、導電層 7 1 1 と、絶縁層 7 2 1 と、液晶層 7 3 1 と、を備える。

【 0 1 9 5 】

図 7 に示す表示装置は、導電層 6 8 1 を介して平坦化絶縁層 6 7 1 の上に絶縁層 6 9 1 を備える。

【 0 1 9 6 】

導電層 7 1 1 は、基板 7 0 1 の一表面に設けられる。

【 0 1 9 7 】

絶縁層 7 2 1 は、導電層 7 1 1 の一表面に設けられる。

【 0 1 9 8 】

液晶層 7 3 1 は、絶縁層 6 9 1 及び絶縁層 7 2 1 を介して導電層 6 8 1 及び導電層 7 1 1 の間に設けられる。

【 0 1 9 9 】

なお、図 5 (A) に示す液晶素子 5 0 4 は、導電層 6 8 1、導電層 7 1 1、及び液晶層 7 3 1 により構成される。

【 0 2 0 0 】

基板 6 0 1 及び基板 7 0 1 としては、図 2 (A) 乃至図 2 (C) に示す基板 2 0 1 及び基板 3 0 1 に適用可能な基板を用いることができる。

【 0 2 0 1 】

導電層 6 1 1 乃至導電層 6 1 4 としては、図 2 (A) 乃至図 2 (C) に示す導電層 2 1 1 乃至導電層 2 1 3 に適用可能な導電層を用いることができる。

【 0 2 0 2 】

絶縁層 6 2 1 としては、図 2 (A) 乃至図 2 (C) に示す絶縁層 2 2 1 に適用可能な層を用いることができる。

【 0 2 0 3 】

半導体層 6 3 1 乃至半導体層 6 3 3 としては、図 2 (A) 乃至図 2 (C) に示す半導体層 2 3 1 及び半導体層 2 3 2 に適用可能な半導体層を用いることができる。図 6 (A) 乃至図 6 (C) では、一例として、半導体層 6 3 1 乃至半導体層 6 3 3 に酸化物半導体層を用いた場合について示している。

【 0 2 0 4 】

導電層 6 4 1 乃至導電層 6 4 7 としては、図 2 (A) 乃至図 2 (C) に示す導電層 2 4 1 乃至導電層 2 4 5 に適用可能な導電層を用いることができる。

【 0 2 0 5 】

酸化物絶縁層 6 5 1 としては、図 2 (A) 乃至図 2 (C) に示す酸化物絶縁層 2 5 1 に適用可能な層を用いることができる。

【0206】

保護絶縁層661としては、図2(A)乃至図2(C)に示す保護絶縁層261に適用可能な層を用いることができる。

【0207】

平坦化絶縁層671としては、図2(A)乃至図2(C)に示す平坦化絶縁層271に適用可能な層を用いることができる。

【0208】

導電層681及び導電層711としては、例えば図2(A)乃至図2(C)に示す導電層281に適用可能な導電材料の層を用いることができる。

【0209】

絶縁層691及び絶縁層721としては、図2(A)乃至図2(C)に示す絶縁層221に適用可能な材料の層を用いることができる。

【0210】

液晶層731としては、図3に示す液晶層331に適用可能な材料の層を用いることができる。

【0211】

図6を用いて説明したように、上記実施の形態の表示装置における画素は、第1のトランジスタ乃至第3のトランジスタがボトムゲート型のトランジスタであり、画像信号IMGが入力される画像信号線(例えば図6(A)乃至図6(C)に示す導電層641)と、走査信号SCN12が入力される走査信号線(例えば図6(A)乃至図6(C)に示す導電層613、又は導電層613及び導電層645)とが、平面視の画素において、互いに間隔を空けて設けられた(離間し且つ並置されて設けられた)構造である。また、上記実施の形態の表示装置における画素は、画像信号IMGが入力される画像信号線と走査信号SCN13が入力される走査信号線(例えば図6(A)乃至図6(C)に示す導電層614、又は導電層614及び導電層647)とが、互いに間隔を空けて設けられた(離間し且つ並置されて設けられた)構造である。該構造にすることにより、画素において、画像信号線と走査信号線との重畳部を少なくすることができるため、画像信号線の寄生容量を低減することができる。よって、画像信号の遅延を低減することができ、表示装置の動作速度を向上させることができる。

【0212】

上記実施の形態の表示装置における画素は、画像信号線としての機能を有する導電層とリセット信号が入力される配線としての機能を有する導電層を共通の導電層とする構造である。該構造にすることにより、画像信号IMGによりデータが入力されない期間(例えば図5(B)における期間T22、期間T25、及び期間T28)において、該導電層に入力される電圧をリセット電圧として用いることができるため、配線数を低減することができる。

【0213】

なお、本実施の形態の表示装置の画素において、第1のトランジスタ乃至第3のトランジスタをトップゲート型構造にすることもできる。

【0214】

(実施の形態6)

本実施の形態では、上記実施の形態の表示装置の画素におけるトランジスタの作製方法例について説明する。

【0215】

本実施の形態のトランジスタの作製方法例として、図2(A)乃至図2(C)に示すトランジスタ(図1(A)に示すトランジスタ101に対応するトランジスタ)の作製方法例について、図8及び図9を用いて説明する。図8及び図9は、図2(A)乃至図2(C)に示すトランジスタの作製方法例を示す断面模式図である。

【0216】

まず、基板201を準備し、基板201の上に第1の導電膜を形成する。

【0217】

なお、基板201の一例としてガラス基板を用いる。

【0218】

また、第1の導電膜としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の膜を用いることができる。また、第1の導電膜に適用可能な材料の膜の積層膜により、第1の導電膜を構成することもできる。

【0219】

次に、第1のフォトリソグラフィ工程により第1の導電膜の上に第1のレジストマスクを形成し、第1のレジストマスクを用いて選択的に第1の導電膜のエッチングを行うことにより導電層211を形成し、第1のレジストマスクを除去する。

10

【0220】

なお、本実施の形態において、インクジェット法を用いてレジストマスクを形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0221】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するために、多階調マスクによって形成されたレジストマスクを用いてエッチングを行ってもよい。多階調マスクは、透過した光が複数の強度となる露光マスクである。多階調マスクを用いて形成したレジストマスクは、複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、製造工程を簡略にすることができる。

20

【0222】

次に、導電層211の上に絶縁層221を形成する。

【0223】

例えば、高密度プラズマCVD法を用いて絶縁層221を形成することができる。例えば μ 波（例えば、周波数2.45GHzの μ 波）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるため、絶縁層221の形成方法として好ましい。高密度プラズマCVD法を用いて形成した高品質な絶縁層と酸化物半導体層が接することにより、界面準位が低減し、界面特性を良好にすることができる。

30

【0224】

また、スパッタリング法やプラズマCVD法など、他の方法を用いて絶縁層221を形成することもできる。また、絶縁層221の形成後に熱処理を行ってもよい。絶縁層221の形成後に熱処理を行うことにより絶縁層221の質、酸化物半導体との界面特性を改質させることができる。

【0225】

次に、絶縁層221の上に膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜230を形成する。例えば、スパッタリング法を用いて酸化物半導体膜230を形成することができる。

40

【0226】

なお、酸化物半導体膜230を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層221の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0227】

50

例えば、半導体層 231 に適用可能な酸化物半導体材料を用いて酸化物半導体膜 230 を形成することができる。本実施の形態では、一例として In - Ga - Zn - O 系酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜 230 を形成する。この段階での断面模式図が図 8 (A) に相当する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において、スパッタリング法により酸化物半導体膜 230 を形成することもできる。

【0228】

スパッタリング法を用いて酸化物半導体膜 230 を作製するためのターゲットとしては、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol 数比] の組成比である酸化物ターゲットを用いることができる。また、上記に示すターゲットに限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol 数比] の組成比である酸化物ターゲットを用いてもよい。また、作製される酸化物ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

10

【0229】

なお、酸化物半導体膜 230 を形成する際に用いるスパッタリングガスとしては、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0230】

また、酸化物半導体膜 230 を形成する前に、スパッタリング装置の予備加熱室で導電層 211 が形成された基板 201、又は導電層 211 及び絶縁層 221 が形成された基板 201 を加熱し、基板 201 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。上記予備加熱室での加熱により、絶縁層 221 及び酸化物半導体膜 230 への水素、水酸基、及び水分の侵入を抑制することができる。また、予備加熱室には、例えばクライオポンプなどの排気手段を設けることが好ましい。また、この上記予備加熱室での加熱を省略することもできる。また、酸化物絶縁層 251 の成膜前に、導電層 241 及び導電層 242 まで形成した基板 201 にも同様に上記予備加熱室での加熱を行ってもよい。

20

【0231】

また、スパッタリング法を用いて酸化物半導体膜 230 を形成する場合、減圧状態に保持された成膜室内に基板 201 を保持し、基板 201 の温度を 100 以上 600 以下、好ましくは 200 以上 400 以下とする。基板 201 の温度を高くすることにより、形成する酸化物半導体膜 230 に含まれる不純物濃度を低減することができる。また、スパッタリングによる酸化物半導体膜 230 の損傷が軽減する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて絶縁層 221 の上に酸化物半導体膜 230 を成膜する。

30

【0232】

なお、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段としては、例えば吸着型の真空ポンプなどを用いることができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。例えばクライオポンプを用いることにより、例えば水素原子及び炭素原子の一つ又は複数を含む化合物などを排気することができ、成膜室で形成される膜に含まれる不純物の濃度を低減することができる。また、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段として、コールドトラップを設けたターボポンプを用いることもできる。

40

【0233】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素（酸素流量比率 100%）雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となる。

50

【 0 2 3 4 】

次に、第 2 のフォトリソグラフィ工程により酸化物半導体膜 2 3 0 の上に第 2 のレジストマスクを形成し、第 2 のレジストマスクを用いて選択的に酸化物半導体膜 2 3 0 のエッチングを行うことにより、酸化物半導体膜 2 3 0 を島状の酸化物半導体層に加工し、第 2 のレジストマスクを除去する。

【 0 2 3 5 】

なお、絶縁層 2 2 1 にコンタクトホールを形成する場合、酸化物半導体膜 2 3 0 を島状の酸化物半導体層に加工する際に該コンタクトホールを形成することもできる。

【 0 2 3 6 】

例えば、ドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜 2 3 0 のエッチングを行うことができる。ウェットエッチングに用いるエッチング液としては、例えば燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、エッチング液として I T O 0 7 N (関東化学社製) を用いてもよい。

10

【 0 2 3 7 】

次に、酸化物半導体層に加熱処理を行う。上記加熱処理によって酸化物半導体層の脱水化又は脱水素化を行うことができる。上記加熱処理の温度は、4 0 0 以上 7 5 0 以下、又は 4 0 0 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、島状の酸化物半導体層に対して窒素雰囲気下 4 5 0 において 1 時間の加熱処理を行った後、大気に触れることなく、島状の酸化物半導体層への水や水素の再混入を防ぎ、半導体層 2 3 1 を得る (図 8 (B) 参照) 。

20

【 0 2 3 8 】

なお、加熱処理装置としては、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いてもよい。加熱処理装置としては、例えば G R T A (Gas Rapid Thermal Anneal) 装置又は L R T A (Lamp Rapid Thermal Anneal) 装置などの R T A (Rapid Thermal Anneal) 装置を用いることができる。L R T A 装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。また、G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えばアルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いることができる。

30

【 0 2 3 9 】

例えば、上記加熱処理として、G R T A 装置を用いて 6 5 0 ~ 7 0 0 に加熱した不活性ガス中に、島状の半導体層まで形成された基板 2 0 1 を移動させて入れ、数分間加熱した後、該基板 2 0 1 を移動させて加熱した不活性ガス中から出す方式の G R T A を行ってもよい。

【 0 2 4 0 】

なお、上記加熱処理において、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、若しくはアルゴンなどの希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下とすることが好ましい。

40

【 0 2 4 1 】

また、上記加熱処理で島状の酸化物半導体層を加熱した後、該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N₂O ガス、又は超乾燥エア (露点 が - 4 0 以下、好ましくは - 6 0 以下の雰囲気) を導入してもよい。このとき、酸素ガス又は N₂O ガスは、水、水素などを含まないことが好ましい。また、上記加熱処理装置に導入する酸素ガス又は N₂O ガスの純度を、6 N 以上、好ましくは 7 N 以上、即ち、酸素ガス又は N₂O ガス中の不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下とすることが好ましい

50

。酸素ガス又は N_2O ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少した酸素を供給することによって、半導体層231を高純度化させる。

【0242】

また、島状の酸化物半導体層に加工する前の酸化物半導体膜230に上記加熱処理装置により加熱処理を行うこともできる。この場合には、上記加熱処理後に、酸化物半導体膜230まで形成された基板201を上記加熱処理装置から取り出し、島状の酸化物半導体層に加工する。

【0243】

また、上記以外にも、酸化物半導体膜230の形成後であれば、上記加熱処理を行ってもよい。例えば、半導体層231の上に導電層241及び導電層242を形成した後、又は導電層241及び導電層242の上に酸化物絶縁層251を形成した後に上記加熱処理を行ってもよい。

10

【0244】

また、絶縁層221にコンタクトホールを形成する場合、上記加熱処理を行う前にコンタクトホールを形成してもよい。

【0245】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域（単結晶領域）、即ち、膜表面に対して垂直にc軸配向した結晶領域を有する膜を用いて半導体層を形成してもよい。例えば、膜厚が3nm以上15nm以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で450以上850以下、好ましくは550以上750以下の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成する。さらに第2の加熱処理として、450以上850以下、好ましくは600以上700以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させる。その結果、膜厚の厚い結晶領域を有する酸化物半導体膜を用いて半導体層231を形成することができる。

20

30

【0246】

次に、絶縁層221及び半導体層231の上に第2の導電膜を形成する。

【0247】

第2の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な膜の積層膜により第2の導電膜を形成することができる。

【0248】

次に、第3のフォトリソグラフィ工程により第2の導電膜の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて選択的にエッチングを行って導電層241及び導電層242を形成した後、第3のレジストマスクを除去する（図8（C）参照）。

40

【0249】

なお、導電層241及び導電層242を形成する際に、第2の導電膜を用いて他の配線を形成することもできる。

【0250】

また、第3のレジストマスク形成時の露光として、紫外線やKrFレーザ光やArFレーザ光を用いることが好ましい。半導体層231の上で隣り合う導電層241の下端部と導電層242の下端部との間隔幅により、後に形成されるトランジスタのチャネル長Lが決定される。なお、第3のレジストマスクの形成の際にチャネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme U

50

l t r a v i o l e t) を用いて露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、該露光を用いて形成されたトランジスタを用いることにより、上記実施の形態のフィールドシークエンシャル駆動型表示装置の動作速度を向上させることができる。

【0251】

なお、第2の導電膜のエッチングを行う場合、該エッチングによる半導体層231の分断を抑制するために、エッチング条件を最適化することが好ましい。しかしながら、第2の導電膜のみエッチングが行われ、半導体層231は、全くエッチングが行われれないという条件を得ることは難しく、第2の導電膜のエッチングの際に半導体層231は一部のみエッチングが行われ、溝部(凹部)を有する半導体層231となることもある。

10

【0252】

本実施の形態では、第2の導電膜の一例としてチタン膜を用い、半導体層231の一例として In-Ga-Zn-O 系酸化物半導体を用いるため、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0253】

次に、半導体層231、導電層241、及び導電層242の上に酸化物絶縁層251を形成する。このとき酸化物絶縁層251は、半導体層231の上面の一部に接する。

【0254】

酸化物絶縁層251は、少なくとも 1 nm 以上の膜厚とし、スパッタリング法など、酸化物絶縁層251に水又は水素などの不純物が混入しない方法を適宜用いて形成することができる。酸化物絶縁層251に水素が混入すると、該水素の酸化物半導体層への侵入又は該水素による酸化物半導体層中の酸素の引き抜きにより、酸化物半導体層のバックチャネルが低抵抗化(N型化)し、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層251ができるだけ水素を含まない層になるように、酸化物絶縁層251の作製方法として水素を用いない方法を用いることが望ましい。

20

【0255】

本実施の形態では、酸化物絶縁層251の一例として、スパッタリング法を用いて膜厚 200 nm の酸化シリコン膜を形成する。成膜時の基板201の温度は、室温以上 300 以下とすればよく、本実施の形態では一例として 100 とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において行うことができる。

30

【0256】

また、酸化物絶縁層251を形成するためのターゲットとしては、例えば酸化シリコンターゲット又はシリコンターゲットなどを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。

【0257】

また、酸化物絶縁層251を形成する際に用いるスパッタリングガスは、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

40

【0258】

また、酸化物絶縁層251を形成する前に N_2O 、 N_2 、又は Ar などのガスを用いたプラズマ処理を行い、露出している半導体層231の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、半導体層231の上面の一部に接する酸化物絶縁層251を形成することが好ましい。

【0259】

さらに、不活性ガス雰囲気下又は酸素ガス雰囲気下で加熱処理(好ましくは 200 以上 400 以下、例えば 250 以上 350 以下)を行うこともできる。例えば、上記不活性ガス雰囲気下又は酸素ガス雰囲気下での加熱処理として、窒素雰囲気下で 250 、1時間の加熱処理を行う。上記不活性ガス雰囲気下又は酸素ガス雰囲気下での加熱処理を

50

行くと、半導体層 231 の上面の一部が酸化物絶縁層 251 と接した状態で加熱される。

【0260】

以上の工程を経ることによって、水素、水分、水酸基、又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。

【0261】

以上の工程でトランジスタが形成される（図 9（A）参照）。

【0262】

また、酸化物絶縁層 251 として欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって半導体層 231 中に含まれる水素、水分、水酸基、又は水素化物などの不純物を酸化物絶縁層 251 に拡散させ、半導体層 231 中に含まれる該不純物をより低減させることができる。

10

【0263】

また、酸化物絶縁層 251 の上にさらに保護絶縁層 261 を形成してもよい。例えば、RF スパッタリング法を用いて窒化シリコン膜を形成することにより保護絶縁層 261 を形成することができる。RF スパッタリング法は、量産性がよいため、保護絶縁層 261 の形成に用いられる絶縁膜の成膜方法として好ましい。本実施の形態では、一例として窒化シリコン膜を形成することにより保護絶縁層 261 を形成する（図 9（B）参照）。

【0264】

本実施の形態では、酸化物絶縁層 251 まで形成された基板 201 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を形成することで保護絶縁層 261 を形成する。この場合においても、酸化物絶縁層 251 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 261 を成膜することが好ましい。

20

【0265】

保護絶縁層 261 の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。以上がトランジスタの作製方法の一例である。

30

【0266】

図 8 及び図 9 を用いて説明したように、熱処理により高純度化させることにより I 型又は実質的に I 型となった酸化物半導体層を作製し、該酸化物半導体層を用いてトランジスタを作製することができる。

【0267】

また、高純度化された酸化物半導体層は、水素等の不純物（ドナー又はアクセプタ）に由来するキャリアの数が極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。よって、チャネル幅 1 μm あたりのオフ電流を 10 aA ($1 \times 10^{-17} \text{ A}$) 以下にすること、さらには、チャネル幅 1 μm あたりのオフ電流を 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらにはチャネル幅 1 μm あたりのオフ電流を 10 zA ($1 \times 10^{-20} \text{ A}$) 以下にすることができる。

40

【0268】

例えば、チャネル形成層としての機能を有する酸化物半導体層を含むトランジスタを画素に用いることにより、トランジスタのオフ電流による、保持容量となる容量素子（例えば図 1（A）に示す容量素子 102、図 5（A）に示す容量素子 502、及び液晶素子に並列接続で電氣的に接続される容量素子）及び液晶素子に印加される電圧の変動を抑制することができる。

【0269】

（実施の形態 7）

50

本実施の形態では、チャネル形成層としての機能を有する高純度化された酸化物半導体層を含むトランジスタの一例について説明する。

【0270】

高純度化された酸化物半導体層を用いたトランジスタのオフ電流は、上述したように測定器の検出限界である 1×10^{-13} A 以下である。そこで、特性評価用素子を作製し、正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について、以下に説明する。

【0271】

電流測定方法に用いた特性評価用回路について、図10を用いて説明する。図10は、電流測定方法に用いた特性評価用回路の構成を示す回路図である。

10

【0272】

図10に示す特性評価用素子は、3つの測定系801を備える。3つ測定系801は、互いに並列接続で電氣的に接続される。

【0273】

測定系801は、トランジスタ811と、トランジスタ812と、容量素子813と、トランジスタ814と、トランジスタ815と、を備える。なお、トランジスタ811及びトランジスタ812には、一例として実施の形態6に従って作製したトランジスタを使用した。

【0274】

トランジスタ811のソース及びドレインの一方には、電圧V11が入力され、トランジスタ811のゲートには、電圧Vext__b1が入力される。電圧Vext__b1は、トランジスタ811のオン状態又はオフ状態を制御する電圧である。

20

【0275】

トランジスタ812のソース及びドレインの一方は、トランジスタ811のソース及びドレインの他方に電氣的に接続され、トランジスタ812のソース及びドレインの他方には、電圧V12が入力され、トランジスタ812のゲートには、電圧Vext__b2が入力される。電圧Vext__b2は、トランジスタ812のオン状態又はオフ状態を制御する電圧である。

【0276】

容量素子813は、2つの電極を有し、容量素子813の2つの電極のうちの一方の電極は、トランジスタ811のソース及びドレインの他方に電氣的に接続され、容量素子813の2つの電極のうちの他方の電極は、トランジスタ812のソース及びドレインの他方に電氣的に接続される。

30

【0277】

トランジスタ814のソース及びドレインの一方には、電圧V11が入力され、トランジスタ814のゲートは、トランジスタ814のソース及びドレインの一方に電氣的に接続される。

【0278】

トランジスタ815のソース及びドレインの一方は、トランジスタ814のソース及びドレインの他方に電氣的に接続され、トランジスタ815のソース及びドレインの他方には、電圧V12が入力される。なお、容量素子813の第3の電極と、トランジスタ811のソース及びドレインの他方、トランジスタ812のソース及びドレインの一方、及びトランジスタ815のゲートとの接続箇所をノードAともいう。

40

【0279】

なお、測定系801は、トランジスタ814のソース及びドレインの他方とトランジスタ815のソース及びドレインの一方との接続箇所の電圧を出力電圧Voutとして出力する。

【0280】

次に、図10に示す測定系を用いた電流測定方法について説明する。

【0281】

50

まず、トランジスタのオフ電流を測定するために電位差を付与する初期化期間の概略について説明する。初期化期間においては、電圧 V_{ext_b1} の値をトランジスタ 811 がオン状態になる値にし、トランジスタ 811 をオン状態にし、ノード A に電圧 V_{11} を与える。ここで、電圧 V_{11} は、例えば高電源電圧 V_{dd} とする。また、トランジスタ 812 をオフ状態にしておく。

【0282】

その後、電圧 V_{ext_b1} をトランジスタ 811 がオフ状態になる値にし、トランジスタ 811 をオフ状態にする。さらにトランジスタ 811 をオフ状態にした後に、電圧 V_{11} を低電源電圧 V_{ss} とする。ここでも、トランジスタ 812 はオフ状態にしておく。また、電圧 V_{12} は電圧 V_{11} と同じ電圧とする。以上により、初期化期間が終了する。初期化期間が終了した状態では、ノード A とトランジスタ 811 のソース及びドレインの一方との間に電位差が生じ、また、ノード A とトランジスタ 812 のソース及びドレインの他方との間に電位差が生じることになるため、トランジスタ 811 及びトランジスタ 812 には僅かに電荷が流れる。つまり、オフ電流が発生する。

10

【0283】

なお、高電源電圧 V_{dd} は、相対的に低電源電圧 V_{ss} より高い値の電圧であり、低電源電圧 V_{ss} は、相対的に高電源電圧 V_{dd} より低い値の電圧である。

【0284】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ 811 のソース及びドレインの一方とトランジスタ 812 のソース及びドレインの他方との電位差は低電源電圧 V_{ss} に固定しておく。一方で、測定期間中は、上記ノード A の電圧は固定しない（浮遊状態とする）。これにより、トランジスタ 812 のソース及びドレインの間に電流が流れ、時間の経過と共にノード A に蓄積する電荷量に変動する。そして、ノード A に蓄積される電荷量の変動に伴って、ノード A の電圧に変動する。つまり、出力電圧 V_{out} も変動する。

20

【0285】

さらに、初期化期間及びその後の測定期間における各電圧の関係について、図 11 を用いて説明する。図 11 は、初期化期間及びその後の測定期間における各電圧の関係を説明するためのタイミングチャートである。

【0286】

図 11 に示すように、初期化期間において、まず、電圧 V_{ext_b2} の値を、トランジスタ 812 がオン状態になる値にする。これにより、ノード A の電圧は、電圧 V_{12} と同等の値になる。その後、電圧 V_{ext_b2} の値を、トランジスタ 812 がオフ状態になる値にして、トランジスタ 812 をオフ状態とする。さらに、電圧 V_{ext_b1} の値を、トランジスタ 811 がオン状態となる値にする。これによって、ノード A の電圧は電圧 V_{11} と同等の値になる。その後、電圧 V_{ext_b1} の値を、トランジスタ 811 がオフ状態となる値にする。これによって、ノード A が浮遊状態となり、初期化期間が終了する。

30

【0287】

その後の測定期間においては、電圧 V_{11} 及び電圧 V_{12} の値を、ノード A に電荷が流れ込む値、又はノード A から電荷が流れ出す値とする。ここでは、電圧 V_{11} 及び電圧 V_{12} の電位差を低電源電圧 V_{ss} にする。ただし、出力電圧 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に電圧 V_{11} を高電源電圧 V_{dd} とすることがある。なお、電圧 V_{11} を高電源電圧 V_{dd} とする期間は、測定に影響を与えない程度の短期間とする。

40

【0288】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノード A に蓄積する電荷量に変動し、これに従ってノード A の電圧に変動する。これは、トランジスタ 815 のゲートの電圧に変動することを意味するから、時間の経過と共に、出力電圧 V_{out} も変化する。

50

【 0 2 8 9 】

得られた出力電圧 V_{out} からトランジスタのオフ電流を算出する方法について、以下に説明する。

【 0 2 9 0 】

トランジスタのオフ電流の算出の前に、ノード A の電圧 V_A と、出力電圧 V_{out} との関係を求めておく。これにより、出力電圧 V_{out} からノード A の電圧 V_A を求めることができる。上述の関係から、ノード A の電圧 V_A は、出力電圧 V_{out} の関数として次式のように表すことができる。

【 0 2 9 1 】

【 数 1 】

10

$$V_A = F(V_{out})$$

【 0 2 9 2 】

また、ノード A の電荷 Q_A は、ノード A の電圧 V_A 、ノード A に接続される容量 C_A 、定数 (const) を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 813 の容量とそれ以外の容量の和である。

【 0 2 9 3 】

【 数 2 】

20

$$Q_A = C_A V_A + const$$

【 0 2 9 4 】

ノード A に流れる電流 I_A は、ノード A に流れ込む電荷 (又はノード A から流れ出る電荷) の時間微分であるから、ノード A の電流 I_A は次式のように表される。

【 0 2 9 5 】

【 数 3 】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【 0 2 9 6 】

このように、ノード A に電氣的に接続される容量 C_A と、出力電圧 V_{out} から、ノード A に流れる電流 I_A を求めることができる。

30

【 0 2 9 7 】

以上に示す方法により、オフ状態においてトランジスタのオフ電流を測定することができる。

【 0 2 9 8 】

本実施の形態では、高純度化した酸化物半導体層を用いてトランジスタ 811 及びトランジスタ 812 を作製した。各トランジスタのチャネル長 (L) とチャネル幅 (W) の比は、 $L/W = 1/5$ とした。また、並列された各測定系 801 において、容量素子 813 の容量値をそれぞれ、100 fF、1 pF、3 pF とした。

【 0 2 9 9 】

40

なお、本実施の形態に係る測定では、高電源電圧 $V_{dd} = 5V$ 、低電源電圧 $V_{ss} = 0V$ とした。また、測定期間においては、電圧 V_{11} を原則として低電源電圧 V_{ss} とし、10 ~ 300 sec ごとに、100 msec の期間だけ電圧 V_{11} を高電源電圧 V_{dd} とし、出力電圧 V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる Δt は、約 30000 sec とした。

【 0 3 0 0 】

図 12 に、上記電流測定に係る経過時間 Time と、出力電圧 V_{out} との関係を示す。90 時間程度までの電圧変化の様子が確認できる。

【 0 3 0 1 】

図 13 には、上記電流測定によって算出されたトランジスタのオフ電流を示す。なお、図

50

13は、ソース及びドレインの間の電圧Vと、トランジスタのオフ電流Iとの関係を表すものである。図13から、ソース及びドレインの間の電圧が4Vの条件において、トランジスタのオフ電流は、約 $40 \text{ z A} / \mu\text{m}$ であることが分かる。また、ソース-ドレイン電圧が3.1Vの条件において、オフ電流は $10 \text{ z A} / \mu\text{m}$ 以下であることが分かる。なお、 1 z A は 10^{-21} A を表す。

【0302】

さらに、上記トランジスタの温度が85 °Cのときの上記電流測定によって算出されたオフ電流について図14に示す。図14は、85 °Cのときのソース及びドレインの間の電圧Vと、トランジスタのオフ電流Iとの関係を示す図である。図14から、ソース及びドレインの間の電圧が3.1Vの条件において、トランジスタのオフ電流は、 $100 \text{ z A} / \mu\text{m}$ 以下であることが分かる。

10

【0303】

以上、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さくなることがわかる。

【0304】

(実施の形態8)

本実施の形態では、フィールドシーケンシャル駆動型表示装置の構成例についてさらに説明する。

【0305】

本実施の形態の表示装置の構成例について、図15を用いて説明する。図15は、本実施の形態の表示装置の構成例を示すブロック図である。

20

【0306】

図15に示す表示装置は、第1の走査信号出力回路(SCN1OUTともいう)901aと、第2の走査信号出力回路(SCN2OUTともいう)901bと、画像信号出力回路(IMGOUTともいう)902と、光源部903と、画素904kと、を具備する。

【0307】

第1の走査信号出力回路901aは、走査信号SCN11を出力する機能を有する。

【0308】

第2の走査信号出力回路901bは、走査信号SCN12を出力する機能を有する。なお、図2の走査信号出力回路901bの配置は、図15に示す配置に限定されない。

30

【0309】

なお、第1の走査信号出力回路901a及び第2の走査信号出力回路901bは、画素と同一工程により作製することができる。これにより製造工程を簡略にすることができる。

【0310】

画像信号出力回路902は、画像信号IMGを出力する機能を有する。画像信号出力回路902は、第1の走査信号出力回路901aにより選択された画素904kに画像信号IMGを出力する。画像信号出力回路902としては、例えばシフトレジスタ及びアナログスイッチを用いて構成される。

【0311】

光源部903は、画素部904に光を入射する機能を有する。光源部903としては、例えばバックライト、サイドライト、又はフロントライトなどを用いることができる。光源部903は、例えば光源及び光源の動作を制御する光源制御回路により構成される。光源としては、例えばRGBにより表される色の光源、又はシアン、マゼンタ、イエローにより表される色の光源を用いることができる。該光源としては、例えば発光素子(例えば発光ダイオードなど)を用いることができる。光源部としては、光源の色を時間毎に切り替えることができるものが好ましい。また光源として上記色の光源に加え、白色の発光素子(例えばLED)を用いることもできる。

40

【0312】

画素904kとしては、例えば上記実施の形態の表示装置に示す構造の画素を適用することができる。画素904kは、走査信号線を介して走査信号SCN11及び走査信号SC

50

N 1 2 が入力され、入力された走査信号 S C N 1 1 に従って、画像信号線を介して画像信号 I M G が入力され、入力された走査信号 S C N 1 2 に従って、画像信号 I M G に応じた表示状態になる機能を有する。

【 0 3 1 3 】

図 1 5 を用いて説明したように、本実施の形態の表示装置は、第 1 の走査信号出力回路、第 2 の走査信号出力回路、画像信号出力回路、光源部、及び画素を具備する構成である。該構成とすることにより、光源部によりサブフレーム期間毎に異なる色の光を画素部に入射してフィールドシーケンシャル駆動を行うことができる。

【 0 3 1 4 】

なお、上記実施の形態 4 に示すように、画素がリセット用トランジスタを備える場合には、該リセット用トランジスタのゲートに走査信号 S C N 1 3 を出力する第 3 の走査信号出力回路を設けてもよい。

【 0 3 1 5 】

(実施の形態 9)

本実施の形態では、上記実施の形態におけるフィールドシーケンシャル駆動型表示装置を備えた電子機器について説明する。

【 0 3 1 6 】

本実施の形態の電子機器の構成例について、図 1 6 (A)、図 1 6 (B)、図 1 6 (C)、図 1 6 (D)、図 1 6 (E)、及び図 1 6 (F)を用いて説明する。図 1 6 (A)乃至図 1 6 (F)は、本実施の形態の電子機器の構成例を示す図である。

【 0 3 1 7 】

図 1 6 (A)に示す電子機器は、携帯型情報通信端末である。図 1 6 (A)に示す携帯型情報通信端末は、少なくとも表示部 1 0 0 1 を備える。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1 0 0 1 に用いることにより、携帯型情報通信端末の動作速度を向上させることができる。

【 0 3 1 8 】

図 1 6 (B)に示す電子機器は、例えばカーナビゲーションを含む情報案内端末である。図 1 6 (B)に示す情報案内端末は、少なくとも表示部 1 1 0 1 を有し、さらに図 1 6 (B)に示す情報案内端末を操作ボタン 1 1 0 2 及び外部入力端子 1 1 0 3 を備える構成にすることもできる。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1 1 0 1 に用いることにより、情報案内端末の動作速度を向上させることができる。

【 0 3 1 9 】

図 1 6 (C)に示す電子機器は、ノート型パーソナルコンピュータである。図 1 6 (C)に示すノート型パーソナルコンピュータは、筐体 1 2 0 1 と、表示部 1 2 0 2 と、スピーカ 1 2 0 3 と、LED ランプ 1 2 0 4 と、ポインティングデバイス 1 2 0 5 と、接続端子 1 2 0 6 と、キーボード 1 2 0 7 と、を備える。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1 2 0 2 に用いることにより、ノート型パーソナルコンピュータの動作速度を向上させることができる。

【 0 3 2 0 】

図 1 6 (D)に示す電子機器は、携帯型遊技機である。図 1 6 (D)に示す携帯型遊技機は、表示部 1 3 0 1 と、表示部 1 3 0 2 と、スピーカ 1 3 0 3 と、接続端子 1 3 0 4 と、LED ランプ 1 3 0 5 と、マイクロフォン 1 3 0 6 と、記録媒体読込部 1 3 0 7 と、操作ボタン 1 3 0 8 と、センサ 1 3 0 9 と、を備える。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1 3 0 1 に用いることにより、携帯型遊技機の動作速度を向上させることができる。

【 0 3 2 1 】

図 1 6 (E)に示す電子機器は、電子書籍である。図 1 6 (E)に示す電子書籍は、少なくとも筐体 1 4 0 1 と、筐体 1 4 0 3 と、表示部 1 4 0 5 と、表示部 1 4 0 7 と、軸部 1 4 1 1 と、を備える。

【 0 3 2 2 】

10

20

30

40

50

筐体 1401 及び筐体 1403 は、軸部 1411 により接続され、図 16 (E) に示す電子書籍は、該軸部 1411 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことができる。また、表示部 1405 は、筐体 1401 に組み込まれ、表示部 1407 は、筐体 1403 に組み込まれる。また、表示部 1405 及び表示部 1407 の構成を互いに異なる画像を表示する構成としてもよく、例えば両方の表示部で一続きの画像を表示する構成としてもよい。表示部 1405 及び表示部 1407 を異なる画像を表示する構成にすることにより、例えば右側の表示部 (図 16 (E) では表示部 1405) に文章画像を表示し、左側の表示部 (図 16 (E) では表示部 1407) に画像を表示することができる。

【0323】

また、図 16 (E) に示す電子書籍は、筐体 1401 又は筐体 1403 に操作部などを備えてもよい。例えば、図 16 (E) に示す電子書籍の構成を電源ボタン 1421 と、操作キー 1423 と、スピーカ 1425 と、を備える構成にすることもできる。図 16 (E) に示す電子書籍は、操作キー 1423 を用いることにより、複数の頁がある画像の頁を送ることができる。また、図 16 (E) に示す電子書籍の表示部 1405 及び表示部 1407、又は表示部 1405 又は表示部 1407 にキーボードやポインティングデバイスなどを設けた構成としてもよい。また、図 16 (E) に示す電子書籍の筐体 1401 及び筐体 1403 の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、又は AC アダプタ又は USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを設けてもよい。さらに、図 16 (E) に示す電子書籍に電子辞書としての機能を持たせてもよい。

【0324】

また、上記実施の形態のフィールドシーケンシャル駆動型表示装置を、表示部 1405 及び表示部 1407、又は表示部 1405 若しくは表示部 1407 に搭載することができる。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1405 及び表示部 1407、又は表示部 1405 若しくは表示部 1407 に用いることにより、電子書籍の動作速度を向上させることができる。

【0325】

また、図 16 (E) に示す電子書籍を無線通信でデータを送受信できる構成としてもよい。これにより、電子書籍サーバから所望の書籍データなどを購入し、ダウンロードする機能を付加させることができる。

【0326】

図 16 (F) に示す電子機器は、ディスプレイである。図 16 (F) に示すディスプレイは、筐体 1501 と、表示部 1502 と、スピーカ 1503 と、LED ランプ 1504 と、操作ボタン 1505 と、接続端子 1506 と、センサ 1507 と、マイクロフォン 1508 と、支持台 1509 と、を備える。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1502 に用いることにより、ディスプレイの動作速度を向上させることができる。

【0327】

図 17 に示す電子機器は、テレビジョン装置である。図 17 に示すテレビジョン装置は、筐体 1601 と、表示部 1603 と、を備える。表示部 1603 は、筐体 1601 に組み込まれている。図 17 に示すテレビジョン装置は、表示部 1603 により、映像を表示することができる。また、図 17 に示すテレビジョン装置は、一例としてスタンド 1605 により筐体 1601 が支持された構成である。上記実施の形態のフィールドシーケンシャル駆動型表示装置を表示部 1603 に用いることにより、テレビジョン装置の動作速度を向上させることができる。

【0328】

なお、図 17 に示すように、筐体 1601 に備えられた操作スイッチや、別体のリモコン操作機 1610 により図 17 に示すテレビジョン装置を操作することができる。リモコン操作機 1610 に備えられた操作キー 1609 により、図 17 に示すテレビジョン装置の

10

20

30

40

50

チャンネルや音量の操作を行うことができ、表示部 1 6 0 3 に表示させる画像を操作することができる。また、当該リモコン操作機 1 6 1 0 が出力する情報を表示する表示部 1 6 0 7 をリモコン操作機 1 6 1 0 に設けてもよい。

【0329】

なお、図 1 7 に示すテレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機を備えることにより一般のテレビ放送の受信を行うことができる。また、モデムを介してテレビジョン装置を有線又は無線による通信ネットワークに接続することにより、一方（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うこともできる。

【0330】

また、本実施の形態の電子機器は、太陽電池セルと、太陽電池セルから出力される電圧を充電する蓄電装置と、該蓄電装置に充電された電圧を各回路に必要な電圧に変換する直流変換回路と、を用いて構成される電源回路を備える構成にしてもよい。これにより外部電源が不要となるため、外部電源が無い場所であっても、該電子機器を長時間使用することができるため、利便性を向上させることができる。

【0331】

また、本実施の形態の電子機器は、表示部にタッチパネル機能を付加させてもよい。タッチパネル機能は、例えば表示部にタッチパネルユニットを搭載する又は画素に光検出回路を設けることにより付加させることができる。

【0332】

上記実施の形態に示す表示装置を電子機器の表示部に搭載することにより、電子機器の動作速度を向上させることができる。

【符号の説明】

【0333】

- 1 0 1 トランジスタ
- 1 0 2 容量素子
- 1 0 3 トランジスタ
- 1 0 4 液晶素子
- 2 0 1 基板
- 2 1 1 導電層
- 2 1 2 導電層
- 2 1 3 導電層
- 2 2 1 絶縁層
- 2 3 0 酸化物半導体膜
- 2 3 1 半導体層
- 2 3 2 半導体層
- 2 4 1 導電層
- 2 4 2 導電層
- 2 4 3 導電層
- 2 4 4 導電層
- 2 4 5 導電層
- 2 5 1 酸化物絶縁層
- 2 6 1 保護絶縁層
- 2 7 1 平坦化絶縁層
- 2 8 1 導電層
- 2 9 1 絶縁層
- 3 0 1 基板
- 3 1 1 導電層
- 3 2 1 絶縁層
- 3 3 1 液晶層

10

20

30

40

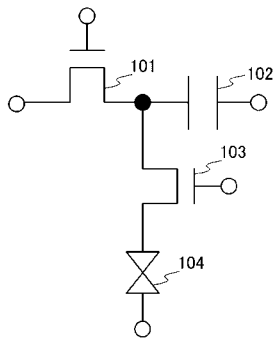
50

4 0 1	基板	
4 1 1	半導体層	
4 1 2	半導体層	
4 2 1	導電層	
4 2 2	導電層	
4 2 3	導電層	
4 2 4	導電層	
4 2 5	導電層	
4 3 1	絶縁層	
4 4 1	導電層	10
4 4 2	導電層	
4 4 3	導電層	
4 5 1	平坦化絶縁層	
4 6 1	導電層	
5 0 1	トランジスタ	
5 0 2	容量素子	
5 0 3	トランジスタ	
5 0 4	液晶素子	
5 0 5	トランジスタ	
6 0 1	基板	20
6 1 1	導電層	
6 1 2	導電層	
6 1 3	導電層	
6 1 4	導電層	
6 2 1	絶縁層	
6 3 1	半導体層	
6 3 2	半導体層	
6 3 3	半導体層	
6 4 1	導電層	
6 4 2	導電層	30
6 4 3	導電層	
6 4 4	導電層	
6 4 5	導電層	
6 4 6	導電層	
6 4 7	導電層	
6 5 1	酸化物絶縁層	
6 6 1	保護絶縁層	
6 7 1	平坦化絶縁層	
6 8 1	導電層	
6 9 1	絶縁層	40
7 0 1	基板	
7 1 1	導電層	
7 2 1	絶縁層	
7 3 1	液晶層	
8 0 1	測定系	
8 1 1	トランジスタ	
8 1 2	トランジスタ	
8 1 3	容量素子	
8 1 4	トランジスタ	
8 1 5	トランジスタ	50

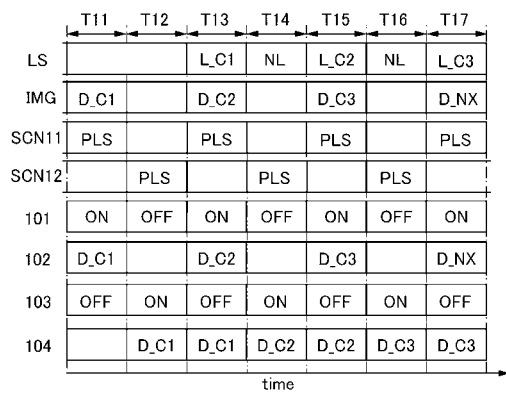
9 0 1 a	走査信号出力回路	
9 0 1 b	走査信号出力回路	
9 0 2	画像信号出力回路	
9 0 3	光源部	
9 0 4	画素部	
9 0 4 k	画素	
1 0 0 1	表示部	
1 0 0 2	操作部	
1 1 0 1	表示部	
1 1 0 2	操作ボタン	10
1 1 0 3	外部入力端子	
1 2 0 1	筐体	
1 2 0 2	表示部	
1 2 0 3	スピーカ	
1 2 0 4	L E Dランプ	
1 2 0 5	ポインティングデバイス	
1 2 0 6	接続端子	
1 2 0 7	キーボード	
1 3 0 1	表示部	
1 3 0 2	表示部	20
1 3 0 3	スピーカ	
1 3 0 4	接続端子	
1 3 0 5	L E Dランプ	
1 3 0 6	マイクロフォン	
1 3 0 7	記録媒体読込部	
1 3 0 8	操作ボタン	
1 3 0 9	センサ	
1 4 0 1	筐体	
1 4 0 3	筐体	
1 4 0 5	表示部	30
1 4 0 7	表示部	
1 4 1 1	軸部	
1 4 2 1	電源ボタン	
1 4 2 3	操作キー	
1 4 2 5	スピーカ	
1 5 0 1	筐体	
1 5 0 2	表示部	
1 5 0 3	スピーカ	
1 5 0 4	L E Dランプ	
1 5 0 5	操作ボタン	40
1 5 0 6	接続端子	
1 5 0 7	センサ	
1 5 0 8	マイクロフォン	
1 5 0 9	支持台	
1 6 0 1	筐体	
1 6 0 3	表示部	
1 6 0 5	スタンド	
1 6 0 7	表示部	
1 6 0 9	操作キー	
1 6 1 0	リモコン操作機	50

【図 1】

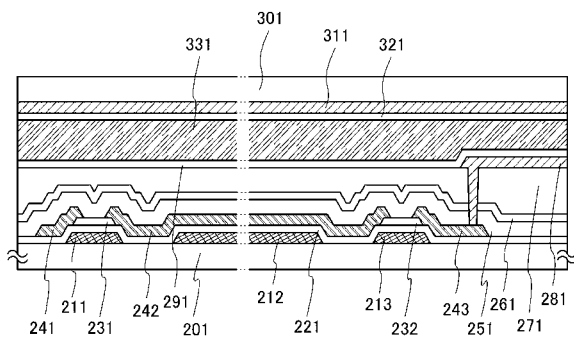
(A)



(B)

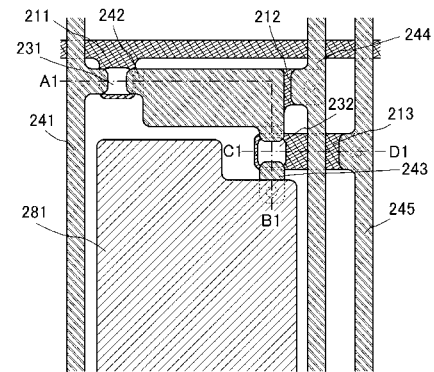


【図 3】

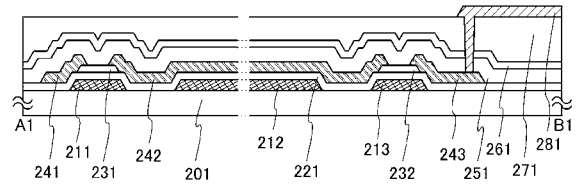


【図 2】

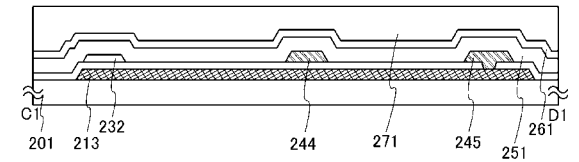
(A)



(B)

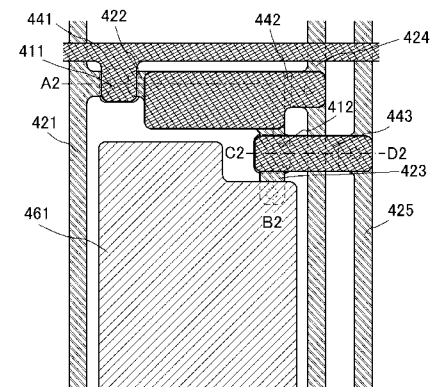


(C)

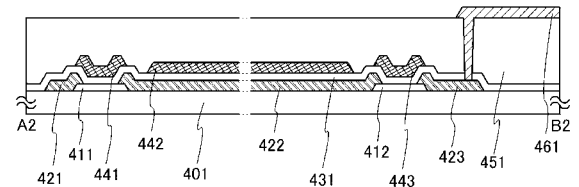


【図 4】

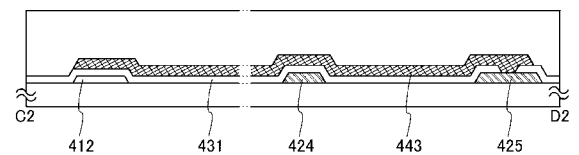
(A)



(B)

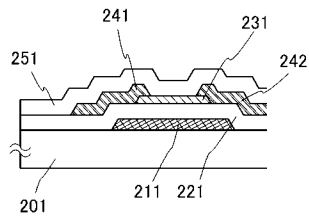


(C)

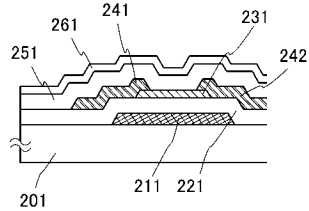


【図 9】

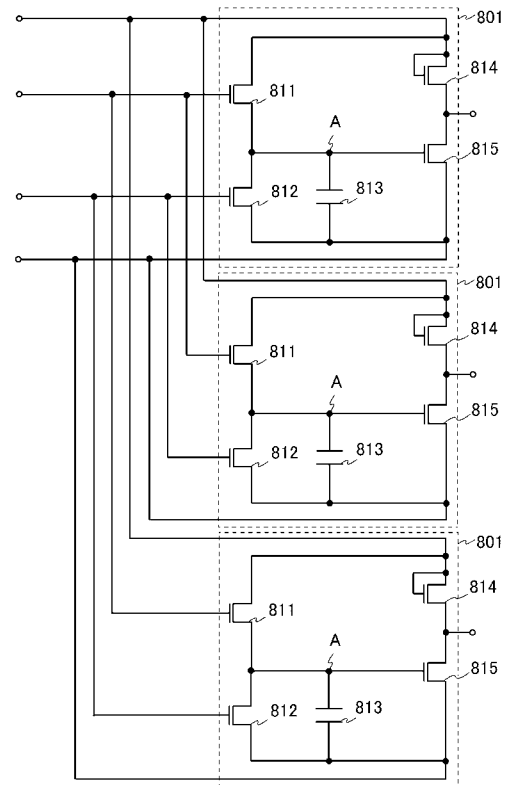
(A)



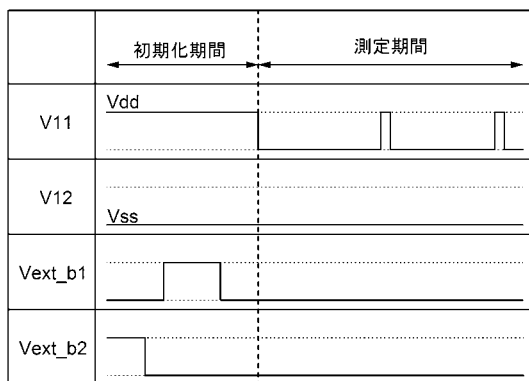
(B)



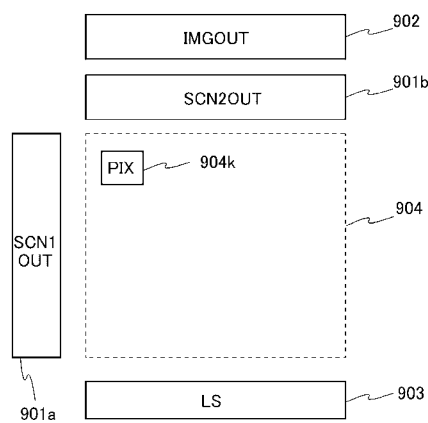
【図 10】



【図 11】

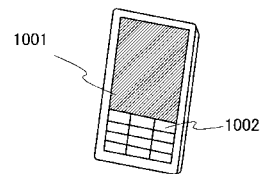


【図 15】

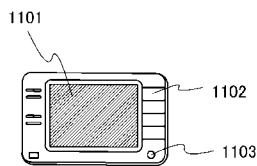


【図 16】

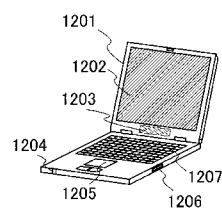
(A)



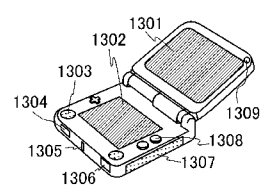
(B)



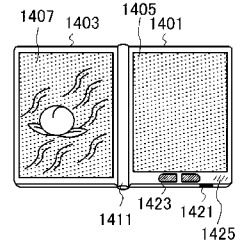
(C)



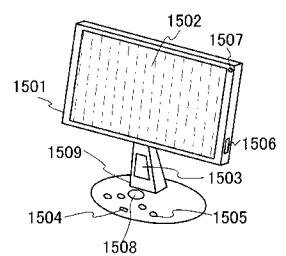
(D)



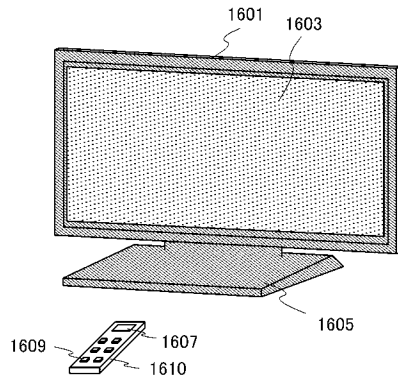
(E)



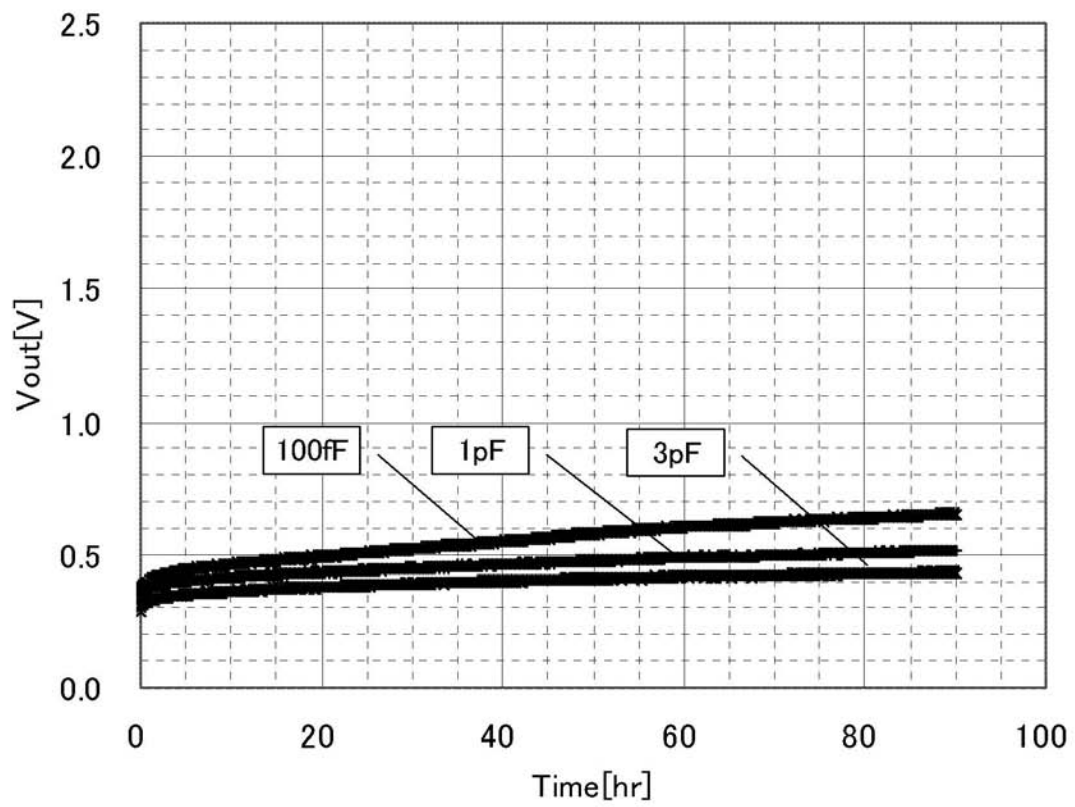
(F)



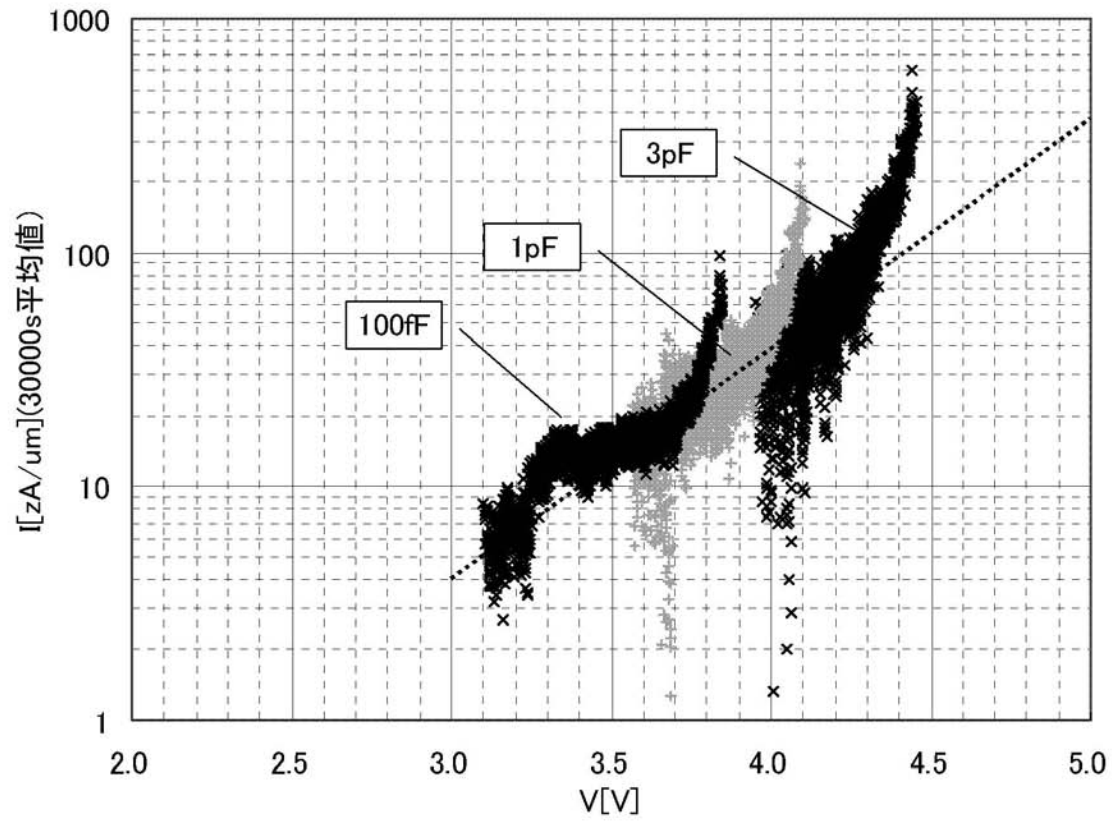
【図 17】



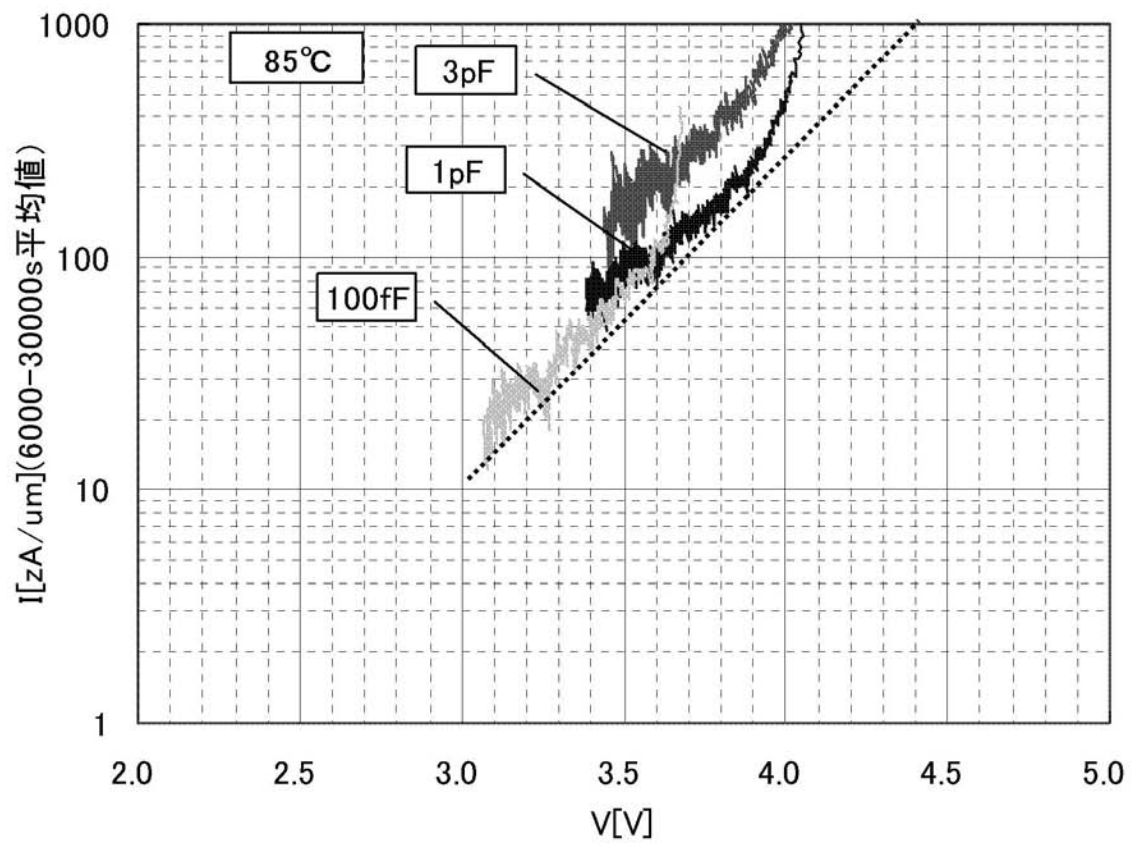
【図 12】



【図 1 3】



【図 1 4】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 1 M
G 0 2 F	1/133	5 3 5
G 0 2 F	1/1368	

F ターム(参考) 2H193 ZA04 ZA07 ZA08 ZA19 ZB01 ZE02 ZE40 ZG34
5C006 AA14 AA16 AA17 AA22 AF22 AF44 BB16 FA12 FA14 FA37
FA43
5C080 AA10 BB05 CC03 DD07 DD08 JJ03 JJ04 JJ05 JJ06

专利名称(译)	显示装置		
公开(公告)号	JP2011227477A5	公开(公告)日	2014-05-08
申请号	JP2011063486	申请日	2011-03-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 今藤敏和 山崎舜平		
发明人	小山 潤 今藤 敏和 山崎 舜平		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G02F1/1368		
CPC分类号	G02F1/13624 G02F2001/133622 G02F2001/13606 G09G3/3648 G09G2310/0235 G09G2320/0252 H01L27/1225		
FI分类号	G02F1/133.550 G09G3/36 G09G3/20.641.C G09G3/20.623.Q G09G3/20.641.E G09G3/20.621.F G09G3/20.680.G G09G3/20.621.M G02F1/133.535 G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JA28 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB69 2H092/KA08 2H193 /ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZB01 2H193/ZE02 2H193/ZE40 2H193/ZG34 5C006/AA14 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AF22 5C006/AF44 5C006/BB16 5C006 /FA12 5C006/FA14 5C006/FA37 5C006/FA43 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD07 5C080/DD08 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/BC31 2H192 /CB02 2H192/CB05 2H192/CB22 2H192/CB23 2H192/CB37 2H192/DA81 2H192/JA64		
优先权	2010083345 2010-03-31 JP		
其他公开文献	JP5735316B2 JP2011227477A		

摘要(译)

要解决的问题：提高运行速度。解决方案：场序驱动型显示装置包括：第一晶体管，其中图像信号通过图像信号线输入到第一源极和第一漏极中的一个，并且第一扫描信号通过a输入到第一栅极。第一扫描信号线；具有两个电极的电容元件，其中一个电极与第一晶体管的第一源极和第一漏极中的另一个电连接；第二晶体管，其中第二源极和第二漏极中的一个电连接到第一晶体管的第一源极和第一漏极中的另一个，第二扫描信号通过第二扫描信号线输入到第二栅极；液晶元件具有第一电极，该第一电极与第二晶体管的第二源极和第二漏极中的另一个电连接。用作图像信号线的导电层和用作输入第二扫描信号的扫描信号线的导电层彼此远离地并排布置。